

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2011-505647

(P2011-505647A)

(43) 公表日 平成23年2月24日 (2011.2.24)

(51) Int. Cl.		F I			テーマコード (参考)	
G 0 6 F	9/52	(2006.01)	G 0 6 F	9/46	4 7 2 B	5 B 0 0 5
G 0 6 F	12/00	(2006.01)	G 0 6 F	12/00	5 7 2 A	5 B 0 6 0
G 0 6 F	12/10	(2006.01)	G 0 6 F	12/10	5 0 1 F	
			G 0 6 F	12/10	5 5 7	

審査請求 有 予備審査請求 未請求 (全 19 頁)

(21) 出願番号	特願2010-537031 (P2010-537031)	(71) 出願人	595020643
(86) (22) 出願日	平成20年12月3日 (2008.12.3)		クアルコム・インコーポレイテッド
(85) 翻訳文提出日	平成22年7月5日 (2010.7.5)		QUALCOMM INCORPORATED
(86) 国際出願番号	PCT/US2008/085402		
(87) 国際公開番号	W02009/073722		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開日	平成21年6月11日 (2009.6.11)		121-1714、サン・ディエゴ、モア
(31) 優先権主張番号	11/949,284		ハウス・ドライブ 5775
(32) 優先日	平成19年12月3日 (2007.12.3)	(74) 代理人	100108855
(33) 優先権主張国	米国 (US)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 ロックインジケータを有するマルチスレッドプロセッサ

(57) 【要約】

ロックインジケータを有するマルチスレッドプロセッサを含むシステムと方法が開示される。実施形態において、システムは、マルチスレッドプロセッサ内の共有リソースのロック状態を示す手段を含む。システムは共有リソースに関連する例外処理命令を処理する前に、共有リソースを自動的にロックする手段を含む。システムは、共有リソースをアンロックする手段をさらに含む。

【選択図】 1

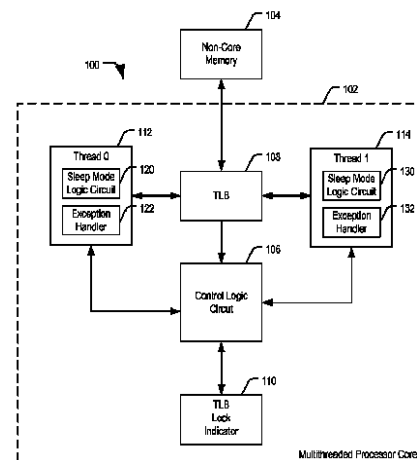


FIG. 1

104 Mémoire non principale
112, 114 Fil
120, 130 Circuit logique en mode veille
122, 132 Manipulateur d'exception
106 Circuit logique de commande
110 Indicateur de verrouillage TLB
102 Cœur de processeur multithread

【特許請求の範囲】**【請求項 1】**

マルチスレッドプロセッサのスレッドに関連する変換索引バッファ (T L B) ミス事象を受信することと；

T L B ロックインジケータをチェックすることと；

前記 T L B ロックインジケータがアンロックされた時、前記スレッドによる T L B に関連する例外ハンドへのアクセスを許可することと；

前記 T L B ロックインジケータがロックされた時、前記スレッドをスリープ状態にすることと；

を備える方法。

10

【請求項 2】

アクセスが許可された時に、前記 T L B ロックインジケータをロックすることをさらに備える、請求項 1 の方法。

【請求項 3】

ロック状態からアンロック状態に前記 T L B ロックインジケータを移行することをさらに備える、請求項の方法。

【請求項 4】

前記 T L B ロックインジケータが前記ロック状態から前記アンロック状態に移行した後に、前記 T L B ミス事象を引き起こすバケットの実行を再現することをさらに備える、請求項 3 の方法。

20

【請求項 5】

前記 T L B がソフトウェア管理 T L B を備える、請求項 1 の方法。

【請求項 6】

前記 T L B ミス事象に関する結果を計算することと；

前記結果を前記 T L B にプログラムすることと；

前記 T L B ロックインジケータをアンロック状態に設定することと；

前記例外ハンドラから戻ることと；

をさらに備える、請求項 1 の方法。

【請求項 7】

前記例外ハンドラから戻り次第、前記 T L B ロックインジケータを自動的にアンロックすることをさらに備える、請求項 6 の方法。

30

【請求項 8】

前記例外ハンドラが前記 T L B ロックインジケータを設定する、請求項 1 の方法。

【請求項 9】

マルチスレッドプロセッサのスレッドに関連する変換索引バッファ (T L B) ミス事象を受信することと、なお、前記スレッドは共有変換索引バッファ (T L B) へのアクセスを有する；

T L B ロックインジケータを読み取ること、および前記 T L B ロックインジケータがロック状態の時、前記スレッドをスリープ状態にすることと；

命令を受け取り次第、前記スレッドを起こすことと；

を備える方法。

40

【請求項 10】

前記 T L B は、第 1 の時間の間、第 1 のスレッドのために確保され、前記 T L B は、第 2 の時間の間、第 2 のスレッドのために確保され、第 3 のスレッドは、前記第 1 の時間帯と前記第 2 の時間の間スリープ状態にされる、請求項 10 の方法。

【請求項 11】

前記第 3 のスレッドは、第 3 の時間の間、覚醒される、請求項 10 の方法。

【請求項 12】

前記第 3 のスレッドを覚醒した後、前記第 3 のスレッドがスリープ状態にされる前に、前記第 3 のスレッドによって実行される命令バケットの実行を再現することをさらに備え

50

る、請求項 10 の方法。

【請求項 13】

マルチスレッドプロセッサの複数の処理スレッドによって共有された変換索引バッファ (TLB) と；

前記マルチスレッドプロセッサのレジスタ内の TLB ロックビットと；

特定のスレッドに関連する TLB ミス事象が検出された時に、ロック構成を有する前記 TLB ロックビットに応答して、前記複数の処理スレッドの前記特定のスレッドをスリープ状態にするように構成された制御論理回路と；

を備えるシステム。

【請求項 14】

前記 TLB ミス事象は前記特定のスレッドの実行パケットに関連し、前記制御論理回路は、前記実行パケットを記憶するように、および、前記特定のスレッドがスリープ状態におかれる時に前記特定のスレッドに関連したプログラムカウンタを増やさないように、さらに構成される、請求項 13 のシステム。

【請求項 15】

前記特定のスレッドは、前記 TLB ミス事象に応答して、例外ハンドラを起動することなく、スリープ状態にされる、請求項 13 のシステム。

【請求項 16】

前記制御論理回路は、前記 TLB ロックビットを前記ロック構成に設定するため、および、アンロック構成を有する前記 TLB ロックビットに応答して前記 TLB ミス事象に関連する例外ハンドラを同時に開始するようにさらに構成される、請求項 13 のシステム。

【請求項 17】

前記 TLB ロックビットは、前記制御論理回路によってロックされ、前記例外ハンドラの命令によってアンロックされるように構成される、請求項 16 のシステム。

【請求項 18】

前記制御論理回路は、別の TLB ミス事象に応答して、前記複数の処理スレッドの別のスレッドもスリープ状態におかれる時に、前記特定のスレッドを覚醒するための順序を示すデータを記憶するように構成される、請求項 13 のシステム。

【請求項 19】

前記特定のスレッドを覚醒するために、前記順序を示す前記データは、先入れ先出し方式 (FIFO) に記憶される、請求項 18 のシステム。

【請求項 20】

プロセッサ実行命令を有するコンピュータ読み取り可能媒体であって、プロセッサ実行命令はプロセッサに；

マルチスレッドプロセッサの複数のスレッドによって共有されたりソースに関連する例外を処理させ；

前記例外が処理された後に、前記リソースのためにハードウェアロックをアンロックさせるコンピュータ読み取り可能媒体。

【請求項 21】

前記共有リソースは、前記マルチスレッドプロセッサのコアメモリリソースである、請求項 20 のコンピュータ読み取り可能媒体。

【請求項 22】

前記コアメモリリソースは変換索引バッファ (TLB) であり、前記例外は TLB ミスによって引き起こされる、請求項 21 のコンピュータ読み取り可能媒体。

【請求項 23】

前記ハードウェアロックは、グローバルレジスタの少なくとも 1 つのビットを含み、前記ハードウェアロックは、前記例外が処理される前に、前記プロセッサの制御論理回路によってロックされるように構成される、請求項 20 のコンピュータ読み取り可能媒体。

【請求項 24】

マルチスレッドプロセッサの共有リソースのロック状態を示す手段と；

10

20

30

40

50

前記共有リソースに関連する例外処理命令を処理する前に、前記共有リソースを自動的にロックする手段と；

前記共有リソースをアンロックする手段と；
を備えるシステム。

【請求項 25】

前記共有リソースがロックされている間に起こる例外事象に応答して、スレッドの状態を保存する手段と；

前記状態が保存された後に、前記スレッドをスリープ状態にする手段と；
をさらに備える、請求項 24 のシステム。

【発明の詳細な説明】

10

【技術分野】

【0001】

本開示は、一般に、ロックインジケータを有するマルチスレッドプロセッサに関する。

【背景技術】

【0002】

技術の進歩は、より小さく、より強力なパーソナルコンピュータをもたらした。例えば、今日、小型で軽く、ユーザーによって簡単に持ち運びができる携帯無線電話機、携帯情報端末 (PDA s)、ページング装置などの無線処理デバイスを含む様々な携帯用パーソナルコンピュータデバイスが存在する。すなわち、携帯電話やインターネットプロトコル (IP) 電話などの携帯無線電話機は、音声とデータパケットを無線ネットワーク上で通信することができる。さらに、そういった無線電話の多くは、そこに組み込まれる別の型のデバイスを含む。例えば、無線電話は、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、オーディオファイルプレーヤーも含む。同様に、上記無線電話は、インターネットにアクセスするために使用されるウェブブラウザアプリケーションなどのソフトウェアアプリケーションを含む実行命令を処理する。そのようなものとして、これらの無線電話は、重要な計算能力を含む。

20

【0003】

さらなる計算能力は、電子デバイスにおいて複数のスレッドを同時に処理することができるマルチスレッドプロセッサによって可能になる。電力消費と製造コストを削減するために、マルチスレッドプロセッサは典型的に設計され、例えばキャッシュ、バス、または他のリソース (resource) などの処理リソースが複数のスレッドによって共有される。しかし、ある動作は、単一のスレッドによって共有リソースで確実に遂行されるだけである。例えば、メモリアドレスが 2 つの異なるスレッドによって同時に書き込まれる時に予測不可能な結果が起こりえる。ソフトウェアロックは、共有リソースがアンロック (unlock) 状態で特定のプロセスによって使用可能であるか、ロックされており使用不可能であるかを示すメモリ内の数値、例えばセマフォ (semaphore) など、を提供することによって、共有リソースを管理するために使用される。

30

【0004】

ソフトウェアロックは、ソフトウェア命令によって典型的に設定および解放される、そして、例えば、ソフトウェアロックが、出来の悪い、または悪意のあるソフトウェアによってアクセスされる時など信頼できないかもしれない。加えて、共有リソースがロックされたままの間、プロセッサは、プログラム実行を続ける前に、ロックの数値をチェックするために典型的に繰り返し命令を実行する。同様に、ソフトウェアロックを使用する各動作は、ソフトウェアロックを記憶しているメモリの一部にアクセス、比較および / または数値を書き込むことにより、処理の遅延を持ち込む。

40

【発明の概要】

【0005】

特定の実施形態において、マルチスレッドプロセッサの複数の処理スレッドによって共有される変換索引バッファ (translation lookaside buffer; TLB) を含むシステムが開示される。システムは、マルチプロセッサのレジスタ内に TLB ロックビットを含む。

50

システムは、特定のスレッドに関連する T L B ミス事象 (miss event) が検出された時に、ロック構成を有する T L B ロックビットに応答して、複数の処理スレッドの特定スレッドをスリープ状態にするように構成された制御論理回路も含む。

【 0 0 0 6 】

別の特定の実施形態において、マルチスレッドプロセッサ内の共有リソースのロック状態を示す手段を含むシステムが開示される。システムは、共有リソースに関連する例外処理命令を処理する前に、共有リソースを自動的にロックする手段を含む。システムは、共有リソースをアンロックする手段をさらに含む。

【 0 0 0 7 】

別の実施形態において、マルチスレッドプロセッサのスレッドと関連する変換索引バッファ (T L B) ミス事象を受信することを含む方法が開示される。方法は、 T L B ロックインジケータをチェックすることを含む。 T L B ロックインジケータがアンロックされると、方法は、制御論理回路を使用して T L B に関連する例外ハンドラ (exception handler) へのスレッドによるアクセスを許可する。 T L B ロックインジケータがロックされると、方法は、制御論理回路を使用して、スレッドをスリープ状態にする。

【 0 0 0 8 】

別の実施形態において、マルチスレッドプロセッサのスレッドと関連する変換索引バッファ (T L B) ミス事象を受信することを含む方法が開示される。スレッドは共有変換索引バッファ (T L B) へのアクセスを有する。方法は T L B ロック表示を読み取ることを含む。そして、 T L B ロックインジケータがロックされると、制御論理回路を使用してスレッドをスリープ状態にする。方法は、命令を受け取り次第、スレッドを起こすことも含む。

【 0 0 0 9 】

別の実施形態において、プロセッサ実行命令を有するコンピュータ読み取り可能媒体が開示される。プロセッサ実行命令は、マルチスレッドプロセッサの複数のスレッドによって共有されたリソースに関連する例外をプロセッサに処理させる。プロセッサ実行命令は、例外が処理された後に、リソースのためのハードウェアロックをプロセッサにアンロックさせる。

【 0 0 1 0 】

開示された実施形態によって提供される 1 つの顕著な利点は、共有リソースをロックするためのレジスタビットを設定するために論理回路を使用することによる、共有リソースのより迅速なロックとアンロックの動作である。開示された実施形態によって提供される別の顕著な利点は、共有リソースが利用可能になるまでスレッドをスリープ状態にすることによる、共有リソースへのアクセスを待つスレッドの削減された動的電力消費である。

【 0 0 1 1 】

本開示の別の様態、利点、特徴は、下記項目：図面の簡単な説明、発明の詳細な説明、請求項、を含む本明細書全体の総覧の後に明確になるであろう。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】図 1 は、ロックインジケータを有するマルチスレッドプロセッサを含むシステムの実施形態のブロック図である。

【図 2】図 2 は、共有リソースのためにハードウェアロックを含む処理システムの実施形態のブロック図の例である。

【図 3】図 3 は、マルチスレッドプロセッサでロックインジケータを使用する方法の実施形態のフローチャートである。

【図 4】図 4 は、ロックインジケータを有するマルチスレッドプロセッサでの動作の実施形態を示す一般図である

【図 5】図 5 は、共有リソースのためにロックインジケータを有するマルチスレッドプロセッサを含む実例となる通信デバイスのブロック図である。

【発明の詳細な説明】

【 0 0 1 3 】

図 1 を参照すると、ロックインジケータを有するマルチスレッドプロセッサを含むシステムの特定の実例となる実施形態が示され、全般として 1 0 0 で示される。システム 1 0 0 は、非コア (non-core) メモリ 1 0 4 に結合されたマルチスレッドプロセッサコア 1 0 2 を含む。マルチスレッドプロセッサコア 1 0 2 は、変換索引バッファ (T L B) 1 0 8 に結合され、T L B ロックインジケータ 1 1 0 に結合された制御論理回路 1 0 6 を含む。第 1 のスレッド 1 1 2 は、T L B 1 0 8 と制御論理回路 1 0 6 に、作動的に結合される。第 2 のスレッド 1 1 4 も、T L B 1 0 8 と制御論理回路 1 0 6 に、作動的に結合される。2 つの代表スレッド 1 1 2 と 1 1 4 がシステム 1 0 0 に示されるが、マルチスレッドプロセッサコア 1 0 2 は任意の数やスレッドを含みうることは理解されるであろう。

10

【 0 0 1 4 】

特定の実施形態において、T L B 1 0 8 は、仮想アドレスから物理アドレスに変換するために、例えばスレッド 1 1 2 や 1 1 4 などの複数のスレッドから要求を受信するように構成されたマルチスレッドプロセッサコアの共有メモリリソースである。T L B 1 0 8 は、T L B 1 0 8 に記憶される仮想アドレスに一致する物理アドレスを戻すように構成される。T L B 1 0 8 は、要求された仮想アドレスが T L B 1 0 8 で見つからなかった時に、制御論理回路 1 0 6 に T L B ミス事象を信号で送るように構成される。

【 0 0 1 5 】

特定の実施形態において、制御論理回路 1 0 6 は、T L B 1 0 8 から 1 つ以上の T L B ミス事象を受信し、T L B ロックインジケータ 1 1 0 の状態を決定するように構成される。T L B ロックインジケータ 1 1 0 がロック構成の時、制御論理回路 1 0 6 は、現行処理状態を保存するように、要求中のスレッド 1 1 2 または 1 1 4 に命令し、スレッドをスリープ状態にするように構成される。さもなければ、T L B ロックインジケータ 1 1 0 がアンロック構成の時、制御論理回路 1 0 6 は、T L B ロックインジケータ 1 1 0 をロックし、T L B ミス事象を処理するために例外ハンドラを起動するように要求スレッド 1 1 2 または 1 1 4 に同時に命令するように構成される。T L B ロックインジケータ 1 1 0 をロックすることで、別のスレッドが T L B 1 0 8 を変更することを防ぐ、そして要求中のスレッドは、複数のスレッドによって T L B 1 0 8 の入口に同時に起こるデータ書き込み動作から生じる予測不可能な動きの可能性なしに、T L B 1 0 8 において安全に内容を変更できる。

20

30

【 0 0 1 6 】

特定の実施形態において、T L B ロックインジケータ 1 1 0 は、マルチスレッドプロセッサコア 1 0 2 のグローバル状態レジスタの 1 つ以上のビットを含む。T L B ロックインジケータ 1 1 0 は、制御論理回路 1 0 6 からの制御信号によく応答する。T L B ロックインジケータ 1 1 0 は、少なくとも 1 つのスレッド 1 1 2 または 1 1 4 が、T L B 1 0 8 で書き込み動作を行っていること、および他のスレッドによる T L B へのアクセスが制限されていることを示すためにロック構成を有する。例えば、他のスレッドは、T L B ロックインジケータ 1 1 0 がロック構成の時、T L B 1 0 8 への読み取り専用アクセス、アクセス不可、または縮小レベルのアクセスに制限される。加えて、T L B ロックインジケータ 1 1 0 は、スレッド 1 1 2 と 1 1 4 による T L B 1 0 8 への通常アクセスを可能にするアンロック構成を有する。

40

【 0 0 1 7 】

特定の実施形態において、第 1 のスレッド 1 1 2 は、スリープモード論理回路 1 2 0 と例外ハンドラ 1 2 2 を含む。スリープモード論理回路 1 2 0 は、例えば、制御論理回路 1 0 6 から受信されたスリープ命令に応答してプログラムコンピュータ (P C) (示されていない) の数値を保存することで、第 1 のスレッド 1 1 2 の現行状態を保存するように構成される。さらに、スリープモード論理回路 1 2 0 は、状態レジスタ (示されていない) で 1 つ以上の数値、例えば、ユーザーモード状態ビット、例外状態ビット、T L B ミス事象を引き起こした最後に実行された命令パケットに関するデータなど、を記憶するように構成される。

50

【 0 0 1 8 】

一般的に、第 1 のスレッド 1 1 2 の例外ハンドラ 1 2 2 は、スレッド 1 1 2 と 1 1 4 によって共有されたリソースに関連する例外を処理するため、および、例外が処理された後に、リソースのためにハードウェアロックをアンロックするために、命令を取り込み、実行する。特定の実施形態において、例外ハンドラ 1 2 2 は、T L B ミス事象に応じるために、論理とプロセッサ実行命令を含む。例えば、例外ハンドラ 1 2 2 を起動するために、第 1 スレッド 1 1 2 が制御論理回路 1 0 6 から命令を受信した後に、例外ハンドラ 1 2 2 は、第 1 のスレッド 1 1 2 の 1 つ以上の状態ビットを設定し、第 1 のスレッド 1 1 2 に監視モードに入らせ、非コアメモリ 1 0 4 からの命令などの T L B 行方不明例外処理命令をロードさせる。例外ハンドラ 1 2 2 は、T L B ミス事象からの回復を可能にする命令を取り込み、実行するために、実施可能である。例えば、例外ハンドラ 1 2 2 は、ページテーブルなどの非コアメモリリソースに配置されるように T L B ミス事象をトリガする要求された仮想アドレスを引き起こす命令を処理する。例外ハンドラ 1 2 2 は、仮想アドレスの変換を T L B 1 0 8 に書き込む、またはプログラムする。例外ハンドラ 1 2 2 は、例外処理モードから出て行くために、戻り命令 (return instruction) を実行するためにも構成される。戻り命令は、スレッド 1 1 2 を非例外状態に戻すために実施可能であり、制御論理回路 1 0 6 に T L B ロックインジケータ 1 1 0 をアンロックさせる。あるいは、戻り命令は、制御論理回路 1 0 6 にアンロック要求を送信せずに例外状態から戻ると、T L B ロックインジケータ 1 1 0 をアンロックする。

10

【 0 0 1 9 】

20

同様に、特定の実施形態において、第 2 のスレッド 1 1 4 は、スリープモード論理回路 1 3 0 と例外ハンドラ 1 3 2 を含む。実例となる実施形態において、スリープモード論理回路 1 3 0 と例外ハンドラ 1 3 2 を含む第 2 のスレッド 1 1 4 は、第 1 のスレッド 1 1 2 のスリープモード論理回路 1 2 0 と例外ハンドラ 1 2 2 を含む第 1 のスレッド 1 1 2 、に其々実質的に類似して動作する。

【 0 0 2 0 】

動作中、複数の処理スレッド、例えば代表スレッド 1 1 2 と 1 1 4 など、は、仮想アドレス変換要求を T L B 1 0 8 に送信する。T L B ミス事象が終わる時、制御論理回路 1 0 6 は、例外処理命令が T L B ミス事象に応答する間、T L B 1 0 8 でデータを変更することから他のスレッドを排除ために、T L B ロックインジケータ 1 1 0 を使用して T L B 1 0 8 をロックする。例えば、T L B ロックインジケータ 1 1 0 は、T L B 1 0 8 が他のスレッドによるアクセスからロックされたことを示すために、制御論理回路 1 0 6 によって設定されるグローバル制御レジスタで 1 つ以上のビットを含む。

30

【 0 0 2 1 】

実例となる実施形態において、制御論理回路 1 0 6 はソフトウェアプロセスの命令を実行することによってではなく、組み込みハードウェアプロセスを通して T L B ロックインジケータ 1 1 0 を設定するように構成され、それによって T L B ミス事象へのより早い応答、プロセッサ性能の向上、悪意のある、または出来の悪いソフトウェアへの脆弱性の縮小を可能にする。さらなるパフォーマンスの利点は、T L B ロックインジケータ 1 1 0 として、マルチスレッドプロセッサコア 1 0 2 内のグローバルレジスタビットを使用することによって可能になる。例えば、制御論理回路 1 0 6 は、T L B ロックインジケータ 1 1 0 の状態を直接的に設定、クリア、決定するように構成され、T L B ミス事象への応答は、例えばプロセッサ非コアメモリ 1 0 4 においてセマフォなどのロックインジケータ数値を記憶または検索するよりも、著しく迅速になる。

40

【 0 0 2 2 】

T L B ミス事象により T L B 1 0 8 がロックされる時、制御論理回路 1 0 6 は、T L B ミス事象に応答する例外ハンドラ 1 1 2 や 1 3 2 を起動するために、T L B ミス事象を生成するスレッド 1 1 2 または 1 1 4 に命令する。制御論理回路 1 0 6 が、T L B ミス事象が処理されたことを示す戻り命令や他の信号を例外ハンドラ 1 2 2 や 1 3 2 から受信すると、制御論理回路 1 0 6 は T L B ロックインジケータ 1 1 0 をアンロックする。

50

【 0 0 2 3 】

特定の実施形態において、T L B 1 0 8 は、例外処理のために、第 1 のスレッド 1 1 2 によってロックされ、第 2 のスレッド 1 1 4 も T L B ミス事象を起こす仮想アドレス変換を要求する。第 2 のスレッド 1 1 4 に関連する T L B ミス事象を知らされ、制御論理回路 1 0 6 は、T L B ロックインジケータ 1 1 0 がロック構成状態であると決定し、第 2 のスレッド 1 1 4 にスリープ状態になるように命令する。例えば、制御論理回路 1 0 6 は、第 2 のスレッド 1 1 4 に現行状態を保存し、T L B ミス事象を引き起こした最後に行われたパケットのアドレスを記憶し、第 2 のスレッド 1 1 4 が命令を処理する間、待ち状態 (wait state) に入るように命令する。T L B ロックインジケータ 1 1 0 がロック状態のままの間、追加スレッドは T L B ミス事象に直面し、制御論理回路 1 0 6 によってスリープ状態にされる。

10

【 0 0 2 4 】

制御論理回路 1 0 6 は、例えば、例外ハンドラ 1 2 2 によって実行される戻り命令を通して、第 1 のスレッド 1 1 2 に関連する T L B ミス事象が処理されたことと知られる時、制御論理回路 1 0 6 は T L B ロックインジケータ 1 1 0 をアンロックし、1 つ以上の処理スレッドが、T L B 1 0 6 がロックされたことにより、スリープ状態であるか否かを決定する。もしそうならば、制御論理回路 1 0 6 は、処理を再開するために、1 つ以上のスリープ状態のスレッド、例えば第 1 のスレッド 1 1 4 など、を覚醒 (awaken) する。

【 0 0 2 5 】

例えば、第 2 のスレッド 1 1 4 は覚醒される、そして、第 2 のスレッド 1 1 4 がスリープ状態に置かれるより先に直ちに実行され、T L B ミス事象を起こす命令パケットを再現する。再現された命令パケットは、T L B 1 0 8 で仮想アドレスの変換のために要求を繰り返す。第 1 のスレッド 1 1 2 によって行われた例外処理の結果として、第 2 のスレッドによって要求された仮想アドレス変換は、T L B 1 0 8 に潜在的に記憶される。そうでないならば、第 2 の T L B ミス事象が起き、それに応答して、制御論理回路 1 0 6 は T L B ロックインジケータ 1 1 0 をロック構成に再設定し、第 2 のスレッド 1 1 4 の例外ハンドラ 1 3 2 に、第 2 の T L B ミス事象を処理するための命令を処理し始めるように命令する。

20

【 0 0 2 6 】

図 2 を参照すると、共有リソースのためのハードウェアロックを含む処理システムの特定の実例となる実施形態が示され、全般として 2 0 0 で表される。処理システム 2 0 0 は、バスインターフェース 2 0 8 を通して命令キャッシュ 2 1 0 に結合されるメモリ 2 0 2 を含む。処理システム 2 0 0 は、バスインターフェース 2 0 8 を通してメモリ 2 0 2 に結合されるデータキャッシュ 2 1 2 も含む。命令キャッシュ 2 1 0 は、バス 2 1 1 を通してシーケンサ 2 1 4 に結合される。特定の例において、シーケンサ 2 1 4 は、割り込みレジスタ (示されていない) から検索された汎用割り込み (general interrupts) 2 1 6 も受信する。特定の実施形態において、命令キャッシュ 2 1 0 は、バス 2 1 1 に結合され、処理システム 2 0 0 の特定スレッドに関連付けられた複数の現行命令レジスタを通してシーケンサ 2 1 4 に結合される。特定の実施形態において、処理システム 2 0 0 は、6 つのスレッドを含むインターリーブ・マルチスレッド・プロセッサ (interleaved multi-threaded processor) である。

30

40

【 0 0 2 7 】

特定の実施形態において、バス 2 1 1 は 6 4 ビットバスであり、シーケンサ 2 1 4 は、各 3 2 ビットの長さを有する複数の命令を含む命令パケットを通してメモリ 2 0 2 から命令を取り戻すように構成される。バス 2 1 1 は、第 1 の命令実行ユニット 2 1 8、第 2 の命令実行ユニット 2 2 0、第 3 の命令実行ユニット 2 2 2、第 4 の命令実行ユニット 2 2 4 に結合される。各命令実行ユニット 2 1 8、2 2 0、2 2 2、2 2 4 は、第 2 のバス 2 2 8 を通して汎用レジスタファイル 2 2 6 に結合される。汎用レジスタファイル 2 2 6 は、第 3 のバス 2 3 0 を通してシーケンサ 2 1 4 とデータキャッシュ 2 1 2 にも結合される。

50

【 0 0 2 8 】

シーケンサ 2 1 4 は、スレッド固有監視制御レジスタ 2 3 2 とグローバル制御レジスタ 2 3 4 へのアクセスを有する制御論理回路 2 7 0 を含み、または、結合される。制御論理回路 2 7 0 は、変換索引バッファ (T L B) 2 7 2 にさらに結合される。T L B 2 7 2 は、仮想から物理アドレスへの変換を提供するため、および、要求されたアドレスが T L B 2 7 2 に記憶されていない時に、T L B ミス事象を制御論理回路 2 7 0 に信号で送るために、1 つ以上の実行ユニット 2 1 8、2 2 0、2 2 2、2 2 4 へアクセス可能である。

【 0 0 2 9 】

特定の実施形態において、各スレッド固有監視制御レジスタ 2 3 2 は、スリープフィールド 2 8 0、例外フィールド 2 8 2、再開アドレスフィールド 2 8 4 などの複数のビットフィールドを含む。スリープフィールド 2 8 0 は、関連スレッドがアクティブ状態とスリープ状態との間で移行するか否かを示す 1 つ以上の数値やビット設定を記憶する。例外フィールド 2 8 2 は、一般の例外や T L B ミス例外などの特定の種類の例外を示すために 1 つ以上の数値を記憶する。再開アドレスフィールド 2 8 4 は、スレッドが覚醒する時、実行を再開するために、命令パケットや実行パケットを配置するためのアドレスやポインタを記憶する。例えば、スレッドが、T L B 2 7 2 がロックされている間に起きる T L B ミス事象に回答してスリープ状態に置かれた時、スレッドは、T L B ミス事象にアドレスフィールド 2 8 4 を再開させる命令のアドレスを記憶する。特定の実施形態において、スリープフィールド 2 8 0 の数値は、スリープインジケータから覚醒インジケータに移行するとき、関連スレッドは、再開アドレスフィールド 2 8 4 に記憶された数値によって示された命令パケットや実行パケットを再ロードし、実行を開始する。

【 0 0 3 0 】

特定の実施形態において、グローバル制御レジスタ 2 3 4 は、スレッドウェーク (thread wake) 先入れ先出し方式 (F I F O) 2 9 0 などのスリープ状態のスレッドを覚醒するための順序を示すために、1 つ以上のフィールドを含む。スレッドウェーク F I F O 2 9 0 は、T L B ロック 2 9 2 がロック構成の間に起こる T L B ミス事象に回答してスリープ状態にされているシステム 2 0 0 の 1 つ以上の処理スレッドを識別するために、1 つ以上のインジケータを含む。スレッドウェーク F I F O 2 9 0 は、制御論理回路 2 7 0 が、一致した順序でスリープ状態のスレッドを検索するために実施可能であるように、スレッドがスリープ状態に置かれる順番にスレッドインジケータを記憶するように構成される。T L B ロック 2 9 2 は、単一のビット、T L B 2 7 2 がロック状態かアンロック状態かを示す数値、を含む。

【 0 0 3 1 】

特定の実施形態において、制御論理回路 2 7 0 は、T L B 2 7 2 で 1 つ以上のミス事象の表示 (indication) を受信するように構成される。制御論理回路 2 7 0 は、T L B ロック 2 9 2 の状態を最初にチェックすることで、T L B ミス事象に回答するように構成される。T L B ロック 2 9 2 が、T L B 2 7 2 はアンロック状態であると示す時、制御論理回路 2 7 0 は、T L B ミス事象が起こったことを示し、スレッドに例外ハンドラを起動させるように命令を出すために、T L B ロック値 2 9 2 をロック状態に移行し、対応するスレッド固有監視制御レジスタ 2 3 2 の例外フィールド 2 8 2 に数値を書き込む。

【 0 0 3 2 】

制御論理回路 2 7 0 は、例えば、T L B ミス事象を引き起こす仮想アドレス変換が T L B 2 7 2 にプログラムされる時など、T L B ミス事象が処理された時に、例外ハンドラから命令や信号を受信するように、さらに構成される。それに応答して、制御論理回路 2 7 0 は、1 つ以上のスレッドが覚醒されるべきか否かを決定するために、T L B ロック 2 9 2 をアンロックし、スレッドウェーク F I F O 2 9 0 をチェックするように構成される。もしそうならば、制御論理回路 2 7 0 は、例えば、スレッドの優劣、他のメカニズム、またはそれらの組み合わせに基づいたスレッドウェーク F I F O 2 9 0 の記憶装置の順序、処理システム 2 0 0 の処理の順序、または、1 つ以上のアルゴリズム通して決定さ

10

20

30

40

50

れた順序で、1つ以上のスレッドを覚醒するように構成される。

【0033】

制御論理回路270は、TLBロック292がロック状態の間、例えばTLB 272で少なくとも1つの項目を変更することを含む別のスレッドによる例外処理の間など、に起きるTLBミス事象に応答するように構成される。制御論理回路270は、最近のTLBミス事象に関連するスレッドに、最近のTLBミス事象と関連のある例外ハンドラを開始することなく、最近の命令パケットや実行パケットのアドレスを再開アドレスフィールド284に記憶させ、スリープ状態にするために、スレッド固有監視制御レジスタ232に書き込むように構成される。制御論理270は、現行スレッドがスリープに置かれている時、現行スレッドに関連するプログラムカウンタを増やさないようにも構成される。制御論理回路270は、スレッドウェイクFIFO 290で現行スレッドの識別子を記憶するように、さらに構成される。

10

【0034】

図3を参照すると、マルチスレッドプロセッサでロックインジケータを使用する方法の特定の実例となる実施形態が示され、全般として300で表される。図3の実例となる実施形態において、ロックインジケータは、複数の処理スレッド間で共有された変換索引バッファ(TLB)に関連するレジスタビットなどのハードウェアロックである。実例となる実施形態において、方法300は、図1の制御論理回路106や図2の制御論理回路270などのマルチスレッドプロセッサの制御論理回路によって実行される。

【0035】

20

302で、マルチスレッドプロセッサのスレッドに関連するTLBミス事象が受信される。特定の実施形態において、TLBミス事象は、ソフトウェア管理TLBで発生する。304へ続き、TLBロックインジケータがチェックされる。TLBロックインジケータは、図2のTLBロック292などのグローバル制御レジスタの1つ以上のレジスタビットを含む。306に進み、TLBロックインジケータがロックされたかアンロックされたかについての決定がなされる。

【0036】

TLBロックインジケータがロックされていると決定されると、処理は、スレッドが、制御論理回路を使用してスリープ状態におかれる308に進む。310に進み、特定の実施形態において、TLBロックを引き起こす例外ハンドラの状態が決定される。312に進み、例えば、例外ハンドラが動作を完了していないなどの、例外が処理されていないと決定されると、処理は310に戻る。例外が処理されると決定されると、特定の実施形態において、処理は、TLBロックインジケータがロック状態からアンロック状態に変換され、314に続く。316に進み、ロック状態からアンロック状態へのTLBロックインジケータ変換の後、TLBミス事象を引き起こすパケットの実行が再現される。

30

【0037】

306にもどり、TLBロックインジケータがアンロックされると決定されると、処理は、TLBに関連する例外ハンドラへのスレッドによるアクセスが制御論理回路を使用して許可され、318に進む。320に進み、TLBロックインジケータは、アクセスが許可された時、制御論理回路を使用してロックされる。実例となる実施形態において、例外ハンドラはTLBロックインジケータをアンロック状態に設定する。

40

【0038】

322に移動すると、TLBミス事象に関する結果が計算される。例えば、TLBに位置しないアドレスのための仮想アドレス変換はページテーブルにアクセスすることで決定される。324に続き、特定の実施形態において、ページテーブルからの結果はTLBにプログラムされる。

【0039】

326に進み、TLBロックインジケータはアンロックに設定される。TLBロックインジケータをアンロックすることと同時に、328で、処理は、例外ハンドラから戻る。特定の実施形態において、TLBロックインジケータは、例外ハンドラから戻り次第、自

50

動的にアンロックされる。

【 0 0 4 0 】

図 4 を参照すると、共有リソースのためにロックインジケータを有するマルチスレッドプロセッサで動作の特定の実例となる実施形態が示され、全般として 4 0 0 で表される。図 4 0 0 は、代表スレッド（スレッド 0、スレッド 1、スレッド 2、スレッド 3）などの複数のスレッドに関連する動作を示す。制御ユニットに関連する動作と、T L B ロックインジケータに関連した動作も示される。動作間の時間的關係は、時間 0 - 時間 5 とラベル付けされた 6 つの代表的な連続した期間によって識別される。特定の実施形態において、制御ユニットは、図 1 の制御論理回路 1 0 8 や図 2 の制御論理回路 2 7 0 などの制御論理回路を含む。

10

【 0 0 4 1 】

時間 0 において、T L B アクセスはスレッド 0 のために確保され、スレッド 0 は T L B ミス事象 4 0 2 に出会う。T L B ミス事象 4 0 2 に応答して、信号 4 0 3 が制御ユニットに送られる。信号 4 0 3 の受信をうけて、制御ユニットはチェックロック動作 4 0 4 を処理する。チェックロック動作 4 0 4 は、T L B ロックインジケータがロック設定かアンロック設定かを決定する。図 4 の実例となる実施形態において、チェックロック動作 4 0 4 は、T L B ロックインジケータがアンロック状態 4 0 6 であるか否かを決定する。

【 0 0 4 2 】

T L B ロックインジケータがアンロック状態 4 0 6 であると決定することに応答して、制御ユニットは、T L B ロックインジケータをロック状態 4 1 0 にするために、セットロック動作 4 0 8 を行う。さらに、制御ユニットは信号 4 0 9 をスレッド 0 に送る。信号 4 0 9 に応答して、スレッド 0 は T L B ミス例外ハンドラ 4 1 2 を起動する。

20

【 0 0 4 3 】

時間 1 の間、T L B アクセスは、スレッド 1 のために確保される。スレッド 0 が T L B ミス例外ハンドラ 4 1 2 を実行している間、スレッド 1 は、同様に T L B ミス事象 4 1 4 を起こす T L B アクセス試行を行う。T L B ミス事象 4 1 4 は、信号 4 1 5 を通して制御ユニットに伝達される。制御ユニットは、T L B ロックインジケータがロック状態 4 1 8 にあるか決定するチェックロック動作 4 1 6 を行う。T L B ロックインジケータがロック状態 4 1 8 のため、制御ユニットは、4 2 0 で、スレッド 1 をスリープ状態にする信号 4 1 9 を送る。信号 4 1 9 に応答して、スレッド 1 は、例えば、プログラムカウンタ値、スレッドコンテキスト値、他の状態情報やそれらの任意の組み合わせを記憶することによってなど、スレッドの現行状態を保存し、活性低下状態に入る。

30

【 0 0 4 4 】

時間 2 の間、T L B アクセスはスレッド 2 のために確保される。スレッド 0 が T L B ミス例外ハンドラ 4 1 2 を実行し続ける間、及び、スレッド 1 がスリープ状態の間、スレッド 2 は T L B アクセス動作 4 2 2 を行う。同様に、時間 3 の間、T L B アクセスは、T L B アクセス動作 4 2 4 を行うスレッド 3 のために確保される。

【 0 0 4 5 】

時間 4 の間、スレッド 0 の T L B ミス例外ハンドラ 4 1 2 は、処理を終了する。例えば、T L B ミス例外ハンドラ 4 1 2 はページテーブルにアクセスし、T L B ミス事象 4 0 2 を引き起こす仮想アドレス変換を決定し、T L B に変換をプログラムし、戻り命令を実行する。信号 4 2 5 は、T L B ミス例外ハンドラ 4 1 2 が完了したことを制御ユニットに知らせる。T L B ミス例外ハンドラ 4 1 2 の完了に応答して、制御ユニットは、T L B ロックインジケータをアンロック構成 4 2 8 に移行するために、設定ロック動作 4 2 6 を行う。

40

【 0 0 4 6 】

制御論理回路は、T L B ロックインジケータが、いつロック状態 4 1 8 でなくなったかを決定するためにチェックロック動作を行う。例えば、チェックロック動作は、制御ユニットによって決定された指定された事象に応答して、または、信号 4 2 5 などの例外ハンドラの完了を示す信号に自動的に応答して、指定された間隔で、制御ユニットによって周

50

期的に従事させられる。セットロック動作 4 2 6 に応答して、または、チェックロック動作 4 3 0 に応答して、若しくは、それらの任意の組み合わせに応答して、T L B ロックインジケータはアンロック状態 4 2 8 にあることが決定される。

【 0 0 4 7 】

制御ユニットは、4 3 2 で、覚醒するために次のスレッドを決定する。図 4 に示されるように、スレッド 1 は、T L B ロックインジケータがロック状態 4 1 8 にある間、T L B ミスに応答して、スリープ状態に置かれた第 1 のスレッドである。従って、時間 5 で、制御ユニットは、スレッド 1 がウェーク動作を行い、命令パケット動作の実行を再現すること (4 3 4) に応答して、スレッド 1 を覚醒するために信号 4 3 3 を送る。

【 0 0 4 8 】

特定の実施形態において、パケット動作のウェークや再現 4 3 4 の実行は、スレッド 1 がスリープ状態 4 2 0 に置かれる前に保存されたスレッド 1 の前回の状態を再ロードし、T L B ミス事象 4 1 4 を生成するパケットの実行を再現する。特定の実施形態において、要求された仮想アドレスは、T L B ミス例外ハンドラ 4 1 2 によって T L B にロードされる。さもなければ、別の T L B ミス事象は、命令パケットの実行 4 3 4 を再現すること起因し、制御ユニットは、T L B ミス 4 0 1 に限っては、ある意味で実質的に類似して応答する。

【 0 0 4 9 】

図 5 は、共有リソースのためのロックインジケータを有するマルチスレッドプロセッサを含む代表的な無線通信デバイス 5 0 0 のブロック図である。無線通信デバイス 5 0 0 は、T L B 5 6 4 などの共有リソースを含むマルチスレッドデジタル信号プロセッサ (D S P) 5 1 0 と、T L B 5 6 4 に結合され、T L B ロックインジケータ 5 6 8 にさらに結合された制御論理回路 5 6 6 を含む。制御論理回路 5 6 6 は、図 1 - 4 に開示されているように、システムと方法に従って動作するように構成される。

【 0 0 5 0 】

図 5 は、デジタル信号プロセッサ 5 1 0 とディスプレイ 5 2 8 に結合されたディスプレイコントローラ 5 2 6 も示す。さらに、入力デバイス 5 3 0 はデジタル信号プロセッサ 5 1 0 に結合される。そのうえ、メモリ 5 3 2 はデジタル信号プロセッサ 5 1 0 に結合される。符号器 / 復号器 (C O D E C) 5 3 4 も、デジタル信号プロセッサ 5 1 0 に結合される。スピーカ 5 3 6 とマイクロフォン 5 3 8 は、C O D E C 5 3 4 に結合される。

【 0 0 5 1 】

図 5 は、無線コントローラ 5 4 0 がデジタル信号プロセッサ 5 1 0 や無線アンテナ 5 4 2 に結合されうること示す。特定の実施形態において、電源 5 4 4 はオンチップシステム 5 2 2 に結合される。さらに、特定の実施形態において、図 5 で示されるように、ディスプレイ 5 2 8、入力デバイス 5 3 0、スピーカ 5 3 6、マイクロフォン 5 3 8、無線アンテナ 5 4 2、電源 5 4 4 はオンチップ 5 2 2 の外にある。しかしながら、其々がオンチップシステム 5 2 2 のコンポーネントに結合される。

【 0 0 5 2 】

制御論理回路 5 6 6 は、T L B ロックインジケータ 5 6 8 に関連して T L B 5 6 4 にアクセスするための要求を制御することに必ずしも限定される必要がないことは理解されるべきである。その代わりとして、制御論理回路 5 6 6 は、ディスプレイコントローラ 5 2 6、C O D E C 5 3 4、無線コントローラ 5 4 0、D S P 5 1 0 に結合された、若しくは D S P 5 1 0 の任意の別のコンポーネント、またはそれらの任意の組み合わせなどの 1 つ以上の別の共有リソースへのアクセスを制御するために実施可能である。

【 0 0 5 3 】

開示されたシステムと方法に関連して、マルチスレッドプロセッサで共有リソースのロック状態を示すためのメカニズムの実例、例えば、図 1 の T L B ロックインジケータ 1 1 0 や図 2 の T L B ロック 2 9 2 など、が提供される。共有リソースは、図 1 の制御論理回路 1 0 6 や図 2 の制御論理回路 2 7 0 などの制御回路構成の動作によって、共有リソースに関連する例外処理命令を処理する前に自動的にロックされる。共有リソースは、また、

10

20

30

40

50

図 1 の制御論理回路 106 や図 2 の制御論理回路 270 などの制御回路構成の動作、または、共有リソースをアンロックするための例外ハンドラの 1 つ以上の命令などの実行命令の動作によってアンロックはされる。

【0054】

当業者は、本明細書に開示された実施形態と関連して記述されている様々な実例となる論理ブロック、構成、モジュール、回路、アルゴリズムステップ (algorithm steps) が電子ハードウェア、コンピュータソフトウェアまたは両方の組み合わせとして実施されることを、さらに認識するであろう。このハードウェアとソフトウェアの互換性を明確に示すために、様々な実例となるコンポーネント、ブロック、構成、モジュール、回路、ステップをそれらの機能性という観点から一般的に上に記述されている。ハードウェア、ソフトウェア、またはハードウェアとソフトウェアの組み合わせとして上記機能性が実施されるか否かは、特定のアプリケーションとシステム全般に課された設計制約とに依存する。当業者は各特定アプリケーションについて様々な方法で上記機能性を実施することができるが、このような実施の決定は本発明の範囲からの逸脱の原因になるとして解釈されるべきではない。

【0055】

本明細書に開示された実施形態に関して示される方法またはアルゴリズムのステップは、直接的にハードウェア、プロセッサによって実行されるソフトウェアモジュール、または二つの組み合わせに組み込まれる。ソフトウェアモジュールは、ランダムアクセスメモリ (RAM)、フラッシュメモリ、読み取り専用メモリ (ROM)、消去可能 PROM (EPROM)、電氣的消去可能 PROM (EEPROM)、レジスタ、ハードディスク、取外し可能ディスク、CD-ROM、または本技術分野において周知の記憶媒体の他の形態に存する。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるプロセッサに結合される。代替において、記憶媒体はプロセッサに一体化される。プロセッサと記憶媒体は ASIC に存する。ASIC は、計算デバイスまたはユーザー端末に存する。代替において、プロセッサと記憶媒体は、個別コンポーネントとして、計算デバイスまたはユーザー端末に存する。

【0056】

開示された実施形態の以上の記述は、当業者に本発明の実施及び使用を可能にするために提供される。これらの実施形態への様々な変更は当業者には容易に明らかであり、本明細書において定義された包括的な原理は、本発明の精神または範囲を逸脱することなく他の実施形態に適用可能である。従って、本発明は本明細書に記載の実施形態に制限されるものではなく、本明細書で開示される原理及び新規な特徴と合致する最も広い範囲が与えられるべきである。

【 図 1 】

図 1

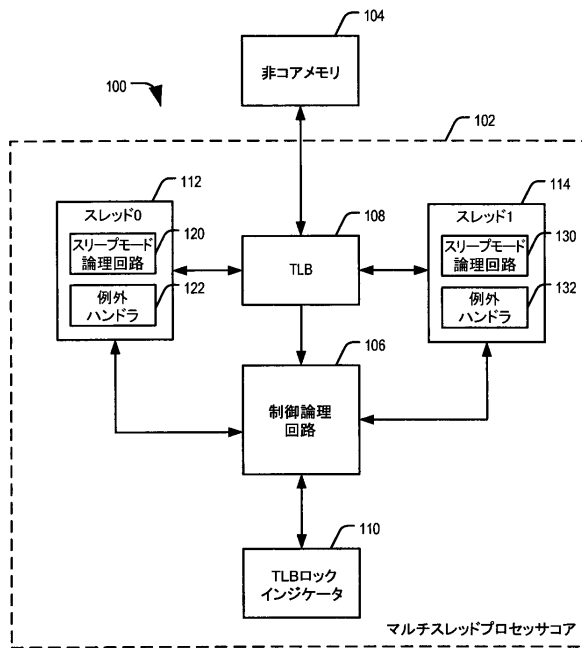


FIG. 1

【 図 2 】

图 2

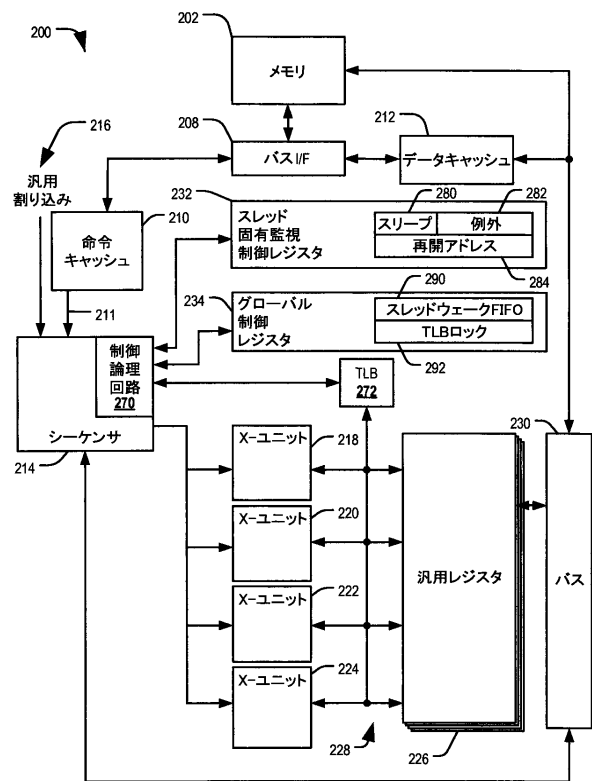


FIG. 2

【 図 3 】

図 3

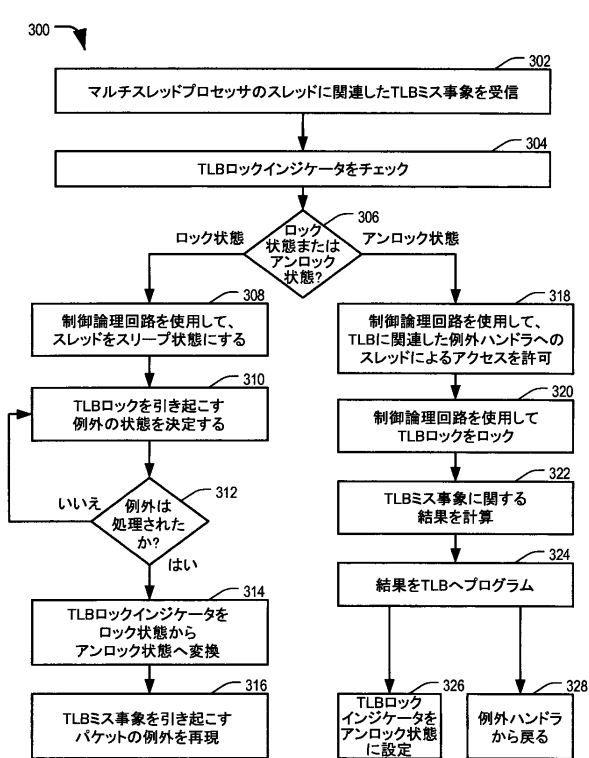


FIG. 3

【圖 4】

图 4

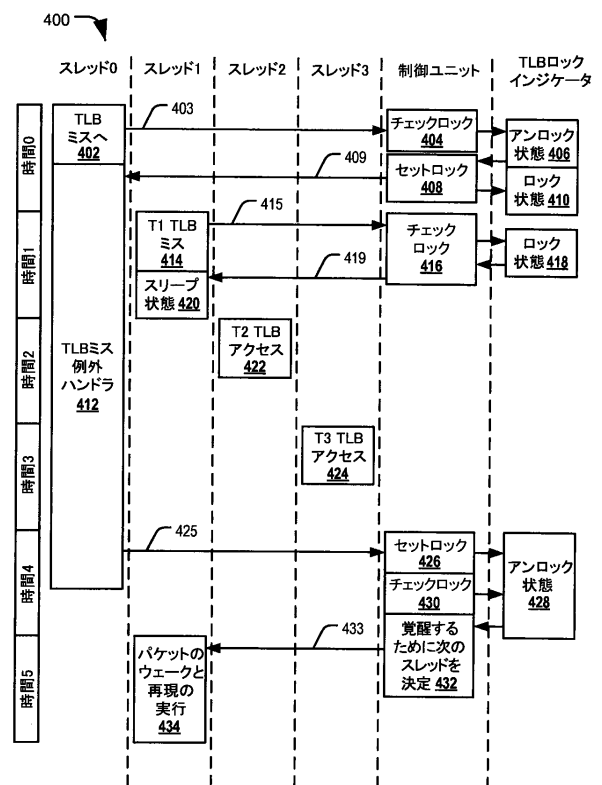


FIG. 4

【 図 5 】

図 5

500

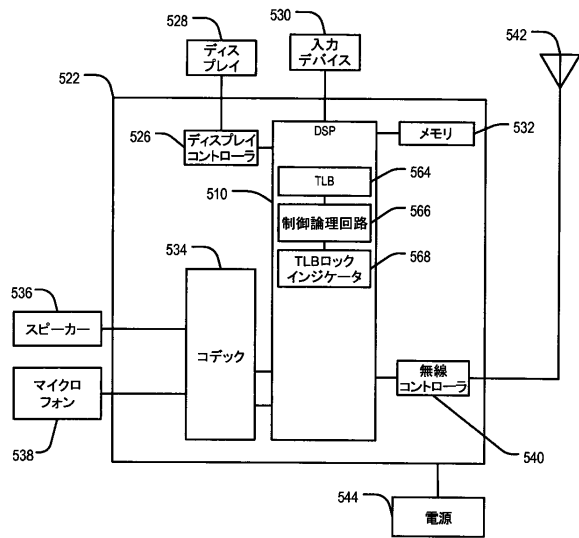


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/US2008/085402

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F9/52 G06F12/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/294341 A1 (PLONDKE ERICH [US] ET AL) 28 December 2006 (2006-12-28) the whole document	1-25
A	US 2001/052053 A1 (NEMIROVSKY MARIO [US] ET AL) 13 December 2001 (2001-12-13) paragraphs [0064], [0251] - paragraph [0255] paragraph [0265] - paragraph [0268] paragraph [0369] - paragraph [0374]	1-25
A	US 2004/267996 A1 (HAMMARLUND PER [US] ET AL) 30 December 2004 (2004-12-30) paragraphs [0005], [0019], [0026] - paragraph [0038] paragraph [0060] - paragraph [0068] <div style="text-align: center;">-/-</div>	1-25
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 20 March 2009		Date of mailing of the international search report 30/03/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Carciofi, Andrea

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2008/085402

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/136725 A1 (ACCAPADI JOS M [US] ET AL) 14 June 2007 (2007-06-14) abstract paragraph [0024] - paragraph [0029] -----	1-25
A	US 2005/235134 A1 (O'SULLIVAN DANIEL S [AU]) 20 October 2005 (2005-10-20) paragraph [0180] - paragraph [0186]; figure 2 -----	1-25
A	US 2002/062434 A1 (CHAUVEL GERARD [FR] ET AL) 23 May 2002 (2002-05-23) paragraph [0048] - paragraph [0049]; figure 6 -----	1,9,13, 20,24

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2008/085402

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2006294341	A1	28-12-2006	CN 101243398 A WO 2007002415 A1	13-08-2008 04-01-2007
US 2001052053	A1	13-12-2001	AU 2773601 A EP 1259888 A1 JP 3801919 B2 JP 2003523112 T WO 0159585 A1 US 2006159104 A1 US 2006153197 A1 US 2001043610 A1 US 2002083173 A1 US 2002021707 A1 US 2002039368 A1 US 2002018486 A1 US 2002054603 A1	20-08-2001 27-11-2002 26-07-2006 29-07-2003 16-08-2001 20-07-2006 13-07-2006 22-11-2001 27-06-2002 21-02-2002 04-04-2002 14-02-2002 09-05-2002
US 2004267996	A1	30-12-2004	CN 1577282 A DE 112004001133 T5 GB 2417805 A HK 1081301 A1 JP 2007520769 T KR 20060029151 A TW 266987 B US 2007162774 A1 WO 2005003971 A2	09-02-2005 11-05-2006 08-03-2006 06-02-2008 26-07-2007 04-04-2006 21-11-2006 12-07-2007 13-01-2005
US 2007136725	A1	14-06-2007	CN 1983193 A US 2008163217 A1	20-06-2007 03-07-2008
US 2005235134	A1	20-10-2005	NONE	
US 2002062434	A1	23-05-2002	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100101812

弁理士 勝村 紘

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(74)代理人 100127144

弁理士 市原 卓三

(74)代理人 100141933

弁理士 山下 元

(72)発明者 コドレスキュ、ルシアン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ブロンドケ、エリッチ・ジェイ・

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ベンクマハンティ、スレッシュ・ケー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

F ターム(参考) 5B005 JJ01 MM51 NN46 QQ05 SS13

5B060 CD17