

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96127106

※ 申請日期：96.7.25

※IPC 分類：H03M1/78;G09F9/00

(2006.01.01)

一、發明名稱：(中文/英文)

數位-類比轉換器及影像顯示裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 吉岡 雅樹
YOSHIOKA, MASAKI
2. 大賀 玄一郎
OGA, GENICHIRO
3. 北村 健
KITAMURA, KEN
4. 杉山 高明
SUGIYAMA, TAKAAKI
5. 矢野 元康
YANO, MOTOYASU

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN
5. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年07月26日；特願2006-203553

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種於輸入之數位(影像)信號的各高階位元和低階位元具備電阻串，抽樣保持於高階電阻串產生之高階電壓值，並向此值加上於低階電阻串產生之低階電壓的數位-類比轉換器，和於分別驅動像素部之信號線的驅動單元內具備該數位-類比轉換器之功能的影像顯示裝置。

【先前技術】

於例如液晶顯示器等顯示面板中，作為驅動IC具有驅動其各像素行之信號線的水平驅動器。

雖向水平驅動器輸入數位之影像信號，但必須將其轉換為類比之像素驅動信號。因此，水平驅動器中於各信號線內裝對應於影像信號位元數(例如8位元或更高)之性能的數位-類比轉換器(以下稱DAC(數位-類比轉換器)或D/A轉換器)。

DAC提出有各種方式，但特別係於影像顯示器等之用途上，於數百至數千之各影像信號線必須有DAC，由削減其配置空間之需求，要求高性能(高精度轉換)和小佔用面積兼具。

為達成高精度轉換必須盡可能採用簡單之電路構成，作為滿足此需求之方式，已知有電阻串型之DAC(D/A轉換器)(例如參照專利文獻1)。

圖1顯示電阻串型D/A轉換器之基本構成。

於應輸出之類比電壓之最小電壓(類比下限值) V_b 的輸入端子 T_b 與上述類比電壓之最大電壓(類比上限值) V_t 的輸入端子 T_t 之間，連接有由複數 2^N 個電阻器元件 RE_0 、 RE_1 、 $\dots$ 、 $RE(2^N-2)$ 、 $RE(2^N-1)$ 之串聯連接體構成的電阻串 RS 。

於各電阻器元件間之節點、及末端電阻器元件和輸入端子 T_b 或輸入端子 T_t 之連接節點(此處為輸入端子 T_b 側之連接節點)，連接有各開關(以下稱為選擇開關)。圖1之例中，於電阻器元件 RE_0 與 RE_1 之連接節點，連接有選擇高階選擇開關 S_0 ，同樣，於電阻器元件 RE_1 與 RE_2 之連接節點連接有選擇開關 S_1 ，此連接關係一邊逐個移位電阻器元件一邊亦於其他選擇開關 $S_2 \sim S(2^N-1)$ 重複。

與 2^N 個選擇開關 $S_0 \sim S(2^N-1)$ 之電阻器元件相對之側係短路，並與輸出端子 T_o 連接。

此D/A轉換器根據輸入之 N 位元之數位信號選擇一選擇開關，則可自輸出端子 T_o 得到作為輸出電壓 V_o 之將 $(V_t - V_b) 2^N$ 等分之希望的類比DC電壓。

[專利文獻1]日本專利特開2002-175021號公報

【發明內容】

[發明所欲解決之問題]

此方式之D/A轉換器，有若位元數為 N 則所需之類比開關(選擇開關)數為 2^N 個，於多位元轉換之情形開關數量龐大之缺點。

特別係於影像顯示裝置之信號線驅動上使用此方式之

D/A轉換器的情形，因開關較多故配置困難，此外導致驅動IC之成本增加。

本發明欲解決之問題係提供一種在維持高轉換精度下，以簡單之構成減少選擇開關數的數位-類比轉換器，和將該數位-類比轉換器用於信號線驅動之影像顯示裝置。

[解決問題之技術手段]

本發明相關之數位-類比轉換器，具有：產生與輸入之數位信號之高階位元對應之複數高階電壓值的高階電阻串；產生與前述數位信號之低階位元對應之複數低階電壓值的低階電阻串；運算放大器；自於前述高階電阻串產生之前述複數高階電壓值選擇與前述高階位元對應之一個高階電壓值並向前述運算放大器之一方輸入輸出的高階選擇器；自於前述低階電阻串產生之前述複數低階電壓值選擇與前述低階位元對應之一個低階電壓值並向前述運算放大器之另一方輸入輸出的低階選擇器；與前述高階選擇器之輸出連接之第1開關；連接於前述第1開關與前述運算放大器之一方輸入之間的高階電容器；連接於前述高階電容器之一方電極與前述運算放大器之輸出之間的第2開關；連接於前述高階電容器之另一方電極與前述運算放大器之輸出之間的第3開關；及控制第1~第3開關之控制電路。

本發明中較佳地，於前述低階選擇器與前述運算放大器之前述另一方輸入之間連接低階電容器，於前述低階電容器與前述運算放大器之連接節點連接有第4開關，該第4開關係藉由前述控制電路之控制而於對前述運算放大器之前

述另一方輸入設定初始直流電壓時接通。

進而較佳地，前述高階電容器和前述低階電容器之各電容值係設定為自電容器與前述運算放大器之連接節點所視的電容值相等。

本發明相關之影像顯示裝置，具備：電壓驅動之像素呈矩陣狀多數排列的像素部；於前述像素部之各像素行設置的複數信號線；於前述複數信號線分別逐個設置之複數驅動單元；於前述複數驅動單元共通設置並產生與輸入之數位影像信號之高階位元對應之複數高階電壓值的高階電阻串；於前述複數驅動單元共通設置並產生與前述數位影像信號之低階位元對應之複數低階電壓值的低階電阻串；及控制電路。此外，前述複數之驅動單元分別含有：運算放大器；自於前述高階電阻串產生之前述複數高階電壓值選擇與前述高階位元對應之一個高階電壓值並向前述運算放大器之一方輸入輸出的高階選擇器；自於前述低階電阻串產生之前述複數低階電壓值選擇與前述低階位元對應之一個低階電壓值並向前述運算放大器之另一方輸入輸出的低階選擇器；與前述高階選擇器之輸出連接的第1開關；連接於前述第1開關與前述運算放大器之一方輸入之間的高階電容器；連接於前述高階電容器之一方電極與前述運算放大器之輸出之間的第2開關；及連接於前述高階電容器之另一方電極與前述運算放大器之輸出之間的第3開關。前述控制電路係控制上述第1~第3開關之控制電路。

本發明中較佳地，於前述各驅動單元中，於前述低階選

擇器與前述運算放大器之前述另一方輸入之間連接低階電容器；於前述各驅動單元中，於前述低階電容器與前述運算放大器之連接節點，連接有藉由前述控制電路之控制而於對前述運算放大器之前述另一方輸入設定初始直流電壓時接通之第4開關。

進而較佳地，前述高階電容器和前述低階電容器之各電容值係設定為自電容器與前述運算放大器之連接節點所視的電容值相等。

若藉由上述構成，則輸入之數位信號的高階位元(若位元數比數位信號之位元數小則任意)向高階選擇器輸入，剩餘之低階位元向低階選擇器輸入。

高階選擇器選擇於電阻串之電阻器元件間的連接節點(但於串末端為電阻器元件之最大電壓或最小電壓的施加節點)產生之複數高階電壓值的任一個，並向運算放大器之一方輸入輸出。於此高階選擇器之輸出與運算放大器之一方輸入之間，第1開關和高階電容器自高階選擇器之輸出側以此順序串聯連接。此外，高階電容器之一方電極(例如運算放大器側之電極)可經由第2開關與運算放大器之輸出短路。進而，高階電容器之另一方電極(例如高階選擇器側之電極)可經由第3開關與運算放大器之輸出短路。

自低階選擇器之輸出與運算放大器之另一方輸入可輸入地連接。

藉由控制電路控制此等第1~第3開關接通之時點，可自運算放大器得到向與高階位元對應之高階電壓值以高精度

加上與低階位元對應之低階電壓值的輸出。

[發明之效果]

若藉由本發明，則有可在維持高轉換精度下以簡單之構成減少選擇開關之數量的優點。

【實施方式】

以下，以於各信號線驅動單元內裝數位-類比轉換器之影像顯示裝置為例，參照圖式對本發明之實施形態進行說明。

[第1實施形態]

圖2係表示作為本發明之實施形態相關的影像顯示裝置之液晶顯示面板之構成例的電路圖。圖2中，為簡化而以4列×4行之像素排列為例顯示。

於圖示之液晶顯示面板1中，配置為行列狀之4列×4行的各像素11由薄膜電晶體TFT、於薄膜電晶體TFT之源極和汲極之一方連接像素電極之液晶胞LC、及於該源極或汲極連接一方電極之保持電容Cs構成。對於此等各像素11，信號線(資料線)12-1~12-4於各行沿其像素排列方向配線，閘極線13-1~13-4於各列沿其像素排列方向配線。

於各像素11中，薄膜電晶體TFT之源極(或汲極)與對應之資料線12-1~12-4分別連接。薄膜電晶體TFT之閘極與閘極線13-1~13-4分別連接。液晶胞LC之相對電極及保持電容Cs之另一方電極於各像素間與Cs線14共通連接。向此Cs線14施加作為共通電壓Vcom之預定之直流電壓。

藉由以上，構成像素11配置為行列狀，對於此等像素11

資料線 12-1~12-4 於各行配線，且閘極線 13-1~13-4 於各列配線而成之像素部 2。於像素部 2 中，閘極線 13-1~13-4 之各一端與垂直驅動器 (V·DRV) 3 之各列的輸出端連接。

垂直驅動器 3 於每 1 畫面顯示期間向垂直方向 (行方向) 掃描並以列單位依序選擇與閘極線 13-1~13-4 連接之各像素 11。即，於自垂直驅動器 3 對閘極線 13-1 施加垂直掃描脈衝時選擇第 1 列之各行像素，於對閘極線 13-2 施加掃描脈衝時選擇第 2 列之各行像素。以下同樣，對閘極線 13-3、13-4 依序施加垂直掃描脈衝。

於像素部 2 之行方向的一方配置有水平驅動器 (H·DRV) 4。此外，設有對垂直驅動器 3 及水平驅動器 4 施加各種時脈信號及控制信號之定時信號產生器 (TG) 5。

水平驅動器 4 係半導體多通道·顯示器驅動器，於各資料線 12-1、12-2、… 具有驅動單元。

圖 3 係表示水平驅動器 4 之方塊圖。

水平驅動器 4 於各資料線具有驅動單元 4A (圖中顯示至 5 單元)。資料輸入端子 41 係輸入作為數位 (影像) 信號之數位資料的端子，於全部驅動單元 4A 共通設置。資料輸出端子 49 於各驅動單元 4A 設置。

驅動單元 4A 自資料之輸入側依序設置，包含移位暫存器 42、鎖存器 43、高階選擇器 44、低階選擇器 47、及作為抽樣保持加法器之抽樣保持放大器 48。

其中於抽樣保持放大器 48，自圖 2 所示之定時信號產生器 5 的控制信號 CS1、CS2、CS3、CS4 經由 CS 輸入端子輸

入。此外，雖未特別圖示，但自定時信號產生器5之時脈信號向移位暫存器42及鎖存器43輸入。控制信號CS1、CS2、CS3、CS4亦係與時脈信號同步之信號，因此全部驅動單元4A同步動作。

自資料輸入端子41輸入(N+M)位元之數位資料。此數位資料藉由高階N位元和低階M位元構成。數位資料向位於端部之驅動單元4A的移位暫存器42輸入，並向驅動單元4A(通道)之排列方向依序傳送至移位暫存器42內。

於點依序驅動之情形，傳送之資料依序(以一定之時間間隔逐個)向各通道內之鎖存器43輸出並暫時保持，依序向下一段發送。另一方面，於線依序驅動之情形，於全部移位暫存器42資料齊備之時點向鎖存器43一起輸出1顯示線之資料，並一起向下一段發送。

鎖存器43之輸出分為2系統。即，於鎖存器43保持之高階N位元向高階選擇器44輸出，低階M位元向低階選擇器47輸出。

高階選擇器44，與圖1所示之選擇開關 $S_0 \sim S_{(2^N-1)}$ 同樣，具有 2^N 個選擇開關。但，本實施形態中因與高階選擇器44對應之位元數係高階位元數，故比圖1中之全位元數N小，選擇開關之數量亦少該量。高階選擇器44藉由選擇並接通 2^N 個選擇開關之任一個而動作。

同樣，低階選擇器47具有 2^M 個選擇開關，藉由選擇並接通其任一個而動作。

再者，圖3中，省略了用以以各高階選擇器44和低階選

擇器47選擇選擇開關之構成。此構成由以N位元、M位元之反覆為單位將輸入之數位資料解碼的解碼器構成。

圖3所示之水平驅動器4具有與全部高階選擇器44共通之高階電阻串45，和與全部低階選擇器47共通之低階電阻串46各一個。

高階電阻串45與圖1所示之電阻串RS同樣，係與高階位元數N對應之數量、即 2^N 個高階電阻器元件(相當於圖1所示之電阻器元件 $RE_0 \sim RE(2^N-1)$)之串聯連接體。此外，低階電阻串46係與低階位元數M對應之數量、即 2^M 個低階電阻器元件之串聯連接體。

於高階電阻串45之一端經由 V_t 輸入端子施加類比上限電壓 V_t ，於其另一端經由 V_b 輸入端子施加類比下限電壓 V_b 。於此電壓施加時，電阻器元件之電阻值以「R」相等之情形，於電阻器元件間將 $(V_t - V_b)$ 等間隔分割之高階電壓值於電阻器元件間之連接節點產生。此電阻器元件間之高階電壓值向全部高階選擇器44供給。此外，於與圖1同樣之連接關係的情形，類比上限值 V_t 亦向高階選擇器44供給。

再者，與圖1不同，亦可係向高階選擇器44供給類比下限值 V_b 之構成。此外，亦可係減去1個電阻器元件數並向高階選擇器44供給類比上限值 V_t 和類比下限值 V_b 二者的構成。

與圖1相同，向此高階選擇器44之各電阻器元件施加之電壓以 $(V_t - V_b)/2^N$ 或 $(V_t - V_b)/(2^N + 1)$ 表示，以下稱此電壓為

「區間電壓」。

於低階電阻串46之一端，經由VLt輸入端子施加區間頂部電壓VLt。於低階電阻串46之另一端經由VLb輸入端子施加區間底部電壓VLb。此區間頂部電壓VLt與區間底部電壓VLb之差係設定為與上述定義之「區間電壓」相等的電壓。此係為了將在高階位元以「區間電壓」為單位粗略變化之輸出電壓的變化步長進而在低階位元以 2^M 細分。

高階選擇器44和低階選擇器47之輸出成為抽樣保持放大器48之輸入，此輸入之2個選擇器輸出於抽樣保持放大器48內相加，作為(N+M)位元之D/A轉換器輸出向輸出端子49輸出，驅動液晶顯示面板1之對應的信號線。

此時，藉由自CS輸入端子輸入之控制信號控制抽樣保持放大器48之抽樣保持動作及加法輸出動作。

圖4中詳細顯示藉由圖3之高階選擇器44、低階選擇器47、抽樣保持放大器48構成之驅動單元4A的一部分。

抽樣保持放大器48具有運算放大器OA、高階電容器C、第1開關SW1、第2開關SW2及第3開關SW3。

於高階選擇器44之輸出與運算放大器OA之反轉輸入「-」之間，第1開關SW1和高階電容器C自高階選擇器44之輸出側以此順序串聯連接。此外，於高階電容器C之一方電極(本例中為運算放大器OA側之電極)與運算放大器OA之輸出之間連接有第2開關SW2。進而，於高階電容器C之另一方電極(本例中為高階選擇器44側之電極)與運算放大器OA之輸出之間連接有第3開關SW3。此等第1開關SW1~第3開

關之3個開關藉由自圖3之CS輸入端子輸入的控制信號，於適當之時點控制導通。

高階選擇器44具有 2^N 個高階選擇開關 $S0 \sim S(2^N-1)$ ，各輸出節點共通連接並與第1開關SW1之輸入節點連接。

於 2^N 個高階選擇開關 $S0 \sim S(2^N-1)$ 之各輸入節點，可供給於圖2之高階電阻串45產生的高階電壓值 $VR0 \sim VR(2^N-1)$ 。此高階電壓值 $VR0 \sim VR(2^N-1)$ ，其相鄰電壓差為前述之一定的區間電壓。高階電壓值 $VR0 \sim VR(2^N-1)$ 係於高階電阻器元件間之連接節點、或於類比上限值 Vt 或類比下限值 Vb 之施加節點產生的電壓。

2^N 個高階選擇開關 $S0 \sim S(2^N-1)$ 係根據向該D/A轉換器輸入之數位信號的高階N位元，以僅導通其1個之方式(例如藉由未圖示之解碼器)被控制。

低階選擇器47具有 2^M 個低階選擇開關 $SL0 \sim SL(2^M-1)$ ，各輸出節點共通連接，並與運算放大器OA之非反轉輸入「+」連接。

於 2^M 個低階選擇開關 $SL0 \sim SL(2^M-1)$ 的各輸入節點，可供給於圖2所示之低階電阻串46產生的低階電壓值 $VRL0 \sim VRL(2^M-1)$ 。此低階電壓值 $VRL0 \sim VRL(2^M-1)$ 係將與前述一定之區間電壓等價的電壓以 2^M 或 (2^M+1) 等分之電壓。低階電壓值 $VRL0 \sim VRL(2^M-1)$ 係於低階電阻器元件間之連接節點產生的電壓，或係區間頂部電壓 VLt 或區間底部電壓 VLb 。

2^M 個低階電壓值 $VRL0 \sim VRL(2^M-1)$ 係根據向該D/A轉換器

輸入之數位信號的低階 M 位元，以僅導通其1個之方式(例如藉由未圖示之解碼器)被控制。

其次，使用圖5之時序圖對動作進行說明。

此處，第1開關SW1、第2開關SW2及第3開關SW3以數位控制信號之「H」位準接通，以「L」位準斷開。

如圖5(A)~5(C)所示，於初始狀態，第1開關SW1和第2開關SW2接通，第3開關SW3斷開。此外，如圖5(D)所示，高階選擇開關 $S_0 \sim S(2^N-1)$ 中，與輸入之數位信號之高階位元對應的1個高階選擇開關 S_x 接通。進而，於初始狀態，如圖5(E)所示，低階選擇開關 $SL_0 \sim SL(2^M-1)$ 中，僅距區間底部電壓 V_{Lb} 最近之低階選擇開關 SL_0 接通。

於此初始狀態，於圖4中，因第1開關SW1接通，故高階電壓值 V_{Rx} 經由接通狀態之高階選擇開關 S_x 向高階電容器 C 之高階選擇器側電極輸入。此外，運算放大器OA之反轉輸入「-」與輸出連接，向其非反轉輸入「+」輸入低階電壓值 V_{RL0} 。因此，運算放大器OA之輸出電壓 V_o 成為與最低之低階電壓值 V_{RL0} 相等的電壓。

其次，如圖5(A)所示，於時間 t_1 斷開第2開關SW2。藉此，運算放大器OA之輸出自高階選擇器44切斷，但此時於高階電容器 C 之兩端，以最低之低階電壓值 V_{RL0} 為基準施加有高階電壓值 V_{Rx} 。

其次，如圖5(B)所示，於時間 t_2 斷開第1開關SW1，自高階選擇器44斷開高階電容器 C 。藉此，以最低之低階電壓值 V_{RL0} 為基準的高階電壓值 V_{Rx} 於高階電容器 C 保持。

其次，如圖 5(C)所示，於時間 t_3 接通第 3 開關 SW3。藉此，經由第 3 開關 SW3 和高階電容器 C 反饋於運算放大器 OA 作用，如圖 5(G)所示，運算放大器 OA 之輸出電壓 V_o 變為與高階電壓值 VR_x 相等之電壓。以至此為止之動作自運算放大器 OA 輸出藉由高階選擇器 44 選擇之高階電壓值 VR_x 。

如圖 5(E)所示，於時間 t_4 斷開低階選擇器 47 之低階選擇開關 SL0。其次，如圖 5(F)所示，於時間 t_5 接通 2^M 個低階選擇開關 SL0~SL(2^M-1) 中之與輸入之數位信號之低階 M 位元對應的低階選擇開關 SL x 。藉此，運算放大器 OA 之非反轉輸入「+」端子的電壓，自初始設定之最低低階電壓值 VRL_0 變化為與低階選擇開關 SL x 對應之低階電壓值 VRL_x 。

如此在反饋於運算放大器 OA 作用之狀態下使非反轉輸入「+」之電壓變化，則輸出電壓 V_o 亦變化相同電壓量。因此當非反轉輸入「+」之電壓自最低之低階電壓值 VRL_0 變化為低階電壓值 VRL_x 時，則如圖 5(G)所示，運算放大器 OA 之輸出電壓 V_o 自高階電壓 VR_x 變化為更高之電壓 $(VR_x + VRL_x - VRL_0)$ 。加於高階電壓值 VR_x 之電壓 $(VRL_x - VRL_0)$ 係最低之低階電壓值 VRL_0 、與根據輸入之數位信號之低階 M 位元藉由低階選擇器 47 選擇之低階電壓值 VRL_x 的差電壓。因此，於時間 t_5 以後自運算放大器 OA 輸出之電壓 $(VR_x + VRL_x - VRL_0)$ ，若以輸入之數位信號的高階位元數為 N、低階位元數為 M，則成為 $(N+M)$ 位元之 D/A 轉換的類

比電壓。

以此D/A轉換器輸出，驅動液晶顯示面板1之對應的信號線。更詳細言之，與輸入數位信號之位元值對應的類比電壓自圖4之水平驅動器4輸出，經由藉由垂直驅動器3之掃描之接通狀態的薄膜電晶體TFT向液晶胞LC之像素電極施加。此時之液晶胞LC的電場，由於係根據自信號線供給之類比電壓的值決定，故像素之亮度以與輸入之數位信號對應的灰階變化。

[第2實施形態]

本實施形態係為實現更高精度之轉換而改善抽樣保持放大器48之非反轉輸入「+」側的構成者。

於具有圖4之構成的第1實施形態中，直接向運算放大器OA之非反轉輸入「+」輸入低階選擇器47之輸出。此情形存在以下之改善點。

於圖4之運算放大器OA的反轉輸入「-」連接有高階電容器C，但於高階電容器C與反轉輸入「-」之連接節點多少存在寄生電容。此寄生電容係半導體裝置之導電層和其他導電層之耦合電容、TFT薄膜之半導體雜質區域之接面電容等。

若此寄生電容與高階電容器C之電容值相比無法忽視，則有因兩者之電荷分配，前述電壓差衰減與其電容值對應之量，輸出電壓($V_{Rx} + V_{RLx} - V_{RL0}$)自設計值微妙變大之缺點。

第2實施形態係顯示用以改善此缺點，實現更高精度之

D/A(數位-類比)轉換的構成者。

圖6顯示與運算放大器之非反轉輸入「+」連接之部分的變形例。

於運算放大器OA之非反轉輸入「+」與低階選擇器47之間插入低階電容器CL，進而追加連接非反轉輸入「+」和DC電壓Vop之第4開關SW4。第4開關SW4於運算放大器OA之非反轉輸入「+」和低階電容器CL之連接節點，與DC電壓Vop之供給端子之間連接，與其他第1~第3開關SW1、SW2、SW3同樣，藉由自圖3之CS輸入端子的控制信號控制。

此處，宜使自連接第4開關SW4之上述連接節點所視的電容值，和自連接第2開關SW2之運算放大器OA之反轉輸入「-」側之連接節點所視的電容值一致(相等或至不影響轉換精度程度之大致相等)。作為最簡單之方法，令低階電容器CL和高階電容器C之電容值大致相等，且令第4開關SW4和第2開關SW2之尺寸大致相等即可。

再者，DC電壓Vop於運算放大器OA動作範圍內可任意設定。

其次，使用圖7之時序圖對動作進行說明。

此處，第1開關SW1、第2開關SW2、第3開關SW3及第4開關SW4以數位控制信號之「H」位準接通，以「L」位準斷開。

以下，以與第1實施形態之不同點為中心進行說明，對與第1實施形態共通之動作簡化說明。

如圖 7(A)~圖 7(D)所示，於初始狀態，第 1 開關 SW1 和第 2 開關 SW2 接通，第 3 開關 SW3 斷開，進而於本實施形態新設置之第 4 開關 SW4 接通。

於初始狀態，與第 1 實施形態同樣，與高階位元對應之 1 個高階選擇開關 Sx 接通(圖 7(E))，距區間底部電壓 VLb 最近之低階選擇開關 SL0 接通(圖 7(F))。

於此狀態，與第 1 實施形態同樣，高階電壓值 VRx 向高階電容器 C 之高階選擇器側電極輸入，運算放大器 OA 之反轉輸入「-」與輸出連接。另一方面，因於運算放大器 OA 之非反轉輸入「+」連接有 DC 電壓 Vop，故輸出電壓 Vo 成為與 DC 電壓 Vop 相等之電壓。

其次，於時間 t1 斷開第 2 開關 SW2(圖 7(A))。此時，於高階電容器 C 之兩端，以 DC 電壓 Vop 為基準施加有高階電壓值 VRx。

其次於時間 t12 斷開第 4 開關 SW4(圖 7(D))。此處因非反轉輸入「+」之電位係以低階電容器 CL 保持，故保持 DC 電壓 Vop 之狀態而不變化。因此運算放大器 OA 之輸出電壓 Vo 無變化(參照圖 7(H))。

其次，於時間 t2 斷開第 1 開關 SW1(圖 7(B))，自高階選擇器 44 斷開高階電容器 C。藉此，以 DC 電壓 Vop 為基準之高階電壓值 VRx 於高階電容器 C 保持。

其次，於時間 t3 接通第 3 開關 SW3(圖 7(C))，使反饋於運算放大器 OA 作用，使運算放大器 OA 之輸出電壓 Vo 成為與高階電壓值 VRx 相等之電壓(參照圖 7(H))。

其後，於時間 t_4 使低階選擇器 47 之低階選擇開關 SL_0 斷開(圖 7(F))，於時間 t_5 接通與低階 M 位元對應之低階選擇開關 SL_x (圖 7(G))。藉此，因於非反轉輸入「+」經由低階電容器 CL 施加 $(VRL_x - VRL_0)$ 之電壓變化，故自運算放大器 OA 可得到與圖 5(G) 同樣之輸出電壓 $(VR_x + VRL_x - VRL_0)$ 。

[第3實施形態]

本實施形態係關於電阻串者，對於上述第 1 實施形態、第 2 實施形態之任一個亦可重複適用。

圖 8 顯示本實施形態之電阻串。

於圖 3 之方塊圖中，分別設置有高階電阻串 45 和低階電阻串 46，但圖 8 之電阻串 50 係將高階電阻串 45 和低階電阻串 46 一體化者。再者，此處若與圖 1 之電阻串比較，則為使高階電壓值 $VR_0 \sim VR(2^N - 1)$ 之輸出節點向類比下限值 V_b 側移動 1 電阻器元件量。此變形亦可用於第 1 實施形態。

圖 8 之電阻串 50 係於高階 N 位元、低階 M 位元共用之電阻串，於其一端施加類比上限值 V_t ，於另一端施加類比下限值 V_b 。

電阻串 50 由電阻值 R 相等之 2^N 個電阻器元件 $RE_0 \sim RE(2^N - 1)$ 構成。但本實施形態中，其中之一，此處為電阻器元件 RE_3 係由更小之 2^M 個電阻器元件 $re_0 \sim re(2^M - 1)$ 的串聯連接體構成。此 2^M 個電阻器元件 $re_0 \sim re(2^M - 1)$ 係用以表現低階 M 位元者，各電阻器元件 re 之電阻值為 $R/2^M$ 。

於圖示例之情形，因於 2^M 個電阻器元件 $re_0 \sim re(2^M - 1)$ 整體有與一個電阻器元件 RE_3 相同之功能，故此小電阻器元件

之插入不影響高階N位元之高階電壓值VR_x的設定。

另一方面，高階電壓值VR₃與最小低階電壓值VRL₀之電位差為一定，於圖4或圖6之電路構成中，僅差電壓(VRL_x-VRL₀)加法於運算放大器OA之輸出。因此，即使有高階電壓值VR₃與最小低階電壓值VRL₀之電位差，只要其為一定便不影響電路動作。此意味可與 2^M 個電阻器元件re₀~re(2^M -1)替換之電阻值R的電阻器元件可為 2^N 個電阻器元件RE₀~RE(2^N -1)之任一個。

但，若於串聯電阻體內電阻值R有少許誤差，則越接近 2^N 個電阻器元件RE₀~RE(2^N -1)之中央其影響越大。因此，可與 2^M 個電阻器元件re₀~re(2^M -1)替換之電阻值R的電阻器元件，越靠近類比上限值V_t側或類比下限值V_b之端越好。

[第4實施形態]

本實施形態係將例如圖4或圖6所示之低階選擇開關SL₀~SL(2^M -1)替換為低耐壓之開關。

驅動圖2之液晶顯示面板1的水平驅動器4一般需要10數[V]左右之電壓，因該電壓比一般之邏輯IC的電壓高，故必須製作與邏輯用電晶體不同之高耐壓電晶體(高耐壓FET)，並於D/A轉換器使用高耐壓FET。

但，若使D/A轉換器內之電晶體一律為高耐壓FET，則空間損失較大，水平驅動器4內之配置設計變困難。

低階選擇器47，其處理之類比電壓的範圍與「區間電壓」相等。即，低階選擇器47處理之電壓範圍為高階選擇器44處理之電壓範圍(V_t-V_b)的 2^N 分之1小。本實施形態著

眼於此點，於不影響動作之範圍內自高階選擇器44之選擇開關之耐壓降低低階選擇器47之選擇開關之耐壓，藉此減小各開關尺寸。因低階選擇開關存在 2^M 個，於各通道(驅動單元4A)中存在，故即使1個開關尺寸縮小效果較小，作為整體亦可得到較大之面積削減、配置自由度之提高。

於以上之第1~第4實施形態中，有以下所示之各種優點。

於本發明之第1~第4實施形態中，因將選擇開關群分為高階位元用和低階位元用，故可大幅度削減電阻串型D/A轉換器之選擇開關數。

即，於N位元之電阻串型D/A轉換器中必需 2^N 個開關，但若藉由本發明，則為 2^J+2^K 個，其中($J+K=N$)即可。例如若 $N=8$ 、 $J=K=4$ ，則先前所必需之256個開關以32個即可完成。

因可如此削減開關數，故即使係多位元之D/A轉換器亦可抑制面積之增大。

此外，藉由抑制面積之增大可抑制附於各配線節點之寄生電容之增大，可抑制轉換速度之劣化、或提高電阻串之電阻值，從而可進一步降低耗電量。

進而，抽樣保持放大器48即使係比較簡單之構成亦可進行精度佳之電壓加算。

若藉由本發明之第2實施形態，則於使運算放大器OA之非反轉輸入「+」的電壓變化而使輸出電壓變化時，可抑制於輸出電壓產生反轉輸入「-」之節點的寄生電容和高

階電容器C之電容比大小的誤差。藉此，可實現錯誤少之高精度的D/A轉換器。

此外，於圖4之構成中，因斷開第2開關SW2時之開關噪音而產生誤差，但於圖6之構成中，因可以於斷開第4開關SW4時產生之誤差成分抵消於第2開關SW2產生之誤差，故可實現錯誤少之高精度的D/A轉換器。

進而，因將運算放大器OA之非反轉輸入「+」電容耦合，故可以DC電壓Vop為基準分別獨立設定低階電壓值VRL0~VRL(2^M-1)之值，因此可藉由將DC電壓Vop最佳化，進行可得到更高精度之輸出。

若藉由本發明之第3實施形態，則無須供給區間頂部電壓VLt和區間底部電壓VLb，可削減圖3之VLt端子、VLb端子。

此外，因無須另設置低階電阻串46，故可抑制面積之增大。

藉由抑制面積之增大，可抑制附於各配線節點之寄生電容的增大，可抑制轉換速度之劣化、或提高電阻串之電阻值，從而可進一步削減消耗電力。此外，流過電阻之電流可削減無須另設置低階電阻串46之量，進一步削減消耗電流。

若藉由本發明之第4實施形態，則因替換為小面積之電晶體，故可不影響性能地削減D/A轉換器之佔有面積。

此外，低耐壓之電晶體因小面積，故寄生電容小，此外因閘極氧化膜壓亦較薄，故開關接通電阻變小，因此有成

為小寄生電容且低電阻之開關，不僅轉換速度不降低，反而可提高之優點。

【圖式簡單說明】

圖1係電阻串型之D/A轉換器的基本構成圖。

圖2係本發明之實施形態相關之液晶顯示面板的電路方塊圖。

圖3係水平驅動器之方塊圖。

圖4係詳細圖示第1實施形態相關之驅動單元之一部分的電路圖。

圖5(A)~(G)係圖4之電路的動作時序圖。

圖6係詳細圖示第2實施形態相關之驅動單元之一部分的電路圖。

圖7(A)~(H)係圖6之電路的動作時序圖。

圖8係表示第3實施形態之電阻串的圖式。

【主要元件符號之說明】

1	液晶顯示面板
2	像素部
3	垂直驅動器
4	水平驅動器
4A	驅動單元
5	定時信號產生器
12-1~12-4	資料線
41	資料輸入端子
42	移位暫存器

43	鎖存器
44	高階選擇器
45	高階電阻串
46	低階電阻串
47	低階選擇器
48	抽樣保持放大器
49	資料輸出端子
RE	電阻器元件
Vb	類比下限值
$VRL_x(x=0\sim 2^M-1)$	低階電壓值
$VR_x(x=0\sim 2^N-1)$	高階電壓值
Vt	類比上限值

五、中文發明摘要：

本發明係一種數位-類比轉換器及影像顯示裝置，其在維持高轉換精度下以簡單之構成減少選擇開關之數量。

本發明具有高階電阻串、低階電阻串、運算放大器(運算放大器 OA)、自於高階電阻串產生之複數高階電壓值 $VR0 \sim VR(2^N-1)$ 選擇與高階位元對應之一個高階電壓值並向運算放大器 OA 之一方輸入輸出的高階選擇器 44、自於低階電阻串產生之複數低階電壓值 $VRL0 \sim VRL(2^M-1)$ 選擇與低階位元對應之一個低階電壓值並向運算放大器 OA 之另一方輸入輸出的低階選擇器 47、用以進行運算放大器 OA 之抽樣保持動作和輸出加法動作之高階電容器 C、第 1~第 3 開關 SW1~SW3 及其控制電路(未圖示)。

六、英文發明摘要：

十、申請專利範圍：

1. 一種數位-類比轉換器，其具有：

高階電阻串，產生與輸入之數位信號之高階位元對應之複數高階電壓值；

低階電阻串，產生與前述數位信號之低階位元對應之複數低階電壓值；

運算放大器；

高階選擇器，自於前述高階電阻串產生之前述複數高階電壓值選擇與前述高階位元對應之一個高階電壓值，並向前述運算放大器之一方輸入輸出；

低階選擇器，自於前述低階電阻串產生之前述複數低階電壓值選擇與前述低階位元對應之一個低階電壓值，並向前述運算放大器之另一方輸入輸出；

第1開關，與前述高階選擇器之輸出連接；

高階電容器，連接於前述第1開關與前述運算放大器之一方輸入之間；

第2開關，連接於前述高階電容器之一方電極與前述運算放大器之輸出之間；

第3開關，連接於前述高階電容器之另一方電極與前述運算放大器之輸出之間；及

控制電路，控制前述第1~第3開關。

2. 如請求項1之數位-類比轉換器，其中於前述低階選擇器與前述運算放大器之前述另一方輸入之間連接低階電容器；

於前述低階電容器與前述運算放大器之連接節點，連接有藉由前述控制電路之控制而於對前述運算放大器之前述另一方輸入設定初始直流電壓時接通的第4開關。

3. 如請求項2之數位-類比轉換器，其中前述高階電容器和前述低階電容器之各電容值，係設定為自電容器與前述運算放大器之連接節點所視的電容值相等。
4. 如請求項1之數位-類比轉換器，其中前述高階電阻串包含於兩端施加最大電壓和最小電壓之複數高階電阻器元件的串聯連接體；

前述低階電阻串包含於兩端施加與於前述高階電阻器元件之兩端呈現之區間電壓等價的電壓之複數低階電阻器元件的串聯連接體；

前述高階選擇器具有對於前述高階電阻器元件間之全部連接節點和前述最大電壓或前述最小電壓之供給節點，於各節點逐個連接之複數高階選擇開關；

前述低階選擇器具有對於前述低階電阻器元件間之全部連接節點和與前述區間電壓等價之前述電壓的供給節點，於各節點逐個連接之複數低階選擇開關；

前述高階選擇開關具有可處理前述最大電壓之耐壓；

前述低階選擇開關具有於可處理前述區間電壓值之最大電位的範圍內比前述高階選擇開關之耐壓小的耐壓。

5. 如請求項1之數位-類比轉換器，其中前述高階電阻串包含於兩端施加最大電壓和最小電壓之複數高階電阻器元件的串聯連接體；

前述低階電阻串包含於兩端施加與於前述高階電阻器元件之兩端呈現之區間電壓等價的電壓之複數低階電阻器元件的串聯連接體；

於前述複數高階電阻器元件中之任意2個高階電阻器元件間插入前述低階電阻串，前述高階電阻串和前述低階電阻串形成1個串聯連接體。

6. 如請求項5之數位-類比轉換器，其中前述低階電阻串之插入位置係前述高階電阻串之任一端的前述高階電阻器元件與下一個高階電阻器元件之間。
7. 如請求項5或6之數位-類比轉換器，其中前述高階選擇器具有對於前述高階電阻器元件間之全部連接節點和前述最大電壓或前述最小電壓之供給節點，於各節點逐個連接之複數高階選擇開關；

前述低階選擇器具有對於前述低階電阻器元件間之全部連接節點和與前述區間電壓等價之前述電壓的供給節點，於各節點逐個連接之複數低階選擇開關；

前述高階選擇開關具有可處理前述最大電壓之耐壓；

前述低階選擇開關具有可處理對於前述高階電阻串之前述低階電阻串插入位置之最大電位的範圍內，比前述高階選擇開關之耐壓小的耐壓。

8. 如請求項1至3中任一項之數位-類比轉換器，其中於依序輸入預定位元之數位信號之複數單元，分別設有包含前述運算放大器和前述第1~第3開關之抽樣保持加法器、前述高階選擇器、及前述低階選擇器；

前述高階電阻串和前述低階電阻串於複數之前述單元共通設置。

9. 一種影像顯示裝置，其具備：

像素部，電壓驅動之像素呈矩陣狀多數排列；

複數信號線，設置於前述像素部之各像素行；

複數驅動單元，於前述複數信號線逐個設置；

高階電阻串，於前述複數驅動單元共通設置，產生與輸入之數位影像信號之高階位元對應之複數高階電壓值；及

低階電阻串，於前述複數驅動單元共通設置，產生與前述數位影像信號之低階位元對應之複數低階電壓值；

前述複數驅動單元分別具備：

運算放大器；

高階選擇器，自於前述高階電阻串產生之前述複數高階電壓值選擇與前述高階位元對應之一個高階電壓值，並向前述運算放大器之一方輸入輸出；

低階選擇器，自於前述低階電阻串產生之前述複數低階電壓值選擇與前述低階位元對應之一個低階電壓值，並向前述運算放大器之另一方輸入輸出；

第1開關，與前述高階選擇器之輸出連接；

高階電容器，連接於前述第1開關與前述運算放大器之一方輸入之間；

第2開關，連接於前述高階電容器之一方電極與前述運算放大器之輸出之間；及

第3開關，連接於前述高階電容器之另一方電極與前述運算放大器之輸出之間；

進而具備控制前述第1~第3開關之控制電路。

10. 如請求項9之影像顯示裝置，其中於前述各驅動單元中，於前述低階選擇器與前述運算放大器之前述另一方輸入之間連接低階電容器；

於前述各驅動單元中，於前述低階電容器與前述運算放大器之節點，連接有藉由前述控制電路之控制而於對前述運算放大器之前述另一方輸入設定初始直流電壓時接通之第4開關。

11. 如請求項10之影像顯示裝置，其中前述高階電容器和前述低階電容器之各電容值，係設定為自電容器與前述運算放大器之連接節點所視的電容值相等。

十一、圖式

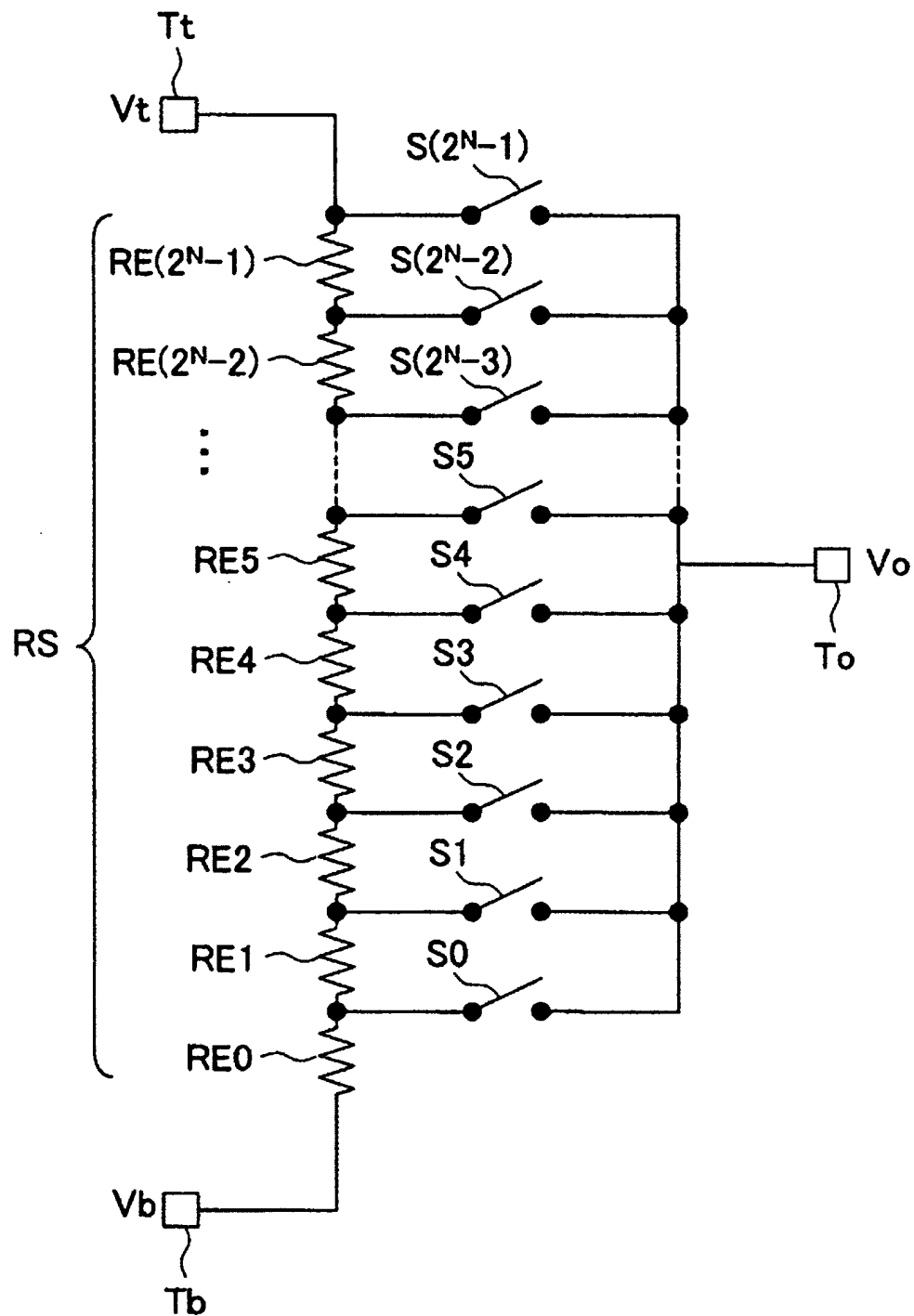


圖 1

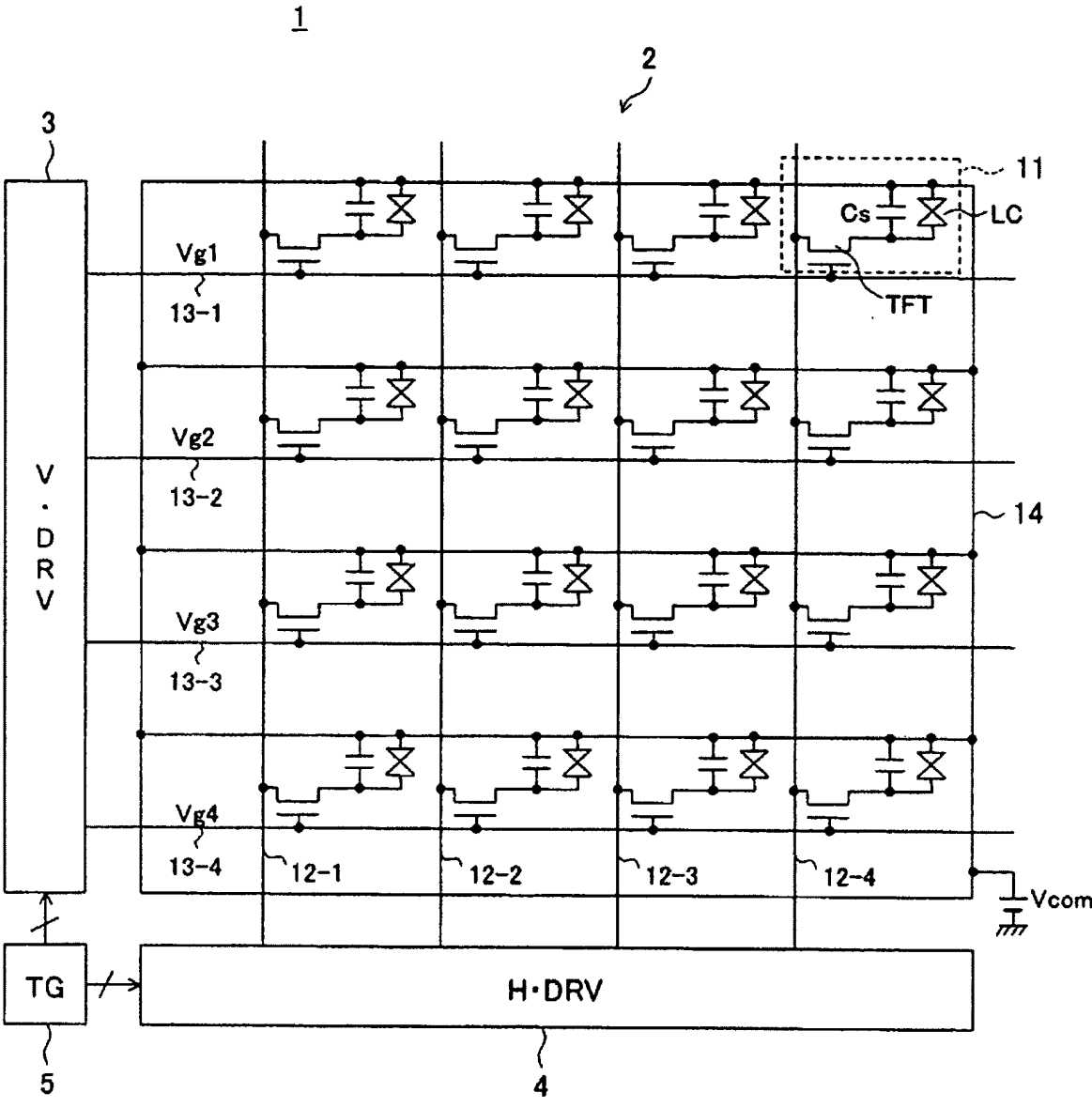


圖 2

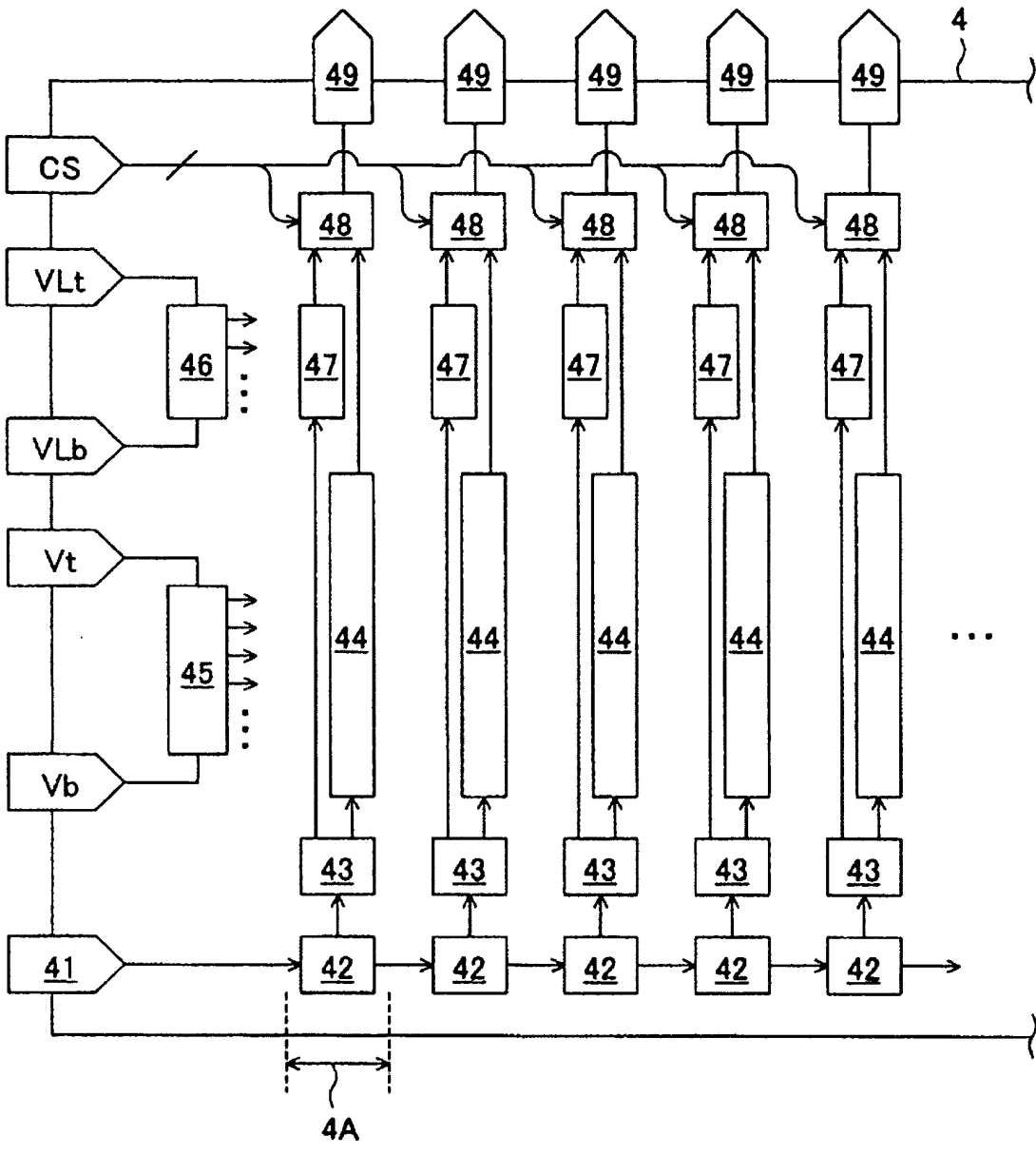


圖 3

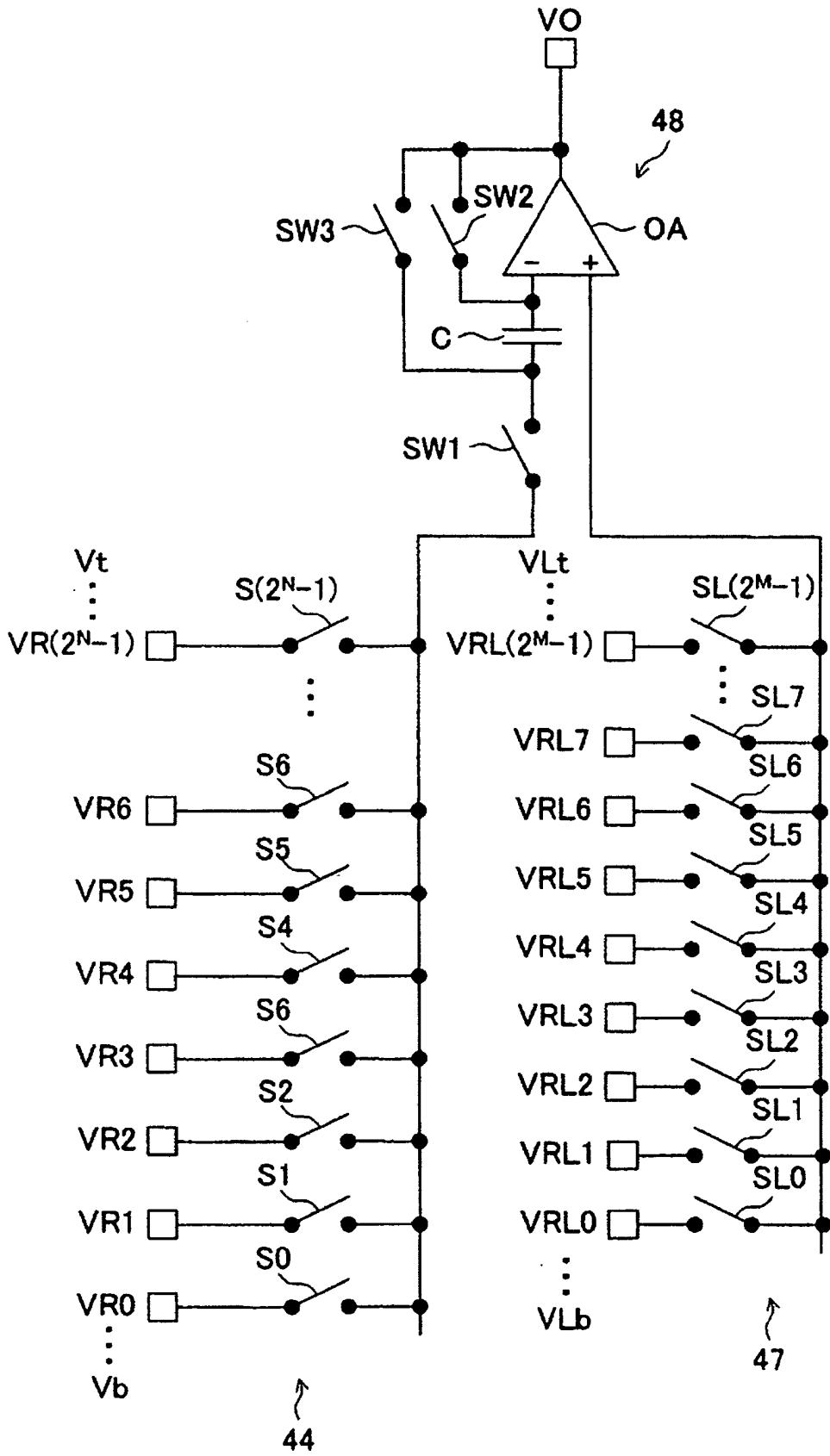


圖 4

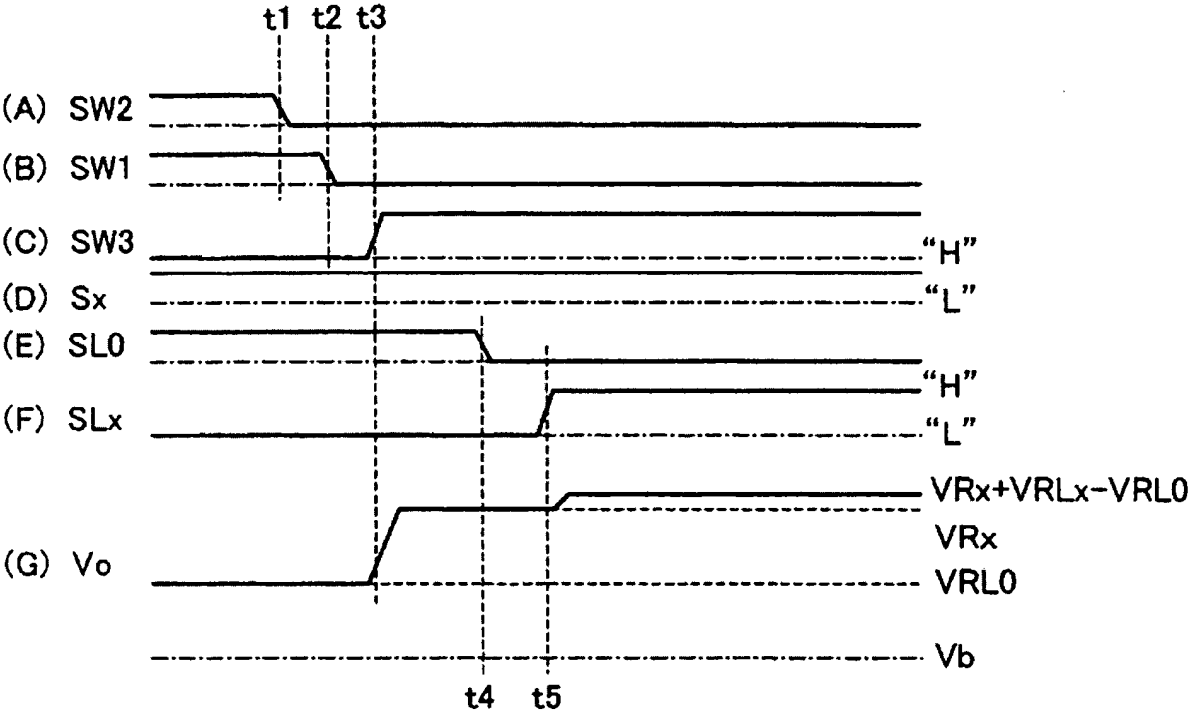


圖 5

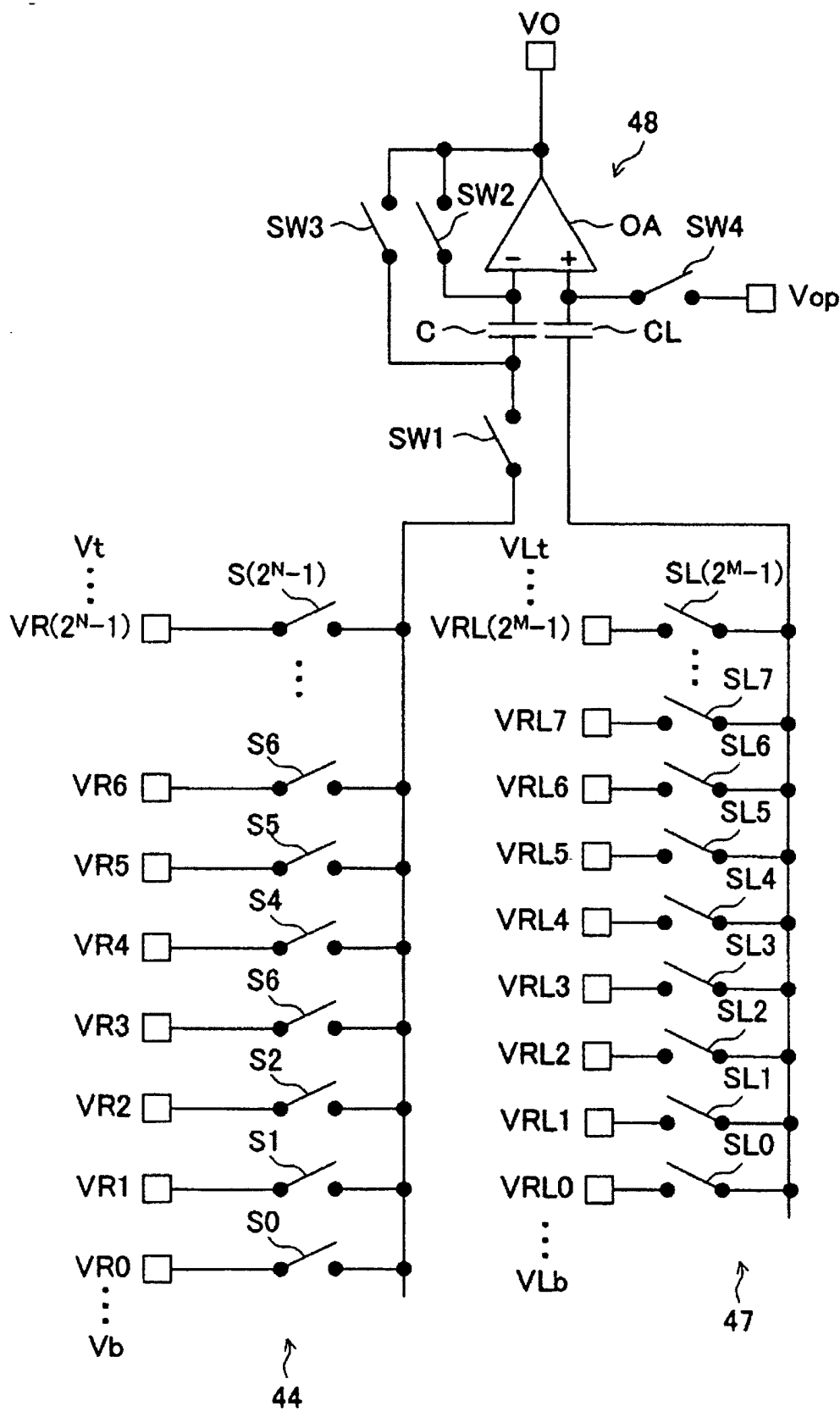


圖 6

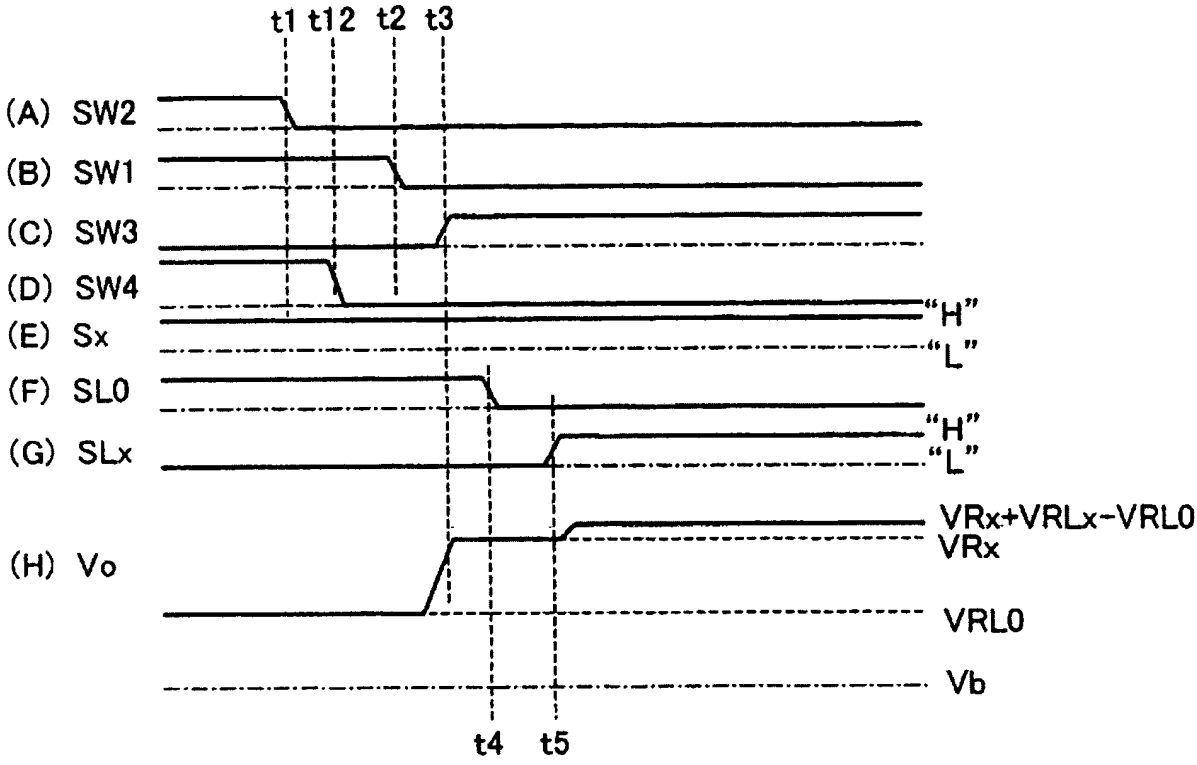


圖 7

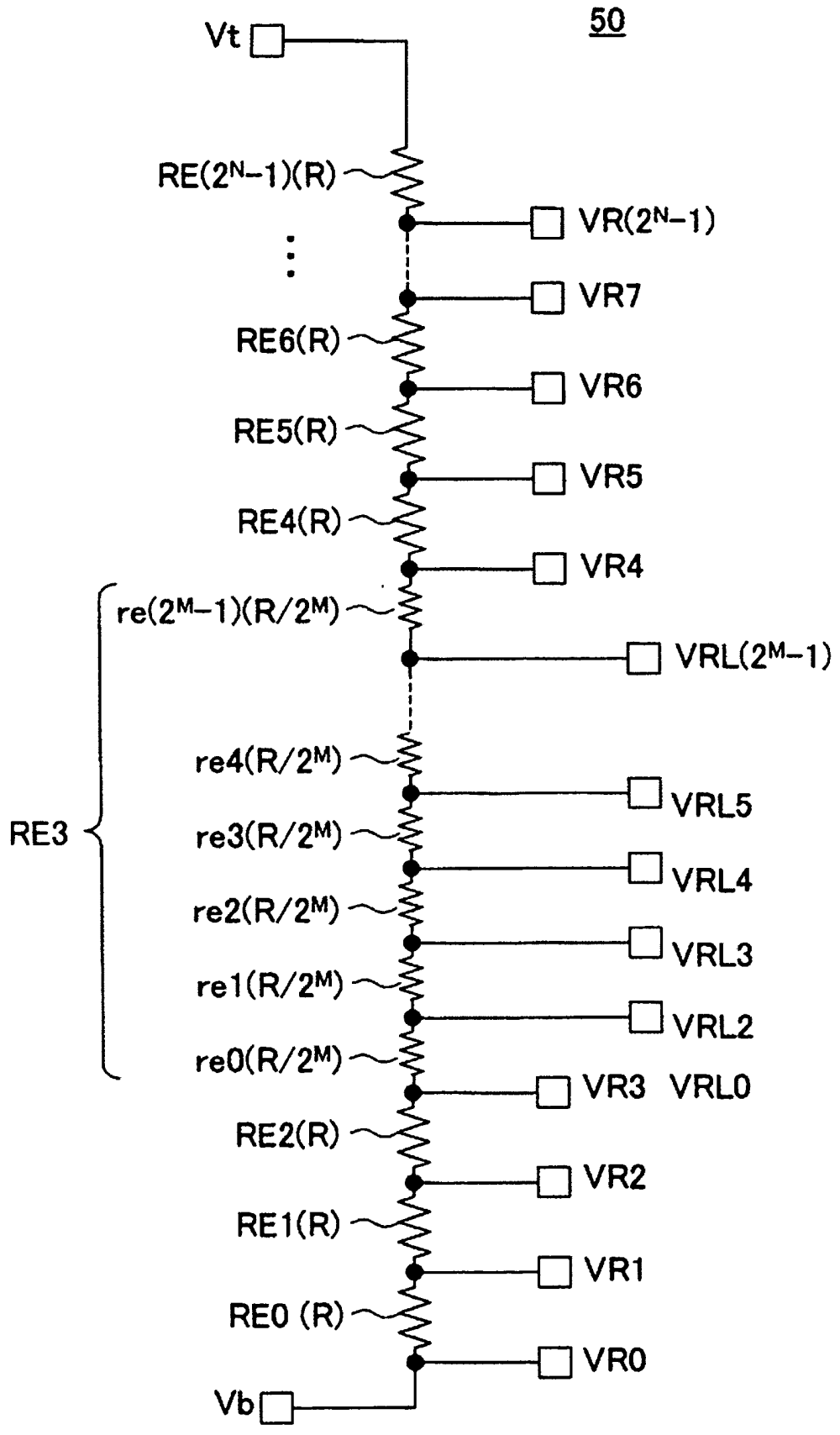


圖 8

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

44	高階選擇器
47	低階選擇器
48	抽樣保持放大器
C	高階電容器
OA	運算放大器
SW1	第1開關
SW2	第2開關
SW3	第3開關
$S(x=0\sim 2^N-1)$	高階選擇開關
$SL(x=0\sim 2^M-1)$	低階選擇開關
V_b	類比下限值
VL_b	區間底部電壓
$VR(x=0\sim 2^N-1)$	高階電壓值
$VRL(x=0\sim 2^M-1)$	低階電壓值
V_t	類比上限值
VL_t	區間頂部電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)