

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 8 月 11 日 (11.08.2022)



(10) 国际公布号
WO 2022/166131 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01) **H01L 23/528** (2006.01)
H01L 23/525 (2006.01) **H01L 21/66** (2006.01)

(21) 国际申请号: PCT/CN2021/109303

(22) 国际申请日: 2021 年 7 月 29 日 (29.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110177190.4 2021 年 2 月 7 日 (07.02.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

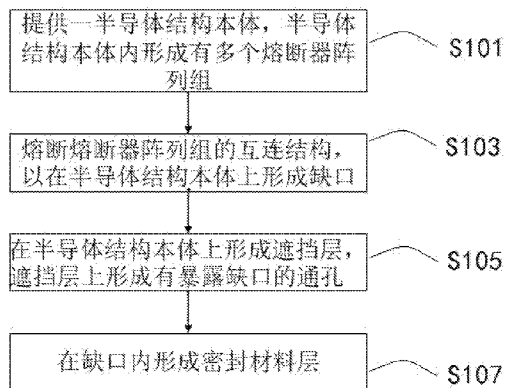
(72) 发明人: 宫光彩 (GONG, Guangcai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: FUSING AND FILLING METHOD FOR SEMICONDUCTOR STRUCTURE, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的熔断填充方法及半导体结构



S101 Provide a semiconductor structure body, wherein a plurality of fuse array groups are formed in the semiconductor structure body
S103 Fuse interconnecting structures of the fuse array groups to form notches in the semiconductor structure body
S105 Form a shielding layer on the semiconductor structure body, wherein through holes that expose the notches are formed in the shielding layer
S107 Form sealing material layers in the notches

图1

(57) Abstract: The present disclosure relates to the technical field of semiconductors. Provided are a fusing and filling method for a semiconductor structure, and a semiconductor structure. The fusing and filling method for a semiconductor structure comprises: providing a semiconductor structure body, wherein a plurality of fuse array groups are formed in the semiconductor structure body; fusing interconnecting structures of the fuse array groups to form notches in the semiconductor structure body; forming a shielding layer on the semiconductor structure body, wherein through holes that expose the notches are formed in the shielding layer; and forming sealing material layers in the notches. A shielding layer is formed on a semiconductor structure body having notches, and through holes that expose the notches are formed in the shielding layer, such that during subsequent gap filling, due to the presence of the shielding layer, a large area of a sealing material layer does not directly cover the semiconductor structure body, thereby preventing subsequent cleaning. Moreover, it can be ensured that sealing material layers are reliably formed in the notches, so as to prevent the intrusion of an external risk factor, thereby improving the use performance of the semiconductor structure.

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开涉及半导体技术领域, 提出了一种半导体结构的熔断填充方法及半导体结构。半导体结构的熔断填充方法包括: 提供一半导体结构本体, 半导体结构本体内形成有多个熔断器阵列组; 熔断熔断器阵列组的互连结构, 以在半导体结构本体上形成缺口; 在半导体结构本体上形成遮挡层, 遮挡层上形成有暴露缺口的通孔; 在缺口内形成密封材料层。通过在具有缺口的半导体结构本体上形成遮挡层, 且遮挡层上形成有暴露缺口的通孔, 即在后续填充缺口时, 由于遮挡层的存在不会使得密封材料层大面积地直接覆盖半导体结构本体, 避免了后续的清理, 且可以保证缺口内可靠地形成密封材料层, 以此隔绝外部危险因素的侵入, 以此改善半导体结构的使用性能。

半导体结构的熔断填充方法及半导体结构

交叉引用

本公开要求于 2021 年 02 月 07 日提交的申请号为 202110177190.4、名称为“半导体结构的熔断填充方法及半导体结构”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构的熔断填充方法及半导体结构。

背景技术

相关技术中，半导体结构内形成有多个熔断器阵列组。在测试过程中如果有部分熔断器阵列组出现问题，则可以通过激光高温的方式来烧断后端互连线路来改变连接结构。在烧断后端互连线路后，半导体结构上会形成一个缺口，相关技术中并未对缺口进行保护，致使烧断后的后端互连侧面会受到外部干扰，从而影响半导体结构的使用性能。

发明内容

本公开提供一种半导体结构的熔断填充方法及半导体结构，以改善半导体结构的性能。

根据本公开的第一个方面，提供了一种半导体结构的熔断填充方法，包括：

提供一半导体结构本体，半导体结构本体内形成有多个熔断器阵列组；

熔断熔断器阵列组的互连结构，以在半导体结构本体上形成缺口；

在半导体结构本体上形成遮挡层，遮挡层上形成有暴露缺口的通孔；

在缺口内形成密封材料层。

根据本公开的第二个方面，提供了一种半导体结构，包括：

半导体结构本体，半导体结构本体内形成有多个熔断器阵列组，半导体结构本体上形成有缺口，熔断器阵列组的互连结构被熔断；

密封材料层，密封材料层位于缺口内。

本公开的半导体结构的熔断填充方法通过在具有缺口的半导体结构本体上形成遮挡

层，且遮挡层上形成有暴露缺口的通孔，即在后续填充缺口时，由于遮挡层的存在不会使得密封材料层大面积地直接覆盖半导体结构本体，避免了后续的清理，且可以保证缺口内可靠地形成密封材料层，以此隔绝外部危险因素的侵入，以此改善半导体结构的使用性能。

5 附图说明

通过结合附图考虑以下对本公开的优选实施方式的详细说明，本公开的各种目标，特征和优点将变得更加显而易见。附图仅为本公开的示范性图解，并非一定是按比例绘制。在附图中，同样的附图标记始终表示相同或类似的部件。其中：

图 1 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法的流程示意图；

10 图 2 是根据一示例性实施方式示出的一种半导体结构本体的结构示意图；

图 3 是图 2 中 A 处的放大结构示意图；

图 4 是根据一示例性实施方式示出的一种半导体结构本体上覆盖有遮挡层的结构示意图；

15 图 5 是根据另一示例性实施方式示出的一种半导体结构本体上覆盖有遮挡层的结构示意图；

图 6 是根据一示例性实施方式示出的一种半导体结构本体上形成有第二定位部的结构示意图；

图 7 是根据一示例性实施方式示出的一种半导体结构本体上形成有遮挡层的结构示意图；

20 图 8 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法形成开口的结构示意图；

图 9 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法形成缺口的结构示意图；

25 图 10 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法形成遮挡层的结构示意图；

图 11 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法形成初始密封材料层的结构示意图；

图 12 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法去除遮挡层后的结构示意图；

30 图 13 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法清理初始密封

材料层后的结构示意图；

图 14 是根据一示例性实施方式示出的一种半导体结构的熔断填充方法形成密封材料层的结构示意图。

附图标记说明如下：

- 5 1、晶粒；10、半导体结构本体；11、缺口；12、晶片缺口；13、开口；14、衬底；
15、晶片定位标识；20、熔断器阵列组；21、互连结构；22、键合焊盘；23、接触孔；30、
遮挡层；31、通孔；32、覆膜定位孔；33、覆膜定位标识；40、密封材料层；41、初始密
封材料层；50、密封圈。

10 具体实施方式

体现本公开特征与优点的典型实施例将在以下的说明中详细叙述。应理解的是本公开能够在不同的实施例上具有各种的变化，其皆不脱离本公开的范围，且其中的说明及附图在本质上是作说明之用，而非用以限制本公开。

- 15 在对本公开的不同示例性实施方式的下面描述中，参照附图进行，附图形成本公开的一部分，并且其中以示例方式显示了可实现本公开的多个方面的不同示例性结构，系统和步骤。应理解的是，可以使用部件，结构，示例性装置，系统和步骤的其他特定方案，并且可在不偏离本公开范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”，“之间”，“之内”等来描述本公开的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解
20 为需要结构的特定三维方向才落入本公开的范围。

本公开的一个实施例提供了一种半导体结构的熔断填充方法，请参考图 1，半导体结构的熔断填充方法包括：

- S101，提供一半导体结构本体 10，半导体结构本体 10 内形成有多个熔断器阵列组 20；
S103，熔断熔断器阵列组 20 的互连结构 21，以在半导体结构本体 10 上形成缺口 11；
25 S105，在半导体结构本体 10 上形成遮挡层 30，遮挡层 30 上形成有暴露缺口 11 的通孔 31；
S107，在缺口 11 内形成密封材料层 40。

- 本公开一个实施例的半导体结构的熔断填充方法通过在具有缺口 11 的半导体结构本体 10 上形成遮挡层 30，且遮挡层 30 上形成有暴露缺口 11 的通孔 31，即在后续填充缺口
30 11 时，由于遮挡层 30 的存在不会使得密封材料层 40 大面积地直接覆盖半导体结构本体

10, 避免了后续的清理, 且可以保证缺口 11 内可靠地形成密封材料层 40, 以此隔绝外部危险因素的侵入, 以此改善半导体结构的使用性能。

需要说明的是, DRAM (Dynamic Random Access Memory) 在测试完后发现有失效的电容、字线、位线等时, 相关技术中, 这些失效的位元会通过熔断器 (fuse) 的熔断来修复, 其过程是改变连接线路结构, 并使其连接到备用的位元来替换失效的位元, 从而达到修复的效果。

在一些实施例中, 通过激光高温的方式来烧断后端互连线路 (即熔断器阵列组 20 的互连结构 21) 来改变连接结构。在烧断熔断器阵列组 20 的互连结构 21 时会形成有缺口 11, 如果不对缺口 11 进行保护, 则致使烧断后的后端互连侧面会成为外部湿气和杂质金属离子甚至外部静电和应力的侵入口, 进而导致后端互连介电层的材料强度、介电效果减弱, 最终导致结构分层、破裂、漏电、器件性能恶化、可靠性降低、影响键合 (bonding) 和产品使用等。而本实施例中, 通过在缺口 11 内形成密封材料层 40 可以避免上述问题。

需要注意的是, 在半导体结构本体 10 上形成的遮挡层 30 用于避免密封材料层 40 形成在半导体结构本体 10 的某些区域, 例如会出现密封材料层 40 覆盖半导体结构本体 10 的键合焊盘的情况, 后续过程中需要对覆盖的密封材料层 40 进行清除, 由于密封材料层 40 本身材料和结构限定很难被清除, 严重情况下可能会破坏键合焊盘, 从而影响键合 (bonding)。而本实施例中遮挡层 30 的设置可以避免上述问题, 保证密封材料层 40 不会覆盖不该覆盖的位置。

在一些实施例中, 熔断器阵列组 20 包括互连结构 21、键合焊盘 22 以及接触孔 23, 互连结构 21 和键合焊盘 22 以及接触孔 23 均连接, 键合焊盘 22 可以是键合铝焊盘, 接触孔 23 可以连接至半导体结构本体 10 的衬底 14。对于熔断器阵列组 20 的具体结构此处不作限定, 可以是相关技术中形成的半导体结构的各类熔断器阵列组。

在一个实施例中, 遮挡层 30 由硬质材料制备而成, 即遮挡层 30 具有一定的硬度, 从而保证不会出现破损等情况, 以此避免防护性能减弱的问题, 且也方便后续去除遮挡层 30。

在一个实施例中, 遮挡层 30 由高分子材料、陶瓷、或金属材料制备而成, 保证遮挡层 30 具备一定的强度。

需要说明的是, 遮挡层 30 属于保护结构, 在后续会进行去除, 而硬质材料制备而成的遮挡层 30 也方便去除, 从而提高形成效率。

在一个实施例中, 密封材料层 40 可以是环氧树脂材料或聚酰亚胺树脂材料。

在一个实施例中, 熔断多个熔断器阵列组 20, 以在半导体结构本体 10 上形成多个独

立的缺口 11。在某些情况下，会存在多个熔断器阵列组 20 都出现问题的情况，此状态下需要对多个熔断器阵列组 20 进行熔断，从而会在半导体结构本体 10 上形成多个独立的缺口 11。

在一个实施例中，如图 2 所示，半导体结构本体 10 上形成有多个熔断器阵列组 20，多个熔断器阵列组 20 间隔设置。图 3 是图 2 中 A 处的放大结构示意图，结合图 3 所示，每个熔断器阵列组 20 的周向外侧均设置有密封圈 50 进行防护，且每个熔断器阵列组 20 均包括多个器件。

在一个实施例中，遮挡层 30 上形成有多个通孔 31，多个通孔 31 分别暴露多个缺口 11，即会在各个缺口 11 内形成相应的密封材料层 40，密封材料层 40 之间不会出现连接的情况。

具体的，在图 2 的基础上，确定熔断后的熔断器阵列组 20，即确定了半导体结构本体 10 上形成有多个缺口 11，此时覆盖半导体结构本体 10 的遮挡层 30 上形成有相应数量的通孔 31，将遮挡层 30 覆盖在半导体结构本体 10 上后，形成如图 4 所示的结构，多个通孔 31 分别对应多个熔断器阵列组 20，即每个通孔 31 均对应相应的缺口 11。图 4 中所示的是被熔断的两个熔断器阵列组 20 相邻设置，在某些实施例中，两个被熔断的熔断器阵列组 20 之间可以设置有未被熔断的熔断器阵列组 20。

在一个实施例中，一个通孔 31 暴露多个缺口 11，即会在各个缺口 11 内形成一个整体的密封材料层 40。

具体的，在图 2 的基础上，确定熔断后的熔断器阵列组 20，即确定了半导体结构本体 10 上形成有多个缺口 11，此时覆盖半导体结构本体 10 的遮挡层 30 上形成有一个大通孔 31，此大通孔 31 可以同时对应多个缺口 11，即将缺口 11 之间半导体结构本体 10 的部分也进行暴露。将遮挡层 30 覆盖在半导体结构本体 10 上后，形成如图 5 所示的结构，一个通孔 31 对应多个熔断器阵列组 20，即一个通孔 31 对应多个缺口 11。后续在形成密封材料层 40 后，密封材料层 40 会形成于通孔 31 内，即一大块密封材料层 40 填充多个缺口 11。

需要说明的是，在使用一个通孔 31 暴露多个缺口 11 时，最佳的实施例是，被熔断的多个熔断器阵列组 20 均相邻设置，从而不用后续进行密封材料层 40 的去除工艺，以此提高成型效率，避免后续使用蚀刻等工艺，防止出现对半导体结构本体 10 造成损伤。

需要说明的是，对于图 4 和图 5 所示出的实施例，区别点在于图 4 为一个通孔 31 对应一个缺口 11，而图 5 为一个通孔 31 对应多个缺口 11。

在一些实施例中，遮挡层 30 上形成有多个通孔 31，多个通孔 31 间隔设置，多个通孔

31 的大小可以不相同，即某些通孔 31 分别对应一个缺口 11，而某些通孔 31 对应多个缺口 11。

在一些实施例中，对应缺口 11 的具体形成不作限定，可以由实际熔断工艺确定，只要可以保证互连结构 21 处于熔断即可，即对应的熔断器阵列组 20 断开。相应的，通孔 31 的具体形状也不作限定，可以根据缺口 11 的形状进行适应性的调整，即保证能够暴露缺口 11。

在一个实施例中，通孔 31 的面积大于缺口 11 的面积，以使密封材料层 40 覆盖半导体结构本体 10 的部分上表面，即密封材料层 40 在填充缺口 11 的基础上，需要部分覆盖缺口 11 开口所在平面的部分，即形成的密封材料层 40 的顶部面积大于缺口 11 的开口面积，以此实现对缺口 11 的可靠防护。

需要说明的是，对于密封材料层 40 的顶部面积的尺寸不宜太大，以此避免覆盖某些不该覆盖的区域，只需要保证能够对缺口 11 的开口进行可靠覆盖即可，此处不作限定，可以根据半导体结构的时间情况确定。

在一个实施例中，形成密封材料层 40 包括：在遮挡层 30 上形成初始密封材料层 41，初始密封材料层 41 覆盖遮挡层 30，且填充缺口 11 和通孔 31；去除遮挡层 30 和覆盖遮挡层 30 的初始密封材料层 41，并使得剩余的初始密封材料层 41 作为密封材料层 40。

具体的，在覆盖遮挡层 30 后，需要在遮挡层 30 上形成初始密封材料层 41，此时初始密封材料层 41 可能会覆盖整个遮挡层 30，即将遮挡层 30 整体埋入到初始密封材料层 41 中，因此后续需要将覆盖遮挡层 30 的初始密封材料层 41 进行去除，相应的，遮挡层 30 也进行去除，以此剩余下保护缺口 11 的密封材料层 40。

需要注意的是，初始密封材料层 41 可以通过采用物理气相沉积（Physical Vapor Deposition, PVD）工艺、化学气相沉积（Chemical Vapor Deposition, CVD）工艺或原子层沉积（Atomic Layer Deposition, ALD）工艺等形成。

在一个实施例中，同步去除遮挡层 30 和覆盖遮挡层 30 的初始密封材料层 41，即可以采用一个操作步骤将遮挡层 30 和覆盖遮挡层 30 的初始密封材料层 41 同时去除。

在一个实施例中，在固化形成密封材料层 40 之前，通过去除遮挡层 30，以将覆盖遮挡层 30 的初始密封材料层 41 去除。由于初始密封材料层 41 还未固化，而遮挡层 30 的材质相对较硬，以此可以拉动遮挡层 30 将遮挡层 30 和覆盖遮挡层 30 的初始密封材料层 41 去除。

需要说明的是，在拉动遮挡层 30 时，由于初始密封材料层 41 没有固化，因此覆盖遮

挡层 30 的初始密封材料层 41 会在力的作用下脱离位于缺口 11 和通孔 31 内的初始密封材料层 41，从而可以实现仅去除覆盖遮挡层 30 的初始密封材料层 41 的情况，保证缺口 11 和通孔 31 内的初始密封材料层 41 不会被去除，当然也不排除位于通孔 31 内的部分初始密封材料层 41 被去除，但不会影响初始密封材料层 41 对于缺口 11 的整体防护效果。此
5 去除过程较为简单，且操作工艺也较为简单，效率较高。

在一个实施例中，先去除覆盖遮挡层 30 的初始密封材料层 41，然后去除遮挡层 30，即将覆盖遮挡层 30 的初始密封材料层 41 和遮挡层 30 进行先后去除，以此保证去除的精确度。

10 在一个实施例中，去除覆盖遮挡层 30 的初始密封材料层 41 之前，固化初始密封材料层 41，从而可以保证填充在通孔 31 内的初始密封材料层 41 不会被误去除。

需要说明的是，在将初始密封材料层 41 先固化，然后进行部分初始密封材料层 41 的去除，此时初始密封材料层 41 能够可靠密封缺口 11，而后续通过蚀刻等工艺去除初始密封材料层 41 时，由于初始密封材料层 41 下部会覆盖有遮挡层 30，因此也不会出现损伤半导体结构本体 10 的情况。

15 需要注意的是，初始密封材料层 41 固化前，同步去除遮挡层 30 和覆盖遮挡层 30 的初始密封材料层 41，相比于，固化初始密封材料层 41 之后，进行覆盖遮挡层 30 的初始密封材料层 41 和遮挡层 30 的先后去除。同步去除遮挡层 30 和覆盖遮挡层 30 的初始密封材料层 41 的形成效率会更高。

20 在一个实施例中，形成遮挡层 30 包括：使得遮挡层 30 上的第一定位部与半导体结构本体 10 上的第二定位部相对设置，以使通孔 31 暴露缺口 11，即保证遮挡层 30 上的通孔能够准确暴露相应的缺口 11。

需要注意的是，第一定位部与第二定位部相对设置，即第一定位部与第二定位部相互对准。例如，第一定位部与第二定位部可以是结构相同的孔，即保证两个孔相重合，或者第一定位部与第二定位部可以是结构相同的凸起，即两个凸起相重合，或者第一定位部与
25 第二定位部可以分别是凸起和凹槽，凸起和凹槽相适配。

具体的，结合图 6 所示的，半导体结构本体 10 上设置有多个晶粒 1，且半导体结构本体 10 上具有第二定位部，第二定位部可以是晶片缺口 12 (wafer notch)。半导体结构本体 10 可以表示晶圆，晶圆上可以布满晶粒 1，每个晶粒 1 可以包括一个或多个熔断器阵列组 20，晶圆可以是圆形或者矩形，此处不作限定。

30 遮挡层 30 上形成有第一定位部，在图 6 的基础上，将第一定位部与第二定位部相对

设置，从而实现了通孔 31 对缺口 11 的暴露。如图 7 所示，第一定位部可以是覆膜定位孔 32，此时覆膜定位孔可以对应晶片缺口 12。或者，第一定位部可以是覆膜定位标识 33，而半导体结构本体 10 上设置的第二定位部可以是相应的晶片定位标识 15，覆膜定位标识 33 和晶片定位标识 15 相对应。

5 在一些实施例中，遮挡层 30 上可以形成有覆膜定位孔 32 和覆膜定位标识 33，而半导体结构本体 10 上可以形成有相应的晶片缺口 12 和晶片定位标识 15，将覆膜定位孔 32 与晶片缺口 12 相对应，覆膜定位标识 33 与晶片定位标识 15 相对应，从而实现通孔 31 对缺口 11 的暴露。

10 遮挡层 30 可以是圆形或矩形，此处不作具体限定。遮挡层 30 可以采用简单的按压方式碰触晶圆表面，也可以考虑采用静电的方式或胶黏合的方式固定于晶圆上。第一定位部和第二定位部相对设置，定位采用激光直接或间接对位。以此形成图 7 所示的结构，即通孔 31 可以暴露晶粒 1。

15 在一个实施例中，半导体结构的熔断填充方法还包括：去除遮挡层 30；清理密封材料层 40 的外表面，即在去除遮挡层 30 形成密封材料层 40 后，需要对密封材料层 40 进行清理，以此去除表面的残渣，减小线宽，并减少对其他区域的覆盖。

在一些实施例中，清理密封材料层 40 的外表面包括：减薄密封材料层 40，并减小密封材料层 40 宽度方向的尺寸。即去除遮挡层 30 后可以对密封材料层 40 的厚度和宽度进行减小，以此避免密封材料层 40 太厚且覆盖范围太大的问题。

具体的，对密封材料层 40 的外表面进行去残渣、修整以及清洗。

20 通过灰化（N₂/H₂/O₂ 或混合气体）或蚀刻修整（Etch trim）的方式去除表面的残渣，减小线宽，及减少对其他区域的覆盖。后续可以通过氩溅射（Ar sputter）或湿法清洗（WET clean）（SPM + SC1 + SC2 或适用于 Al 的特殊清洗剂）的方式进一步去除残渣。

针对半导体结构的熔断填充方法的一个具体实施例，如图 8 至图 14 所示：

25 如图 8 所示，在半导体结构本体 10 上形成开口 13，开口 13 下方对应熔断器阵列组 20 的互连结构 21。开口 13 的形成可以在半导体结构本体 10 上形成掩膜，掩膜覆盖开口 13 之外的区域，后续可以通过蚀刻或者激光熔断等方式形成开口 13。

在图 8 的基础上，采用激光熔断互连结构 21，并在开口 13 的基础上形成缺口 11，如图 9 所示，此时缺口 11 暴露在外界环境中。

30 在图 9 的基础上，在半导体结构本体 10 上覆盖遮挡层 30，遮挡层 30 的通孔 31 暴露缺口 11，如图 10 所示。

具体的，可以采用激光直接或者间接的方式使得遮挡层 30 上的第一定位部与半导体结构本体 10 上的第二定位部实现定位。即通孔 31 的位置与熔断器阵列组 20 的位置对齐，通孔 31 的大小可以依据所需密封区域的需求和影响进行确定。如果多个熔断器阵列组 20 之间的区域不会因密封工艺而受影响，可以考虑将通孔 31 扩大整个熔断器区域，形成一个
5 个大开口，而不是多个独立的岛状结构。

在图 10 的基础上，在遮挡层 30 上形成初始密封材料层 41，如图 11 所示，初始密封材料层 41 覆盖遮挡层 30，且填充通孔 31 和缺口 11。

具体的，初始密封材料层 41 可以是基于环氧树脂材料或聚酰亚胺树脂材料或其他满足要求的树脂材料（膨胀系数，与目标界面的黏合强度和可润湿性，化学稳定性和兼容性，
10 抗湿性和隔绝效果，防静电程度，流动性，涂敷难易性等等）。初始密封材料层 41 的刷涂方式可以是硬性的刮刀刮涂方式或柔性材料（PP，PVA...）刷子刷涂方式，或者旋转喷涂方式，具体工艺不作限定。

在图 11 的基础上，去除遮挡层 30 和覆盖在遮挡层 30 上的初始密封材料层 41，形成如图 12 所示的结构。

15 在图 12 的基础上，通过灰化或 Etch trim 的方式去除表面的残渣，减小线宽（即最终形成的密封材料层 40 的顶部宽度变小），及减少初始密封材料层 41 对其他区域的覆盖，如图 13 所示。在图 12 的基础上，初始密封材料层 41 的线宽为 B，而在进行表面处理后，如图 13 所示，初始密封材料层 41 的线宽为 C，且 C 小于 B，密封材料层 40 的最终线宽为 C。

20 在图 13 的基础上，热固化初始密封材料层 41，以形成密封材料层 40，如图 14 所示。

具体的，可以在 120℃~400℃温度下进行 30min~500min 的固化，根据材料属性选择合适的气氛，例如氮气，氩气，水汽，或混合气体等。

本公开的半导体结构的熔断填充方法形成的半导体结构可以隔绝外部危险因素的侵入。

25 本公开的一个实施例还提供了一种半导体结构，请参考图 14，半导体结构包括：半导体结构本体 10，半导体结构本体 10 内形成有多个熔断器阵列组 20，半导体结构本体 10 上形成有缺口 11，熔断器阵列组 20 的互连结构 21 被熔断；密封材料层 40，密封材料层 40 位于缺口 11 内。

30 本公开一个实施例的半导体结构通过在半导体结构本体 10 的缺口 11 内填充密封材料层 40，从而可以隔绝外部危险因素的侵入，以此改善半导体结构的使用性能。

在一个实施例中，密封材料层 40 突出半导体结构本体 10 设置，以覆盖半导体结构本体 10 的部分上表面，即密封材料层 40 的顶部面积大于缺口 11 的开口面积，以此提高防护性能。

5 在一个实施例中，半导体结构还包括：密封圈 50，密封圈 50 为多个，各个熔断器阵列组 20 分别位于各个密封圈 50 内，密封圈 50 实现了对各个熔断器阵列组 20 的保护。

在一个实施例中，半导体结构通过上述的半导体结构的熔断填充方法形成。

10 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本发明的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和示例实施方式仅被视为示例性的，本公开的真正范围和精神由前面的权利要求指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。

权 利 要 求

- 1.一种半导体结构的熔断填充方法，包括：
提供一半导体结构本体，所述半导体结构本体内形成有多个熔断器阵列组；
5 熔断所述熔断器阵列组的互连结构，以在所述半导体结构本体上形成缺口；
在所述半导体结构本体上形成遮挡层，所述遮挡层上形成有暴露所述缺口的通孔；
在所述缺口内形成密封材料层。
- 2.根据权利要求1所述的半导体结构的熔断填充方法，其中，所述遮挡层由硬质材料制备而成。
- 10 3.根据权利要求1所述的半导体结构的熔断填充方法，其中，所述遮挡层由高分子材料、陶瓷、或金属材料制备而成。
- 4.根据权利要求1所述的半导体结构的熔断填充方法，其中，熔断多个所述熔断器阵列组，以在所述半导体结构本体上形成多个独立的缺口。
- 5.根据权利要求4所述的半导体结构的熔断填充方法，其中，所述遮挡层上形成有多个
15 个所述通孔，多个所述通孔分别暴露多个所述缺口。
- 6.根据权利要求4所述的半导体结构的熔断填充方法，其中，一个所述通孔暴露多个所述缺口。
- 7.根据权利要求1所述的半导体结构的熔断填充方法，其中，所述通孔的面积大于所述缺口的面积，以使所述密封材料层覆盖所述半导体结构本体的部分上表面。
- 20 8.根据权利要求1至7中任一项所述的半导体结构的熔断填充方法，其中，形成所述密封材料层包括：
在所述遮挡层上形成初始密封材料层，所述初始密封材料层覆盖所述遮挡层，且填充所述缺口和所述通孔；
去除所述遮挡层和覆盖所述遮挡层的初始密封材料层，并使得剩余的所述初始密封材料层作为所述密封材料层。
- 25 9.根据权利要求8所述的半导体结构的熔断填充方法，其中，同步去除所述遮挡层和覆盖所述遮挡层的初始密封材料层。
- 10.根据权利要求9所述的半导体结构的熔断填充方法，其中，在固化形成所述密封材料层之前，通过去除所述遮挡层，以将覆盖所述遮挡层的所述初始密封材料层去除。
- 30 11.根据权利要求8所述的半导体结构的熔断填充方法，其中，先去除覆盖所述遮挡层

的所述初始密封材料层，然后去除所述遮挡层。

12.根据权利要求 11 所述的半导体结构的熔断填充方法，其中，去除覆盖所述遮挡层的所述初始密封材料层之前，固化所述初始密封材料层。

5 13.根据权利要求 1 所述的半导体结构的熔断填充方法，其中，形成所述遮挡层包括：使得所述遮挡层上的第一定位部与所述半导体结构本体上的第二定位部相对设置，以使所述通孔暴露所述缺口。

14.根据权利要求 1 所述的半导体结构的熔断填充方法，其中，所述半导体结构的熔断填充方法还包括：

10 去除所述遮挡层；
清理所述密封材料层的外表面。

15.根据权利要求 14 所述的半导体结构的熔断填充方法，其中，清理所述密封材料层的外表面包括：

减薄所述密封材料层。

15 16.根据权利要求 15 所述的半导体结构的熔断填充方法，其中，清理所述密封材料层的外表面还包括：
减小所述密封材料层宽度方向的尺寸。

17.一种半导体结构，包括：

20 半导体结构本体，所述半导体结构本体内形成有多个熔断器阵列组，所述半导体结构本体上形成有缺口，所述熔断器阵列组的互连结构被熔断；
密封材料层，所述密封材料层位于所述缺口内。

18.根据权利要求 17 所述的半导体结构，其中，所述密封材料层突出所述半导体结构本体设置，以覆盖所述半导体结构本体的部分上表面。

19.根据权利要求 17 所述的半导体结构，其中，所述半导体结构还包括：

密封圈，所述密封圈为多个，各个所述熔断器阵列组分别位于各个所述密封圈内。

25 20.根据权利要求 17 所述的半导体结构，其中，所述熔断器阵列组还包括键合焊盘和接触孔，所述互连结构和所述键合焊盘连接，所述互连结构和所述接触孔连接。

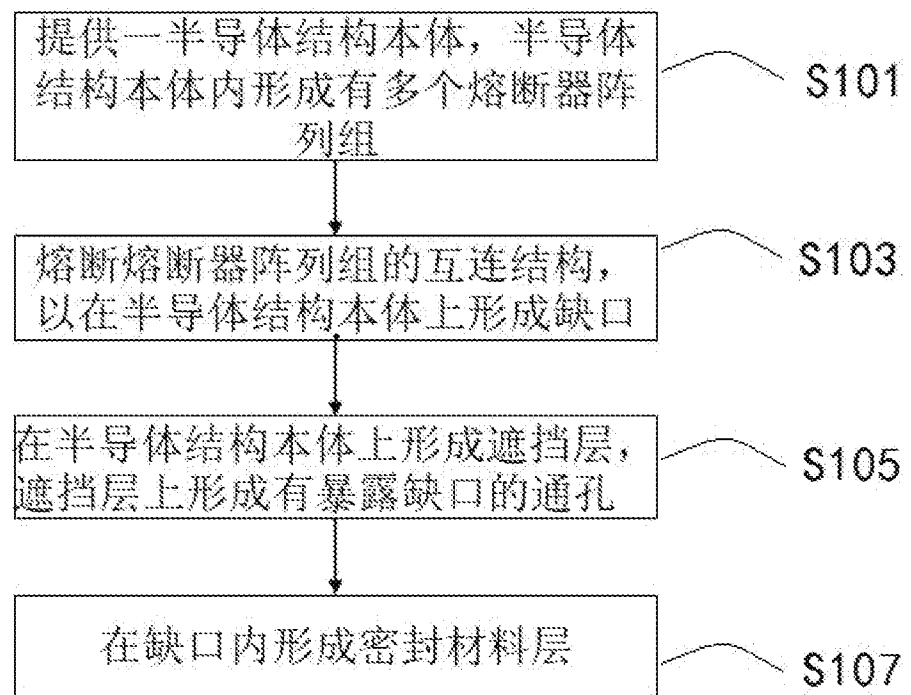


图1

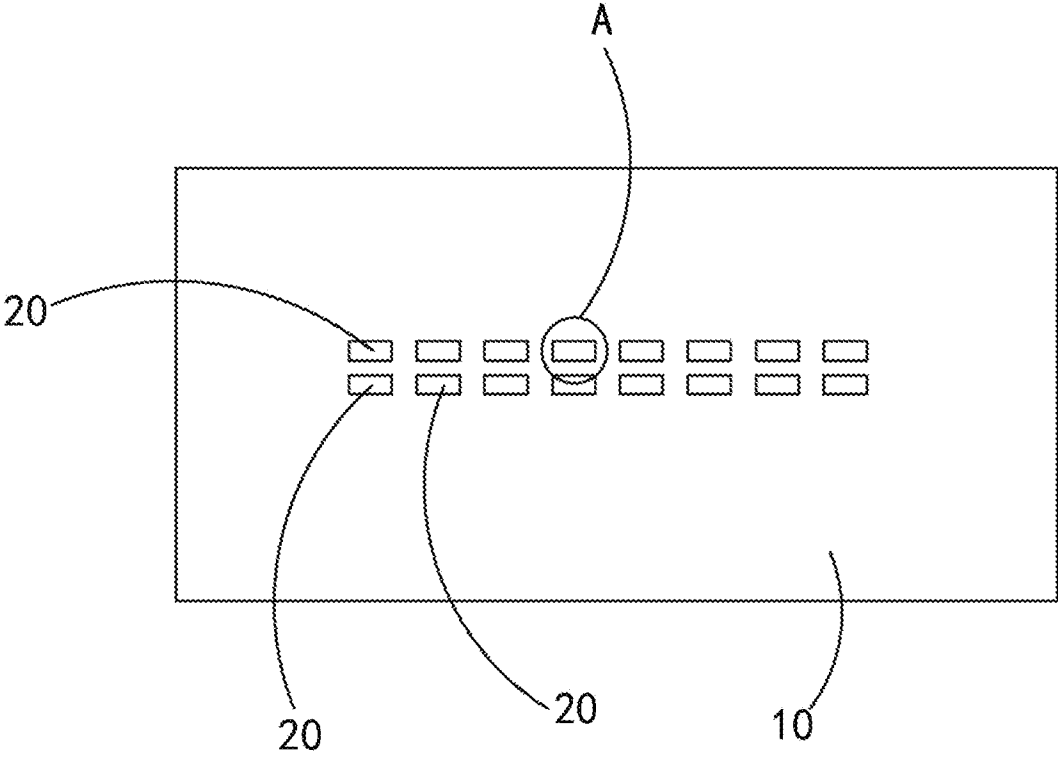


图2

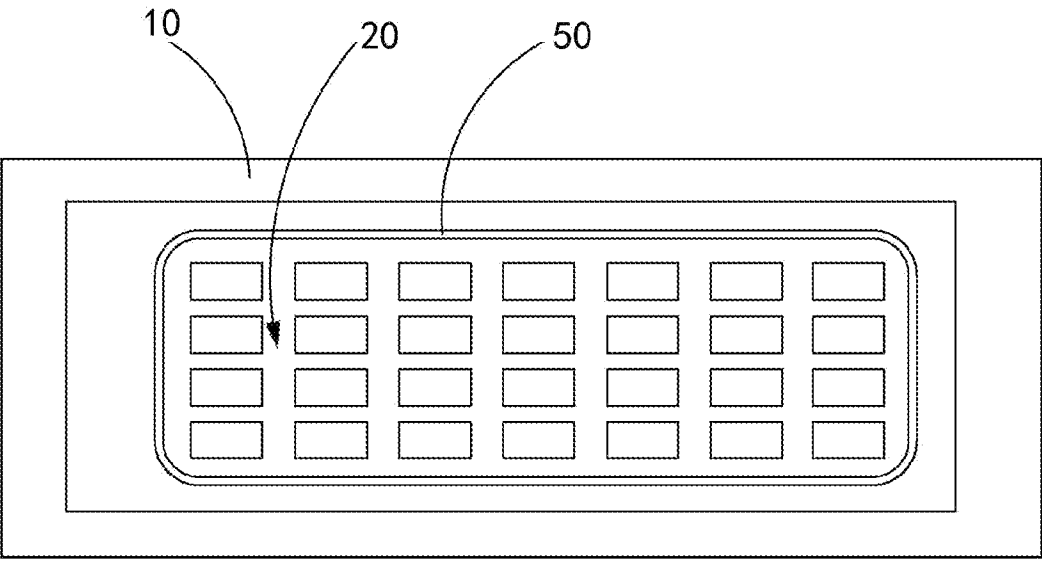


图3

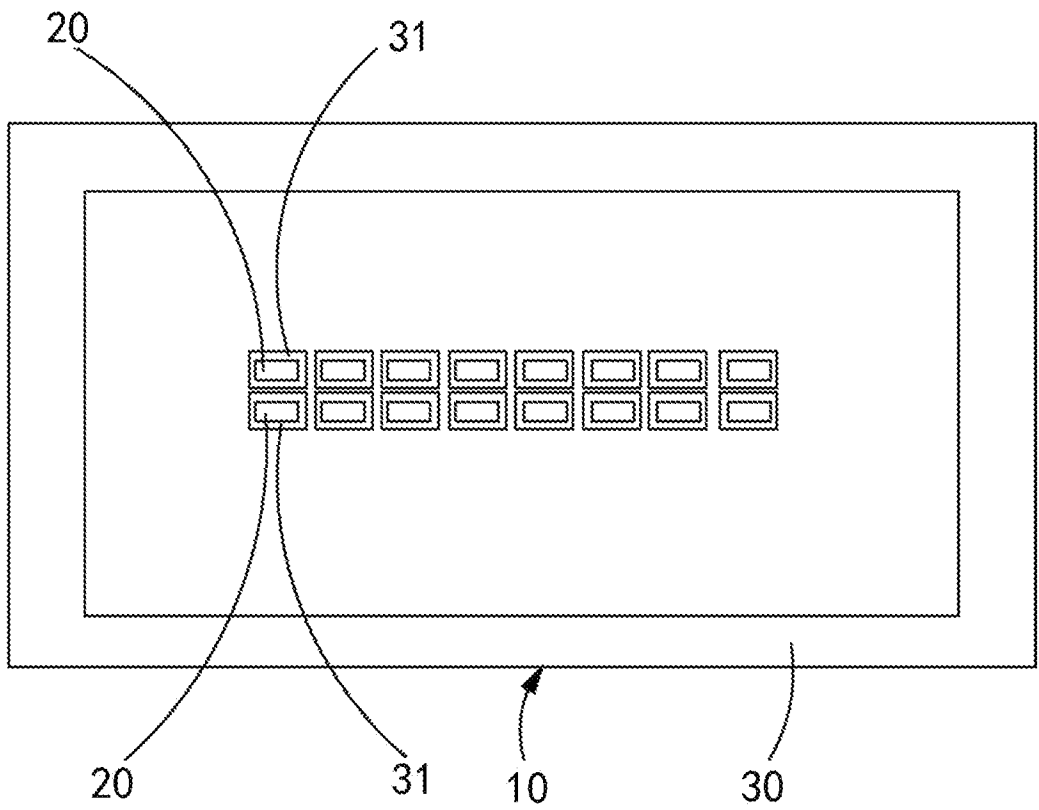


图4

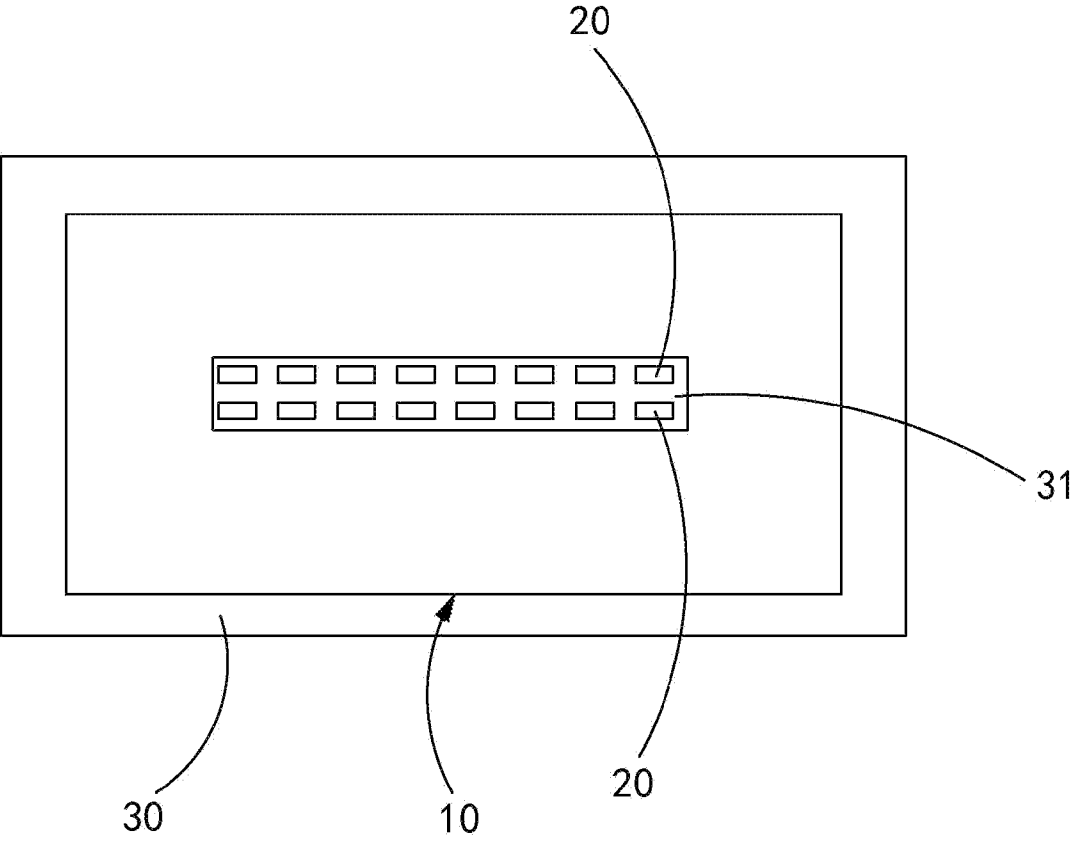


图5

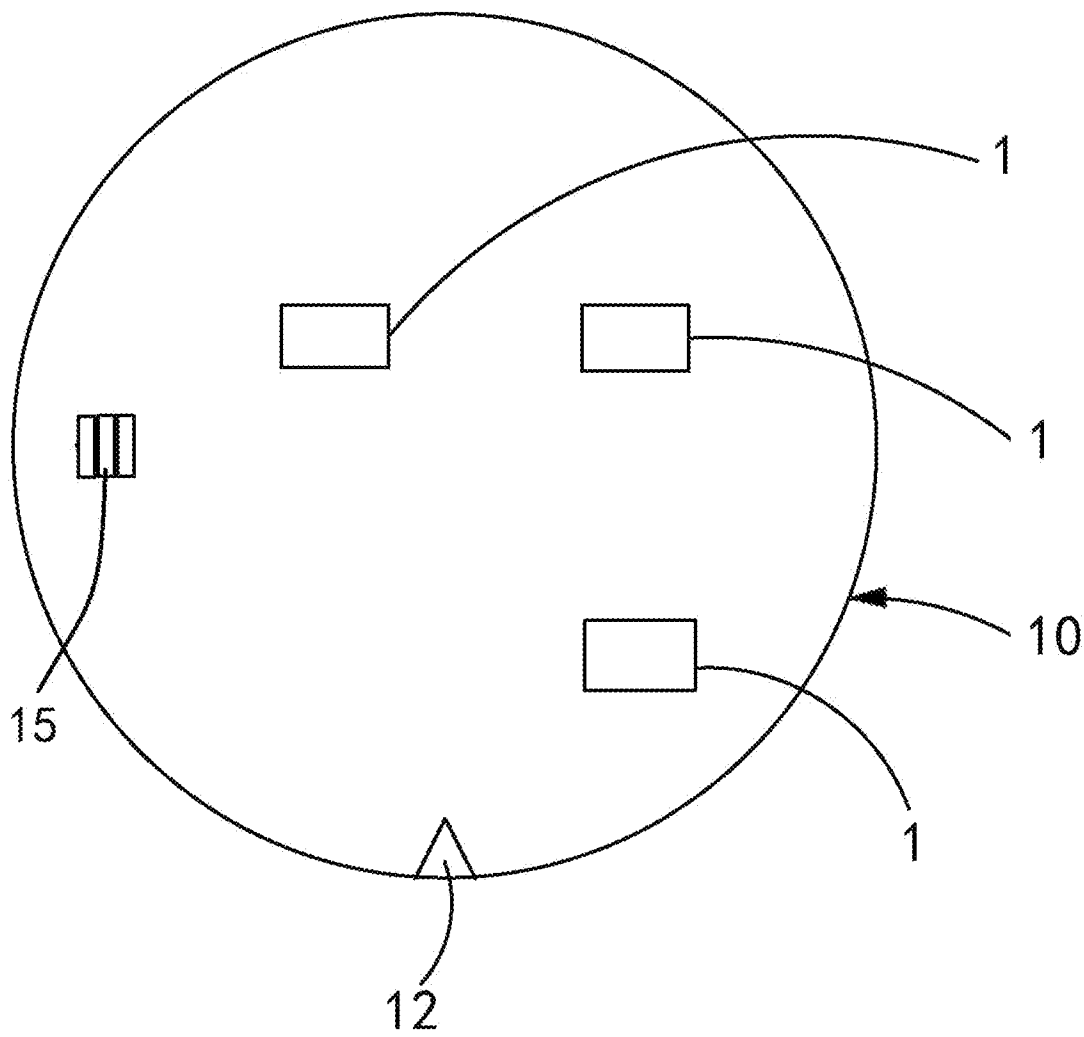


图6

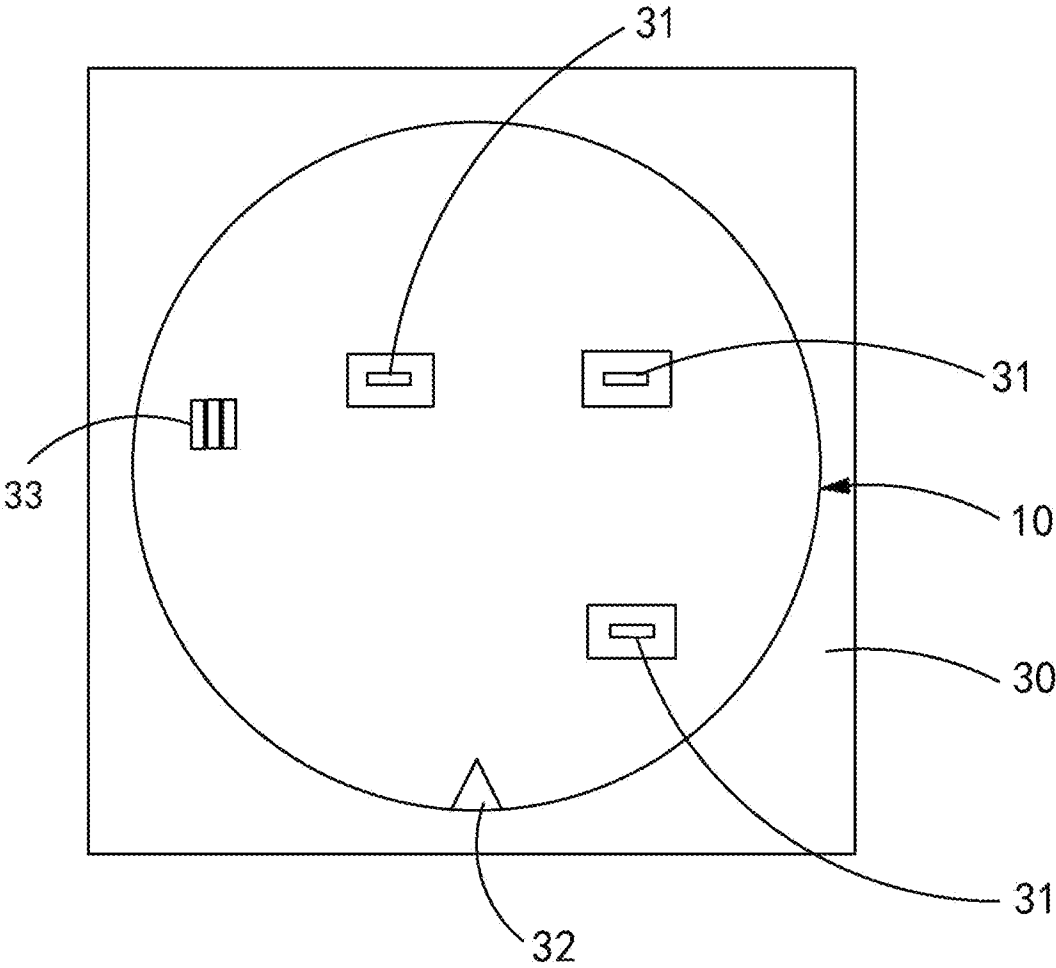


图7

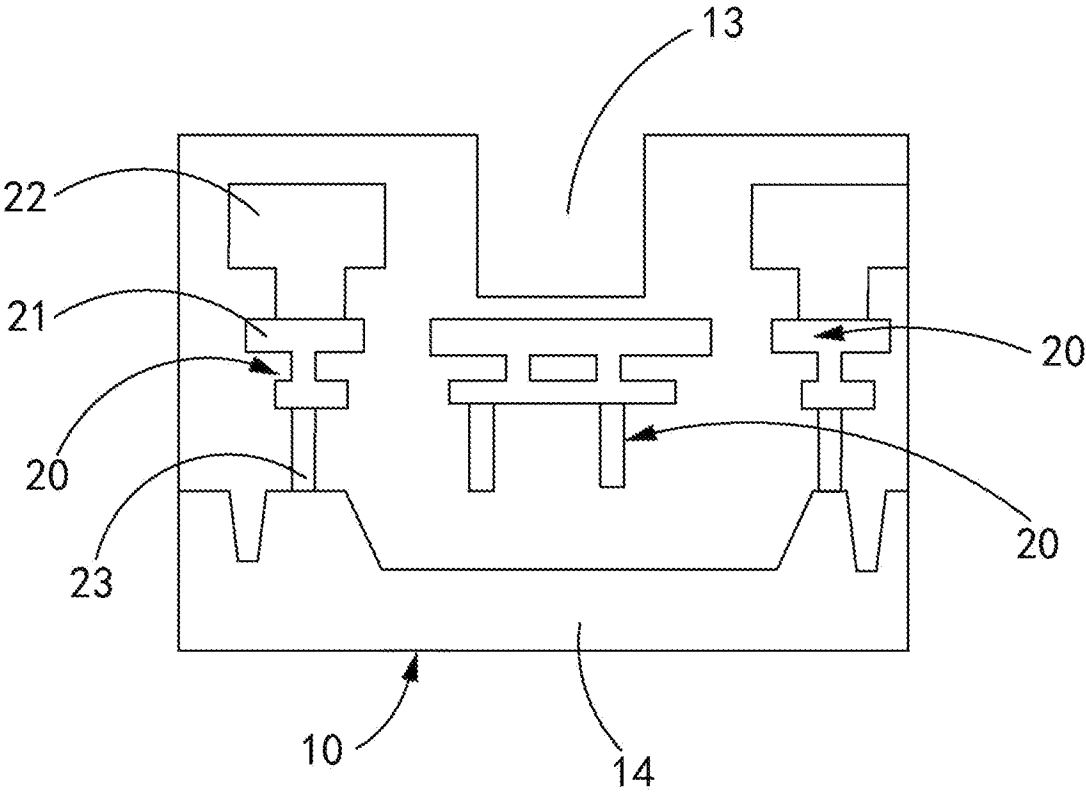


图8

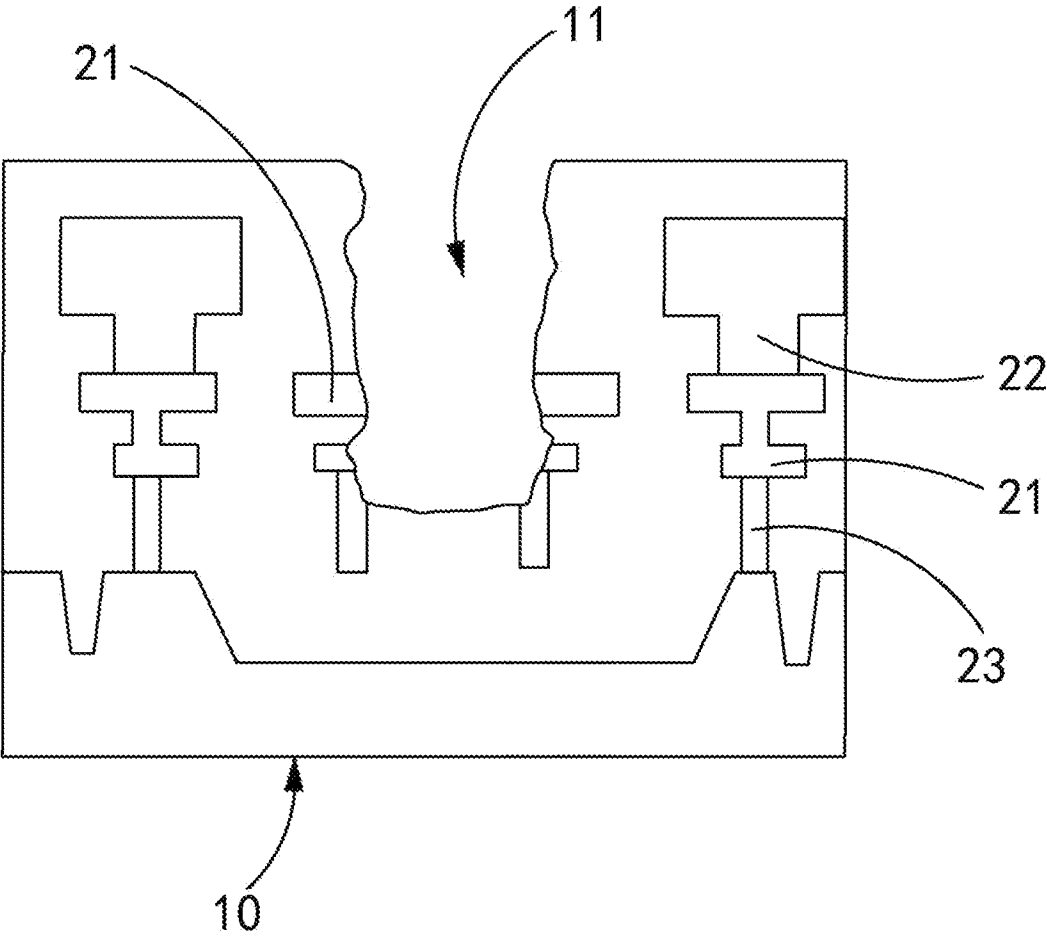


图9

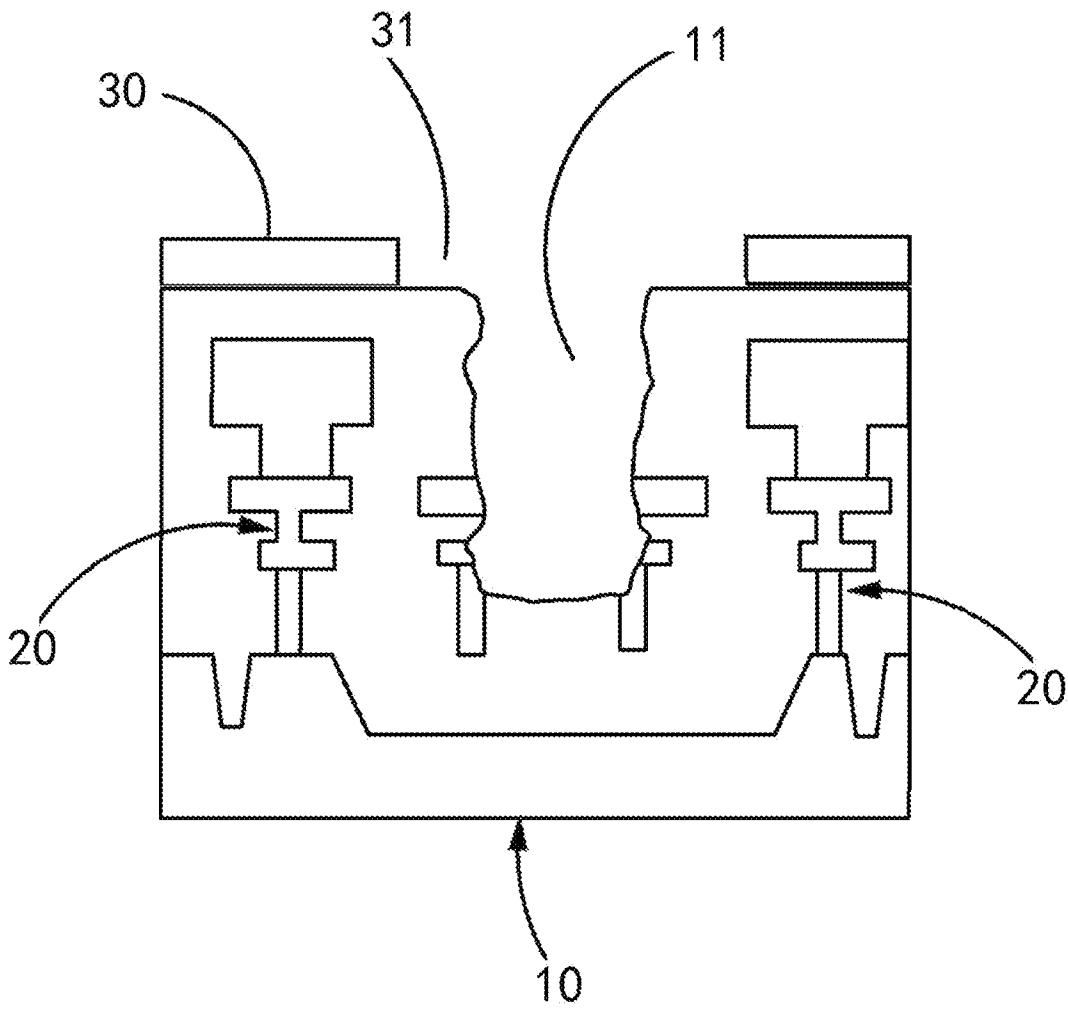


图10

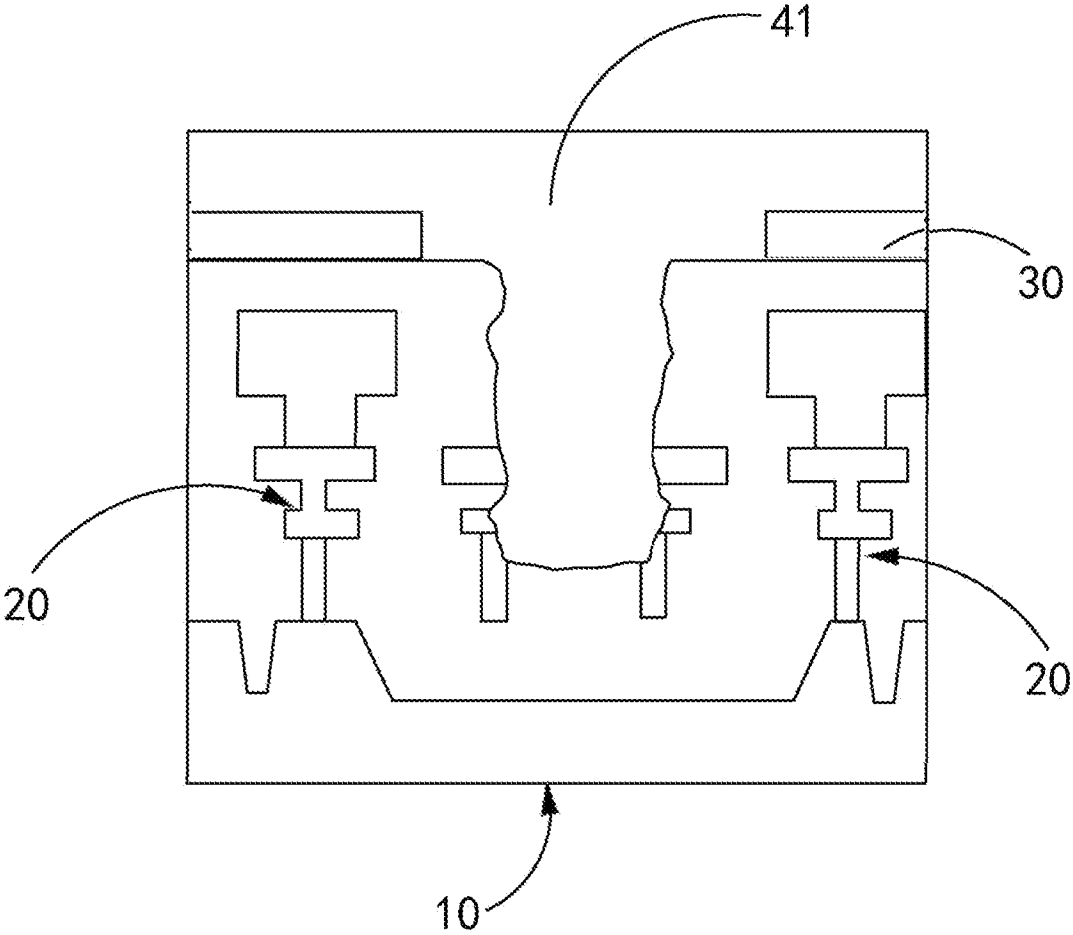


图11

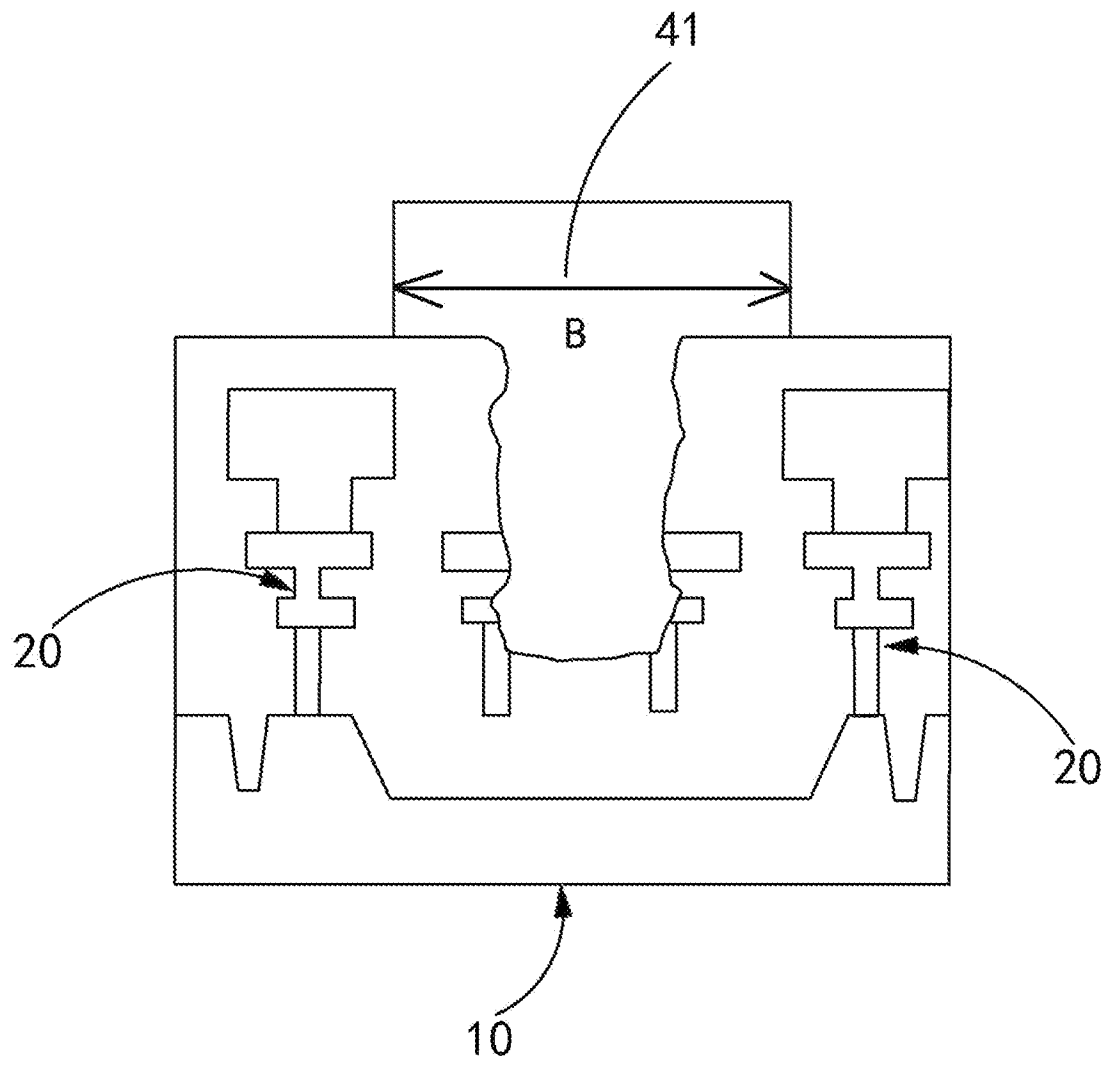


图12

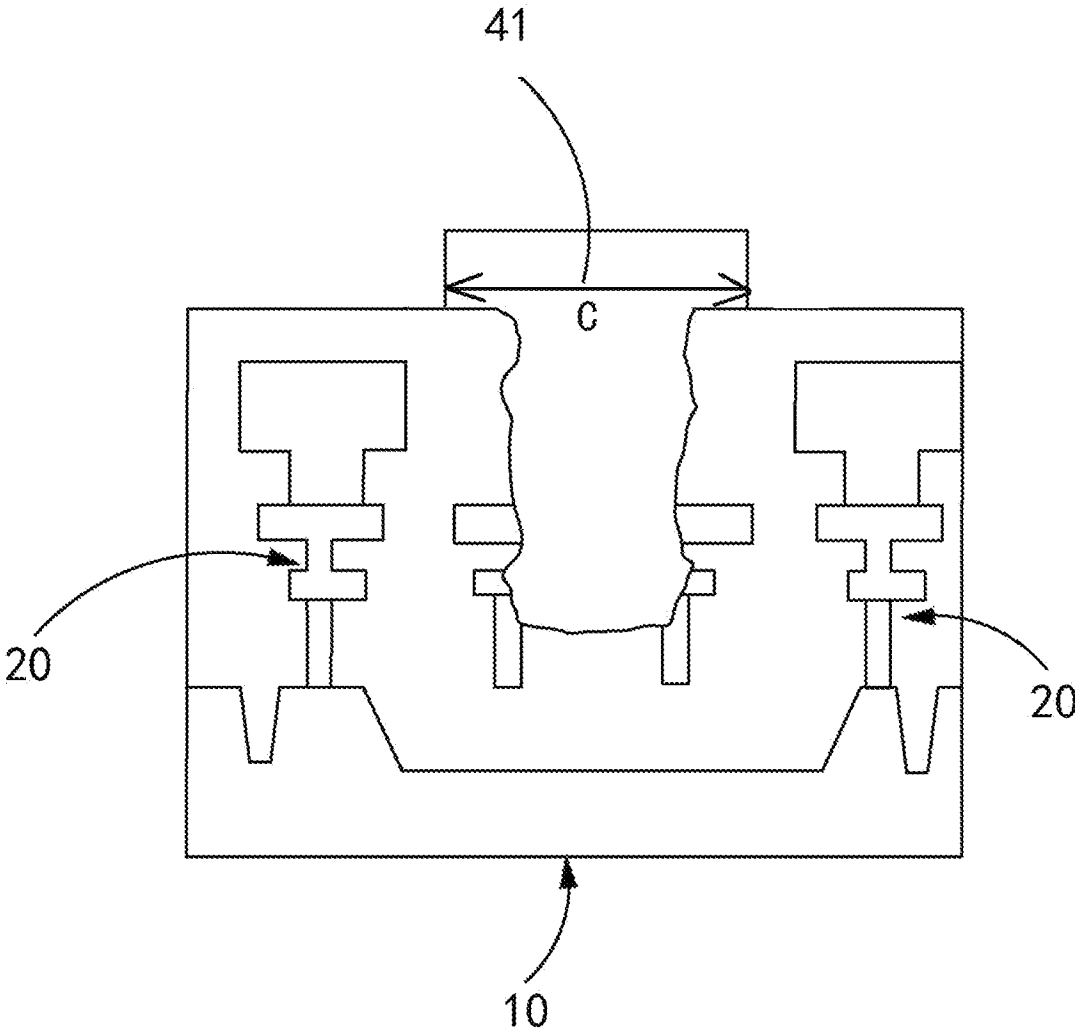


图13

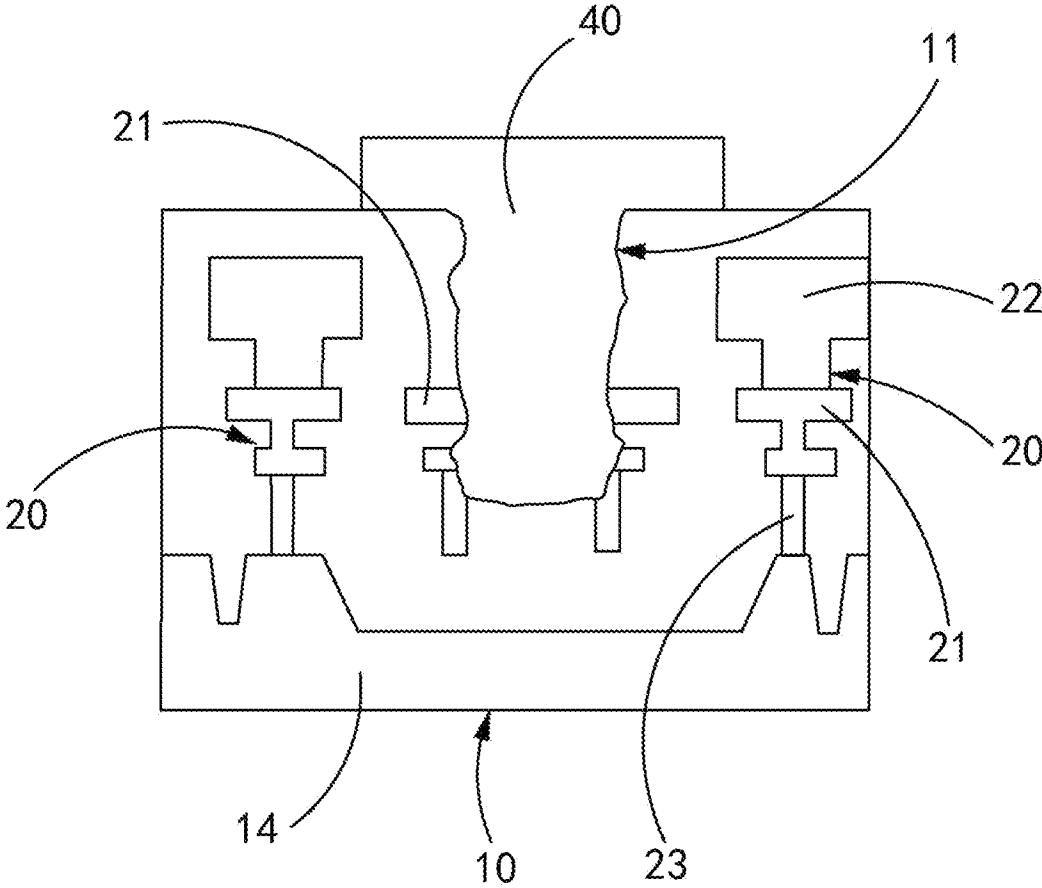


图14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/109303

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/525(2006.01)i; H01L 23/528(2006.01)i; H01L 21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 半导体, 熔断, 熔丝, 激光, 烧断, 表面, 界面, 填充, 覆盖, 保护, 缺口, 开口, 遮挡, 掩膜, 定位, 对准, semiconductor, fuse, fusing, laser, surface, interface, fill, cover, protect, opening, notch, shield, mask, alignment

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113013090 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 22 June 2021 (2021-06-22) claims 1-17, description paragraphs [0054]-[0114], figures 1-14	1-20
X	CN 103258783 A (SEMICONDUCTOR COMPONENTS INDUSTRIES, L.L.C.) 21 August 2013 (2013-08-21) description, paragraphs [0041]-[0067], and figures 1-6	1-20
A	CN 1893070 A (TOSHIBA K. K.) 10 January 2007 (2007-01-10) entire document	1-20
A	JP 2000294648 A (FUJITSU LTD.) 20 October 2000 (2000-10-20) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 September 2021

Date of mailing of the international search report

08 October 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/109303

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113013090	A	22 June 2021	None			
CN	103258783	A	21 August 2013	US	2013210200	A1	15 August 2013
				JP	2013168491	A	29 August 2013
				CN	103258783	B	23 December 2015
				US	8728876	B2	20 May 2014
CN	1893070	A	10 January 2007	CN	100485929	C	06 May 2009
				JP	2007012996	A	18 January 2007
				US	2007001307	A1	04 January 2007
JP	2000294648	A	20 October 2000	JP	3965827	B2	29 August 2007

国际检索报告

国际申请号

PCT/CN2021/109303

A. 主题的分类

H01L 21/768(2006.01)i; H01L 23/525(2006.01)i; H01L 23/528(2006.01)i; H01L 21/66(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 半导体, 熔断, 熔丝, 激光, 烧断, 表面, 界面, 填充, 覆盖, 保护, 缺口, 开口, 遮挡, 掩膜, 定位, 对准, semiconduct+, fuse, fusing, laser, surface, interface, fill, cover, protect+, opening, notch, shield, mask, alignment

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 113013090 A (长鑫存储技术有限公司) 2021年 6月 22日 (2021 - 06 - 22) 权利要求1-17、说明书第[0054]-[0114]段、附图1-14	1-20
X	CN 103258783 A (半导体元件工业有限责任公司) 2013年 8月 21日 (2013 - 08 - 21) 说明书[0041]-[0067]段、附图1-6	1-20
A	CN 1893070 A (株式会社东芝) 2007年 1月 10日 (2007 - 01 - 10) 全文	1-20
A	JP 2000294648 A (FUJITSU LTD) 2000年 10月 20日 (2000 - 10 - 20) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 15日

国际检索报告邮寄日期

2021年 10月 8日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李莹

电话号码 62089296

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/109303

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113013090	A	2021年 6月 22日	无			
CN	103258783	A	2013年 8月 21日	US	2013210200	A1	2013年 8月 15日
				JP	2013168491	A	2013年 8月 29日
				CN	103258783	B	2015年 12月 23日
				US	8728876	B2	2014年 5月 20日
CN	1893070	A	2007年 1月 10日	CN	100485929	C	2009年 5月 6日
				JP	2007012996	A	2007年 1月 18日
				US	2007001307	A1	2007年 1月 4日
JP	2000294648	A	2000年 10月 20日	JP	3965827	B2	2007年 8月 29日