



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월12일
(11) 등록번호 10-1285958
(24) 등록일자 2013년07월08일

(51) 국제특허분류(Int. Cl.)
B23K 35/26 (2006.01) B23K 1/00 (2006.01)
C22C 13/02 (2006.01) H01L 21/52 (2006.01)
(21) 출원번호 10-2011-7009207
(22) 출원일자(국제) 2009년04월13일
심사청구일자 2011년04월22일
(85) 번역문제출일자 2011년04월22일
(65) 공개번호 10-2011-0059653
(43) 공개일자 2011년06월02일
(86) 국제출원번호 PCT/JP2009/057438
(87) 국제공개번호 WO 2010/047139
국제공개일자 2010년04월29일
(30) 우선권주장
JP-P-2008-274545 2008년10월24일 일본(JP)
(56) 선행기술조사문헌
JP2001284792 A
JP2001334384 A
JP2002076606 A
전체 청구항 수 : 총 4 항

(73) 특허권자
미쓰비시덴키 가부시카가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
(72) 발명자
마에다 아키라
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시카가이샤 내
오츠 겐지
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시카가이샤 내
야마다 아키라
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시카가이샤 내
(74) 대리인
제일특허법인

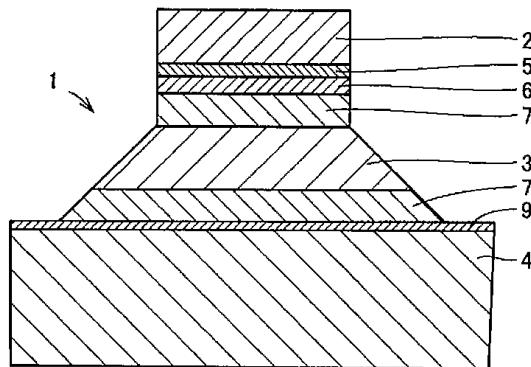
심사관 : 방승훈

(54) 발명의 명칭 뿔납 합금 및 반도체 장치

(57) 요약

뿔납 합금(3)은, Sb를 5질량% 이상 15질량% 이하, Cu를 3질량% 이상 8질량% 이하, Ni를 0.01질량% 이상 0.15질량% 이하, In을 0.5질량% 이상 5질량% 이하 포함하고 있다. 잔부가 Sn 및 불가피적 불순물을 포함하고 있다. 이것에 의해, 반도체 소자(2)의 부식집을 억제하고, 또 뿔납재의 내균열성을 향상시키는 고신뢰의 뿔납 합금(3) 및 반도체 장치(1)를 얻을 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

Sb를 5질량% 이상 15질량% 이하, Cu를 3질량% 이상 8질량% 이하, Ni를 0.01질량% 이상 0.15질량% 이하, In을 0.5질량% 이상 5질량% 이하 포함하고, 잔부가 Sn 및 불가피적 불순물을 포함하는 뿔납 합금(3).

청구항 2

제 1 항에 있어서,

P, Ge, Ga 및 Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 0.01질량% 이상 1질량% 이하 함유하는 뿔납 합금(3).

청구항 3

반도체 소자(2)와,

제 1 항에 기재된 뿔납 합금(3)을 통해 상기 반도체 소자(2)에 접합된 금속 전극(4)을 구비한 반도체 장치(1).

청구항 4

제 3 항에 있어서,

상기 반도체 소자(2)와 상기 뿔납 합금(3)의 사이 및 상기 금속 전극(4)과 상기 뿔납 합금(3)의 사이 중 적어도 어느 것인가에, Cu-Ni-Sn 상(7a)과, Cu-Sn 상(7b)과, Sn-Sb 상(7c)을 갖는 합금층(7)을 더 구비한 반도체 장치(1).

명세서

기술분야

[0001] 본 발명은 뿔납 합금 및 반도체 장치에 관한 것이며, 특히 반도체 소자와 전자 회로의 전극을 접합하는데 적합한, 납을 함유하지 않는(무연) 뿔납 합금 및 그 뿔납 합금을 사용한 반도체 장치에 관한 것이다.

배경기술

[0002] 최근, 반도체 장치에 대한 신뢰성의 요구는 점점 더 높아지고, 특히 열팽창 계수 차이가 큰 반도체 소자와 회로 기판의 접합부에 대한 내열 사이클 특성 향상이 요구되고 있다. 종래 반도체 소자는 실리콘(Si)이나 갈륨비소(GaAs)를 기판으로 한 것이 많이 사용되고, 그의 동작 온도는 100℃~125℃이다. 이들을 전자 회로의 전극에 접합하는 뿔납재로서는, 반도체 소자와 회로 기판의 열팽창의 차이에 기인하는 반복 열응력에 대한 내균열성, 조립할 때의 다단계 뿔납 접합에 대응하기 위한 고용점, 또한 디바이스의 오염 내성의 관점 등으로부터, Si 디바이스로는 95Pb-5Sn(질량%), 갈륨비소 디바이스로는 80Au-20Sn(질량%) 등이 사용되어 왔다. 그러나, 환경 부하 저감의 관점에서 유해한 납(Pb)을 대량으로 함유하는 95Pb-5Sn은 문제가 있고, 또한 귀금속 고등(高騰) 및 매장량의 관점에서 80Au-20Sn은 대체재가 강하게 요구되고 있었다.

[0003] 한편, 에너지 절약의 관점에서 차세대 디바이스로서 실리콘카바이드(SiC)나 질화갈륨(GaN)을 기판으로 한 디바이스의 개발이 활발하게 행해지고 있다. 이들은 손실 저감의 관점에서 그의 동작 온도가 175℃ 이상으로 되어 있고, 장래에는 300℃가 된다고도 말해지고 있다.

[0004] 상기 요구에 대하여, 융점이 높고, 또한 내열성이 우수한 고온 뿔납 합금이 필요하다. 이러한 고온 뿔납 합금은, 예컨대 일본 특허공개 제2004-298931호에 개시되어 있다. 이 공보에는, Sb가 10~40질량%, Cu가 0.5~10질량%, 잔부가 Sn으로 이루어지는 고온 무연 뿔납 합금 및 이 뿔납 합금에 의해 접합된 전자 부품이 개시되어 있다. 또한, 기계적 강도 개선 원소로서, Ni, Co, Fe, Mo, Cr, Mn, Ag, Bi를 함유하는 뿔납 합금이 개시되어 있다. 또한, 산화 억제 원소로서, P, Ge, Ga를 함유하는 뿔납 합금이 개시되어 있다.

[0005] 또한, 200℃의 고온 하에서도 충분한 뿔납 접합 강도를 얻을 수 있는 수법이, 예컨대, 일본 특허공개 제2007-67158호 공보에 개시되어 있다. 이 공보의 반도체 장치에서는, 실온 내지 200℃에서 Cu-Sn 화합물(예컨대

Cu₆Sn₅)의 상을 함유하는 Sn계 뿔납 박에 의해 Ni계 도금이 실시된 피접속재가 접속됨으로써, Cu-Sn 화합물을 주체로 하는 화합물층이 형성된다. 이 화합물층이 Ni계 도금과 Sn계 뿔납의 배리어층이 되어 접속 계면 반응에 의한 화합물의 성장이 억제된다. 또한, 실시예에서는, Sn 또는 Sn-3Ag(질량%)에 3질량% 이상의 Cu가 함유된 뿔납 박이, Ni계 도금과 접촉되고, 가열, 용융되어 접합되어 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 특허공개 제2004-298931호 공보
- (특허문헌 0002) 일본 특허공개 제2007-67158호 공보

발명의 내용

해결하려는 과제

- [0007] 그러나, 특허문헌 1에 개시된 뿔납 합금은, 뿔납재가 딱딱하기 때문에 뿔납재에서 응력 완화되지 않아, 열 사이클에 의해 반도체 소자가 부서져 버리는 문제가 있다.
- [0008] 또한, 특허문헌 2에 개시된 반도체 장치는, 뿔납재가 연하기 때문에 뿔납재가 부서지기 쉬워, 뿔납재 내부의 내균열성이 낮다고 하는 문제가 있다.
- [0009] 본 발명은 상기 과제를 감안하여 이루어진 것이며, 그의 목적은, 뿔납재의 경도를 제어함으로써, 반도체 소자의 부서짐을 억제하고, 또한 뿔납재의 내균열성을 향상시키는 고신뢰의 뿔납 합금 및 반도체 장치를 제공하는 것이다.

과제의 해결 수단

- [0010] 본 발명의 뿔납 합금은, Sb를 5질량% 이상 15질량% 이하, Cu를 3질량% 이상 8질량% 이하, Ni를 0.01질량% 이상 0.15질량% 이하, In을 0.5질량% 이상 5질량% 이하 포함하고 있다. 잔부가 Sn 및 불가피적 불순물을 포함하고 있다.

발명의 효과

- [0011] 본 발명의 뿔납 합금에서는, In이 0.5질량% 이상 5질량% 이하의 범위로 가해지는 것에 의해, 내균열성 향상을 위해 첨가된 Sb에 의해 지나치게 딱딱해진 뿔납재의 내부에 연한 In 부유상이 분산된다. 이것에 의해 연성이 강화되어 뿔납재가 적절히 연하게 되어, 뿔납재의 경도가 제어된다. 이것에 의해, 반도체 소자의 부서짐이 억제된다. 또한, 뿔납재의 내균열성이 향상된다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 실시 형태에 있어서의 뿔납 합금을 사용한 반도체 장치의 개략 단면도이다.
- 도 2는 본 발명의 실시 형태에 있어서의 메탈라이즈층(metalization layer)이 확산으로 소멸된 실리콘 칩과 뿔납층의 접합부를 확대한 개략 단면도이다.
- 도 3은 본 발명의 실시 형태에 있어서의 반도체 장치의 뿔납 접합부에 생긴 균열의 발생 상태를 나타낸 개략 단면도이다.
- 도 4는 본 발명의 실시 형태에 있어서의 반도체 장치의 실리콘 칩(silicon chip)에 생긴 균열 발생 상태를 나타낸 개략 단면도이다.
- 도 5는 Sb 함유량과 인장 강도 및 신도의 관계를 나타낸 도면이다.
- 도 6은 Cu량과 잔류 Ni 두께의 평균의 관계를 나타낸 도면이다.
- 도 7은 Cu량과 공극률의 평균의 관계를 나타낸 도면이다.

도 8은 In량과 공극률의 평균의 관계를 나타낸 도면이다.

도 9는 열 사이클 처리 후의 단면 관찰에 의한 실리콘 칩의 메탈라이즈층과 뿔납층의 접합 계면의 전자 현미경 및 특성 X선을 사용한 정성 분석의 결과를 기초로 모의된 개략 단면도이고, 비교예 34에 대응한 도면(A)와, 실시예 8에 대응한 도면(B)이다.

도 10은 열 사이클 처리 후의 단면 관찰에 의한 뿔납층과 Ni 도금층의 접합 계면의 전자 현미경 및 특성 X선을 사용한 정성 분석의 결과를 기초로 모의된 개략 단면도이고, 비교예 34에 대응한 도면(A)와, 실시예 8에 대응한 도면(B)이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 실시 형태에 대하여 도면에 기초하여 설명한다.
- [0014] 최초로, 본 실시 형태의 뿔납 합금 및 그 뿔납 합금을 사용한 반도체 장치의 구성에 대하여 설명한다.
- [0015] 도 1은, 평면상에 있어서의 반도체 장치(1)의 대각선을 따른 개략 단면도이다. 도 1을 참조하여, 본 실시 형태의 반도체 장치(1)는, 반도체 소자인 예컨대 실리콘 칩(2)과, 뿔납 합금인 뿔납층(3)과, 금속 전극인 회로 기판(4)과, 옴층(Ohmie layer)(5)과, 메탈라이즈층(6)과, 합금층(7)과, Ni(니켈) 도금층(9)을 주로 갖고 있다.
- [0016] 이 반도체 장치(1)에서는, 실리콘 칩(2)이, 뿔납층(3)을 통해 회로 기판(4)과 접합되어 있다. 실리콘 칩(2)과 뿔납층(3)의 사이에는, 옴층(5), 메탈라이즈층(6) 및 합금층(7)이 형성되어 있다. 옴층(5)은, 실리콘 칩(2)의 반도체와 금속의 접합을 옴 접합으로 하기 위한 것이며, 실리콘 칩(2)과 접하도록 형성되어 있다. 메탈라이즈층(6)은, 옴층(5)과 뿔납층(3)의 양호한 접합을 얻기 위한 것이며, 옴층(5)과 접하도록 형성되어 있다. 합금층(7)은, 실리콘 칩(2)을 뿔납층(3)에서 회로 기판(4)에 접합할 때에 뿔납층(3)과 메탈라이즈층(6)의 사이에 생기는 층이다.
- [0017] 옴층(5)으로서, 예컨대 100nm 두께 정도의 Ti(타이타늄)이 사용된다. 또한, 메탈라이즈층(6)으로서, 예컨대 500nm 두께 정도의 Ni가 사용되고 있다. 합금층(7)으로서, 실리콘 칩(2) 측으로부터 예컨대 Ni-Sn(주석)-Cu(구리) 상이 형성되고, 이어서 Cu-Sn 상과 Sn-Sb(안티몬) 상의 혼합상이 형성되어 있다. 뿔납층(3)은, Sb를 5질량% 이상 15질량% 이하, Cu를 3질량% 이상 8질량% 이하, Ni를 0.01질량% 이상 0.15질량% 이하, In을 0.5질량% 이상 5질량% 이하 포함하고, 잔부가 Sn 및 불가피적 불순물을 포함하는 무연 뿔납 합금으로 되어 있다.
- [0018] 회로 기판(4)과 뿔납층(3)의 사이에는, Ni 도금층(9) 및 합금층(7)이 형성되어 있다. Ni 도금층(9)은, 회로 기판(4)의 표면에 전해 Ni 도금에 의해 형성된 층이며, 예컨대 5 μ m 정도의 두께를 갖고 있다. 합금층(7)은, 실리콘 칩(2)을 뿔납층(3)에서 회로 기판(4)에 접합할 때에 뿔납층(3)과 Ni 도금층(9)의 사이에 생기는 층이다. 이 합금층(7)으로서, 회로 기판(4) 측으로부터, 예컨대 Ni-Sn-Cu 상이 형성되고, 이어서 Cu-Sn 상과 Sn-Sb 상의 혼합상이 형성되어 있다.
- [0019] 다음으로, 이 반도체 장치(1)의 제조방법에 대하여 설명한다.
- [0020] 예컨대, 두께 0.25mm이고 7mm 모서리의 실리콘 칩(2)의 표면에 옴층(5)과 메탈라이즈층(6)이 순차로 적층하여 형성된다. 또한, 예컨대 두께 1mm이고 10mm 모서리의 구리 블록으로 이루어지는 회로 기판(4)의 표면에는, 전해 Ni 도금에 의해 Ni 도금층(9)이 형성된다.
- [0021] 다음으로, 실리콘 칩(2)과 회로 기판(4)이 뿔납층(3)에 의해 접합된다. 이 뿔납 접합시에는, 우선 회로 기판(4)의 Ni 도금층(9)이 형성된 표면에, 뿔납층(3)으로 이루어지는 뿔납 펠렛이 탑재된다. 이 뿔납 펠렛은, 예컨대 Sn-10Sb-5Cu-0.1Ni-1In(인듐)-0.05P(인)(질량%) 조성의 합금으로 이루어져 있고, 그의 양면에 플럭스가 도포되어 있다. 또한, 이 뿔납 펠렛은, 예컨대 두께 0.1mm이고 8mm 모서리의 치수를 갖고 있다.
- [0022] 전술한 뿔납 펠렛의 위에 실리콘 칩(2)이 탑재된다. 이때, 뿔납 펠렛에 메탈라이즈층(6)이 접하도록 실리콘 칩(2)이 탑재된다.
- [0023] 이 상태에서, 회로 기판(4)과 뿔납 펠렛과 실리콘 칩(2)을 겹쳐 쌓은 것이, 회로 기판(4)을 밑으로 하여 280℃의 온도로 설정된 핫 플레이트상에 탑재되어, 5분간 가열된다. 이것에 의해, 뿔납 펠렛이 용융되어 용융 상태의 뿔납층(3)으로 된다. 또한, 메탈라이즈층(6) 중의 성분과 뿔납층(3) 중의 성분이 서로 확산되어 메탈라이즈층(6)과 뿔납층(3)의 사이에 합금층(7)이 형성된다. 또한, Ni 도금층(9) 중의 성분과 뿔납층(3) 중의 성분이 서로 확산되어 Ni 도금층(9)과 뿔납층(3)의 사이에도 합금층(7)이 형성된다. 가열 종료에 의해, 용융 상태의

뿔뿔층(3)이 냉각되어 고화된다.

- [0024] 이상의 프로세스에 의해, 본 실시 형태의 반도체 장치(1)가 제조된다.
- [0025] 한편, 상기에서 「Sn-10Sb-5Cu-0.1Ni-1In-0.05P(질량%)」란, 질량%로 Sb를 10%, Cu를 5%, Ni를 0.1%, In을 1%, P를 0.05% 포함하고, 또한 잔부가 Sn과 불가피적 불순물로 이루어지는 조성을 의미하고 있다. 이하의 기술에서, 이것과 마찬가지로 표기는 마찬가지로 질량%에 있어서의 조성을 의미하는 것으로 한다.
- [0026] 다음으로, 도 2 내지 도 4를 참조하여, 내균열성 평가의 지표에 대하여 설명하기 위해, 도 1과 마찬가지로의 구성인 반도체 장치(1)에서 실리콘 칩(2)에 부서짐이 생기는 구조에 대하여 설명한다.
- [0027] 실리콘 칩(2)에 부서짐이 생기는 구조에는, 음층(5)과 합금층(7)의 사이에서 발생하는 박리, 합금층(7)과 뿔뿔층(3)의 사이에서 발생하는 균열이 영향을 주고 있다.
- [0028] 첫 번째로, 음층(5)과 합금층(7)의 사이에서 발생하는 박리에 대하여 설명한다. 도 2는, 메탈라이즈층이 소멸할 때까지 반도체 장치가 장시간 200℃ 정도의 고온으로 유지된 후의 실리콘 칩(2)과 뿔뿔층(3)의 접합부를 확대한 개략 단면도이다. 도 2를 참조하여, 상기한 장시간의 고온 유지에 의해 합금층(7)과 음층(5) 사이의 메탈라이즈층이 소멸하여 합금층(7)과 음층(5)이 직접 접촉한다. 또한, 이 경우, 음층(5)의 두께는 도 1과 비교하여 변하지 않지만, 합금층(7)은 메탈라이즈층과 뿔뿔층(3)의 일부를 열 확산에 의해 받아들여 성장하여 두꺼워진다. 음층(5)과 합금층(7)이 직접 접촉된 상태가 되면, 양자(5, 7) 사이의 밀착 강도가 저하되기 때문에, 비교적 작은 힘으로 음층(5)과 합금층(7)의 사이에서 박리(8c)가 생겨 버린다.
- [0029] 두 번째로, 열 사이클 처리에 의해 합금층(7)과 뿔뿔층(3)의 사이에서 발생하는 균열에 대하여 설명한다. 도 3은, -50℃에서 30분, 200℃에서 30분을 1사이클로 한 경우에, 500사이클 정도의 열 사이클 처리가 행해진 후에, 뿔뿔 접합부에 생긴 균열(8a, 8b)의 발생 상태를 나타내고 있다. 도 3을 참조하여, 반도체 장치(1)에 이 열 사이클 처리가 행해지면, 실리콘 칩(2), 뿔뿔층(3) 및 회로 기판(4) 중에서 열팽창 계수 차이가 가장 큰 실리콘 칩(2)과 뿔뿔층(3)의 사이에, 주위로부터 균열(8a, 8b)이 생긴다.
- [0030] 세 번째로, 도 2에서 설명한 박리(8c) 및 도 3에서 설명한 균열(8a, 8b)에 의해 실리콘 칩(2)에 부서짐이 생기는 구조에 대하여 설명한다. 도 4는, 열 사이클 도중에 메탈라이즈층(6)이, 열 확산에 의해 소실된 경우의 반도체 장치(1)의 뿔뿔 접합부 및 실리콘 칩(2)에 생긴 균열 발생 상황을 나타내고 있다. 도 4를 참조하여, 열 사이클 개시 후 잠시 후에 균열(8a, 8b)이 발생한다. 또한, 메탈라이즈층(6)이 소실되면, 음층(5)과 합금층(7)의 계면에서 박리(8c)가 생긴다. 그리고, 균열(8a, 8b)과 박리(8c)가 복합되는 것에 의해 실리콘 칩(2)에 부서짐(8d)이 발생한다.
- [0031] 다음으로, 반도체 장치(1)의 내균열성에 대하여 설명한다. 반도체 장치(1)의 내균열성은, 뿔뿔체인 뿔뿔층(3)의 내균열성 및 반도체 소자인 실리콘 칩(2)의 부서짐의 영향을 받는다.
- [0032] 도 3에 나타낸 바와 같이, 균열(8a, 8b)의 투영 길이를 각각 Ca, Cb로 한다. 균열(8a, 8b)은, 대강 실리콘 칩(2)과 뿔뿔층(3)의 계면, 보다 상세하게는 합금층(7)과 뿔뿔층(3)의 계면에서 뿔뿔층(3) 측을 거의 직선적으로 진행한다. 이 때문에, 합금층(7)과 뿔뿔층(3)의 계면의 한쪽 끝으로부터 다른쪽 끝으로 균열이 관통한 경우의 투영 길이는, 실리콘 칩(2)과 뿔뿔층(3)의 접합 길이 L과 거의 같다. 따라서, 열 사이클에 의한 내균열성은, 반도체 장치(1)의 대각선에 따른 단면 관찰을 행한 경우의 $(Ca+Cb)/L \times 100(\%)$ 로 나타낼 수 있고, 이것을 균열률(%)로 한다.
- [0033] 한편, 일반적으로 열 확산은 뿔뿔 합금 내에서 균일하게는 생기지 않기 때문에, 도 4에 나타내는 박리(8c)는 부분적으로 복수 개소에서 생길 가능성이 있다. 그 경우, 균열(8a)와 균열(8b)이 이어져 합금층(7)과 뿔뿔층(3)의 계면을 관통하기 전에, 균열(8a, 8b) 및 박리(8c)가 이어져 부서짐(8d)이 생긴다. 그 결과, 실리콘 칩(2)이 부서져 동작하지 않게 되기 때문에, 진술한 균열률이 낮더라도 반도체 장치(1)의 내균열성은 낮아진다.
- [0034] 또한, 뿔뿔 접합부 내에 공극이 존재하면, 그 부분을 기점으로 한 균열이 발생한다. 또한, 공극까지 도달한 균열은 단숨에 진행한다. 이 때문에, 뿔뿔 접합부 내에 공극이 존재하면, 뿔뿔층(3)의 내균열성 및 반도체 장치(1)의 내균열성이 저하된다.
- [0035] 따라서, 반도체 장치(1)의 내균열성은, 열 사이클에 의한 실리콘 칩(2)의 부서짐 및 부서짐 발생 사이클 수, 단면 관찰에 의한 균열률 및 반도체 장치(1) 제조 후의 뿔뿔체의 공극률(뿔뿔 젖음성)로 나타낼 수 있다.
- [0036] 한편, 「부서짐 발생 사이클 수」란, 칩 부서짐이 확인되었을 때의 열 사이클의 사이클 수이다. 또한 「공극률

」이란, 후에 상술하는 바와 같이 뿔납제의 단면적에 대한 공극 면적의 비율이다. 공극률은, 뿔납의 젖음성이 좋으면 기포의 끌어들이미 적어져 공극의 발생이 억제되는 점에서, 뿔납의 젖음성의 지표가 된다.

- [0037] 다음으로, 상기의 내균열성의 지표에 기초하여 본 실시 형태의 뿔납 합금의 화학 성분의 한정 이유에 대하여 설명한다.
- [0038] 첫 번째로, Sb의 함유량(5질량% 이상 15질량% 이하)에 대하여 설명한다.
- [0039] Sn에 Sb가 첨가된 경우, 인장 강도가 5질량% 이상의 첨가에서 현저하게 향상되고, Sb의 첨가량 증대에 따라 계속 향상된다. 한편, 신도는 Sb 첨가량 증대에 따라 저하되어 20질량%에서 크게 저하된다. 뿔납제의 인장 강도가 높고 또한 신도가 낮으면, 뿔납층(3)에서 응력이 완화되지 않아 실리콘 칩(2)이 부서져버린다. 따라서, 반도체 장치(1)의 내균열성을 위해서는, 뿔납층(3)의 인장 강도와 신도가 모두 높은 것이 바람직하다. 이로부터, 반도체 장치(1)의 내균열성은 Sb의 함유량이 5질량% 이상 15질량% 이하에서 우수하다.
- [0040] 또한, Sb 첨가량의 증대에 따라, 액상선 온도는 상승하지만, 고상선 온도는 그다지 상승하지 않는다. 고액 공존 영역(고상선 온도 이상 액상선 온도 이하의 영역)에서는, 공극이 생기기 쉽기 때문에, 액상선 온도 이상의 가열이 바람직하다. Sb의 함유량이 15질량%인 경우의 액상선 온도는 300℃이다. 일반적인 가열 히터의 상한이 300℃이기 때문에, 15질량% 이하의 Sb 첨가이면 특수 가열 장치를 사용하지 않고 가열할 수 있는 점에서 비용적으로 유리하다.
- [0041] 또한, 고상선 온도 이상에서 메탈라이즈층(6)의 확산 속도가 현저하게 커지는 점에서, 고액 공존 영역(고상선 온도 이상 액상선 온도 이하의 영역)은 좁은 것이 바람직하다. Sb의 함유량이 15질량%인 경우의 고액 공존 영역의 온도 차이는 58℃이며, 20질량%인 경우의 83℃에 비해 좁다.
- [0042] 따라서, 5질량% 이상 15질량% 이하의 Sb 첨가에 의해, 양호한 내균열성이 얻어진다. 또한, 기계적 강도 밸런스도 양호하다. 또한, 비용적으로도 유리하다.
- [0043] 두 번째로, Cu의 함유량(3질량% 이상 8질량% 이하) 및 Ni의 함유량(0.01질량% 이상 0.15질량% 이하)에 대하여 설명한다.
- [0044] 우선 Cu의 함유량(3질량% 이상 8질량% 이하)에 대하여 설명한다. Cu의 첨가량 증대에 따라, 연성(延性)이 저하되고, 공극률이 증대하여, 잔류 Ni 두께가 증대한다. 연성이 저하되는 것은, Cu의 첨가에 의해 대부분을 차지하는 Sn의 입계에 Cu₆Sn₅ 등의 금속간 화합물 상이 석출되고, Cu의 첨가량 증대에 따라 그의 석출량도 증대하는 것에 의해, Sn의 입계의 면내 이동이 생기기 어려워지기 때문이다. 또한, 공극률이 증대하는 것은, Cu의 첨가량 증대에 따라 액상선 온도가 상승하고, 석출되는 고상이 증대하는 것에 의해 점도가 상승하여, 플럭스의 가스가 빠지기 어려워지기 때문이다. 또한, 잔류 Ni 두께가 증대하는 것은, 첨가된 Cu가 용융 뿔납 중의 접합 계면으로 이동하여, 메탈라이즈인 Ni와 주성분인 Sn으로 3원 합금이 생성되지만, 이것이 Ni와 Sn의 2원 합금과 비교하여 성장 속도가 작기 때문이다.
- [0045] 메탈라이즈층(6)의 잔류 Ni 두께의 평균은, Cu의 첨가량이 3질량% 이상이 됨으로써 현저하게 증가한다. 이것에 의해 메탈라이즈층(6)의 Ni가 확산되는 것을 억제하는 효과가 발휘되고 있다. 그러나, Cu의 첨가량이 10질량% 이상이 됨으로써 공극이 현저하게 증가한다. 이러한 점에서, Sn-10Sb-1In을 베이스로 한 합금에 Cu를 3질량% 이상 8질량% 이하 첨가하는 것에 의해, 고신뢰의 접합이 얻어진다.
- [0046] 한편, Cu의 첨가량은, Ni 확산 억제 효과와, 공극률과, 연성의 밸런스가 우수한 5질량% 전후가 가장 바람직하다.
- [0047] 또한, 열 사이클 처리에서도 Ni의 첨가량이 0.01질량% 이상 0.15질량% 이하에서 Cu의 첨가량이 3질량% 이상 8질량% 이하이면, 칩 부서짐이 생기지 않고, 균열률은 50% 이하이다.
- [0048] 다음으로, Ni의 함유량(0.01질량% 이상 0.15질량% 이하)에 대하여 설명한다. Ni의 첨가량이 증대할수록, 잔류 Ni 두께의 평균이 크다. 즉, 메탈라이즈의 확산속도가 느리고, 고온에 있어서의 접합 강도가 오래 유지된다. 즉, 내열성이 우수하다. 그 효과는 0.01질량% 이상에서 현저하다. 한편, Ni의 첨가량이 0.2질량% 이상에서 현저하게 공극이 증가한다. 공극이 많으면 반도체 디바이스의 발열을 발산하는 점에서 불리해지기 때문에, 현재 상황에서는 약 0.15질량% 이하가 기준이 된다. 따라서, Ni 첨가량을 0.15질량% 이하로 제어함으로써 고신뢰의 접합이 얻어진다. 한편, Ni 첨가량의 하한에 관해서는, 0.01질량% 미만에서도 효과는 얻어지지만, 효과가 현저하게 나타나는 0.01질량% 이상이 바람직하다. 또한, Ni의 첨가량에 관해서는, 뿔납부 온도 270℃에서의 Sn 중

으로의 고용 한계에 가까운 0.1질량% 전후가 가장 바람직하다.

- [0049] 세 번째로, In의 함유량(0.5질량% 이상 5질량% 이하)에 대하여 설명한다.
- [0050] 내균열성 향상을 위해 첨가된 Sb에 의해 지나치게 딱딱해진 뿔납재에서는 응력 완화되지 않기 때문에 반도체 소자에 칩 부서짐이 생겨 버린다. In이 첨가되는 것에 의해, In상이 분산되는 것에 의한 연성 강화로, 부서지기 어렵게 응력 완화하는 금속 조직이 형성된다. 한편, In이 첨가되면 뿔납재의 젖음성이 향상된다. 이는 용점이 저하되기 때문에 반응성이 향상되기 때문이다. 그러나, In이 활성인 원소 때문에 지나치게 첨가되면 뿔납재가 산화되어 젖음성이 저하된다. 또한, 솔더 페이스트(solder paste)이면 포트 라이프(pot life)가 짧아진다. 즉, 장기 보존성이 저하된다. 또한, 용점 저하, 내열성 저하, 고온 연화에 의한 내균열성 저하가 우려된다. 따라서, 적절한 In의 함유량이 요구된다.
- [0051] 0.5질량% 이상의 In의 첨가에 의해, 대폭 공극률이 저하된다. 또한, 8질량% 이상의 In 첨가에서는 조금씩 공극률이 상승한다. 따라서, In 함유량은 0.5질량% 이상 5질량% 이하가 바람직하다. 비용을 고려하면, 0.5질량% 이상 1질량% 이하가 더욱 바람직하다.
- [0052] 한편, 본 실시 형태에서는, 음층으로서 Ti(타이타늄)이 사용되었지만, Ti 이외의 금속, 예컨대 Ni(니켈)이나 Al(알루미늄), Mo(몰리브덴) 또는 Ti가 포함된 이들 원소의 실리사이드(silicide) 등의 화합물, 또한 이들을 조합시킨 다층 구조 등이 사용되는 것이 가능하다. 또한, 음층이 제외되는 것도 가능하다.
- [0053] 다음으로, P(인), Ge(저마늄), Ga(갈륨), Bi(비스무트)로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 0.01질량% 이상 1질량% 이하 함유하는 것을 특징으로 하는 뿔납 합금에 대하여 설명한다.
- [0054] 전술한 본 실시 형태에 있어서의 뿔납층(3)에, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 0.01질량% 이상 1질량% 이하 첨가한 뿔납 합금을 통해 반도체 소자인 실리콘 칩(2)에 접속된 금속 전극인 회로 기판(4)을 구비한 반도체 장치(1)의 공극률은, 모든 뿔납 합금에서 2%~10%의 개선 효과가 있다.
- [0055] 한편, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 0.005질량% 함유한 뿔납 합금에서는 현저한 개선 효과는 없다. 또한, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 1.5질량% 및 3질량% 함유하는 뿔납 합금에서는 오히려 공극률이 상승한다.
- [0056] 이러한 점에서, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상이 합계 0.01질량% 이상 1질량% 이하의 범위로 첨가되는 것에 의해, 뿔납 합금의 산화가 억제될 수 있고, 점도가 저하되는 것과 아울러, 공극률이 저하되는 효과가 있다.
- [0057] 다음으로, 회로 기판으로서 Cu/Inver/Cu, Cu/Mo/Cu를 사용된 경우에 대하여 설명한다. 전술한 실시 형태와 마찬가지로, 회로 기판에 Cu/Inver/Cu, Cu/Mo/Cu가 사용되면, Cu/Inver/Cu는 균열률이 약 1/2, Cu/Mo/Cu가 약 1/3이 된다. 또한, 회로 기판(4)의 표면에 Ni 도금이 실시되지 않는 경우에 대하여 설명한다. 전술한 실시 형태와 마찬가지로, 균열률 및 메탈라이즈의 확산 모두 20% 정도 개선된다.
- [0058] 이상에 의해, 전극 재료나 표면 처리에 의하지 않고 효과를 얻을 수 있다.
- [0059] [실시에]
- [0060] 이하, 본 발명의 실시예에 대하여 상세하게 서술한다.
- [0061] (실시에 1)
- [0062] Sn-xSb(질량%: x=3, 5, 10, 15, 20, 25, 30, 35, 40)가 되도록 순도 99.5%의 Sn과, 순도 99.9%의 Sb가 합계로 2kg이 되도록 칭량했다. 그 후, 고주파 용해로에서 최고 온도가 700℃가 될 때까지 Sn을 가열했다. 그 후 Sb를 투입하고, 교반하여 다 녹은 것을 확인한 후, 뿔납 합금을 빠르게 직경 40×길이 250mm의 주형으로 주조했다. 뿔납 합금은 응고 후 중앙부를 기준으로 하여 직경 25mm×길이 180mm의 원형봉으로 기계 가공되고, 인장 시험의 척(chuck)부로서 직경 25mm×길이 40mm, 평행부 직경 8mm×길이 90mm로 더 기계 가공되었다. 그 뿔납 합금에 대하여 인장 속도 0.5mm/분의 속도로 인장 시험을 행했다. 도 5는, 그 인장 시험에서의 인장 강도와 신도의 측정 결과를 나타내고 있다. 도 5는 실시예 1에 있어서의 Sb 함유량과 인장 강도 및 신도의 관계를 나타낸 도면이다.
- [0063] 한편, 전술한 인장 시험편 가공시에, 2개의 척부의 근방으로부터 드릴로 절분(切粉)을 채취하여, 발광 분석에 의한 정량 분석을 행했다. 그 결과, 유효 숫자 1자리수로 Sb를 목적인 값대로 함유하고 있는 것을 확인했다.

또한, 외관 체크에 의해 땀납 공극, 표면 결함 및 변색이 없는 것을 확인했다.

[0064] 이로부터, Sn에 Sb를 첨가해 간 경우, 인장 강도는 5질량% 이상의 첨가에서 현저하게 향상되고, Sb의 첨가량 증대에 따라 향상을 계속하는 경향을 나타내지만, 신도에 관해서는 Sb 첨가량 증대에 따라 저하되어, 20질량%에서 크게 저하되는 것을 알 수 있었다.

[0065] 또한, 표 1은, 신도가 크게 저하된 Sb 20질량% 이하의 경우(x= 0, 5, 10, 15, 20)의 전술한 구조 샘플에 대해, 거의 중앙부에서 수십 mg 정도를 취출하여, 시차 주사 열량 분석 장치(DSC)를 사용하여 측정된 고상선 온도 및 액상선 온도를 나타내고 있다. 여기서, 5°C/분의 승온 속도로 가열한 경우에 얻어지는 흡열 커브에서 최초로 나타나는 피크의 최저 온도를 고상선 온도로 정의하고 있다. 또한, 5°C/분으로 냉각된 경우에 얻어지는 발열 커브에서 최초로 나타나는 피크의 최고 온도를 액상선 온도로 정의하고 있다.

표 1

Sb(질량%)	0	5	10	15	20
고상선 온도	232°C	240°C	242°C	242°C	242°C
액상선 온도	232°C	242°C	265°C	300°C	325°C

[0066]

[0067] (실시예 2)

[0068] Sn-10Sb-1In-xCu-yNi(질량%: x= 0, 0.5, 1.5, 3, 5, 8, 10, y= 0, 0.01, 0.05, 0.1, 0.15, 0.20)가 되도록 각 재료를 칭량했다. 그 후, 각 재료를 질소 분위기 중에서 고주파 용해하여, 700°C가 된 것과 다 녹은 것을 확인했다. 그 후, 폭 20mm×높이 10mm×길이 150mm의 주형으로 주괴를 주조했다.

[0069] 이 주괴의 양단과 중앙부에 대하여, 드릴로 절분을 채취했다. 절분의 Sb, Cu, Ni에 대하여, 플라즈마 융합 발광 분석으로 정량 분석을 행했다. 그 결과, 유효숫자 1자리수로 목적인 값대로의 주괴가 얻어지고 있는 것을 확인했다. 그 후 이 주괴를 압연기에서 두께 0.1mm로 가공했다. 그 후, 그의 표면을 10% 염산으로 세정한 후, 충분히 수세했다. 그 후, 이 주괴를 8mm 모서리의 펠렛상으로 커터로 절단했다. 이때, 압연 중에 일부 부서짐이 생긴 것을 △, 부서지지 않은 것을 ○로 하고, Sn-10Sb-1In(x=y=0)의 경우를 ◎의 기호(양호)로 하여, 상대 평가를 육안으로 관찰하여, 연성으로서 평가했다. 이를 사용하여, 반도체 장치(1)를 전술한 제조방법에 의해 각 10개씩 제조했다. 이 제조된 반도체 장치(1)에 투과 X선 장치로 실리콘 칩 표면으로부터 X선을 입사하여, 수득된 화상을 화상 처리 장치에서 2치화(binarization)하여 수득된 면적의 합의 평균값을 평균 공극률로 했다. 또한, 실리콘 칩 대각선 단면 연마 후의 샘플 중앙부를 전자 현미경에서 2만배로 관찰하여, 사진으로부터 5점 평균으로 잔류 Ni 두께를 산출했다. 표 2는, 제조된 반도체 장치(1)의 각 10개에 대하여 평균된 잔류 Ni 두께의 평균과, 평균 공극률의 산출 결과를 나타내고 있다. 도 6 및 도 7은 이들 산출 결과의 그래프이다. 도 6은 실시예 2에 있어서의 Cu량과 잔류 Ni 두께의 평균의 관계를 나타낸 도면이다. 도 7은 실시예 2에 있어서의 Cu량과 공극률의 평균의 관계를 나타낸 도면이다.

표 2

	비교예 1	비교예 2	비교예 3	비교예 4	비교예 5	비교예 6	비교예 7
Ni 량(질량%)	0						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
연성	◎	◎	◎	○	○	○	△
평균 공극률 (%)	7%	8%	9%	11%	12%	13%	20%
잔류 Ni 두께의 평균(nm)	250	260	350	500	580	590	600

[0070]

표 3

	비교예 8	비교예 9	비교예 10	실시에 1	실시에 2	실시에 3	비교예 11
Ni 량(질량%)	0.01						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
연성	◎	◎	○	○	○	○	△
평균 공극률 (%)	9%	11%	11%	13%	13%	13%	22%
잔류 Ni 두께의 평균(nm)	260	270	360	510	590	600	610

[0071]

표 4

	비교예 12	비교예 13	비교예 14	실시에 4	실시에 5	실시에 6	비교예 15
Ni 량(질량%)	0.05						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
연성	◎	◎	○	○	○	○	△
평균 공극률 (%)	11%	11%	11%	13%	13%	13%	25%
잔류 Ni 두께의 평균(nm)	265	275	365	515	595	605	615

[0072]

표 5

	비교예 16	비교예 17	비교예 18	실시에 7	실시에 8	실시에 9	비교예 19
Ni 량(질량%)	0.1						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
연성	○	○	○	○	○	○	△
평균 공극률 (%)	12%	12%	12%	13%	13%	13%	25%
잔류 Ni 두께의 평균(nm)	270	290	375	525	605	620	625

[0073]

표 6

	비교예 20	비교예 21	비교예 22	실시에 10	실시에 11	실시에 12	비교예 23
Ni 량(질량%)	0.15						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
연성	○	○	○	○	○	○	△
평균 공극률 (%)	13%	13%	13%	13%	13%	13%	30%
잔류 Ni 두께의 평균(nm)	285	305	385	550	620	630	640

[0074]

표 7

	비교예 24	비교예 25	비교예 26	비교예 27	비교예 28	비교예 29	비교예 30
Ni 량(질량%)	0.20						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
연성	×	×	×	×	×	×	×
평균 공극률 (%)	30%	32%	33%	35%	36%	37%	40%
잔류 Ni 두께의 평균(nm)	290	310	390	555	625	635	645

[0075]

[0076] 표 2~7의 비교예 1~30, 실시예 1~12의 모두에 있어서, Cu의 첨가량 증대에 따라, 연성이 저하되고, 공극률이 증대되고, 잔류 Ni 두께가 증대되는 경향을 나타내는 것을 알 수 있었다.

[0077] 도 6에 나타낸 바와 같이, 잔류 Ni 두께의 평균은, Cu의 첨가량이 3질량% 이상이 됨으로써 현저하게 증가하여, Ni 메탈라이즈의 확산 억제 효과가 얻어졌다. 그러나, 도 7에 나타낸 바와 같이, Cu의 첨가량이 10질량% 이상이 됨으로써 현저하게 공극이 증가했다. 이러한 점에서, Sn-10Sb-1In을 베이스로 한 합금에, Cu를 3질량% 이상 8질량% 이하 첨가함으로써 고신뢰의 접합을 얻을 수 있음이 밝혀졌다.

[0078] 또한, 도 6에 나타낸 바와 같이, Ni의 첨가량이 증대할수록, 잔류 Ni 두께의 평균이 컸다. 그것은 Ni의 첨가량이 0.01질량% 이상에서 현저하게 나타났다. 한편, 도 7에 나타낸 바와 같이, Ni의 첨가량이 0.2질량% 이상에서 현저하게 공극이 증가했다. 공극이 많으면 반도체 디바이스의 발열을 발산하는 점에서 불리해져서, 현재 상황에서 약 0.15% 이하가 기준이 된다. 따라서, Ni 첨가량에 관해서는, 0.15질량% 이하로 제어함으로써, 고신뢰의 접합이 얻어지는 것이 나타났다. Ni 첨가량의 하한에 관해서는, 0.01질량% 미만에서도 효과는 얻어지지만, 효과의 발현이 확인된 0.01질량% 이상이 바람직하다.

[0079] 한편, Sb 첨가량이 5질량% 및 15질량%에서의 상기와 마찬가지로의 실험에서도 완전히 마찬가지로의 효과가 얻어지는 것을 확인했다. 또한, 실리콘 칩에 대하여, 수개의 다른 크기, 또한 메탈라이즈 사양의 칩에서의 상기와 마찬가지로의 실험에서도 완전히 마찬가지로의 효과가 얻어졌다. 또한, SiC(실리콘카바이드), GaN(질화갈륨) 칩에서의 상기와 마찬가지로의 실험에서도 완전히 마찬가지로의 효과가 얻어졌다.

[0080] (실시예 3)

[0081] 다음으로, 전술한 제조방법으로 제조된 반도체 장치를 각 조성(비교예 1~30, 실시예1~12)에 관하여 각 10개씩 시험 제작하여, -50℃에서 30분, 200℃에서 30분을 1사이클로 한 500사이클의 열 사이클 처리를 행했다. 표 8은, 이들에 대하여, 표면 관찰에 의한 칩 부서짐 유무의 결과를 나타내고 있다. 또한, 칩 대각선에서 단면 연마된 이들에 대하여, 전자 현미경 관찰에 의한 균열률 및 잔류 Ni 두께의 평균값의 결과를 나타내고 있다. 한편, 칩 부서짐이 있었던 경우는 NG의 표시로 ×를 기재하고, 부서지지 않은 경우는 OK의 표시로 ○를 기재하고 있다. 또한, 칩이 부서진 경우는, 균열률은 100%로 기재하고 있다.

표 8

	비교예 1	비교예 2	비교예 3	비교예 4	비교예 5	비교예 6	비교예 7
Ni 량(질량%)	0						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
칩 깨짐	×	×	×	×	○	○	○
평균 균열률 (%)	100%	100%	100%	100%	90%	90%	100%
잔류 Ni 두께의 평균(nm)	0	0	0	0	5	7	50

[0082]

표 9

	비교예 8	비교예 9	비교예 10	실시에 1	실시에 2	실시에 3	비교예 11
Ni 량(질량%)	0.01						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
칩 깨짐	×	×	×	○	○	○	○
평균 균열률 (%)	100%	100%	100%	50%	40%	50%	100%
잔류 Ni 두께의 평균(nm)	0	0	0	13	42	49	60

[0083]

표 10

	비교예 12	비교예 13	비교예 14	실시에 4	실시에 5	실시에 6	비교예 15
Ni 량(질량%)	0.05						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
칩 깨짐	×	×	×	○	○	○	○
평균 균열률 (%)	100%	100%	100%	40%	35%	45%	100%
잔류 Ni 두께의 평균(nm)	0	0	0	15	46	53	60

[0084]

표 11

	비교예 16	비교예 17	비교예 18	실시에 7	실시에 8	실시에 9	비교예 19
Ni 량(질량%)	0.1						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
칩 깨짐	×	×	×	○	○	○	○
평균 균열률 (%)	100%	100%	100%	30%	25%	35%	100%
잔류 Ni 두께의 평균(nm)	0	0	0	24	53	64	70

[0085]

표 12

	비교예 20	비교예 21	비교예 22	실시에 10	실시에 11	실시에 12	비교예 23
Ni 량(질량%)	0.15						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
칩 깨짐	×	×	×	○	○	○	○
평균 균열률 (%)	100%	100%	100%	30%	25%	35%	100%
잔류 Ni 두께의 평균(nm)	0	0	0	41	68	77	85

[0086]

표 13

	비교예 24	비교예 25	비교예 26	비교예 27	비교예 28	비교예 29	비교예 30
Ni 량(질량%)	0.20						
Cu 량(질량%)	0	0.5	1.5	3	5	8	10
칩 깨짐	x	x	x	○	○	○	○
평균 균열률 (%)	100%	100%	100%	100%	100%	100%	100%
잔류 Ni 두께의 평균(nm)	0	0	0	47	73	86	90

[0087]

[0088]

표 8을 참조하여, 비교예 1~4의, Sn-10Sb-1In 뿔납 합금에 Ni가 첨가되어 있지 않고 Cu가 0~3질량%의 범위로 첨가되어 있는 뿔납 합금으로 접합된 반도체 장치에서는, 열 사이클 500사이클에 의해, 메탈라이즈인 Ni가 잔존해 있지 않기 때문에, 칩 부서짐이 생겼다. 또한, 비교예 5 및 6의, Cu가 5질량% 또는 8질량% 첨가된 뿔납 합금으로 접합된 반도체 장치는, Ni 메탈라이즈는 부분적으로 잔존해 있지만, 잔존해 있지 않은 부분의 균열 진전이 빠르기 때문에, 균열률은 매우 높아졌다. 또한, 비교예 7의, Cu가 10질량% 첨가된 뿔납 합금으로 접합된 반도체 장치는, 뿔납 접합부에 공극이 다수 있기 때문에, 균열 진전이 빠르고, 칩 부서짐은 생기지 않지만, 관통 상태였다.

[0089]

또한, 표 9를 참조하여, 비교예 8~10의, Ni가 0.01질량% 첨가되었지만 Cu 첨가량이 1.5질량% 이하인 뿔납 합금으로 접합된 반도체 장치는, 열 사이클에 의해 메탈라이즈의 Ni가 확산되어, 밀착력이 저하되고, 칩 부서짐이 생겼다. 또한, 비교예 11의, Cu가 10질량% 첨가되어 있는 뿔납 합금으로 접합된 반도체 장치는, 공극이 많기 때문에 균열 진전이 빠르고, 균열이 관통했다. Cu의 첨가량이 3질량% 이상 8질량% 이하인 실시예 1~3에서는, 칩 부서짐도 생기지 않고, 균열률은 50% 이하로 되었다.

[0090]

또한, 비교예 12, 13, 14, 16, 17, 18, 20, 21, 22의, Sn10Sb 합금에 Ni가 0.05~0.15질량% 첨가되고 Cu가 1.5질량% 이하 첨가된 뿔납 합금으로 접합된 반도체 장치에서는, Ni의 첨가량에 관계없이, Ni 메탈라이즈가 잔존해 있지 않아서, 칩 부서짐이 생겼다. 또한, 비교예 15, 19, 23의, Sn10Sb1In 합금에 Ni가 0.05~0.15질량% 첨가되고 Cu가 10질량% 첨가된 뿔납 합금으로 접합된 반도체 장치는, Ni 메탈라이즈는 잔존해 있지만, 뿔납 접합부 중에 공극이 많기 때문에 균열 진전이 빠르고, 균열이 관통했다.

[0091]

또한, 비교예 24~30의, Ni가 0.2질량% 첨가된 뿔납 합금으로 접합된 반도체 장치는, 뿔납 접합부 중에 공극이 많기 때문에, 균열 진전이 빠르고, 균열이 관통했다. 또한, Cu가 1.5질량% 이하인 비교예 24~26에서는, 칩 부서짐이 생겼다.

[0092]

이상의 실시예에 의해, Sn-10Sb-1In 뿔납 합금에 Ni가 0.01~0.15질량%, Cu가 3~8질량%의 범위로 첨가되는 것에 의해, 고신뢰의 접합이 가능해지고, 고신뢰의 반도체 장치를 제공할 수 있음이 밝혀졌다.

[0093]

한편, Sb 첨가량이 5질량% 이상 15질량% 이하, 또한 In 첨가량이 0.5질량% 이상 5질량% 이하의 범위로 변화된 뿔납 합금에서의 전술한 것과 마찬가지로의 실험에서도, 완전히 마찬가지로의 효과가 얻어지는 것을 확인했다.

[0094]

(실시예 4)

[0095]

표 14는, Sn-12Sb-5Cu-0.08Ni 뿔납 합금에 0, 0.5, 1, 3, 5, 8, 10질량%의 In이 첨가된 뿔납 합금 펠렛을 제조하여, 전술한 것과 마찬가지로의 반도체 장치를 제조했을 때의 공극률에 대하여 나타내고 있다. 또한, 비용비는, Sn-12Sb-5Cu-0.08Ni를 1kg 당 3000엔, 인듐을 1kg 당 6만엔으로 하여, In 첨가 합금 가격/In 무첨가 합금 가격으로 했다. 도 8은, 실시예 4에 있어서의 In량과 공극률의 평균의 관계를 나타낸 도면이다.

표 14

	비교예 31	실시에 21	실시에 22	실시에 23	실시에 24	비교예 32	비교예 33
In 량 (질량%)	0	0.5	1	3	5	8	10
공극률	30%	15%	13%	11%	11%	13%	15%
1Kg당의 비용 비	1	1.1	1.2	1.6	2.0	2.6	3.0

[0096]

[0097] 한편, Sb를 5질량% 이상 15질량% 이하, Cu를 3질량% 이상 8질량% 이하, Ni를 0.01질량% 이상 0.15질량% 이하, 잔부 Sn에서의 상기와 마찬가지로의 실험에서도, 완전히 마찬가지로의 효과가 얻어지는 것을 확인했다.

[0098] (실시에 5)

[0099] 전술한 본 실시 형태에 있어서의 뿔납층(3)에, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 0.01질량% 이상 1질량% 이하 첨가한 뿔납 합금을 제조했다. 그리고, 전술한 것과 마찬가지로의 조건으로 그 뿔납 합금을 통해 반도체 소자인 실리콘 칩(2)에 접속된 금속 전극인 회로 기판(4)을 구비한 반도체 장치(1)를 제조하여, 그의 공극률을 측정했다. 그 결과, 모든 뿔납 합금에서 2%~10%의 개선 효과를 볼 수 있었다.

[0100] 한편, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 0.005질량% 함유한 뿔납 합금에서는 현저한 개선 효과는 확인할 수 없었다. 또한, P, Ge, Ga, Bi로 이루어지는 군으로부터 선택되는 1종 이상을 합계로 1.5질량% 및 3질량% 함유하는 뿔납 합금에서는, 오히려 공극률은 상승하는 경향을 나타내었다.

[0101] (실시에 6)

[0102] 본 발명의 실시 형태와 마찬가지로의 제조방법으로, Sn-6Cu의 뿔납 합금 펠릿을 사용한 반도체 장치(비교예 34)를 작성했다. 이 샘플과 실시예 8의 반도체 장치(1)에 대하여, -50℃에서 30분, 200℃에서 30분을 500사이클로 열 사이클 처리했다.

[0103] 도 9(A)에 나타내는 비교예 34에서는, 실리콘 칩(2)과 뿔납층(3) 사이의 합금층(7)에, Cu-Ni-Sn 상(7a) 및 Cu-Sn 상(7b)이 존재하고 있다. 또한 도 10(A)에 나타내는 비교예 34에서는, 회로 기판(4)의 표면에 형성된 Ni 도금층(9)과 뿔납층(3) 사이의 합금층(7)에, Cu-Ni-Sn 상(7a) 및 Cu-Sn 상(7b)이 존재하고 있다. 실리콘 칩(2)과 회로 기판(4)의 열팽창 계수 차이에 의해 발생하는 열응력에 의해, 비교적 연한 뿔납층(3)과 Cu-Sn 상(7b)의 계면을 따라 균열(8e)이 발생하여, 비교적 빠른 속도로 진전했다.

[0104] 한편, 도 9(B)에 나타내는 실시예 8에서는, 반도체 소자인 실리콘 칩(2)과 뿔납 합금인 뿔납층(3) 사이의 합금층(7)에, Cu-Ni-Sn 상(구리와 니켈과 주석을 포함하는 상)(7a), Cu-Sn 상(구리와 주석을 포함하는 상)(7b) 외에, Sn-Sb 상(7c)이 존재하고 있다. 또한, 도 10(B)에 나타내는 실시예 8에서는, 금속 전극인 회로 기판(4)의 표면에 형성된 Ni 도금층(9)과 뿔납 합금인 뿔납층(3) 사이의 합금층(7)에, Cu-Ni-Sn 상(7a), Cu-Sn 상(7b) 외에 Sn-Sb 상(7c)이 존재하고 있다. Sn-Sb 상(7c)은, 기계적 강도가 높기 때문에 균열(8f)이 이 상에 부딪치면 응력이 분산되어, 진전이 느려진다. 또한, Sn-Sb 상(7c)이 Cu-Ni-Sn 상(7a), Cu-Sn 상(7b)의 근방에서 석출되는 것에 의해, Cu-Sn 상(7b)의 분산이 균일해져서, 응력 집중 위치가 적어지기 때문에, 균열 진전이 느려진다. 이것에 의해 한층더 신뢰성이 향상된다.

[0105] 한편, 이러한 조직을 얻기 위해서는, 이번에 사용한 반도체 장치(1)에서는 30℃/분 이하의 냉각 속도로 접합시킬 필요가 있다. 그 이상의 속도로 급냉하면, 불균일한 조직이 되어, 현저한 효과가 얻어지지 않는다.

[0106] (실시에 7)

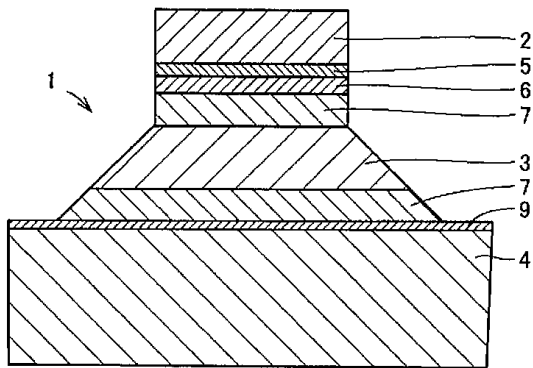
[0107] 전술한 실시 형태와 마찬가지로의 실험을, 회로 기판에 Cu/Inver/Cu, Cu/Mo/Cu를 사용하여 행했다. Cu/Inver/Cu의 각 층의 두께는 0.4/0.4/0.4mm이다. 또한, Cu/Mo/Cu의 각 층의 두께는 0.4/0.4/0.4mm이다.

[0108] Cu/Inver/Cu는 균열률이 약 1/2, Cu/Mo/Cu는 약 1/3이 되는 것을 확인했다. 또한, Cu도 포함시켜, 회로 기판 표면에 Ni 도금을 실시하지 않는 경우에 대하여 마찬가지로의 실험을 행했지만, 균열률 및 메탈라이즈의 확산 모두 20% 정도 개선되었다.

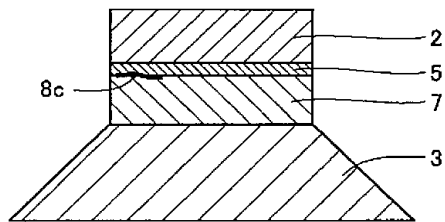
- [0109] 이상으로부터, 전극 재료나 표면 처리에 의하지 않고 효과를 얻을 수 있음이 확인되었다.
- [0110] 한편, 반도체 장치는 모듈, 패키지, 기판에 탑재된 것의 어떠한 것에도 적용할 수 있다.
- [0111] 이번에 개시된 실시 형태 및 실시예는 모든 점에서 예시이고 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 설명이 아니라 특허청구범위에 의해 나타내지고, 특허청구범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함되는 것을 의미한다.
- [0112] [산업상 이용 가능성]
- [0113] 본 발명은 납을 함유하지 않는 뿔납 합금 및 그 뿔납 합금을 사용한 반도체 장치에 특히 유리하게 적용될 수 있다.
- [0114] <부호의 설명>
- [0115] 1: 반도체 장치, 2: 실리콘 칩(반도체 소자), 3: 뿔납층(뿔납 합금), 4: 회로 기판, 5: 옴층, 6: 메탈라이즈층, 7: 합금층, 7a: Cu-Ni-Sn 상, 7b: Cu-Sn 상, 7c: Sn-Sb 상, 8a, 8b, 8e, 8f: 균열, 8c: 박리, 8d: 부서짐, 9: Ni 도금층.

도면

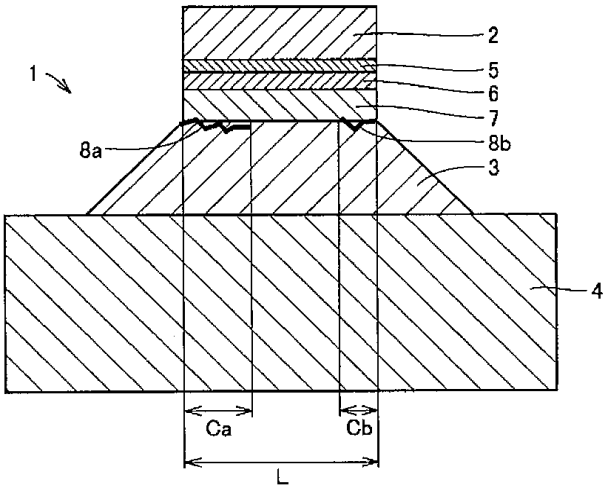
도면1



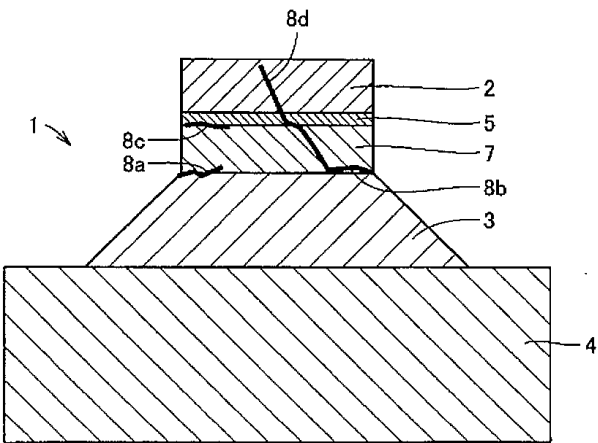
도면2



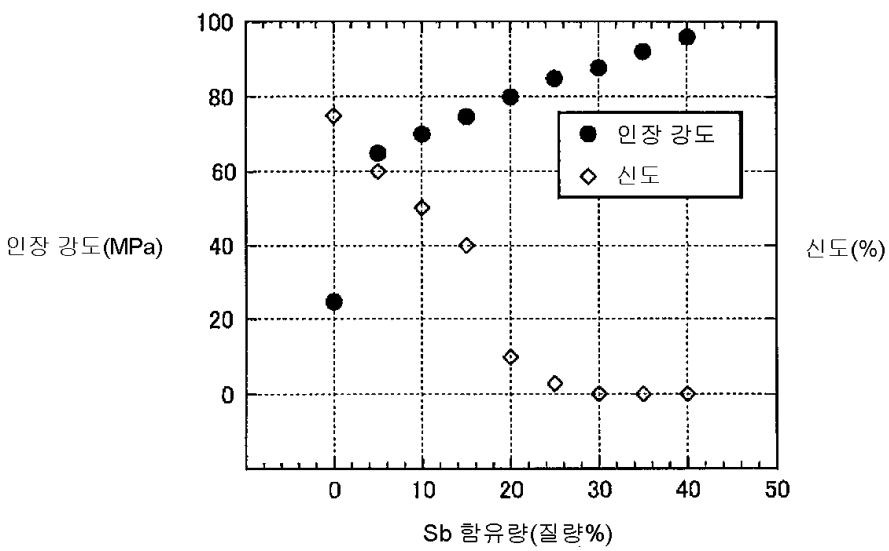
도면3



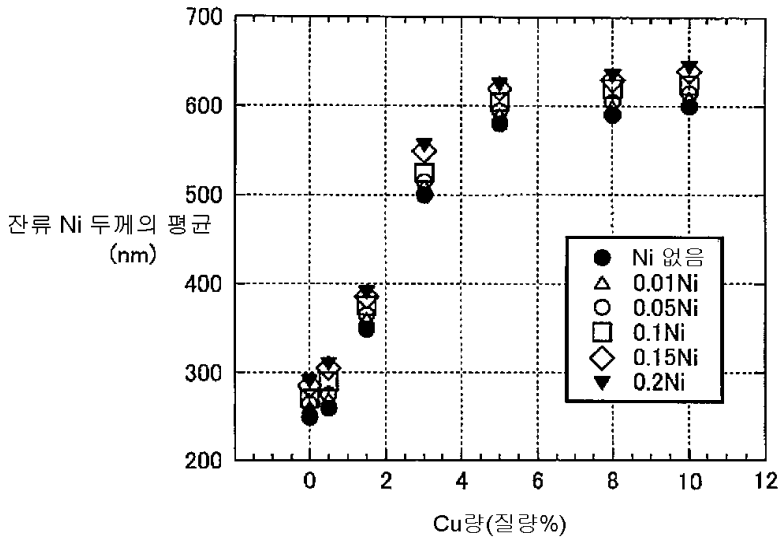
도면4



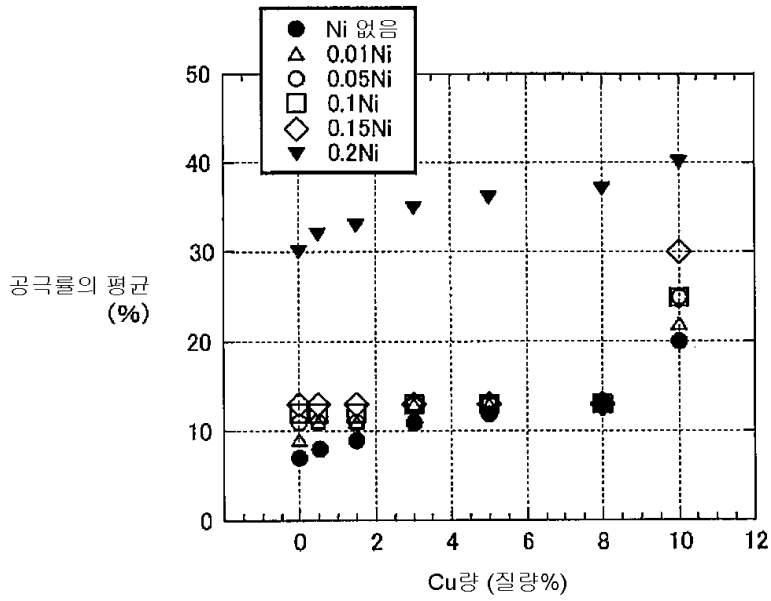
도면5



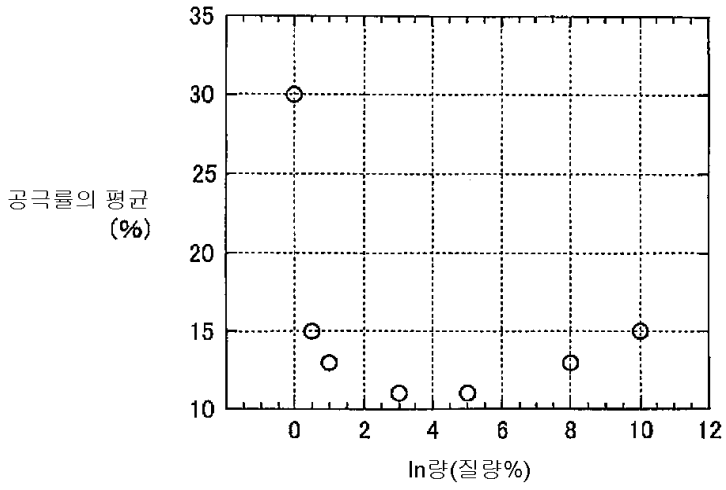
도면6



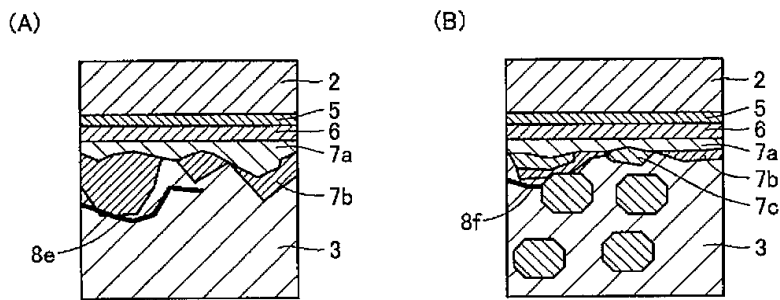
도면7



도면8



도면9



도면10

