



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

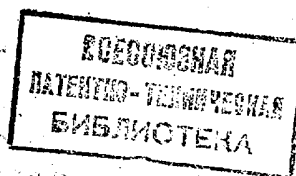
(19) SU (11) 1756881 A1

(51) G 06 F 7/49, 7/72

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

(21) 4768659/24

(22) 11.12.89

(46) 23.08.92. Бюл. № 31

(72) В.А.Краснобаев, В.П.Ирхин, И.В.Милехин и М.В.Юмашев

(56) Авторское свидетельство СССР  
№ 1257643, кл. G 06 F 7/72, 1986.

Авторское свидетельство СССР  
№ 1532923, кл. G 06 F 7/72, 1988.

Авторское свидетельство СССР  
№ 1636844, кл. G 06 F 7/72, 1989.

(54) АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО ПО  
МОДУЛЮ

2

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в вычислительных машинах и устройствах, функционирующих в системе остаточных классов. Целью изобретения является расширение области применения за счет выполнения деления. Устройство содержит два дешифратора, два шифратора, пять элементов И, три элемента ИЛИ, пять блоков элементов И, вычитатель, два блока элементов ИЛИ, приемный регистр, счетчик, схему сравнения, два элемента запрета, кольцевой сдвигающий регистр, элемент НЕ, матрицу элементов И. 1 ил., 4 табл.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в вычислительных машинах и устройствах, функционирующих в системе остаточных классов.

Известно устройство, содержащее первый и второй входные регистры, два дешифратора, кольцевой регистр сдвига, три сумматора по модулю Р, генератор импульсов, схему сравнения, умножитель частоты, суммирующий счетчик, приемный регистр, группы элементов И и ИЛИ элементы И и ИЛИ.

Недостатком устройства являются низкие функциональные возможности.

Известно устройство, содержащее дешифраторы, вычитатель, блоки элементов И и ИЛИ, элементы И и ИЛИ, элементы запрета, группу элементов ИЛИ, схему сравнения, кольцевой сдвигающий регистр и счетчик.

Недостатком этого устройства являются низкие функциональные возможности.

Наиболее близким по технической сущности к предлагаемому является устройство, содержащее блоки элементов И и ИЛИ, элементы запрета, дешифраторы, вычитатель, приемный регистр, счетчик, схему сравнения, два шифратора, кольцевой регистр сдвига, элемент НЕ.

Недостатком данного устройства являются низкие функциональные возможности ввиду невозможности получения результата операции модульного деления.

Целью изобретения является расширение области применения за счет выполнения деления.

Поставленная цель достигается за счет того, что в арифметическое устройство по модулю, содержащее первый и второй дешифраторы, с первого по пятый блоки элементов И, вычитатель, первый и второй блоки элементов ИЛИ, приемный регистр, счетчик, схему сравнения, первый и второй элементы запрета, кольцевой сдвигающий регистр, первый и второй элементы И, эле-

(19) SU (11) 1756881 A1

мент НЕ, матрицу элементов И, первый и второй элементы ИЛИ и первый шифратор, причем первый информационный вход устройства соединен с входом первого дешифратора, второй информационный вход устройства соединен с первым входом первого блока элементов И, с входом вычитаемого вычитателя, вход уменьшаемого и выход которого соединены, соответственно, с входом задания модуля устройства и с первым входом второго блока элементов И, выход задания вычитания устройства соединен с вторым входом второго блока элементов И, выходы первого и второго блоков элементов И соединены, соответственно, с первым и вторым входами первого блока элементов ИЛИ, выход которого соединен с входом второго дешифратора, выходы приемного регистра и счетчика соединены соответственно с первым и вторым входами схемы сравнения, выход которой соединен с управляющими входами первого и второго элементов запрета, с первым входом третьего блока элементов И, входы разрядов второго входа которого соединены, соответственно, с выходами  $(\log_2 m + 1)$ , ( $m$  — величина модуля) младших разрядов кольцевого сдвигающего регистра, входы разрешения сдвига право и влево которого соединены, соответственно с выходами первого и второго элементов И, тактовый вход устройства соединен с информационными входами первого и второго элементов запрета, выход второго элемента запрета соединен со счетным входом счетчика, первый вход первого элемента И через элемент НЕ соединен с первым входом второго элемента И, второй вход которого объединен с вторым входом первого элемента И и соединен с выходом первого элемента запрета, выход третьего блока элементов И является информационным выходом устройства, выходы первого дешифратора соединены соответственно с первыми входами элементов И строк матрицы, выходы второго дешифратора соединены соответственно с вторыми входами элементов И столбцов матрицы, выходы элементов И матрицы соединены соответственно с входом первого шифратора, выходы разрядов, кроме младшего, которого соединены соответственно с входами разрядов первого входа четвертого блока элементов И, выходы четвертого и пятого блоков элементов И соединены соответственно с первым и вторыми входами второго блока элементов ИЛИ, входы задания сложения и вычитания устройства соединены соответственно с первым и вторым входами первого элемента ИЛИ, выход которого соединен с вторым входом четверто-

го блока элементов И, вход задания сложения устройства соединен с первым входом второго элемента И, выход которого соединен с вторым входом первого блока элементов И, введены второй шифратор, с третьего по пятый элементы И и третий элемент ИЛИ, причем вход задания деления устройства соединен с вторым входом второго элемента ИЛИ, с первыми входами четвертого и пятого элементов И и с первым входом пятого блока элементов И, входы разрядов второго входа которого соединены соответственно с выходами разрядов, кроме младшего, выхода второго дешифратора, входы которого соединены соответственно с выходами элементов И матрицы, младший выход второго дешифратора соединен с вторым входом пятого элемента И, выход которого является выходом сигнала ошибки устройства, выход второго блока элементов ИЛИ соединен с входом приемного регистра, выход первого элемента ИЛИ соединен с первым входом третьего элемента И, выходы младших разрядов первого и второго шифраторов соединены соответственно с вторыми входами третьего и четвертого элементов И, выходы которых соединены соответственно с первым и вторым входами третьего элемента ИЛИ, выход которого соединен с входом элемента НЕ.

На чертеже представлена структурная схема устройства.

Устройство содержит первый информационный вход 1 устройства, первый дешифратор 2, второй информационный вход 3 устройства, первый блок 4 элементов И, вычитатель 5, вход 6 задания модуля устройства, второй блок 7 элементов И, первый блок 8 элементов ИЛИ, второй дешифратор 9, приемный регистр 10, счетчик 11, схему 12 сравнения, первый элемент 13 запрета, второй элемент 14 запрета, третий блок 15 элементов И, кольцевой сдвигающий регистр 16, первый элемент И 17, второй элемент И 18, тактовый вход 19 устройства, элемент НЕ 20, выход 21 устройства, матрицу 22 элементов И, первый шифратор 23, четвертый блок 24 элементов И, пятый блок 25 элементов И, второй блок 26 элементов ИЛИ, вход 27 задания сложения устройства, вход 28 задания вычитания устройства, первый элемент ИЛИ 29, второй элемент ИЛИ 30, вход 31 задания деления устройства, четвертый элемент И 32, пятый элемент И 33, второй шифратор 34, выход 35 сигнала ошибки устройства, третий элемент И 36, третий элемент ИЛИ 37.

Первый информационный вход 1 устройства соединен с первым входом первого дешифратора 2, второй информационный

вход 3 устройства соединен с первым входом первого блока 4 элементов И, с входом вычитаемого вычитателя 5, вход уменьшаемого и выход которого соединены соответственно с входом 6 задания модуля устройства и с первым входом второго блока 7 элементов И, выходы первого 4 и второго 7 блоков элементов И соединены соответственно с первым и вторым входами первого блока 8 элементов ИЛИ, выход которого соединен с входом второго дешифратора 9, выходы приемного регистра 10 и счетчика 11 соединены соответственно с первым и вторым входами схемы 12 сравнения, выход которой соединен с управляющими входами первого 13 и второго 14 элементов запрета, с первым входом третьего блока 15 элементов И, входы разрядов второго входа которого соединены соответственно с выходами  $(\log_2 m + 1)$ , ( $m$  – величина модуля) младших разрядов кольцевого сдвигающего регистра 16, входы разрешения сдвига вправо и влево которого соединены соответственно с выходами первого 17 и второго 18 элементов И, тактовый вход 19 устройства соединен с информационными входами первого 13 и второго 14 элементов запрета, выход элемента 14 запрета соединен со счетным входом счетчика 11, первый вход первого элемента И 17 через элемент НЕ 20 соединен с первым входом второго элемента И 18, второй вход которого объединен с вторым входом первого элемента И 17 и соединен с выходом элемента 13 запрета, выход третьего блока 15 элементов И является информационным выходом 21 устройства, выходы дешифратора 2 соединены соответственно с первыми входами элементов И строк матрицы 22, выходы дешифратора 9 соединены соответственно с вторыми входами элементов И столбцов матрицы 22, выходы элементов И матрицы 22 соединены соответственно с входами первого шифратора 23, выходы разрядов, кроме младшего которого соединены соответственно с входами разрядов первого входа четвертого блока 24 элементов И, выходы четвертого 24 и пятого 25 блоков элементов И соединены соответственно с первым и вторым входами второго блока 26 элементов ИЛИ, входы 27 и 28 задания сложения и вычитания устройства соединены соответственно с первым и вторым входами первого 29 элемента ИЛИ, выход которого соединен с вторым входом блока 24 элементов И, вход 27 задания сложения устройства соединен с первым входом второго 30 элемента ИЛИ, выход которого соединен с вторым входом блока 4 элементов И.

Вход 31 задания деления устройства соединен с вторым входом 30 элемента ИЛИ, с первыми входами четвертого 32 и пятого 33 элементов И и с первым входом блока 25, входы разрядов второго входа которого соединены соответственно с выходами разрядов, кроме младшего, выхода второго 34 шифратора, входы которого соединены соответственно с выходами элементов И матрицы 22. Младший выход дешифратора 9 соединен с вторым входом элемента И 33, выход которого является выходом 35 сигнала ошибки устройства, выход блока 26 элементов ИЛИ соединен с входом приемного регистра 10, выход элемента ИЛИ 29 соединен с первым входом третьего элемента И 36, выходы младших разрядов выходов первого 23 и второго 34 шифраторов соединены соответственно с вторыми входами третьего 36 и четвертого 32 элементов И, выходы которых соединены соответственно с первым и вторым входами третьего элемента ИЛИ 37, выход которого соединен с входом элемента НЕ 20.

Устройство работает в трех режимах. При проведении операции модульного сложения  $(A + B) \bmod m$  в двоичном коде на вход 1 поступает операнд А, на вход 3 – операнд В, который также поступает на вход вычитателя 5 (по модулю  $m$ ), на выходе которого получим значение  $(m - B)$ . Сигнал с входа 27 проходит через элемент И 30 и открывает блок 4 элементов И, через который и блок 8 элементов ИЛИ операнд В поступает на вход дешифратора 9. С выхода дешифратора 9 операнд В в унитарном коде поступает на вторые входы элементов И столбцов матрицы 22, на первые входы элементов И строк матрицы 22 поступает через дешифратор 2 операнд А. В зависимости от соотношения операндов А и В на выходе шифратора 23 образуется двоичное число, соответствующее количеству сдвигов регистра 16, а на выходе элемента И 36 образуется сигнал, если направление сдвига правое (так как сигнал на выходе элемента ИЛИ 29 присутствует). Этот сигнал поступает на первый вход элемента И 17, а если сигнал отсутствует, то открывается элемент И 18, обеспечивая левое направление сдвига. С выхода шифратора 23 через элемент И 24 и ИЛИ 26 число сдвигов в двоичном коде поступает в приемный регистр 10. С входа 19 на входы открытых элементов 13 и 14 запрета поступают импульсы. При совпадении состояний счетчика 11 и приемного регистра 10 схема 12 сравнения выдает сигнал, который закрывает элементы 13 и 14 запрета и открывает блок 15 элементов И, через который значение группы двоичных

разрядов (результат операции модульного сложения) поступает на выход 21 устройства.

Пусть необходимо определить результат  $(A - B) \bmod m$ . В этом случае сигнал с входа 28 поступает на блок 7 элементов И. С выхода вычитателя 5 значение  $(m - B)$  через открытый блок 7 элементов И, блок 8 элементов ИЛИ поступает на дешифратор 9. Дальнейшая работа аналогична определению результата операции модульного сложения.

Если определяется результат  $(A/B) \bmod m$ , то присутствует сигнал на входе 31, который открывает блок 4 элементов И, элемент И 32, блок 25 элементов И. В зависимости от соотношения операндов А и В на выходе шифратора 34 образуется двоичное число, соответствующее количеству сдвигов регистра 16 при модульном делении, а на выходе И 32 образуется сигнал, если направление сдвига правое при заданной операции. В этом случае на вход приемного регистра 10 информация поступает с выходов элементов ИЛИ 34 через элементы И 25 и ИЛИ 26, а на вход элемента И 17 – с выхода ИЛИ 37. Дальнейшая работа аналогична определению результата модульного сложения. Если  $B = 0$ , то на выходе элемента И 33 будет сигнал, свидетельствующий об ошибке при проведении операции модульного деления (деление на ноль).

Рассмотрим примеры конкретного выполнения операции модульного сложения, вычитания и деления для  $m = 7$ .

Исходное состояние регистра 16: 1-0-1-1-0-0-0. Первые три двоичных разряда соответствуют числу "5". Число "3" соответствует сдвигу регистра влево на один двоичный разряд, "2" – вправо на один двоичный разряд и т.д. Составим таблицу для реализации операции модульного сложения. В табл. 1 отражены результаты операции модульного сложения.

В табл. 2 отражено необходимое количество сдвига для каждой пары операндов А и В и направление сдвига. Сдвиг соответствует положительному направлению сдвига и отмечен в табл. 2 знаком "+".

Таблица 1

|   | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
| 1 | 1 | 2 | 3 | 4 | 5 | 6 | 0 |
| 2 | 2 | 3 | 4 | 5 | 6 | 0 | 1 |
| 3 | 3 | 4 | 5 | 6 | 0 | 1 | 2 |
| 4 | 4 | 5 | 6 | 0 | 1 | 2 | 3 |
| 5 | 5 | 6 | 0 | 1 | 2 | 3 | 4 |
| 6 | 6 | 0 | 1 | 2 | 3 | 4 | 5 |

Таблица 2

|   | 0  | 1  | 2  | 3  | 4  | 5  | 6  |
|---|----|----|----|----|----|----|----|
| 0 | 3- | 2- | 1- | 1+ | 3+ | 0  | 2+ |
| 1 | 2- | 1- | 1+ | 3+ | 0  | 2+ | 3- |
| 2 | 1- | 1+ | 3+ | 0  | 2+ | 3- | 2- |
| 3 | 1+ | 3+ | 0  | 2+ | 3- | 2- | 1- |
| 4 | 3+ | 0  | 2+ | 3- | 2- | 1- | 1+ |
| 5 | 0  | 2+ | 3- | 2- | 1- | 1+ | 3+ |
| 6 | 2+ | 3- | 2- | 1- | 1+ | 3+ | 0  |

Составим таблицу для реализации операции модульного деления. В табл. 3 отражены результаты модульного деления.

Таблица 3

|   | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|---|---|
| 0 | - | - | - | - | - | - | - |
| 1 | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
| 2 | 0 | 4 | 1 | 5 | 2 | 6 | 3 |
| 3 | 0 | 5 | 3 | 1 | 6 | 4 | 2 |
| 4 | 0 | 2 | 4 | 6 | 1 | 3 | 5 |
| 5 | 0 | 3 | 6 | 2 | 5 | 1 | 4 |
| 6 | 0 | 6 | 5 | 4 | 3 | 2 | 1 |

В табл. 4 отражено необходимое количество тактов сдвига для каждой пары операндов и направление сдвига.

Таблица 4

|   | 0  | 1  | 2  | 3  | 4  | 5  | 6  |
|---|----|----|----|----|----|----|----|
| 0 | -  | -  | -  | -  | -  | -  | -  |
| 1 | 3- | 2- | 1- | 1+ | 3+ | 0  | 2+ |
| 2 | 3- | 3+ | 2- | 0  | 1- | 2+ | 1+ |
| 3 | 3- | 0  | 1+ | 2- | 2+ | 3+ | 1- |
| 4 | 3- | 1- | 3+ | 2+ | 2- | 1+ | 0  |
| 5 | 3- | 1+ | 2+ | 1- | 0  | 2- | 3+ |
| 6 | 3- | 2+ | 0  | 3+ | 1+ | 1- | 2- |

Следовательно, первый 23 и второй 34 шифраторы формируют четыре числа: "00", "01", "10", "11". На входе элемента И 36 объединяются выходы матрицы 22 элементов И, которые помечены знаком "-" в табл. 2, а на входе элемента И 32 объединяются выходы матрицы 22 элементов И, которые помечены знаком "-" в табл. 4.

Пример 1.  $A = 0$ ,  $B = 2$ . Необходимо  $(A + B) \bmod m$ . Первый операнд  $A = 0$  поступает на первый дешифратор 2, с входа которого поступает на первый вход первых входов элементов И строк матрицы 22. Операнд В через блок 4 элементов И, блок 8 элементов ИЛИ поступает на дешифратор 9. С выхода дешифратора 9 поступает на тре-

тий вход вторых входов элементов И столбцов матрицы 22. В приемном регистре 10 будет записано число "01" согласно таблице 2 (сигналом с выхода ИЛИ 29 открыт элемент И 36 и блок 24 элементов И). Сигнал на выход элемента И 36 не поступит, а на элемент И 18 поступит сигнал. Импульсы через открытые элементы 13 и 14 запрета поступают на регистр 16 и на счетчик 11. В момент совпадения состояния регистра 10 и счетчика 11 (в счетчике 11 содержится значение "01") схема 12 сравнения формирует сигнал, закрывающий элементы 13 и 14 запрета и открывающий блок 15 элементов И. Состояние регистра 16 будет следующее:

0 - 1 - 0 - 1 - 1 - 0 - 0

Содержание трех разрядов регистра 16 через блок 15 элементов И поступает на выход 21. Это и есть результат операции.

Пример 2.  $A = 0$ ,  $B = 2$ . Необходимо определить  $(A - B) \bmod m$ .

В этом случае на первый вход первых входов элементов И строк матрицы 22 поступает сигнал. На шестой вход вторых входов элементов И столбцов матрицы 22 также поступает сигнал ( $7 - 2 = 5$ ). В приемном регистре 10 будет записано число "00". Сигнал с выхода элемента И 36 не поступит, а схема 12 сравнения в момент включения устройства вырабатывает сигнал, закрывающий элементы 13 и 14 запрета и открывающий блок 15 элементов И. Сдвига не произойдет. Состояние регистра 16 будет следующее:

1 - 0 - 1 - 1 - 0 - 0 - 0

Содержимое первых трех двоичных разрядов регистра 16 представляет результат операции модульного вычитания.

Пример 3.  $A = 2$ ,  $B = 3$ . Необходимо определить  $(A/B) \bmod m$ . Первый операнд  $A = 2$  поступает на первый 2 дешифратор, с выхода которого поступает на третий вход первых входов элементов И строк матрицы 22. Операнд  $B$  через блок 4 элементов ИЛИ через второй 9 дешифратор поступает на четвертый вход вторых входов элементов И столбцов матрицы 22. Во втором 34 шифраторе формируется двоичное число, соответствующее количеству сдвигов регистра 16 при операции модульного деления (согласно таблице 4). В данном случае в приемном 10 регистре будет записано число "01" согласно таблице 4 (сигнал присутствует на втором входе блока 25 элементов И). Сигнал с выхода элемента НЕ 20 поступит на вход элемента И 18. Импульсы через открытые

элементы 13 и 14 запрета поступают на регистр 16 и на счетчик 11. В момент совпадения состояния регистра 10 и счетчика 11 (в счетчике 11 содержится значение "01") схема 12 сравнения формирует сигнал, закрывающий элементы 13 и 14 запрета и открывающий блок 15 элементов И. Состояние регистра 16 будет следующее:

0 - 1 - 1 - 0 - 0 - 0 - 1 - 0

Содержание первых трех разрядов регистра 16 и есть результат операции модульного деления.

Техническое преимущество предлагаемого устройства в сравнении с известным состоит в расширении области применения за счет выполнения деления с небольшими затратами оборудования.

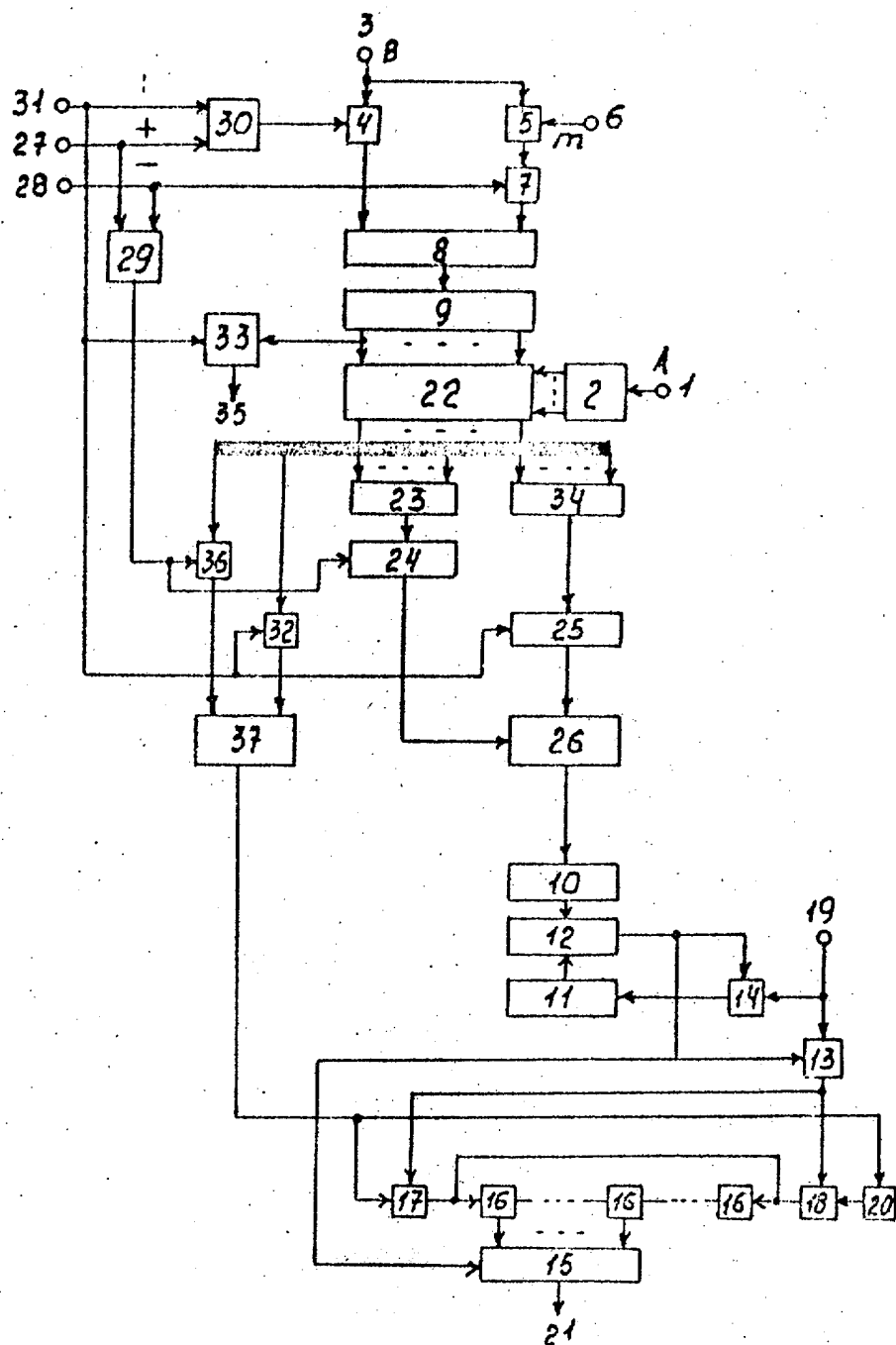
Положительный эффект от внедрения данного изобретения состоит в расширении функциональных возможностей (одновременное использование его и для получения результата операции модульного деления). Дополнительным преимуществом данного способа реализации операции  $(A/B) \bmod m$  является также то, что используется только одна матрица 22 элементов И для всех модульных операций и то, что быстродействие выполнения модульной операции деления равно быстродействию выполнения модульных операций сложения и вычитания.

#### Формула изобретения

Арифметическое устройство по модулю, содержащее первый и второй дешифраторы, с первого по пятый блоки элементов И, вычитатель, первый и второй блоки элемента ИЛИ, приемный регистр, счетчик, схему сравнения, первый и второй элементы запрета, кольцевой сдвигающий регистр, первый и второй элементы И, элемент НЕ, матрицу элементов И, первый и второй элементы ИЛИ и первый шифратор, причем первый информационный вход устройства соединен с входом первого дешифратора, второй информационный вход устройства соединен с первым входом первого блока элементов И, входом вычитаемого вычитателя, вход уменьшаемого и выход которого соединены соответственно с входом задания модуля устройства и первым входом второго блока элементов И, вход задания вычитания устройства соединен с вторым входом второго блока элементов И, выходы первого и второго блоков элементов И соединены соответственно с первым и вторым входами первого блока элементов ИЛИ, выход которого соединен с входом второго де-

шифратора, выходы приемного регистра и счетчика соединены соответственно с первым и вторым входами схемы сравнения, выход которой соединен с управляющими входами первого и второго элементов запрета, с первым входом третьего блока элементов И, входы разрядов второго входа которого соединены соответственно с выходами  $(\log_2 m + 1)$ , ( $m$  — величина модуля) младших разрядов кольцевого сдвигающего регистра, входы разрешения сдвига вправо и влево которого соединены соответственно с выходами первого и второго элементов И, тактовый вход устройства соединен с информационными входами первого и второго элементов запрета, выход второго элемента запрета соединен со счетным входом счетчика, первый вход первого элемента И через элемент НЕ соединен с первым входом второго элемента И, второй вход которого объединен с вторым входом первого элемента И и соединен с выходом первого элемента запрета, выход третьего блока элементов И является информационным выходом устройства, выходы первого дешифратора соединены соответственно с первыми входами элементов И строк матрицы, выходы второго дешифратора соединены соответственно с вторыми входами элементов И столбцов матрицы, выходы элементов И матрицы соединены соответственно с входами первого шифратора, выходы разрядов, кроме младшего, которого соединены соответственно с входами разрядов первого входа четвертого блока элементов И, выходы четвертого и пятого блоков элементов И соединены соответственно с первым и вторым входами второго блока элементов ИЛИ, входы задания

сложения и вычитания устройства соединены соответственно с первым и вторым входами первого элемента ИЛИ, выход которого соединен с вторым входом четвертого блока элементов И, вход задания сложения устройства соединен с первым входом второго элемента И, выход которого соединен с вторым входом первого блока элементов И, отличающееся тем, что, с целью расширения области применения за счет выполнения деления, оно содержит второй шифратор, с третьего по пятый элементы И и третий элемент ИЛИ, причем вход задания деления устройства соединен с вторым входом второго элемента ИЛИ, с первыми входами четвертого и пятого элементов И первым входом пятого блока элементов И, входы разрядов второго входа которого соединены соответственно с выходами разрядов; кроме младшего, выхода второго шифратора, входы которого соединены соответственно с выходами элементов И матрицы, младший выход второго дешифратора соединен с вторым входом пятого элемента И, выход которого является выходом сигнала ошибки устройства, выход второго блока элементов ИЛИ соединен с входом приемного регистра, выход первого элемента ИЛИ соединен с первым входом третьего элемента И, выходы младших разрядов выходов первого и второго шифраторов соединены соответственно с вторыми входами третьего и четвертого элементов И, выходы которых соединены соответственно с первым и вторым входами третьего элемента ИЛИ, выход которого соединен с входом элемента НЕ.



Редактор О.Хрипта

Составитель В.Краснобаев  
Техред М.Моргентал

Корректор Е.Папп

Заказ 3088

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101