

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-295423
(P2005-295423A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO4N 5/225	HO4N 5/225	5C052
HO4N 5/232	HO4N 5/232	5C122
HO4N 5/907	HO4N 5/907	B

審査請求 有 請求項の数 8 O L (全 8 頁)

(21) 出願番号	特願2004-110784 (P2004-110784)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成16年4月5日(2004.4.5)	(74) 代理人	100097445 弁理士 岩橋 文雄
		(74) 代理人	100109667 弁理士 内藤 浩樹
		(74) 代理人	100109151 弁理士 永野 大介
		(72) 発明者	福島 保 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		Fターム(参考)	5C052 AA17 AB04 AC02 DD04 EE03 GA01 GA03 GD01 GE04 GF04 5C122 DA30 EA56 FA14 GA24 HA39 HA60 HB02

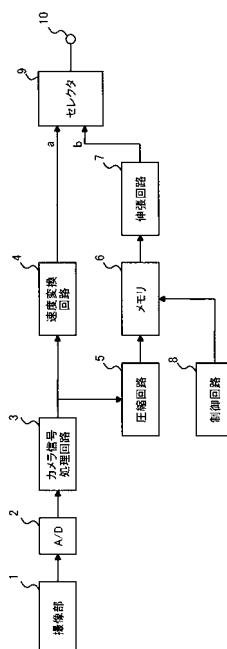
(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 スローモーション再生のためには高速撮影する特殊な装置が必要となる。

【解決手段】 撮像部1においては、例えば3倍速で撮像素子を駆動し、その撮像信号をA/D変換器2によりデジタル映像信号に変換し、カメラ信号処理回路3においてガンマ変換や輪郭補正などの処理を行う。その3倍速出力信号を、圧縮回路5によりデータ圧縮を行いメモリ6に記録する。またカメラ信号処理回路3の出力は、速度変換回路4においてフィールド間引き等により、通常速度の映像信号に変換し、セレクタ9を介して出力端子10より通常速度のモニタ信号として出力する。記録した高速映像の再生時には、メモリ6に記録されたデータを通常速度に対応する速度で読み出し、伸張回路7によりデータを復元し、セレクタ9を介して出力端子10よりスロー再生信号として出力する。特殊な外部機器を必要とせず、スロー再生画像を得ることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の周期で被写体を撮像する撮像手段と、
前記撮像手段で撮像された映像信号を圧縮する圧縮手段と、
前記圧縮手段で圧縮された映像信号を格納する記憶手段と、
前記記憶手段に格納された映像信号データを第 2 の周期で読み出して伸張して出力する伸張手段と、を備え、
前記第 2 の周期は前記第 1 の周期より長いことを特徴とする撮像装置。

【請求項 2】

前記撮像手段で撮像された第 1 の周期の映像信号を第 2 の周期の映像信号に変換する変換手段と、
前記伸張手段と前記変換手段の信号を切り替える選択手段とを備えることを特徴とする請求項 1 記載の撮像装置。

10

【請求項 3】

前記撮像手段で撮像された第 1 の周期の映像信号を第 2 の周期の映像信号に変換する変換手段を備え、
前記伸張手段の出力信号と前記変換手段の出力信号を共に出力することを特徴とする請求項 1 記載の撮像装置。

【請求項 4】

前記変換手段は、前記撮像手段で撮像された第 1 の周期の映像信号から一部の映像信号を第 2 の周期として出力することを特徴とする請求項 2 および 3 記載の撮像装置。

20

【請求項 5】

前記変換手段は、前記撮像手段で撮像された第 1 の周期の複数の映像信号に加算演算を施して、第 2 の周期の映像信号として出力することを特徴とする請求項 2 および 3 記載の撮像装置。

【請求項 6】

前記記憶手段は半導体メモリであることを特徴とする請求項 1 記載の撮像装置。

【請求項 7】

前記記憶手段は取り外し可能な不揮発性メモリであることを特徴とする請求項 1 記載の撮像装置。

30

【請求項 8】

前記第 1 の周期と前記第 2 の周期が整数比であることを特徴とする請求項 1 記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はスローモーション再生が可能な高速撮像装置に関するものである。

【背景技術】

【0002】

近年、ビデオカメラの高性能化が進み、特にデジタル技術の進展に伴い、通常より高速で撮影するスローモーション撮影が可能となっている。特にスポーツ中継などにおいては、美しいスローモーション再生は番組制作の上で大きな特徴となる。

40

【0003】

高速度撮影を行う場合、従来の標準のビデオ信号に対しその倍速度分の周波数帯域を持つ信号が得る必要がある。すなわち、1/3スロー再生を得るために、3倍速の撮影をする場合には、カメラの出力として通常の3倍のデータレートが必要である。カメラから通常のビデオ信号のフォーマットとは異なる、3倍速のデータ出力が必要であり、その信号伝送にも高速撮影専用の伝送装置が必要となる。

【0004】

その課題を解決する一つの方法として、例えば特開2000-188703号公報に開

50

示されているものがあり、その構成を図5に示す。図5において、101はビデオカメラ、102はCCU(カメラコントロールユニット)、110は撮像デバイス、111はA/D変換回路、112はメモリー、113はプロセスLSI、120はプロセスLSI、121はメモリー、122は切替回路、123は伝送路である。

【0005】

以上のように構成された従来の撮像装置について、以下その動作について3倍速度撮影を例として説明する。

【0006】

まず、ビデオカメラ101において、撮像デバイス110により標準の3倍で高速度撮影したビデオ信号SOを、A/D変換回路111によりアナログのビデオ信号をデジタルのビデオ信号に変換し、メモリー112により標準速度の3本のビデオ信号SO1~SO3に分離し、この3本の標準ビデオ信号SO1~SO3をプロセスLSI113により所定伝送形式の標準ビデオ信号S1~S3に変換して広帯域の伝送路123を介してカメラコントロールユニット102に伝送する。

10

【0007】

ここで、3倍速度以下の高速度撮影映像SOを複数本の標準ビデオ信号SO1~SO3に分離する際に、blankフィールドを含ませるようにしている。blankフィールド信号Sbfは複数本の標準ビデオ信号SO1~SO3のどのフィールドにblankフィールドが含まれているかを示す。blankフィールド信号Sbfも同様に伝送路123を介してカメラコントロールユニット102に伝送する。

20

【0008】

カメラコントロールユニット102において、伝送路123を介して伝送された3本の標準ビデオ信号SO1~SO3をプロセスLSI120により内部処理可能な3本の標準ビデオ信号SU1~SU3に変換し、切替回路122により3本の標準速度ビデオ信号を単位期間毎に揃えて複数本のSDI出力SI1~SI3として各種映像機器へ出力する。

【0009】

ここで、メモリー121によりblankフィールド信号Sbfからblankフィールドを判別して3本の標準ビデオ信号SU1~SU3から有効な映像のみを蓄積し、メモリー121からスロー再生信号SLを出力する。

【0010】

なお、ビデオカメラ101において、3倍速の高速度映像SOをメモリー121を使用して3本の標準ビデオ信号SO1~SO3にした後に、プロセスLSI113に3本の標準ビデオ信号SO1~SO3を入力している。ここで、プロセスLSI113はカメラ特有のビデオ信号を処理する機能と伝送用フォーマットに変換する伝送プロセス機能とを有する。なお、図5においては、プロセスLSI113は単一で示されているが、ビデオ信号処理と伝送用処理を別々のICで構成しても良いし、また、3本の標準ビデオ信号SO1~SO3に対して3個のICで構成してビデオ信号処理をしても良く、この場合には、従来の標準カメラのプロセス用のICをそのまま流用して回路を構成することができる。

30

【0011】

伝送用フォーマット変換プロセスICでは3本の標準カメラ内部処理用のデジタルビデオ信号を標準規格である4:2:2の輝度信号および色差信号Y, CB, CR, 伝送周波数27MHz, ビット数10ビットの平行信号で構成されるD1フォーマット信号相当のフォーマットに変換する。そして、その後、光ファイバーやTRIA X等の伝送路123を介して信号線、電源線、制御線を伝送するため、3本のビデオ信号の時分割多重化処理をする。または、これに限らず、3本の270MHzのシリアルSDI信号相当として3本のBNCケーブルを用いて伝送することも可能である。

40

【特許文献1】特開2000-188703号公報(第3-5頁)

【発明の開示】

【発明が解決しようとする課題】

【0012】

50

しかしながら上記のような技術においては、高速撮影においてカメラヘッドから3倍速に相当する3倍の信号データを伝送するために、カメラコントロールユニットとの伝送においては、3本のビデオ信号の時分割多重化処理を行うか、3本のBNCケーブルを用意する必要がある。また、スロー再生するためには、カメラコントロールユニットに例えば3台のVTRを接続し同期運転する必要がある、という課題を有している。

【0013】

本発明は、上述の従来課題を解決するもので、高速撮像装置において特殊な伝送装置や特殊な外部記録装置を必要とせず、スローモーション再生画像を得ることを目的とする。

【課題を解決するための手段】

10

【0014】

本発明の請求項1に記載の発明は、第1の周期で被写体を撮像する撮像手段と、前記撮像手段で撮像された映像信号を圧縮する圧縮手段と、前記圧縮手段で圧縮された映像信号を格納する記憶手段と、前記記憶手段に格納された映像信号データを第2の周期で読み出して伸張して出力する伸張手段とを備え、前記第2の周期は前記第1の周期より長いことを特徴としたものであり、特殊な外部記録装置を必要とせずに撮像装置よりスロー再生信号を得るという作用を有する。

【0015】

本発明の請求項2に記載の発明は、前記撮像手段で撮像された第1の周期の映像信号を第2の周期の映像信号に変換する変換手段と、前記伸張手段と前記変換手段の信号を切り替える選択手段とを備えることを特徴としたものであり、スロー再生のための高速撮像信号をメモリに記録すると同時に通常速の映像信号を出力する事が可能という作用を有する。

20

【0016】

本発明の請求項3に記載の発明は、前記撮像手段で撮像された第1の周期の映像信号を第2の周期の映像信号に変換する変換手段を備え、前記伸張手段の出力信号と前記変換手段の出力信号を共に出力することを特徴としたものであり、スロー再生が可能という特徴を有しつつも常に通常速の映像信号を出力できるという作用を有する。

【0017】

本発明の請求項4に記載の発明は、前記変換手段は、前記撮像手段で撮像された第1の周期の映像信号から一部の映像信号を第2の周期として出力することを特徴としたものであり、フィールド間引きという簡便な方法にて通常速の映像信号を得ることができるとい

30

【0018】

本発明の請求項5に記載の発明は、前記変換手段は、前記撮像手段で撮像された第1の周期の複数の映像信号に加算演算を施して、第2の周期の映像信号として出力することを特徴としたものであり、高速撮影時の通常速映像信号としてノイズの少ない信号を得ることができるという作用を有する。

【0019】

本発明の請求項6に記載の発明は、前記記憶手段は半導体メモリであることを特徴としたものであり、高速撮像などの可変速度のデータ記録が容易という作用を有する。

40

【0020】

本発明の請求項7に記載の発明は、前記記憶手段は取り外し可能な不揮発性メモリであることを特徴としたものであり、高速撮像信号を格納したメモリを他の再生機器に接続することにより、信号伝送を必要とせずに簡単にスロー再生する事ができるという作用を有する。

【0021】

本発明の請求項8に記載の発明は、前記第1の周期と前記第2の周期が整数比であることを特徴としたものであり、メモリ制御が簡便になるという作用を有する。

【発明の効果】

50

【0022】

以上のように本発明によれば、高速撮像装置において特殊な伝送装置や特殊な外部記録装置を必要とせずに、スローモーション再生画像を得ることができるという優れた効果が得られる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態について、図面を用いて説明する。

【0024】

(実施の形態1)

図1は本発明の実施の形態1における撮像装置の構成を示すブロック図である。

10

【0025】

図1において、1は撮像部、2はA/D変換器、3はカメラ信号処理回路、4は速度変換回路、5は圧縮回路、6はメモリ、7は伸張回路、8は制御回路、9はセクタ、10は出力端子である。

【0026】

以上のように構成された実施の形態1による撮像装置の動作について、例えばスローモーション映像の速度比が1/3、すなわち3倍速の高速撮像を行う場合を、以下に図1および図2を適宜参照し説明する。

【0027】

図1において、撮像部1、A/D変換器2、カメラ信号処理回路3は、通常のカメラの構成要素であり、その動作も基本的には同じである。すなわち、撮像部1は光学的な画像信号を電気信号に変換し出力するもので、例えばCCD(Charge Coupled Device)型撮像素子とその駆動回路、およびアナログ信号処理回路からなる。A/D変換器2は、撮像部1の出力であるアナログ映像信号をデジタル映像信号に変換し、カメラ信号処理回路3へと入力する。カメラ信号処理回路3では、オフセット調整、ゲイン調整、ガンマ補正、輪郭補正など、通常のカメラとして必要な信号処理が行われ、その出力信号は記録、表示可能な標準形態の映像信号となる。

20

【0028】

ここで、3倍速の高速撮像を行うので、通常毎秒60フィールドの映像信号に対して、180フィールドの映像信号を生成することが必要となる。そこで、撮像部1では、撮像素子から通常の3倍の速度で信号電荷を取り出し、図2に示すように通常の1/3の時間である1/180秒毎に、1A、1B、1C、2A、2B、という具合に映像信号が出力される。この撮像信号に対して、A/D変換器2、およびカメラ信号処理回路3も通常の3倍速で動作を行う。

30

【0029】

カメラ信号処理回路3の出力である3倍速の映像信号は、圧縮回路5においてデータ圧縮が行われる。これは、例えばブロック化・DCT(離散コサイン変換)・量子化といった処理によりデータ量を削減するものである。この圧縮された映像データは、メモリ6に記録されるが、その記録動作は制御回路8により制御され、通常の3倍速で記録される。すなわち、図2に示すように、1/180秒毎に1フィールド分の映像データが記録される。なお、メモリ6はフラッシュメモリのような不揮発性メモリや、あるいはSDRAMのような揮発性メモリでも構わない。

40

【0030】

次に、スロー再生時の動作を以下に説明する。再生時には、制御回路8がメモリ6を読み出し制御し、通常の映像信号と同じ毎秒60フィールドの割合でデータを出力する。その出力データは、伸張回路7においてIDCT(逆離散コサイン変換)などデータ圧縮とは逆の処理を施され、映像信号の形態に戻される。すなわち、図2に示すように、通常と同じ1/60秒毎に、1A、1B、1C、2A、2B、という具合に映像信号が出力されるので、撮影時と比較して時間軸を3倍に拡大した映像信号が得られる。

【0031】

50

なお、3倍速の高速撮像時においては、カメラ信号処理回路3の出力の3倍速映像信号は、上述したようなメモリ6への記録と同時に、速度変換回路4へ入力され、通常速度の映像信号に変換される。その変換する簡単な方法としては、図3に示すように、180フィールドの映像信号から、3フィールドから1フィールドの割合で映像信号を抜き出す事により、60フィールドの映像信号を生成する事である。

【0032】

そして、セクタ9は出力端子10へ出力する映像信号を選択するもので、高速撮像時にはa側の信号を、スロー再生時にはb側の信号を選択する。すなわち、高速撮像時には3倍速の映像信号をメモリ6に記録すると同時に、通常速に変換した映像信号を出力して、通常のカメラと同様の使い方をすることができる。また、再生時には、メモリ6に記録された映像信号を、記録時と比較して1/3の速度で再生することにより、スロー再生信号を得ることができる。

10

【0033】

また、図4には別の構成を示すブロック図を示す。図4に示す撮像装置の構成は、図1に示した構成とほとんど同様であるが、セクタ9が省略され、出力端子11が追加している点が異なる。その他の構成要素およびその動作は図1と同様である。

【0034】

図4に示す構成の撮像装置では、出力端子10からは常に通常速度の映像信号を出力し、出力端子11からはスロー再生時の映像信号を出力する事を特徴とする。そこで、出力端子10の映像信号を使用する事により、常に通常の撮像装置として使用する事が可能となる。なお、スロー再生信号が必要な時には、出力端子11の信号を使用すればよい。すなわち、図4に示す構成を用いる事により、通常速の映像信号とスロー再生の信号の双方が必要となる場合にも対応できる。

20

【0035】

なお、速度変換回路4として、簡便なフィールドを間引きする方法を述べたが、通常の映像信号と比較すると撮像素子における蓄積時間が短いので、S/Nが悪くなる。そこで、速度変換回路4として、例えば複数のフィールドから加算演算する構成とする事により、S/Nの良い映像信号を得ることができる。

【0036】

また、メモリ6として半導体メモリを使用する事により、高速撮像時のような通常時とは異なる信号データレートのデータ記録を容易にする事ができる。

30

【0037】

なお、本実施の形態のように、高速撮像時が通常撮像時の整数倍のフィールドレートである場合が制御が簡単となるが、整数倍に限定するものではない。

【0038】

さらに、撮像部の撮像デバイスとしてはCCDに限定するものではなく、例えばデジタル信号を出力するCMOS型撮像素子でも同様の効果を実現することができる。

【産業上の利用可能性】

【0039】

本発明にかかる撮像装置は、美しいスローモーション再生を実現できる高速撮像装置として有用である。

40

【図面の簡単な説明】

【0040】

【図1】本発明の実施の形態1における撮像装置の構成を示すブロック図

【図2】本発明の実施の形態1における撮像装置の説明に供する図

【図3】本発明の実施の形態1における撮像装置の説明に供する図

【図4】本発明の他の実施の形態における撮像装置の構成を示すブロック図

【図5】従来の撮像装置の構成を示すブロック図

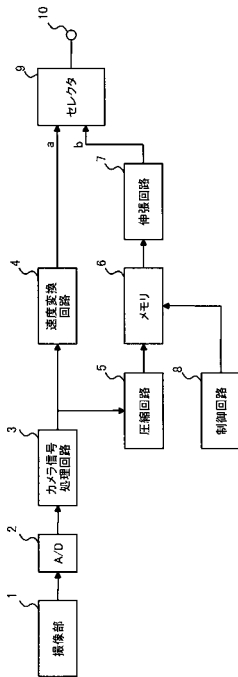
【符号の説明】

【0041】

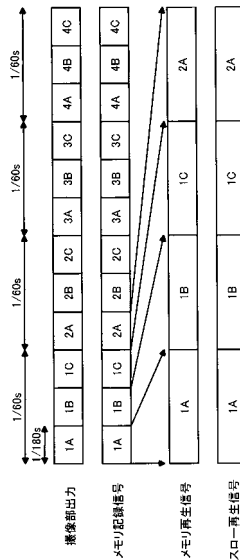
50

- 1 撮像部
- 2 A / D 変換器
- 3 カメラ信号処理回路
- 4 速度変換回路
- 5 圧縮回路
- 6 メモリ
- 7 伸張回路
- 8 制御回路
- 9 セレクタ
- 10 出力端子
- 11 出力端子

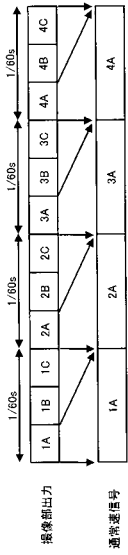
【図 1】



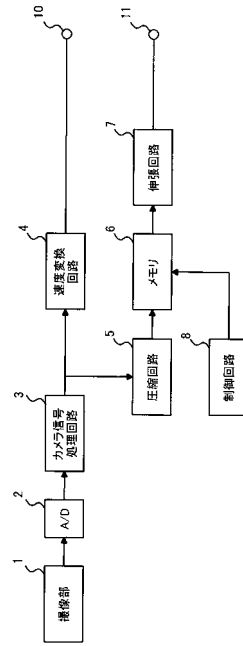
【図 2】



【 図 3 】



【 図 4 】



【 図 5 】

