

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年1月9日(2020.1.9)

【公表番号】特表2019-507427(P2019-507427A)

【公表日】平成31年3月14日(2019.3.14)

【年通号数】公開・登録公報2019-010

【出願番号】特願2018-539145(P2018-539145)

【国際特許分類】

G 05 F 1/56 (2006.01)

【F I】

G 05 F 1/56 310 C

【手続補正書】

【提出日】令和1年11月25日(2019.11.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電圧レギュレータであって、

電力供給レールと前記電圧レギュレータの出力との間に結合された第1のパス素子、
ここにおいて、前記第1のパス素子は、前記第1のパス素子の抵抗を制御するための制御
入力を有する、と、

第1のフィードバック回路であって、

第1のトランジスタと、第2のトランジスタと、第1の抵抗と、第2の抵抗と、電流源とを備える第1の増幅器、ここにおいて、前記第2のトランジスタのゲートは、基準電圧に結合され、ここにおいて、前記第1のトランジスタのゲートは、フィードバック電圧に結合され、前記第2のトランジスタのドレインは、前記第1のパス素子の前記制御入力に結合され、ここにおいて、前記フィードバック電圧は、前記電圧レギュレータの前記出力における電圧に略等しいかそれに比例し、前記第1の増幅器は、前記基準電圧と前記フィードバック電圧との差分を低減する方向に前記第1のパス素子の前記抵抗を調整する
ように構成され、ここにおいて、前記電流源は、前記第1および第2のトランジスタの両方のソースに結合される、と、

第2のパス素子、ここにおいて、前記第2のパス素子は、それぞれ前記第1および第2の抵抗器を介して、前記第1および第2のトランジスタの前記ドレインと、前記電力供給レールとの間に結合され、ここにおいて、前記第2のパス素子は、前記第2のパス素子の抵抗を制御するための制御入力を有し、ここにおいて、前記第1のフィードバック回路は、前記第2のパス素子と前記第1の増幅器との間のバイアス電圧を有する、と

を備える第1のフィードバック回路と、

前記基準電圧に結合された第1の入力と、前記フィードバック電圧に結合された第2の入力と、前記第2のパス素子の前記制御入力に結合された出力とを有する第2のフィードバック回路、ここにおいて、前記第2のフィードバック回路は、前記第2のパス素子の前記抵抗を調整することによって、前記基準電圧と前記フィードバック電圧との前記差分を低減する方向に前記第1のフィードバック回路の前記バイアス電圧を調整するように構成される、と

を備える電圧レギュレータ。

【請求項2】

前記第1のフィードバック回路は、前記電力供給レール上の高速過渡に起因する、前記フィードバック電圧と前記基準電圧との前記差分を低減するように構成される、請求項1に記載の電圧レギュレータ。

【請求項3】

前記第1のフィードバック回路は、前記電圧レギュレータの前記出力に結合された負荷の高速変化に起因する、前記フィードバック電圧と前記基準電圧との前記差分を低減するように構成される、請求項1に記載の電圧レギュレータ。

【請求項4】

前記第2のフィードバック回路は、前記第1の増幅器の利得誤差に起因する、前記フィードバック電圧と前記基準電圧との前記差分を低減するように構成される、請求項1に記載の電圧レギュレータ。

【請求項5】

前記第2のパス素子は、前記電力供給レールに結合されたソースと、前記第2のフィードバック回路の前記出力に結合されたゲートと、前記第1の増幅器に結合されたドレインとを有するp型電界効果トランジスタ(PFET)を備える、請求項1に記載の電圧レギュレータ。

【請求項6】

前記第1の増幅器は、

前記第1および第2のトランジスタを備える差動ドライバと、

前記第2のパス素子と前記差動ドライバの第1の出力との間に結合された第1の負荷と、

前記第2のパス素子と前記差動ドライバの第2の出力との間に結合された第2の負荷と、ここにおいて、前記差動ドライバは、前記基準電圧と前記フィードバック電圧とに基づいて、前記第1の負荷および前記第2の負荷を駆動するように構成される、

を備える、請求項1に記載の電圧レギュレータ。

【請求項7】

前記第2のフィードバック回路は、前記第1の負荷を通る電流と前記第2の負荷を通る電流との差分を低減する方向に前記第2のパス素子の前記抵抗を調整するように構成される、請求項6に記載の電圧レギュレータ。

【請求項8】

前記電流源は、前記第1の増幅器に前記バイアス電流を供給するように構成され、前記第2のパス素子を通る電流は、前記バイアス電流に略等しい、請求項6に記載の電圧レギュレータ。

【請求項9】

前記第2のフィードバック回路は、前記基準電圧に結合された第1の入力と、前記フィードバック電圧に結合された第2の入力と、前記第1のフィードバック回路に結合された出力とを有する第2の増幅器を備え、前記第1の増幅器は、低い利得で高い帯域幅の増幅器であり、前記第2の増幅器は、高い利得で低い帯域幅の増幅器であり、前記電圧レギュレータは、前記第2のパス素子と前記第1の増幅器との間に結合された第1の端と、前記第2の増幅器の前記出力に結合された第2の端を有するキャパシタをさらに備える、請求項4に記載の電圧レギュレータ。

【請求項10】

請求項1ないし9のいずれか一項に記載の前記電圧レギュレータを用いた電圧制御のための方法であって、

基準電圧とフィードバック電圧との差分を低減する方向に前記第1のパス素子の抵抗を調整することと、前記フィードバック電圧は、前記電圧レギュレータの前記出力における電圧に等しいかそれに比例する、

前記フィードバック回路中の第2のパス素子を使用して、前記第1のフィードバック回路のバイアス電圧を調整することと、ここで、前記バイアス電圧は、前記基準電圧と前記フィードバック電圧との前記差分を低減する方向に調整される、

を備える、方法。

【請求項 1 1】

前記第1のパス素子の前記抵抗を調整することは、前記電圧レギュレータの前記入力における高速過渡に起因する、前記フィードバック電圧と前記基準電圧との前記差分を低減する、請求項1 0に記載の方法。

【請求項 1 2】

前記第1のパス素子の前記抵抗を調整することは、前記電圧レギュレータの前記出力に結合された負荷の高速変化に起因する、前記フィードバック電圧と前記基準電圧との前記差分を低減する、請求項1 0に記載の方法。

【請求項 1 3】

前記第1のフィードバック回路の前記バイアス電圧を調整することは、前記増幅器の利得誤差に起因する、前記フィードバック電圧と前記基準電圧との前記差分を低減する、請求項1 0に記載の方法。

【請求項 1 4】

前記第1のフィードバック回路の前記バイアス電圧を調整することは、前記第2のパス素子の抵抗を調整することを備える、請求項1 3に記載の方法。