



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월21일
(11) 등록번호 10-1243522
(24) 등록일자 2013년03월07일

(51) 국제특허분류(Int. Cl.)

H01L 33/12 (2010.01)

(21) 출원번호 10-2009-7010704

(22) 출원일자(국제) 2007년10월25일

심사청구일자 2009년05월26일

(85) 번역문제출일자 2009년05월26일

(65) 공개번호 10-2009-0074091

(43) 공개일자 2009년07월03일

(86) 국제출원번호 PCT/JP2007/071267

(87) 국제공개번호 WO 2008/050901

국제공개일자 2008년05월02일

(30) 우선권주장

JP-P-2006-293306 2006년10월27일 일본(JP)

JP-P-2006-311625 2006년11월17일 일본(JP)

(56) 선행기술조사문헌

JP2005019590 A

JP2004172351 A

JP2005012034 A

JP2005051117 A

전체 청구항 수 : 총 22 항

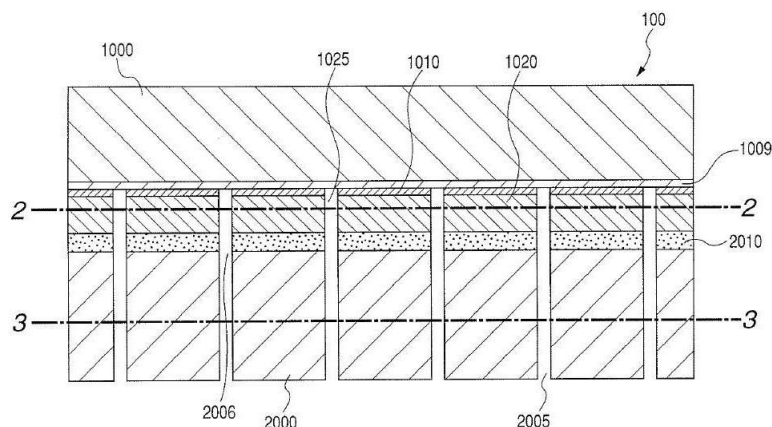
심사관 : 이용배

(54) 발명의 명칭 반도체 부재, 반도체 물품의 제조방법, 및 그 제조방법을 사용한 LED 어레이

(57) 요약

본 발명에 의하면, 신규한 반도체 물품의 제조방법 등을 제공한다. 반도체 기판 상에 화합물 반도체 다층막이 형성된 반도체 물품의 제조방법은, 화합물 반도체 기판(1000) 상에, 에칭 희생층(1010), 화합물 반도체 다층막(1020), 절연막(2010), 및 반도체 기판(2000)을 구비하고, 또한 반도체 기판과 절연막을 관통하는 제1홀(2005), 및 제1홀에 연결되도록 화합물 반도체 다층막에 형성되어 있는 제2홀이 되는 반도체 기판홀(1025)을 가지는 부재를 준비하는 공정, 및 제1홀과 제2홀을 통해서 에칭액과 에칭 희생층을 접촉시키고, 에칭 희생층을 에칭해서 상기 부재로부터 상기 화합물 반도체 기판을 분리하는 공정을 가진다.

대표도



(72) 발명자

세키구치 요시노부

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤나이

니시 교지로

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤나이

특허청구의 범위

청구항 1

반도체 기판 상에 화합물 반도체 다층막이 형성된 반도체 물품의 제조방법으로서,

화합물 반도체 기판 상에 에칭 희생층, 화합물 반도체 다층막, 절연막, 및

반도체 기판을, 상기 화합물 반도체 기판 측으로부터 순차적으로 구비하고, 또한 상기 화합물 반도체 다층막에 형성되어 있는 제1홈과, 상기 반도체 기판을 관통하고 상기 제1홈에 연결되어 있는 제2홈과, 상기 절연막을 관통하고 상기 제1홈 및 상기 제2홈에 연결되어 있는 제3홈을 가지는 부재를 준비하는 공정; 및

상기 제1홈, 상기 제2홈 및 상기 제3홈을 통해서 에칭액과 상기 에칭 희생층을 접촉시켜서, 상기 에칭 희생층을 에칭하고 상기 부재로부터 상기 화합물 반도체 기판을 분리하는 공정을 가지는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 2

제1항에 있어서,

상기 부재는,

상기 화합물 반도체 기판에 상기 에칭 희생층을 형성하는 공정;

상기 에칭 희생층 상에 상기 화합물 반도체 다층막을 형성하는 공정;

상기 화합물 반도체 다층막에 상기 제1홈을, 상기 에칭 희생층이 노출되도록 형성하는 공정;

상기 제3홈을 가지는 상기 절연막과 상기 제2홈을 가지는 상기 반도체 기판을 준비하는 공정; 및

상기 화합물 반도체 기판과 상기 반도체 기판을, 상기 제1홈과 상기 제2홈이 상기 제3홈을 통해서 서로 연결되도록 접합하는 공정;

에 의해 준비되는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 3

제1항에 있어서,

상기 화합물 반도체 기판과 상기 에칭 희생층 사이에, 상기 에칭액에 의한 상기 화합물 반도체 기판의 에칭을 스톱하기 위한 에칭 스톱층이 형성되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 반도체 기판의 상기 절연막 측의 표면에는 구동 회로, 스위칭 회로, 또는 배선 회로를 제공하기 위한 회로층이 형성되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 6

제1항에 있어서,

상기 부재는,

상기 화합물 반도체 기판에 상기 에칭 희생층을 형성하는 공정;

상기 에칭 희생층 상에 상기 화합물 반도체 다층막을 형성하는 공정;

상기 절연막을 가지는 상기 반도체 기판을 준비하는 공정;
 상기 화합물 반도체 기판을 상기 반도체 기판에 접합하는 공정;
 상기 반도체 기판에 상기 제2홀을 형성하는 공정;
 상기 절연막에 상기 제3홀을 형성하는 공정; 및
 상기 에칭 희생층이 노출되도록 상기 화합물 반도체 다층막에 상기 제1홀을 형성하는 공정;
 에 의해 준비되는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 7

제1항에 있어서,
 상기 화합물 반도체 기판 상에는 상기 에칭 스톱층, 상기 에칭 희생층, 및 상기 화합물 반도체 다층막이 교대로 반복해서 적층되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 8

제3항에 있어서,
 상기 화합물 반도체 기판 상에는 상기 에칭 스톱층, 상기 에칭 희생층, 및 상기 화합물 반도체 다층막이 교대로 반복해서 적층되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 9

제1항에 있어서,
 상기 화합물 반도체 다층막과 상기 절연막 사이에는 금속막 및 DBR 미러의 적어도 한 쪽이 형성되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 10

제1항에 있어서,
 상기 절연막은 폴리이미드계 절연 재료인 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 11

제1항에 있어서,
 상기 반도체 기판은 상기 화합물 반도체 다층막을 포함해서 형성되는 발광소자를 구동하기 위한 드라이버 회로를 구비하고 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 12

화합물 반도체 기판과 반도체 기판을 접합하는 공정에 의해 형성되는 반도체 물품의 제조방법으로서,
 상기 화합물 반도체 기판과 상기 반도체 기판을 준비하는 공정;
 상기 화합물 반도체 기판 상에 에칭 스톱층, 에칭 희생층, 활성층을 포함한 화합물 반도체 다층막, 및 미러층을, 상기 화합물 반도체 기판 측으로부터 순차적으로 형성하는 공정;
 상기 화합물 반도체 다층막에, 상기 에칭 희생층이 노출되도록 제1홀을 형성해서, 상기 화합물 반도체 다층막을 섬 형상으로 분할하는 공정;
 상기 반도체 기판을 관통하는 제2홀을 형성하는 공정;
 상기 반도체 기판에 형성되어 있는 상기 제2홀과 상기 제1홀이 제3홀을 통해서 서로 연결되도록, 상기 제1홀 및 상기 제2홀에 연결되고 유기 재료막을 관통하는 제3홀을 가지는 유기 재료막을 개재해서 상기 화합물 반도체 기판을 상기 반도체 기판에 접합해서 부재를 형성하는 공정;
 상기 에칭 희생층과 에칭액을 접촉시켜서 상기 부재로부터 상기 화합물 반도체 기판을 분리하는 공정; 및

상기 반도체 기판 상의 상기 화합물 반도체 다층막을 사용해서 발광소자를 형성하는 공정;
을 가지는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

반도체 기판 상에 화합물 반도체 다층막이 형성된 반도체 부재로서, 화합물 반도체 기판 상에 형성된 에칭 희생층, 상기 화합물 반도체 다층막, 절연막, 및 실리콘 기판을, 상기 화합물 반도체 기판 측으로부터 순차적으로 구비하고, 상기 화합물 반도체 다층막에는 상기 에칭 희생층을 노출시키기 위한 홈이 형성되어 있고, 상기 반도체 기판과 상기 절연막에는 상기 홈에 연결되는 관통홈이 형성되어 있는 것을 특징으로 하는 반도체 부재.

청구항 18

기판 상에 화합물 반도체 다층막을 가지는 반도체 물품의 제조방법으로서,

제1기판 상에 형성된 에칭 희생층, 화합물 반도체 다층막, 및 제2기판을, 상기 제1기판 측으로부터 순차적으로 구비하고, 또한 상기 화합물 반도체 다층막에 형성되어 있는 제1홈과 상기 제2기판을 관통하고 상기 제1홈에 연결되어 있는 제2홈을 가지는 부재를 준비하는 공정; 및

상기 제1홈과 상기 제2홈을 통해서 에칭액과 상기 에칭 희생층을 접촉시켜서, 상기 에칭 희생층을 에칭하고 상기 부재로부터 상기 제1기판을 분리하는 공정을 가지는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 19

제1기판 상에 이 제1기판측으로부터 분리층과 발광층을 순차적으로 형성 하는 공정;

상기 발광층이 상기 제1기판과 제2기판 사이에 위치하도록 상기 제1기판을 상기 제2기판에 접합해서 부재를 형성하는 공정; 및

상기 분리층을 에칭 제거함으로써 상기 발광층을 상기 제2기판에 전사하는 공정을 가지는 발광소자의 제조방법으로서,

상기 제1기판 상의 상기 분리층과 상기 발광층의 한 쌍을 n 회(n 는 2 이상의 자연수) 반복해서 형성하고, 최표면의 발광층만을 복수의 섬 형상으로 패터닝한 다음에, 상기 제1기판을 상기 제2기판에 접합해서 접합 구조체를 형성하고,

상기 섬 형상의 패터닝에 의해서 상기 접합 구조체에 형성되어 있는 공간에 에칭액을 침투시키고, 그에 의해 상기 분리층과 상기 에칭액을 접촉시켜서 상기 섬 형상의 발광층을 상기 제2기판에 전사하는 것을 특징으로 하는 발광소자의 제조방법.

청구항 20

삭제

청구항 21

제1반도체 기판의 표면에 분리층, 발광층, DBR층을 순차적으로 형성하고, 상기 기판을 반도체 회로가 형성된 제

2기판에 절연막을 개재해서 접합하는 공정;

상기 분리층을 에칭 제거함으로써 상기 제1기판의 발광층 및 DBR층을 상기 제2기판에 전사하는 공정;

전사된 상기 발광층을 복수의 발광부로 분할하여 어레이화하는 공정; 및

복수의 상기 발광부와 이 발광부의 발광을 제어하기 위한 상기 반도체 회로의 전극 부분을 전기적으로 접속하는 공정;

을 포함하고,

상기 분리층, 상기 발광층 및 상기 DBR층을 포함하는 적층 구조는 제1홀을 가지고,

상기 제2기판은 상기 제2기판을 관통하고 상기 제1홀에 연결되는 제2홀을 가지며,

상기 절연막은 상기 절연막을 관통하고 상기 제1홀 및 상기 제2홀에 연결되는 제3홀을 가지고,

상기 분리층의 에칭 제거는 상기 제1홀, 상기 제2홀 및 상기 제3홀을 통해서 에칭액과 상기 분리층을 접촉시켜서 상기 분리층을 제거하여 수행되는 것을 특징으로 하는 LED 어레이의 제조방법.

청구항 22

제12항에 있어서, 상기 화합물 반도체 기판 상의 상기 제1홀에 의해 둘러싸인 섬 형상의 상기 화합물 반도체 다층막은 장변과 단변을 가진 직사각형 형상을 가지며, 상기 반도체 기판을 관통하는 복수의 상기 제2홀이 그 장변 방향(종방향)과 평행하게 단속적으로 어레이 형상으로 배치되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 23

제12항에 있어서,

상기 부재로부터 상기 화합물 반도체 기판을 분리한 후, 섬 형상의 상기 화합물 반도체 다층막 상에 절연부재를 개재해서 전극을 형성해서 장변 방향과 단변 방향을 가지는 발광소자 어레이 칩을 형성하는 공정; 및

상기 반도체 기판에 형성되고 상기 단변 방향으로 배열되어 있는 서로 평행한 제2관통홀이 서로 연결되도록 상기 반도체 기판을 상기 장변 방향으로 절단하는 공정;

을 포함하는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 24

제18항에 있어서,

상기 제1홀에 의해 섬 형상으로 패터닝되어 있는 상기 화합물 반도체 다층막은 그 상면으로부터 본 형상이 장변 방향과 단변 방향을 가지는 직사각형이며, 상기 제2기판을 관통하고 있는 복수의 상기 제2홀은 상기 장변 방향으로 평행하게 형성됨으로써 장변 방향의 관통홀군을 형성하고 있고, 복수의 상기 장변 방향의 관통홀군이 섬 형상의 상기 화합물 반도체 다층막의 단변 방향의 길이와 동일하거나, 그보다 긴 간격을 두고 서로 평행하게 배열되어 있는 것을 특징으로 하는 반도체 물품의 제조방법.

청구항 25

제18항에 있어서,

상기 화합물 반도체 다층막과 상기 제2기판 사이에는 리플렉터가 배치되어 있는 반도체 물품의 제조방법.

청구항 26

제1기판과 제2기판을 접합해서 형성되는 접합 구조체로서, 상기 제1기판은 이 제1기판 상에 분리층을 개재해서 섬 형상으로 패터닝되어 있는 화합물 반도체 다층막 영역을 포함하고, 상기 화합물 반도체 다층막 영역들 사이에는 제1홀이 형성되어 있고, 상기 화합물 반도체 다층막 영역은 그 상면으로부터 본 형상이 장변 방향과 단변 방향을 가지는 직사각형이며; 상기 제2기판은 이 제2기판을 관통하고 있는 제2홀을 포함하고, 이 제2홀은 상기 장변 방향으로 평행하게 단속적으로 복수 개 형성됨으로써 장변 방향의 관통홀군을 형성하고 있고, 복수의 상기 장변 방향의 관통홀군이 섬 형상의 상기 화합물 반도체 다층막 영역의 단변 방향의 길이와 동일하거나, 그보다

긴 간격을 두고 서로 평행하게 배열되어 있는 것을 특징으로 하는 집합 구조체.

청구항 27

삭제

청구항 28

반도체 부재로서, 제1기판 상에 분리층, 화합물 반도체 다층막, 절연막, 및 제2기판을, 상기 제1기판측으로부터 순차적으로 구비하고, 상기 화합물 반도체 다층막에는, 이 화합물 반도체 다층막을 복수의 영역으로 분할하고 또한 상기 분리층을 노출시키기 위한 홈이 형성되어 있고, 또한 상기 제2기판과 상기 절연막에는, 상기 홈에 연결되는 관통홈이 형성되어 있는 것을 특징으로 하는 반도체 부재.

청구항 29

기판 상에 화합물 반도체 다층막이 형성된 반도체 물품의 제조방법으로서,

제1기판 상에, 분리층, 화합물 반도체 다층막, 및 제2기판을, 상기 제1기판 측으로부터 순차적으로 구비하고, 또한 상기 화합물 반도체 다층막에 형성되어 있는 제1홈과 상기 제2기판을 관통하고 상기 제1홈에 연결되도록 형성되어 있는 제2홈을 가지는 부재를 준비하는 공정; 및

상기 부재로부터 상기 제1기판을 분리하는 공정;

을 가지는 것을 특징으로 하는 반도체 물품의 제조방법.

명세서

기술분야

[0001] 본 발명은 반도체 부재 및 반도체 물품의 제조방법에 관한 것이다. 또, 본 발명은 이러한 방법을 사용해서 제작되는 발광소자 등의 광소자, LED 어레이 칩, LED 프린터 헤드, 및 LED 프린터에 관한 것이다.

배경기술

[0002] GaAs 기판 상에 에칭 희생층을 개재해서 형성된 발광 다이오드 형성층을 실리콘 기판 상에 이설하는 기술이 알려져 있다.

[0003] 일본국 특개2005-012034호 공보에는, 실리콘 기판 상에 발광 다이오드 형성층을 이설하는 기술이 기재되어 있다.

[0004] 구체적으로는, 우선, GaAs 기판 상에 희생층을 개재해서 형성된 발광 다이오드 형성층을 그 발광영역으로 분할하기 위한 홈을 형성한다. 해당 홈의 직하에는

[0005] 상기 희생층이 노출되어 있다.

[0006] 다음에, 드라이 필름 레지스트를 상기 발광 다이오드 형성층에 접착한다. 또한, 이 드라이 필름 레지스트에 메탈 와이어로 이루어진 메시 형상의 지지 부재를 접착한다.

[0007] 그 후, 상기 레지스트 중, 상기 메탈 와이어의 직하에 위치하는 부분 이외를 제거한다. 그리고, 메시 형상의 지지 부재를 개재해서 에칭액과 희생층을 접촉시켜서 해당 희생층의 에칭을 행함으로써, GaAs 기판을 상기 집합 구조체로부터 분리한다.

[0008] 또한, GaAs 기판을 분리한 후에, 실리콘 기판에 상기 발광 다이오드 형성층을 접합한다.

[0009] 이렇게 해서, 실리콘 기판 상에 발광 다이오드 형성층이 전사된다.

[0010] 그러나, 본 발명자 등은 일본국 특개2005-012034호 공보에 기재된 기술에서는, 많은 집합 공정이 필요하고, 양산하는 것을 의식했을 경우, 한층 더 연구가 필요하다고 하는 인식에 이르렀다.

[0011] 그리고, 본 발명자 등은, 집합 공정의 수를 줄이고, 상기 희생층을 에칭할 때에는, 상기 발광 다이오드 형성층을 실리콘 기판 상에 전사하는 것이 바람직하다고 하는 생각에 이르러서, 후술하는 획기적인 본 발명을 이룰 수 있었다.

- [0012] 본 발명의 목적은 이하와 같다.
- [0013] 즉, 가능한 한 적은 회수의 접합 공정에 의해 실현되는 신규한 제조방법이나 신규한 부재를 제공하는 데에 있다.
- 발명의 상세한 설명**
- [0014] 본 발명에 의하면, 반도체 기판 상에 화합물 반도체 다층막이 형성된 반도체 물품의 제조방법으로서,
- [0015] 화합물 반도체 기판 상에, 에칭 희생층, 화합물 반도체 다층막, 절연막, 및
- [0016] 반도체 기판을, 상기 화합물 반도체 기판 측으로부터 순차적으로 구비하고, 또한 상기 화합물 반도체 다층막에 형성되어 있는 제1홈, 및 상기 반도체 기판을 관통하고 상기 제1홈에 연결되어 있는 제2홈을 가지는 부재를 준비하는 공정; 및
- [0017] 상기 제1홈과 상기 제2홈을 통해서 에칭액과 상기 에칭 희생층을 접촉시켜서, 상기 에칭 희생층을 에칭하고 상기 부재로부터 상기 화합물 반도체 기판을 분리하는 공정을 가지는 것을 특징으로 하는 반도체 물품의 제조방법이 제공된다.
- [0018] 이 경우에, 상기 부재는,
- [0019] 상기 화합물 반도체 기판에 상기 에칭 희생층을 형성하는 공정;
- [0020] 상기 에칭 희생층 상에 상기 화합물 반도체 다층막을 형성하는 공정;
- [0021] 상기 화합물 반도체 다층막에 상기 제1홈을, 상기 에칭 희생층이 노출되도록 형성하는 공정;
- [0022] 상기 제2홈과 상기 절연막을 가지는 상기 반도체 기판을 준비하는 공정; 및
- [0023] 상기 화합물 반도체 기판과 상기 반도체 기판을, 상기 제1홈과 상기 제2홈이 서로 연결되도록 접합하는 공정에 의해 준비될 수 있다.
- [0024] 또는, 상기 부재는,
- [0025] 상기 화합물 반도체 기판에 상기 에칭 희생층을 형성하는 공정;
- [0026] 상기 에칭 희생층 상에 상기 화합물 반도체 다층막을 형성하는 공정;
- [0027] 상기 절연막을 가지는 상기 반도체 기판을 준비하는 공정;
- [0028] 상기 화합물 반도체 기판을 상기 반도체 기판에 접합하는 공정;
- [0029] 상기 반도체 기판에 상기 제2홈을 형성하는 공정;
- [0030] 상기 절연막에 상기 제3홈을 형성하는 공정; 및
- [0031] 상기 에칭 희생층이 노출되도록 상기 화합물 반도체 다층막에 상기 제1홈을 형성하는 공정에 의해 준비될 수 있다.
- [0032] 상기 반도체 기판은 상기 화합물 반도체 다층막을 포함해서 형성되는 발광 다이오드를 구동하기 위한 드라이버 회로를 구비하고 있을 수도 있다.
- [0033] 본 발명의 제2측면에 의하면, 화합물 반도체 기판과 반도체 기판을 접합하는 공정에 의해 형성되는 반도체 물품의 제조방법으로서,
- [0034] 상기 화합물 반도체 기판과 상기 반도체 기판을 준비하는 공정;
- [0035] 상기 화합물 반도체 기판 상에 에칭 스톱층, 에칭 희생층, 활성층을 포함한 화합물 반도체 다층막, 및 미러층을, 상기 화합물 반도체 기판 측으로부터 순차적으로 형성하는 공정;
- [0036] 상기 화합물 반도체 다층막에, 상기 에칭 희생층이 노출되도록 제1홈을 형성해서, 상기 화합물 반도체 다층막을 섬 형상으로 분할하는 공정;
- [0037] 상기 반도체 기판을 관통하는 제2홈을 형성하는 공정;
- [0038] 상기 반도체 기판에 형성되어 있는 상기 제2홈과 상기 제1홈이 서로 연결되도록 유기 재료막을 개재해서 상기

화합물 반도체 기판을 상기 반도체 기판에 접합해서 부재를 형성하는 공정;

- [0039] 상기 에칭 희생층과 에칭액을 접촉시켜서 상기 부재로부터 상기 화합물 반도체 기판을 분리하는 공정; 및
- [0040] 상기 반도체 기판 상의 상기 화합물 반도체 다층막을 사용해서 발광소자를 형성하는 공정을 가지는 것을 특징으로 하는 반도체 물품의 제조방법이 제공된다.
- [0041] 본 발명의 제3측면에 의하면, 진술한 반도체 물품의 제조방법을 사용해서 제조된 LED 어레이가 제공된다.
- [0042] 이 LED 어레이에 로드렌즈 어레이를 장착해서 LED 프린터 헤드를 구성할 수도 있다.
- [0043] 또한, 본 발명의 다른 측면에 의하면, 상기 LED 프린터 헤드, 감광드럼, 대전기, 및 상기 LED 프린터 헤드를 광원으로 해서 상기 감광드럼에 정전 잠상을 쓰는 결상유닛을 포함하는 것을 특징으로 하는 LED 프린터가 제공된다.
- [0044] 특히, 상기 결상유닛을 복수 포함함으로써 컬러 LED 프린터를 구성할 수도 있다.
- [0045] 또, 본 발명의 제4측면에 의하면, 반도체 기판 상에 화합물 반도체 다층막을 가지는 반도체 부재로서, 화합물 반도체 기판 상에 형성된 에칭 희생층, 화합물 반도체 다층막, 절연막, 및 실리콘 기판을, 상기 화합물 반도체 기판측으로부터 순차적으로 구비하고, 상기 화합물 반도체 다층막에는 상기 에칭 희생층을 노출시키기 위한 홈이 형성되어 있고, 상기 반도체 기판과 상기 절연막에는 상기 홈에 연결되는 관통홈이 형성되어 있는 것을 특징으로 하는 반도체 부재가 제공된다.
- [0046] 또, 본 발명의 제5측면에 의하면, 기판 상에 화합물 반도체 다층막을 가지는 반도체 물품의 제조방법으로서,
- [0047] 제1기판 상에 형성된 에칭 희생층, 화합물 반도체 다층막, 및 제2기판을, 상기 제1기판 측으로부터 순차적으로 구비하고, 또한 상기 화합물 반도체 다층막에 형성되어 있는 제1홈, 및 상기 제2기판을 관통하고 상기 제1홈에 연결되어 있는 제2홈을 가지는 부재를 준비하는 공정; 및
- [0048] 상기 제1홈과 상기 제2홈을 통해서 에칭액과 상기 에칭 희생층을 접촉시켜서, 상기 에칭 희생층을 에칭하고 상기 부재로부터 상기 제1기판을 분리하는 공정을 가지는 것을 특징으로 하는 반도체 물품의 제조방법이 제공된다.
- [0049] 또, 본 발명의 제6측면에 의하면, 제1기판 상에 이 제1기판측으로부터 분리층과 발광층을 순차적으로 형성 하는 공정;
- [0050] 상기 발광층이 안쪽에 위치하도록 상기 제1기판을 제2기판에 접합해서 접합 부재를 형성하는 공정; 및
- [0051] 상기 분리층을 에칭 제거함으로써 상기 발광층을 상기 제2기판에 전사하는 공정을 가지는 발광소자의 제조방법으로서,
- [0052] 상기 제1기판 상의 상기 분리층과 상기 발광층의 한 쌍을 n 회(n 는 2 이상의 자연수) 반복해서 형성하고, 최표면의 발광층만을 복수의 섬 형상으로 패터닝한 다음에, 상기 제1기판을 상기 제2기판에 접합해서 접합 구조체를 형성하고,
- [0053] 상기 섬 형상의 패터닝에 의해서 상기 접합 구조체에 형성되어 있는 공간에 에칭액을 침투시키고, 그에 의해 상기 분리층과 상기 에칭액을 접촉시켜서 상기 섬 형상의 발광층을 선택적으로 상기 제2기판에 전사하는 것을 특징으로 하는 발광소자의 제조방법이 제공된다.
- [0054] 또, 본 발명의 제7측면에 의하면, 실리콘 기판 상에 DBR 미러를 개재해서 형성된 발광소자로 이루어진 것을 특징으로 하는 발광 디바이스가 제공된다.
- [0055] 또, 본 발명의 제8측면에 의하면, 반도체 부재로서, 제1기판 상에 분리층, 화합물 반도체 다층막, 절연막, 및 제2기판을, 상기 제1기판측으로부터 순차적으로 구비하고, 상기 화합물 반도체 다층막에는, 이 화합물 반도체 다층막을 복수의 영역으로 분할하고 또한 상기 분리층을 노출시키기 위한 홈이 형성되어 있고, 또한 상기 제2기판과 상기 절연막에는, 상기 홈에 연결되는 관통홈이 형성되어 있는 것을 특징으로 하는 반도체 부재가 제공된다.
- [0056] 또, 본 발명의 제9측면에 의하면, 기판 상에 화합물 반도체 다층막이 형성된 반도체 물품의 제조방법으로서,
- [0057] 제1기판 상에, 분리층, 화합물 반도체 다층막, 및 제2기판을, 상기 제1기판 측으로부터 순차적으로 구비하고, 또한 상기 화합물 반도체 다층막에 형성되어 있는 제1홈, 및 상기 제2기판을 관통하고 상기 제1홈에 연결되도

록 형성되어 있는 제2홈을 가지는 부재를 준비하는 공정; 및

- [0058] 상기 부재로부터 상기 제1기판을 분리하는 공정을 가지는 것을 특징으로 하는 반도체 물품의 제조방법이 제공된다.
- [0059] 또, 본 발명의 다른 측면에 의하면, 제1반도체 기판의 표면에 분리층, 발광층, DBR층의 순서로 형성하고, 상기 기판을 반도체 회로가 형성된 제2기판에 절연막을 개재해서 접합하는 공정;
- [0060] 상기 분리층을 에칭 제거함으로써 상기 제1기판의 발광층 및 DBR층을 상기 제2기판에 전사하는 공정;
- [0061] 전사된 상기 발광층을 복수의 발광부로 어레이화하는 공정; 및
- [0062] 복수의 상기 발광부와 이 발광부의 발광을 제어하기 위한 상기 반도체 회로의 전극 부분을 전기적으로 접속하는 공정을 가지는 것을 특징으로 하는 LED 어레이의 제조방법이 제공된다.
- [0063] 또, 본 발명의 다른 측면에 의하면, 본 발명의 상기 제1측면에 있어서, 상기 화합물 반도체 기판 상의 상기 제1홈에 의해 둘러싸인 섬 형상의 상기 화합물 반도체 다층막은 장변과 단변을 가진 직사각형 형상을 가지며, 상기 반도체 기판을 관통하는 복수의 상기 제2홈이 그 장변(중) 방향과 평행하게 단속적으로 어레이 형상으로 배치되어 있는 것을 특징으로 한다.
- [0064] 또, 본 발명의 다른 측면에 의하면, 본 발명의 상기 제1측면에 있어서, 상기 부재로부터 상기 화합물 반도체 기판을 분리한 후, 섬 형상의 상기 화합물 반도체 다층막 상에 절연부재를 개재해서 전극을 형성해서 장변 방향과 단변 방향을 가지는 발광소자 어레이 칩을 형성하는 공정; 및 상기 제2기판에 형성되고 상기 단변 방향으로 배열되어 있는 서로 평행한 제2관통홈이 서로 연결되도록 상기 제2기판을 상기 장변 방향으로 절단하는 공정을 포함하는 것을 특징으로 하는 반도체 물품의 제조방법이 제공된다.
- [0065] 또, 본 발명의 다른 측면에 의하면, 본 발명의 상기 제5측면에 있어서, 상기 제1홈에 의해 섬 형상으로 패터닝되어 있는 상기 화합물 반도체 다층막은 그 상면으로부터 본 형상이 장변 방향과 단변 방향을 가지는 직사각형이며, 상기 제2기판을 관통하고 있는 복수의 상기 제2홈은 상기 장변 방향으로 평행하게 형성됨으로써 장변 방향의 관통홈군을 형성하고 있고, 복수의 상기 장변 방향의 관통홈군이 섬 형상의 상기 화합물 반도체 다층막의 단변 방향의 길이와 동일하거나, 그보다 긴 간격을 두고 서로 평행하게 배열되어 있는 것을 특징으로 한다.
- [0066] 또, 본 발명의 다른 측면에 의하면, 제1기판과 제2기판을 접합해서 형성되는 접합 구조체로서, 상기 제1기판은 이 제2기판 상에 분리층을 개재해서 섬 형상으로 패터닝되어 있는 화합물 반도체 다층막 영역을 포함하고, 상기 화합물 반도체 다층막 영역들 사이에는 제1홈이 형성되어 있고, 상기 화합물 반도체 다층막영역은 그 상면으로부터 본 형상이 장변 방향과 단변 방향을 가지는 직사각형이며, 상기 제2기판은 이 제2기판을 관통하고 있는 제2홈을 포함하고, 이 제2홈은 상기 장변 방향으로 평행하게 단속적으로 복수 개 형성됨으로써 장변 방향의 관통홈군을 형성하고 있고, 복수의 상기 장변 방향의 관통홈군이 섬 형상의 상기 화합물 반도체 다층막영역의 단변 방향의 길이와 동일하거나, 그보다 긴 간격을 두고 서로 평행하게 배열되어 있는 것을 특징으로 하는 접합 구조체가 제공된다.
- [0067] 또, 본 발명의 다른 측면에 의하면, 전술한 반도체 물품의 제조방법을 사용해서 제조된 LED 어레이 칩이 복수 연결되어 있고, 또한 로드 어레이 렌즈가 장착되어 있지 않은 것을 특징으로 한다.
- [0068] 또한, 상술의 기재에 있어서, 「순차적으로」라고 하는 의미는 등장하고 있는 구성 요건에 관해서 순차적으로라고 하는 의미이며, 등장하고 있는 층과 층 사이에 다른 층이 개재하는 것을 배제하는 것은 아니다.
- [0069] (발명의 효과)
- [0070] 본 발명에 의하면, 일본 특개2005-012034호 공보에 기재된 기술과 비교해서 접합 공정을 줄일 수 있다.
- [0071] 또, 제1기판(예를 들면, 화합물 반도체 기판)을 제2기판(예를 들면, 실리콘 기판)에 접합해서 형성되는 부재에 대해서, 에칭액은 제2기판에 형성되어 있는 관통홈을 통해서 상기 희생층과 접촉한다.
- [0072] 그 때문에, 부재의 최외주 측면으로부터의 에칭액을 기판의 면 방향으로 침투시키는 경우와 비교해서 희생층의 에칭 시간의 단축화가 가능해진다.
- [0073] 본 발명의 다른 특징은 첨부 도면을 참조한 예시적인 실시형태의 다음 설명으로부터 명백해질 것이다.

실시예

- [0103] (제1실시형태)
- [0104] 본 실시형태에 관한 발명에 대해 도 1 내지 도 3을 참조해서 설명한다.
- [0105] 도 1에 있어서, (1000)은 제1기판(화합물 반도체 기판 또는 Ge 등으로 형성된 기판)이다. (1009)는 에칭 스톱층, (1010)은 에칭 희생층, (1020)은 화합물 반도체 다층막(여기에서는, 다층막의 층 구성의 자세한 것은 생략하고 있다)이다. 또, (1025)는 화합물 반도체 다층막(1020)을 화합물 반도체 기판 상에 섬 형상으로 분할하기 위한 제1홈이다. (1009)는 필요에 따라서 형성되는 에칭 스톱층이다. (100)은 본 발명에 관한 부재를 나타내고 있다.
- [0106] (2000)은 제2기판(예를 들면, 실리콘 기판이다), (2005)는 제2기판에 형성되어 있는 제2홈, (2010)은 절연막(예를 들면, 유기 재료막)이다. 절연막(2010)에도 상기 제2홈에 연결되는 제3홈(2006)이 형성되어 있다. 본 도면에 있어서는, 제1홈과 제2홈의 폭과 간격은 동일하게 기재되어 있지만, 제1홈의 폭은 제2홈의 폭보다 크게 할 수도 있다. 단, 제1홈(1025)과 제2홈인 반도체 기판 홈(2005)이 서로 연결되어 있는 것이 필요하기 때문에, 화합물 반도체층의 섬의 폭(후술하는 단변 방향의 길이)은 제2기판을 관통하는 홈 간의 간격보다 작은 것이 바람직하다. 여기에서는 제2기판으로서 실리콘 기판을 사용했지만, 특히 실리콘 기판으로 한정되는 것은 아니다.
- [0107] 또한, 도 1에 있어서, 제1홈(1025)의 폭은, 예를 들면, 수 μm 로부터 수 $100\mu\text{m}$ 이다. 제2홈(2005)의 폭은, 예를 들면, 수 μm 로부터 수 $100\mu\text{m}$ 이다. 또한, 제2홈(관통홈)으로부터 에칭액이 침투하기 쉽게, 그 폭은 바람직하게는 $50\mu\text{m}$ 이상, 보다 바람직하게는 $100\mu\text{m}$ 이상, 한층 더 바람직하게는 $200\mu\text{m}$ 이상인 것이 바람직하다. 단, 상기 폭은 제2기판의 두께에도 의존하는 경우가 있다. 또한, 화합물 반도체층의 섬의 폭은 실리콘 기판에 관통하는 홈 간의 간격보다 작은 것이 바람직하다. 또, 절연막(2010)은 필요에 따라서 생략할 수도 있다.
- [0108] 도 2는 도 1에 있어서의 2-2 단면의 일부를 나타내고 있다. 도 2로부터 명백한 바와 같이, 제1기판(1000) 상에 섬 형상으로 화합물 반도체 다층막(1020)이 분할(패터닝)되어 있다.
- [0109] 섬의 부분(1020)은 그 주위에 비해서 볼록 형상으로 되어 있다. 물론, 화합물 반도체 다층막(1020)은 소망한 형상으로 패터닝되어 있으면 되고, 반드시 도면과 같은 직사각형 형상의 섬이 되지 않아도 된다. 또, 이하에서는, 직사각형의 섬의 장변의 방향을 종방향이라고 하고, 단변의 방향을 횡단방향이라고 하는 경우가 있다. 또한, 도 2에 있어서, 도 1과 같은 것을 나타내는 경우에는 같은 부호를 부여하고 있으며, 이하의 도면에서도 마찬가지이다.
- [0110] 제1홈(1025)은 섬 형상의 화합물 반도체 다층막(1020) 사이의 공간(간격)이다. 또한, 도 1과 동일한 구성 부재를 나타내는 경우에는 같은 부호를 부여하고 있다.
- [0111] 도 3은 도 1에 있어서의 3-3 단면을 나타내고 있다. 도 3으로부터 명백한 바와 같이, 제2기판(2000)에는 제2홈(2005)이 형성되어 있다. 또한, 제2홈(2005)은 단속적으로 홈이 형성되어 있다. 이와 같이, 관통홈을 단속적으로 형성함으로써, 예를 들면, 실리콘 웨이퍼의 경우에는, 그 강성을 현저하게 해치는 일이 없기 때문에, 그 후의 프로세스에 있어서의 핸들링이 곤란하게 되는 사태를 피할 수 있다.
- [0112] 또한, 도 12B에 도시된 바와 같이, 제2홈(관통홈)의 종방향은, 후속 공정에 있어서 웨이퍼를 칩으로 분리할 때에 사용하는 칩 스kla이브 라인을 따라서, 그 기계적 강도도 고려해서, 분리해서(단속적으로) 관통홈을 형성하는 것이 바람직하다.
- [0113] 도 4는 제1홈(1025)과 반도체 기판홈(2005) 사이의 위치 관계를 나타내는 동시에, 섬 형상의 화합물 반도체 다층막(1020)이 반도체 기판홈(2005) 사이에 배치되는 상태를 나타내는 일부 분해 사시도이다. 또한, 도 4는 절연막(2010), 에칭 스톱층(1009), 에칭 희생층(1010)은 단순화를 위해 생략되어 있다.
- [0114] 또, 도 2와 도 3을 중첩했을 경우에, 관통홈(2005a) 및 (2005b) 사이에 볼록 형상의 섬(1020a)이 정확하게 위치하는 것이 바람직하다.
- [0115] 물론, 볼록 형상의 섬(1020a)을 지지할 수 있다면, 반드시, 도 2 및 도 3과 같이, 패터닝되어 있는 화합물 반도체 다층막(1020)의 종방향과 평행하게 위치하도록 상기 관통홈(2005)을 형성할 필요는 없다. 예를 들면, (표면으로부터 보았을 경우에) 상기 종방향과 직교하도록 또는 교차하도록 상기 관통홈(2005)을 형성할 수도 있다. 또한, 관통홈은, 기판을 관통하고 있기 때문에, 관통공이라고 할 수도 있다.
- [0116] 제1기판(예를 들면, 화합물 반도체 기판)(1000), 에칭 희생층(1010)과 화합물 반도체 다층막(1020), 절연막(예를 들면, 유기 절연 재료막)(2010), 및 제2기판 (2000)(예를 들면, 실리콘 기판)(2000)을 포함해서 형성되는

부재(100)를 준비한다 .

- [0117] 에칭 스톱층(1009)은 필요에 따라서 형성하면 되고 필수는 아니다.
- [0118] 그리고, 도 1에 나타내는 바와 같이, 상기 제2기관(2000)(예를 들면, 실리콘 기관)과 절연막(2010)을 각각 관통하고 있는 제2홈(2005)과 제3홈(2006)을 통해서
- [0119] 에칭액을 상기 부재 내부에 침투시킨다.
- [0120] 에칭액과 에칭 희생층(1010)을 접촉시킴으로써 에칭 처리를 행해서 상기 부재로부터 제1기관(1000)을 분리한다.
- [0121] 또한, 도 1에 있어서, 제1홈(1025)은 에칭 희생층(1010)을 관통하고 있지만, 에칭 희생층(1010)을 관통시키지 않아도 된다. 상기 부재(100)로부터 제1기관(1000)을 제거할 때, 또는 그 전에, 에칭 희생층을 노출할 수 있는 것이 필요하다.
- [0122] 또, 도 1에 나타내고 있는 에칭 스톱층(1009)은 필요에 따라서 형성해 두면 된다. 시간적으로 에칭의 진행의 정도를 엄밀하게 관리하는 경우에는, 반드시 이 에칭 스톱층을 형성할 필요는 없다. 단, 이 층은 웨이퍼 전체에 걸쳐 균일하게 상기 에칭 희생층을 노출시키는 효과가 있다.
- [0123] (부재)
- [0124] 상기 부재는, 예를 들면, 이하의 2개의 방법에 의해 준비할 수 있다. 물론, 도 1의 부재를 실현할 수 있다면, 본 발명은, 이하의 2개의 방법으로 한정되는 것은 아니다.
- [0125] 제 1 방법은 다음의 A1) 내지 E1)의 공정을 포함해서 실현된다.
- [0126] A1) 화합물 반도체 기관 등의 제1기관(1000)에 상기 에칭 희생층(1010)을 에피택셜 성장에 의해 형성하는 공정;
- [0127] B1) 상기 에칭 희생층(1010) 상에 상기 화합물 반도체 다층막(1020)을 형성하는 공정;
- [0128] C1) 상기 에칭 희생층(1010)이 노출되도록 상기 화합물 반도체 다층막 (1020)에 상기 제1홈(1025)을 형성하는 공정;
- [0129] D1) 상기 제2홈(2000)을 구비하고, 또한 상기 절연막(2010)을 가지는 상기 제2기관(2000)을 준비하는 공정;
- [0130] E1) 상기 제1기관(1000)과 상기 제2기관(2000)을, 상기 제1홈(1025)과 상기 제2홈(2005)이 서로 연결되도록 접합하는 공정.
- [0131] 또한, 상기 화합물 반도체 다층막을 소망한 패턴 형상으로 분할하는 공정 C1에 있어서는, 예를 들면, 도 2와 같이, 블록 형상의 섬이 남도록 패터닝하게 된다. 또한, C1에 있어서는, 상기 에칭 희생층의 표면의 적어도 일부가 노출되어 있어도 되고, 상기 제1홈이 에칭 희생층의 방향으로 뻗어 있어도 되고, 그리고 해당 제1홈 직하부에 있어서의 에칭 희생층은 완전하게 제거되어 있어도 된다. 또, 에칭 희생층 아래의 영역(예를 들면, 제1기관, 에칭 스톱층, 및/또는 버퍼층)이 노출되어
- [0132] 있어도 된다. 또한, 집합 공정인 E1공정 후에, 상기 제3홈을 형성할 수도 있다.
- [0133] 또, 상기 부재를 제작할 수 있다면, 상기 공정의 순서는 특히 제한되는 것이 아니고, 예를 들면, 공정 A1) 내지 공정 C1)을 행하기 전에 공정 D1)을 먼저 행해도 된다.
- [0134] 또한, 상기 에칭 희생층을 에피택셜 성장시키기 전에, 상기 화합물 반도체 기관 상에 에칭 스톱층을 에피택셜 성장시키면 한층 더 제어성이 높아진다. 구체적으로는, 기관 전역에 있어서의 에칭 균일성이 향상된다. 도 1에는 에칭 스톱층을 형성한 예를 나타내고 있지만, 본 발명에 있어서 반드시 필요한 층은 아니다.
- [0135] 또, 실리콘 기관 등의 제2기관(2000)에 형성되어 있는 제2관통홈(2005)의 간격과 섬 형상으로 분리되어 있는 화합물 반도체 다층막의 폭은 실질적으로 같거나, 또는 화합물 반도체 다층막의 폭의 폭이 작은 것이 바람직하다.
- [0136] 또한, 상기 제2홈(2005)은, 예를 들면, 도 1에 나타내는 제2홈의 깊이 방향 (도면 상에서는, 깊이 방향은 상향이다)의 도중까지, 즉, 절연막(2010) 층의 제2기관의 구성 재료를 부분적으로 남기도록 드라이 에칭(RIE) 등에 의해 형성된다. RIE에 사용되는 마스크는 특히 한정되는 것은 아니지만, 예를 들면, SiN 등이다. 그 후, 제1기

관(1000)을 제2기판에 접합한다. 그 후, 상기 제2기판에 형성되어 있는 홈을 습식 에칭 등에 의해 깊이 방향으로 연장해서 해당 홈이 제2기판(2000)을 관통하도록 해도 된다.

[0137] 물론, 상기 제2홈(2005)은, 예를 들면, 도 1에 나타내는 제2홈의 깊이 방향 (도면 상에서는, 깊이 방향은 좌향이 된다) 도중까지, 즉, 절연막(2010) 측의 제2기판의 구성 재료를 부분적으로 남기도록 드라이 에칭(RIE) 등에 의해 형성된다. 그리고, 상기 제2기판에 형성되어 있는 홈을 습식 에칭 등에 의해 연장해서, 해당 홈이 제2기판(2000)을 관통한 후, 제1기판(1000)을 제2기판에 접합해도 된다.

[0138] 또, 상기 D1의 공정에 있어서는, 제2기판에 절연막(2010)을 형성하고 있는 경우를 나타냈지만, 소망한 형상으로 패터닝되는 화합물 반도체 다층막(1020) 상에 상기 절연막을 형성한 후, 제2기판과 접합해도 된다. 물론, 상기 제2기판이 실리콘

[0139] 기판 또는 실리콘 영역을 가지는 기판인 경우에는, 그 표면에 형성되어 있는 산화층을 상기 절연막으로서 사용할 수도 있다. 또한, 부재(100)에 배치되어 있는 절연막(2010)은 미리 제1기판 측에 형성되어 있어도, 제2기판 측에 형성되어 있어도, 또는 제1 및 제2기판의 양쪽에 형성되어 있어도 된다. 또한, 이 절연막(2010)은 생략할 수도 있다. 예를 들면, 제2기판이 석영이나 유리 기판 등의 절연 기판의 경우이다.

[0140] 상기 부재를 준비하는 제2방법은 이하와 같이 행한다.

[0141] A2) 제1기판(1000)에 상기 에칭 희생층(1010)을 형성하는 공정;

[0142] B2) 상기 에칭 희생층(1010) 상에 상기 화합물 반도체 다층막(1020)을 형성하는 공정;

[0143] C2) 상기 절연막(2010)을 가지는 상기 제2기판(2000)을 준비하는 공정;

[0144] D2) 상기 제1기판(1000)을 상기 제2기판(2000)에 접합하는 공정;

[0145] E2) 상기 실리콘 기판(2000)에 상기 제2홈(2005)을 형성하는 공정;

[0146] F2) 상기 제2홈(2005)의 형성 후, 상기 절연막(2010)에 제3홈(2006)을 형성하는 공정;

[0147] G2) 상기 에칭 희생층(1010)이 노출되도록 상기 화합물 반도체 다층막 (1020)에 상기 제1홈(1025)을 형성하는 공정.

[0148] 또한, 상기 제2홈(2005)은, 예를 들면, 도 1에 나타내는 제2홈의 깊이 방향 (도면 상에서는, 깊이 방향은 좌향이 된다) 도중까지, 즉, 절연막(2010) 측의 제2기판의 구성 재료를 부분적으로 남기도록 드라이 에칭(RIE) 등에 의해 형성된다. 그 후, 습식 에칭에 의해 해당 홈이 제2기판(2000)을 관통하도록 해도 된다.

[0149] 이상, 도 1에 기재된 부재를 실현하는 방법을 예시했지만, 본 발명은 상기의 각 구성 기판, 각 구성층, 또는 각 구성막 사이에 다른 층, 막, 또는 영역을 개재시키는 것, 또는 개재하도록 막을 형성하거나 접합하는 것을 제외하는 것은 아니다. 예를 들면, 절연막(2010)과 제2기판(2000) 사이에 금속막이 부분적으로 또는 전면에서 형성되어 있어도 되고, 상기 제2기판에, 또는 상기 제2기판과 상기 절연막을 사용해서, 배선 영역이나 회로 영역이 형성되어 있어도 된다. 여기서 말하는 회로 영역이란, 상기 화합물 반도체 다층막을 사용해서 발광소자나 수광 소자를 제작했을 경우의 구동회로나 스위칭 회로, 또는 단지 흐르게 하기 위한, 또는 전압을 인가하기 위한 배선을 포함한 회로이다.

[0150] (제2기판)

[0151] 상기 제2기판(2000)은, 예를 들면, 반도체 기판, 실리콘 기판, 표면에 산화층이 형성되어 있는 실리콘 웨이퍼, 및 소망하는 전기 회로(예를 들면, 구동 드라이버)가 배치되어 있는 실리콘 웨이퍼 등을 포함하는 것이다. 도 1에 도시된 바와 같이, 절연막을 가지는 실리콘 기판은, 예를 들면, 이하와 같이 해서 형성된다.

[0152] 즉, 실리콘 기판의 한 쪽의 표면에 절연막으로서의 유기 재료막을 형성한 후, 다른 쪽의 면에 반도체 기판 홈인 제2홈(2005)을 형성하기 위한 마스크 층을 레지스트를 사용해서 형성하고, 마스크를 사용해서 실리콘 기판에 반도체 기판 홈 (2005)을 형성한다. RIE 등의 건식 에칭이나, 습식 에칭을 사용해도 된다. 노출 개소에 석영의 미립자 등을 충돌시켜서 물리적으로 실리콘 기판을 파괴해서 홈을 형성하는 샌드블라스터도 사용할 수 있다. 물론, 이들을 조합해서 사용할 수도 있다. 예를 들면, 깊이 방향으로 어느 정도, RIE나 샌드블라스터에 의해 홈을 형성하고, 그 후 제1기판과 접합하기 전(또는 후)에 습식 에칭에 의해 실리콘 등으로 이루어진 제1기판에 관통공을 형성할 수도 있다. 또는, 제1기판의 이면으로부터 연삭 또

- [0153] 는 연마에 의해서 상기 홈을 노출시켜도 된다.
- [0154] 다음은 다른 예이다. 우선, 실리콘 기판을 관통하는 제2홈(2005)을 형성한 다. 그 후, 한 쪽의 면에 유기 재료막(예를 들면, 포지티브형 감광성의 폴리이미드막)을 도포하고, 다른 쪽의 면 측으로부터 실리콘 기판을 마스크로 해서 UV광을 조사한다. 그리고, 제2홈(2005)의 위쪽에 위치하는 유기 재료막의 부분만 현상하고, 제거한다. 물론, 관통홈이 형성되어 있는 실리콘 기판을 마스크로서 사용해서 유기 재료막을 감광하고, 이 감광된 유기 재료막을 제거하는 공정은 제1기판과 실리콘 기판을 접합한 상태에서 행할 수도 있다. 또한, 접합 공정 후에, 제2기판 측으로부터 자외선 조사를 행하고, 상기 제2홈의 바로 위쪽의 유기 재료막을 제거해서 제3홈을 형성할 수도 있다.
- [0155] 이 방법을 제2기판의 홈형성에 응용하는 이점은 다음과 같다.
- [0156] 즉, 이것은 디바이스 프로세스가 아니고 실리콘 기판 상에 홈을 형성하기 위한 레지스트 정형이기 때문에, 마스크 얼라인먼트가 필요하지 않은 최초의 층 형성인 것이다. 또, 홈의 사이즈가 수백 미크론 이상이고, 비교적 크기 때문에 레지스트
- [0157] 트의 탈기가 필요하지 않다. 그 때문에 감압 기구가 불필요한, 염가이고 또한 생산성이 높은 장치를 사용할 수 있다.
- [0158] 또한, 실리콘 기판이나 절연막에 형성되는 관통홈의 제작 방법은 특히 제한되는 것이 아니고, 소정의 패턴을 가지는 몰드(스탬퍼)를 사용한 임프린트법을 사용할 수도 있다.
- [0159] 또한, 실리콘 기판에 이방성의 홈을 형성하는 것에 관해서는, 예를 들면, Ayon 등의 문헌(Senssers and Actuators A91(2001) 381-385)에 기재되어 있다.
- [0160] 이러한 홈은, 예를 들면, 측벽을 보호하면서 어스펙트비를 열화시키지 않고, 수백 미크론의 두꺼운 실리콘 웨이퍼에 깊은 RIE에 의해서 관통홈을 형성하는 것이 가능해진다. 또, 화학적인 에칭에 의해서가 아니라, 유체 에너지나 샌드 블라스트법 등의 고체 입자를 충돌시킴으로써 관통홈을 형성할 수도 있다.
- [0161] 또, 실리콘 기판(2000)에는, 드라이버 회로를 형성할 수도 있다. 여기서 말하는 드라이버 회로란, 예를 들면, 발광 다이오드(LED)가 화합물 반도체 다층막을
- [0162] 포함해서 형성되는 경우에, 그 LED를 구동 및 제어하기 위한 회로이다.
- [0163] 또한, 실리콘 기판은, 이른바 CZ 웨이퍼는, 물론, 표면에 에피택셜 실리콘층을 가지는 기판이어도 된다. 또 실리콘 기판 대신에 SOI 기판을 사용할 수도 있다.
- [0164] 또한, 실리콘 기판 등의 제2기판의 관통홈을 통해(에칭 회생층을 제거하기 위한) 에칭액이 진입하기 쉽게 실리콘 기판의 관통홈의 측벽 표면을 오존 애싱 (ozone ashing)이나, 황산과 과산화수소수의 혼합물인 피라니아 용액 등을 사용해서 처리할 수도 있다.
- [0165] 또, 제1기판을 실리콘 기판 등의 제2기판과 접합할 때, 그 사이, 또는 실리콘 기판 상의 절연막과 제1기판 사이에 금속막을 개재시켜도 된다. LED 소자를 제작하는 경우에는, 그것은 반사층으로서 기능시킬 수 있다. 물론, 금속막 대신에 DBR 미러를 사용해도 된다. 또한, 반사용의 미러로서 기능시키기 위해서는, 금속막 (예를 들면, Ti나 Au나 Pt 등)은 상기 절연막과 제2기판(예를 들면, 실리콘) 사이에 형성할 수도 있다. 또한, DBR, 즉, 이른바 브래그 리플렉터(Bragg Reflector)를 사용하는 경우에는, 이 DBR층은 화합물 반도체 다층막(1020)과 절연막(2010) 사이에 배치된다.
- [0166] 제2기판으로서, 실리콘 기판 이외에도, 유리 기판, 석영 기판, 금속 기판, 세라믹 기판, 절연막을 코팅한 기판 등을 적용할 수 있다. 제2기판의 두께는 특히
- [0167] 제한되는 것은 아니지만, 525 μ m(4인치), 625 μ m(6인치), 725 μ m(8인치), 775 μ m(12인치) 정도의 것을 사용할 수 있다. 제2기판의 두께로서는, 예를 들면, 300 μ m 내지 1000 μ m의 범위, 강도의 확보나 프로세스상의 관점에서는, 바람직하게는, 400 μ m 내지 800 μ m의 범위이다.
- [0168] 또한, 제2기판에 있어서의 관통홈(관통공)은 직사각형 형상의 슬릿이어도 되고, 도 3과 같이 슬릿이 단속적으로 특정의 간격을 가지고 배치되는 것이어도 된다 .
- [0169] 또한, 제1기판과 제2기판의 접합에는 다이 본딩 필름(히타치 화성공업 주식회사)을 사용할 수 있다. 예를 들면, 실리콘 기판 등의 제2기판 상에, 다이싱 테이프와 다이 본딩 필름의 기능을 겸비하는 전술의 히타치 화

성사제의 다이 본딩 필름

- [0170] 을 접합해서 핸들링성을 높인다. 그 후, 얼라인먼트 등을 행한다. 접합시에는, 다이싱 테이프를 제거하고(예를 들면, UV광의 조사 등에 의해 제거), 제1기판측과의 접합을 행한다. 또한, 제2기판을 관통하고 있는 제2홈 상에 다이 본딩 필름이 남아 있는 경우에는 에칭 등에 의해 제거해서, 제1홈과 연결시킨다.
- [0171] 또한, 제2기판에 형성되어 있는 관통홈은, 장변과 단변을 가진 직사각형(스트립) 또는 사각형의 관통홈이 단속적으로 복수 형성되어 있는 것이 바람직하다. 특히, 관통홈의 장변 방향(종방향)에는, 해당 복수의 관통홈이 정렬해서(어레이 형상으로) 단속적으로 배치되는 것이 바람직하다. 여기서, 단속적으로란, 홈과 홈 사이에 간격이 있다, 즉, 홈들이 분리되어 있다고 하는 것이다. 이것은, 그 후의 디바이스 프로세스에 기판이 투입될 때에 중요한 기판의 강도 확보의 점으로부터도 바람직하다. 이 간격의 폭은, 예를 들면, 수 μm 내지 수백 μm 의 범위이다.
- [0172] 또, 어레이 형상으로 단속적으로 형성되어 있는 홈은, 도 3과 같이, 각 어
- [0173] 레이 형상 홈이 평행하게 되도록 형성되어 있는 것이 바람직하다.
- [0174] (제1기판)
- [0175] 제1기판(1000)으로서는, GaAs 기판, p형 GaAs 기판, n형 GaAs 기판, InP 기판, SiC 기판, GaN 기판 등을 적용할 수 있다. 또한, 화합물 반도체 기판 이외에도 사파이어 기판, Ge기판을 사용할 수도 있다. 바람직하게는, GaAs 기판이나 GaN 기판 등의 화합물 반도체 기판이다.
- [0176] (에칭 희생층)
- [0177] 여기서 말하는 에칭 희생층이란, 상기 화합물 반도체 다층막의 에칭속도 보다 빠른 속도로 에칭되는 층을 말하며, 분리층이라고 할 수도 있다. 그 위의 다층막에 대한 에칭 희생층의 에칭 속도비는 5배 이상이고, 바람직하게는 10배 이상, 더 바람직하게는, 100배 이상이다.
- [0178] 에칭 희생층은, 예를 들면, AlAs층이나 AlGaAs층(예: $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$)이다.
- [0179] AlGaAs층을 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($1 \geq x \geq 0.7$)으로 표시했을 경우, x가 0.7 이상에서 에칭 선택성이 현저하게 되고, 에칭 희생층에 AlAs층을 사용하는 경우는, 에칭액으로서 2 내지 10%로 희석한 HF용액을 사용할 수 있다. 에칭액으로서는, 예를 들면, 10% 불산이다.
- [0180] 또한, 제1기판으로서 사파이어 기판을 사용하고, 그 위에 에칭 희생층으로서 질화 크롬(CrN) 등의 금속 질화막을 사용할 수 있다. 청색이나 UV광용의 디바이스(LED나 레이저)를 실현하기 위한 기능층으로서의 다층막을 질화 크롬 상에 에피택셜 성장시킨다. 이 다층막은 활성층으로서 GaInN, 또한 스페이서층으로서 AlGaIn이나 GaN을 사용할 수 있다.
- [0181] 또한, 이 희생층의 에칭액으로서는, 일반적인 Cr 에칭액(크롬 에칭액 등)을 사용할 수 있다. 이러한 에칭액은 미츠비시 화학 주식회사에 의해 제공되고 있다.
- [0182] (제2기판의 관통홈의 제작)
- [0183] 제2기판이 실리콘 기판인 경우, 관통홈은 SF_6 등의 분위기하에서 불소를 사용해서 RIE(리액티브 이온 에칭)에 의해 제작할 수 있다. 물론, 래디컬종은 불소에 한정되는 것은 아니다. 습식 에칭을 행하는 경우에는, NaOH, KOH, TMAH 등을 사용할 수 있다.
- [0184] 또한, 본 발명에 있어서, 에칭액과 해당 희생층이 도 1에 도시된 바와 같이 접합한 상태에서 접촉할 수 있다면, 상기 에칭 희생층은 어떤 시점에서 노출되어도 된다.
- [0185] 관통홈은 RIE(리액티브 이온 에칭)에 의해 실리콘 기판에 의해 형성할 수 있다. 습식 에칭을 행하는 경우에는, 실리콘 산화물이 불화수소산에 용해하는 것을 사용해서 HNO_3 등의 산화제와 불화수소용액의 혼합물을 에칭액으로서 사용할 수 있다. 첨가제로서 CH_3COOH , Br_2 등이 사용된다(멀티 에피택셜층).
- [0186] 제1기판(2000) 상에는, 에칭 희생층(1010)과 화합물 반도체 다층막(1020)을 교대로 반복해서 적층할 수도 있다. 이러한 경우, 상기 화합물 반도체 다층막을 실리콘 기판에 반복해서 전사할 수 있다. 물론, 에칭 스톱층(1009), 에칭 희생층(1010), 및 화합물 반도체 다층막(1020)을 교대로 반복해서 적층할 수도 있다. 또,

제1기판 상에 미리 교대로 반복해서 적층함으로써, 희생층과 다층막 (1020)의 쌍을 1쌍씩 복수 회의 전사를 행하는 경우에도, 기판 상에서의 에피택셜 성장을 위한 열이력이 복수 회가 되지 않기 때문에 바람직하다. 이 복수 회의 기판 사용은 현저한 경제 효과를 기대할 수 있다. 왜냐하면, 일반적으로 화합물 반도체 기판은 실리콘에 비해 10배 이상 고가이기 때문이다.

[0187] (화합물 반도체 다층막)

[0188] 화합물 반도체 다층막의 층 구성이나 재료는 반도체 물품으로서 어떠한 소자를 제공하는가에 의존한다. 반도체 물품으로서, 발광소자로서 발광 다이오드 소자(LED 소자)나 발광 레이저 다이오드(LD소자)나 수광 소자 등을 들 수 있다.

[0189] 예를 들면, 반도체 물품으로서 LED 소자를 제공하는 경우는, 이하와 같은 재료를 사용한 층 구성으로 한다.

[0190] 즉, p형 GaAs 기판 상에 p-AlAs층(에칭 희생층)을 형성하고, 그 위에 화합물 반도체 다층막으로서 이하의 층을 형성한다.

[0191] p형 GaAs 콘택트층, p형 AlGaAs 클래드층, p형 AlGaAs 활성층, n형 AlGaAs 클래드층, 및 n형 GaAs 콘택트층을 형성한다.

[0192] 또한, 희생층과 화합물 반도체 기판 간에는, 에칭 스톱층으로서 GaInP를 사용할 수도 있다.

[0193] 황산으로 GaAs, AlGaAs층을 에칭하는 경우, 에칭은 GaInP층에 의해 정지한다. 그 후 GaInP층은 염산에 의해 제거한다. 암모니아과수로 GaAs, AlGaAs층을 에칭하는 경우는, AlAs가 스톱층으로서 바람직하다.

[0194] 또, 화합물 반도체 다층막의 재료로서는, GaAs 이외의 계의 화합물 반도체 재료, 예를 들면, AlGaInP계, InGaAsP계, GaN계, AlGaN계, InAlGaN계가 본 실시형태에 적용될 수 있다.

[0195] 또, 화합물 반도체 다층막(1020)과 상기 유기 재료 등으로 이루어진 절연막 (2010) 사이에는, 금속막 및 DBR 미러의 적어도 한 쪽을 형성할 수도 있다.

[0196] 여기서, 금속막이란, 예를 들면, Au, Ag, Ti, Al, 또는 AlSi, 또는 이들 재료로 이루어진 다층막이다. 바람직한 금속막재료는 LED의 발광 파장에 따라 선택된다. 예를 들면, 700-800nm의 적색계 LED를 만든다면, Au, Ag 등이 반사율이 높다. 360nm 부근의 청색계 LED의 경우, Al가 바람직하다.

[0197] DBR 미러(브래그 리플렉터)란, 예를 들면, GaAs계의 화합물 반도체 재료에 대해서는, AlAs층과 AlGaAs층을 교대로 복수 회 적층해서 형성되거나, Al산화물층과 $Al_{0.2}Ga_{0.8}As$ 층이 교대로 적층되어서 형성되는 것이다. 알루미늄 산화물을 에피택셜 성장에 의해 형성하는 것은 어렵기 때문에, 실제로는, 예를 들면, $Al_xGa_{1-x}As$ 에서 x의 값을 0.2과 0.8을 교대로 함으로써 굴절률을 제어하는 것이 바람직하다. 물론,

[0198] 저굴절률 층의 층에 있어서의 Al의 조성 비율을 높게 하고, 적층 후에 산화함으로써 Al산화물로 할 수도 있다.

[0199] 또, 화합물 반도체 다층막을 사용해서 LED 소자를 형성하는 경우에는, 이질접합형의 LED 대신에, 일본국 특개 2005-012034호 공보에도 기재되어 있는 호모접합형의 LED를 형성할 수도 있다. 이 경우, 각 층을 에피택셜 성장시킨 후, 고상 확산법에 의해 불순물 확산을 행해서 활성층 내에 pn접합을 형성한다.

[0200] 또한, 콘택트층은 p형 또는 n형 전극과의 옴릭 콘택트(ohmic contact)를 취하기 위해서, 활성층을 사이에 두는 클래드층보다 높은 불순물 농도를 가지는 것이 바람직하다.

[0201] 또한, 도 1에서는, 화합물 반도체 다층막의 층 구성의 상세한 것은 도면에서는 생략하고 있다.

[0202] 제1기판 상의 패터닝된 섬 형상의 영역의, 직사각형의 장변 방향의 간격(장변 방향을 따른 섬과 섬 사이의 간격)은 이후의 공정에서의 다이싱용의 간격에 실질적으로 대응하는 것이 바람직하다. 또한, 도 2의 (2901)이 장변 방향, (2902)가 단변 방향이다.

[0203] 또한, 부재로부터 에칭 희생층을 제거한 후에, 또한 상기 화합물 반도체 다층막에 도트 형상의 발광점을 형성할 수 있도록 마스크 등을 사용해서 소자 분리를 행할 수 있다.

[0204] (절연막)

[0205] 본 실시형태에 의한 발명에 있어서의 절연막(2010)이란, 예를 들면, 유기 재료로 형성되는 막이다. 유기 재료로 형성되는 막이란, 예를 들면, 폴리이미드계 또는 다른 유기 절연막, 또는 절연 필름이다. 이와 같이, 유기

재료로 형성되는 막으로서, 폴리이미드 등의 유기 절연막이다. 구체적으로는, 절연막은 포지티브형의 감광성 폴리이미드로 형성된다. 물론, 노광한 후, 해당 노광 부분은 실질적으로는 더 감광성은 갖고 있지 않다. 또한, 포지티브형뿐만 아니라 네가티브형의 감광성 폴리이미드는 물론, 비감광성의 폴리이미드도 다른 마스크 등을 사용해서 제3관통홀을 형성할 수 있다면 본 발명에 적용할 수 있다. 또한, 이 폴리이미드는, 예를 들면, HD 마이크로 시스템즈 주식회사로부터 제공되고 있다.

- [0206] 감광성을 가지는 폴리이미드에 대해서는, 일본국 특개2005-012034호 공보에 상세하게 기재되어 있다. 구체적으로는, 방향족 무수물을 이중 결합을 가진 알코올
- [0207] (예를 들면, 메타크릴산 히드록시에틸)과 반응시켜 디카르복시산을 형성하고, 이것을 디아민과 반응시켜서 측쇄에 이중 결합을 가진 폴리아미드를 형성한다. 이것은 폴리아미드의 카르복실기를 중합성의 이중 결합을 가진 구조로 치환한 구조에 상당한다. 이 폴리머를 광개시제, 증감제, 접착조제 등과 함께 NMP(n-메틸 피롤리돈)와 같은 극성 용매에 용해한 것이 감광성 폴리이미드이다.
- [0208] 또한, 이 폴리이미드로서는, 감광성 또는 비감광성 폴리이미드를 사용할 수 있다.
- [0209] 또, 그 외의 유기 재료막은 화합물 반도체 기판을 실리콘 기판에 접합하기 위해서 사용할 수 있다. 상술의 폴리이미드 이외에도, 에폭시계 접착층 등을 채용할 수 있다.
- [0210] 관통홀을 광감광성 유기 재료막으로 피복한 후에, 관통홀을 통해서 UV광을 조사함으로써, 실리콘의 관통홀 상부의 유기 절연층을 자기 정합적으로 제거하는 것이 가능해진다.
- [0211] 또, 절연막으로서, 위에서 설명한 유기 재료막뿐만 아니라, 산화 실리콘막 등의 무기계의 절연성의 산화막을 사용할 수도 있다. 또, 실록산계의 수지 등도 사용할 수 있다.
- [0212] 또한, 예를 들면, 제2기판으로서의 실리콘 기판 상 및/또는 그 내부를 사용하는 회로 영역을 가지는 경우에는, 스핀 온 글래스(SOG)를 사용해서, 해당 회로 영역의 평탄성을 강화하기 위해서 산화 실리콘 절연막을 형성해도 된다. 물론, 복수 종류의 절연막을 적층해서 사용할 수도 있다.
- [0213] 또, 폴리이미드 등 유기계 재료를 사용해서 절연막을 형성할 수도 있다. 특히, 스핀 도포에 의해 유기 재료를 도포하고, 용매를 휘발시키는 프리베이크 공정을 거쳐 접착성을 높이면서 제1기판에 접합하고, 그 후 밀착성을 높이는 것은 생산성의 면으로부터도 유효하다.
- [0214] 또, 도 1에 표시된 부재에 있어서, 상기 절연막은 필요에 따라서 생략할 수도 있다. 또한 절연막을 복수의 층으로 형성할 수도 있다. 제1기판 측과 제2기판 측에서 각각 절연막을 형성해서 접합할 수도 있고, 또는, 어느 하나의 기판 측에만 해당 절연막을 형성할 수도 있다.
- [0215] 또한, 제2기판인 실리콘 기판 상이나 그 내부에 구동회로 등을 배치하고
- [0216] 있는 경우는, 절연막(2010)을 형성하는 것이 바람직하다. 그러나, 본 발명에 의하면 절연막(2010)을 생략할 수도 있다.
- [0217] 또, 본 발명에 있어서는, 절연막으로서 감광성의 폴리머 시트를 사용할 수 있다. 폴리머 시트 자체가 접착성을 가지는 것이 보다 바람직하다. 또한, 제2기판 상에 절연막을 형성하는 경우나, 제1기판 측에 절연막을 형성하는 경우에는, 가열 및 압착 공정 후에 형성해도 된다. 물론, 희석한 유기계 재료(감광성의 폴리이미드 등)를 스핀 도포에 의해서 형성해도 된다. 또는, 감광성의 폴리이미드를 드라이 필름과 같은 시트 형상으로 형성한 감광성 폴리이미드 시트를 사용할 수도 있다.
- [0218] (반도체 물품의 제조방법의 일례)
- [0219] 이하에, 반도체 물품의 제조방법의 일례를 나타낸다. 구체적으로는 이하의 공정을 포함해서 실현된다.
- [0220] 1) 화합물 반도체 기판(제1기판)과 실리콘 기판(제2기판)을 준비하는 공정;
- [0221] 2) 상기 화합물 반도체 기판 상에 에칭 스톱층, 에칭 희생층, 활성층을 포함
- [0222] 한 화합물 반도체 다층막, 및 미러층을 이 화합물 반도체 기판 측으로부터 순차적으로 형성하는 공정(또한, 에칭 스톱층은 필요에 따라서 사용하면 되고, 본 발명에 필수적 층은 아니다);
- [0223] 3) 상기 화합물 반도체 다층막에, 상기 에칭 희생층이 노출되도록 제1홀을 형성해서, 이 화합물 반도체 다층막을 섬 형상으로 분할하는 공정;

- [0224] 4) 상기 실리콘 기판을 관통하도록 제2홀을 형성하는 공정;
- [0225] 5) 표면에 유기 재료막을 가지는 상기 실리콘 기판에 형성되어 있는 상기 제2홀과 상기 제1홀이 서로 연결되도록 상기 화합물 반도체 기판을 상기 실리콘 기판에 접합해서 접합 부재를 형성하는 공정;
- [0226] 6) 상기 제 1 및 제2홀을 통해서 상기 에칭 희생층과 에칭액을 접촉시켜서 상기 부재로부터 상기 화합물 반도체 기판을 분리하는 공정;
- [0227] 7) 상기 실리콘 기판 상의 반도체 화합물 반도체 다층막을 사용해서 LED 소자를 형성하는 공정.
- [0228] 제조방법에 관해서는, 후술하는 실시예에서 상세히 설명한다. 또한, 2)의
- [0229] 공정에 있어서, 기재한 층 이외의 층이 포함되는 것을 본 발명은 배제하는 것이
- [0230] 아니고, 상술한 층이나 막 이외의 재료가 존재하는 경우도 당연히 본 발명의 범위 내에 포함된다.
- [0231] 또, 본 발명에 의한 접합에 의해서 형성되는 부재는 이하의 특징을 가진다.
- [0232] 즉, 실리콘 기판 상에 화합물 반도체 다층막을 가지는 반도체 부재로서, 화합물 반도체 기판 상에 AlAs층, 화합물 반도체 다층막, 및 유기 절연막과 실리콘 기판을 이 화합물 반도체 기판측으로부터 순차적으로 구비하고, 상기 화합물 반도체 다층막에는 상기 희생층이 노출되도록 제1홀이 형성되어 있고, 상기 실리콘 기판과 상기 유기 재료막에는 상기 제1홀에 연결되는 제2홀이 형성되어 있는 것을 특징으로 한다.
- [0233] (기타)
- [0234] 또한, 제1홀(1020)이나 제2홀(2005)이 깊은 경우에는, AlAs 등으로 형성되는 에칭 희생층의 에칭에 의해 발생한 가스(수소)의 거품이 그 출구를 막아버리는 일이 있다. 이러한 경우에는, 에칭을 위한 용액이나 화합물 반도체 기판 등의 웨이퍼
- [0235] 에 연속적 또는 단속적으로 초음파를 인가하는 것이 바람직하다. 또, 에칭액(예를 들면, 불화수소산)에 알코올을 첨가하는 것도 바람직하다.
- [0236] (미러층)
- [0237] 화합물 반도체 발광층과 유기 재료막 등의 절연막 사이에는, 금속막 또는 DBR 미러의 적어도 한 쪽을 형성할 수도 있다. 또한, 이 미러가 Ti, Au, Pt, AlSi 등으로 형성되는 미러의 경우는, 예를 들면, 도 7에 표시된 바와 같이, 해당 유기 재료막과 제2기판 사이에 개재시킬 수도 있다. 도 7에서는, (7010)이 절연층, (7081)이 미러이며, 상세한 것은 후술한다.
- [0238] 여기서, DBR 미러는 상기 에피택셜 성장된 화합물 반도체층 상에 연속해서 에피택셜 성장할 수도 있다. 이러한 경우에, 도 20의 (7021)이 미러층이다. 상세한 것은 후술한다. 금속 미러는 성장된 화합물 반도체 다층막의 상부에 퇴적에 의해 형성되어 있거나, 또는, 유기 절연층 상에 퇴적에 의해 형성되어 있거나, 또는 양자가 동시에 형성되어 있어도 된다.
- [0239] 이하에, 미러로서의 DBR에 관해서 상술한다.
- [0240] DBR층은 제1기판 상에 에칭 희생층(분리층)을 개재해서, 활성층을 포함해서 구성되는 발광층을 형성한다.
- [0241] 여기서, 제1기판은 LED(발광 다이오드)를 형성하기 위한 기판이다. 여기에서는, LED용의 화합물 반도체막이 성장가능한 기판이 사용된다. 제1기판의 재료로서는, GaAs를 기본으로 하는 III-V족 화합물이 성장하는 경우에는, GaAs 기판 또는 격자 정수가 가까운 Ge 기판 등을 들 수 있다. GaAs 기판의 경우, 해당 기판이 Al, P 등의 동 속의 원소를 포함해도 된다. 또, 디바이스의 구성에 따라서, P형, N형을 형성하기 위한 불순물을 포함하고 있어도 된다.
- [0242] 이 제1기판 상에 MOCVD법, MBE법 등에 의해 희생층, 발광층, DBR층이 순차적으로 에피택셜 성장한다. 여기서, 희생층이란, 발광층에 대해서 선택적으로 에칭 가능한 재료로 형성되는 층이고, 예를 들면, AlAs 또는 $Al_xGa_{1-x}As$ ($1 \geq x \geq 0.7$)로 형성된다. 이러한 조성의 희생층은 불화수소산 용액에 의해 선택적으로 에칭된다.
- [0243] 발광층은 발광소자로서 기능하는 화합물 반도체층으로 형성되고, 예를 들면,
- [0244] GaAs, AlGaAs, InGaAs, GaP, InGaP, AlInGaP 등이 가능하다. 상기 층 안에 pn접합이 있다. 또, 발광층(1102)의 구체적인 구성으로서는, 예를 들면, 클래드층 간에 끼워진 활성층으로 형성된다.

- [0245] DBR층은 제1기판 상에서 에피택셜 성장가능한 것이며, 목적으로 하는 LED의 파장에 대해서 굴절률이 다른 층을 가진 복수의 쌍을 적층한 구조를 가진다.
- [0246] 각 쌍은 고굴절률층과 저굴절률층으로 형성된다. 그리고, 이 쌍을 복수 회 적층한 것이 브래그 리플렉터막 또는 DBR 미러(DBR층)로 불린다.
- [0247] 이 브래그 리플렉터막은 굴절률이 다른 2종류의 막의 막두께 d_1 , d_2 를 광학 막두께 $n \times d$ 가 각각 $1/4$ 파장이 되도록 설정하고, 그 2종류의 막의 m 쌍 (m 는 2 이상의 자연수)을 준비함으로써, 쌍의 수 m 에 대응한 반사율을 얻을 수 있는 것이다. 그 경우에, 브래그 리플렉터막을 형성하는 층의 굴절률의 차이가 큰 만큼, 쌍 수가 작아도 고반사율이 얻어지는 것이다. 또한, 본 발명에 있어서는, 상기 DBR을 구성할 때의 조건을 최적화해서, 특정 파장의 광을 70% 이상, 바람직하게는 80% 이상, 보다 바람직하게는 90% 이상의 효율로 반사할 수 있도록 설계하는 것이 바람직하다.
- [0248] 예를 들면, AlGaAs의 Al 함유량이 다른 층을 교대로 적층함으로써 DBR층이 얻어진다. 여기서, 전술의 에칭 희생층을 선택적으로 제거할 때에, DBR층에의 손상을 억제하기 위해서, $Al_xGa_{1-x}As$ 라고 표현되는 경우의 Al의 함유량, 즉, x 는 0.8 이하로 하는 것이 바람직하다. x 는 바람직하게는 0.7 이하, 보다 바람직하게는 0.6 이하, 한층 더 바람직하게는, 0.4 이하로 하는 것이 바람직하다. x 의 하한치로서는 예를 들면, 제로이다.
- [0249] 어느 경우에도, 상기 DBR층을 구성하는, 굴절률이 다른 쪽보다 낮은 저굴절률층은 $Al_xGa_{1-x}As$ ($0 \leq x \leq 0.8$), AlInGaP계 재료, 및 AlGaP계 재료로 구성되는 군으로부터 선택된다. 그리고, 상기 에칭 희생층을 AlAs 및 $Al_xGa_{1-x}As$ ($0.7 \leq x \leq 1.0$)으로 구성되는 군으로부터 선택하고, 이 분리층을 선택적으로 에칭 제거할 때에, 상기 저굴절률층이 손상되기 어려운 재료의 조합으로 하는 것이 중요하다. 또한, 희생층으로서 AlAs층을 선택하고, 저굴절률층으로서 AlInGaP계 재료 또는 AlGaP계 재료를 사용하는 경우에는, Al의 함유량에 크게 의존하지 않고, 선택적인 분리층의 제거가 가능하다.
- [0250] 또한, 불화수소산 내성이 높은 DBR층의 구성으로서, (고굴절률층/저굴절률층)의 조합으로서, 아래와 같은 3 예를 들 수 있다.
- [0251] 1) $Al_{0.6}Ga_{0.4}As/Al_{0.2}Ga_{0.8}As$
- [0252] 2) AlInGaP/ $Al_{0.2}Ga_{0.8}As$
- [0253] 3) AlGaP/ $Al_{0.2}Ga_{0.8}As$
- [0254] 또한, 레이저(LD)를 제작하는 경우에는, 99.9% 이상의 반사율이 요구되기 때문에, 쌍의 수는 30층, 40층, 또는 그 이상의 층의 형성이 필요하다. 그러나, 예를 들면, 90% 이상의 반사율로 충분한 LED의 경우는, 수 층 내지 10층 정도라도 충분하다.
- [0255] 예를 들면, 4인치 GaAs 기판(100) 상에 분리층인 p-AlAs층을 100nm 두께, 발광층을 약 2000nm 두께, n-DBR층을 MOCVD법에 의해 성장시킨다. 발광층의 상세한 것은 이하와 같다. 클래드층이 되는 p- $Al_{0.4}Ga_{0.6}As$: 350nm, 활성층이 되는 p
- [0256] - $Al_{0.13}Ga_{0.87}As$: 300nm, 그리고 DBR층 측에 위치하는 클래드가 되는 n- $Al_{0.23}Ga_{0.77}As$: 1300nm로 형성된다. 그리고, n-DBR층의 상세에 관해서는, $Al_{0.2}Ga_{0.8}As$: 633 Å/ $Al_{0.8}Ga_{0.2}As$: 565 Å의 20쌍을 적층해서 형성할 수 있다. 또한, DBR를 구성하는 재료의 저항율을 낮게 함으로써, 도 20과 같이 (7021)의 DBR 미러로부터 전기적인 접속을 확보할 수 있다.
- [0257] 물론, 활성층의 양쪽에서 DBR를 형성하는 구성으로 할 수도 있다. 후술하는 바와 같이, 프린터 헤드에 있어서 로드렌즈 어레이를 생략하는 경우에는, 필수는 아니지만 바람직하기는 하다.
- [0258] (에칭 스톱층)
- [0259] 본 발명에 있어서 반드시 필요한 것은 아니지만, 에칭 희생층으로서 AlAs층을 사용하는 경우에는, 에칭 스톱층으로서, 예를 들면, GaInP를 사용할 수 있다.
- [0260] (버퍼층)

- [0261] 또한, 제1기판, 예를 들면, GaAs 등의 화합물 반도체 기판이나 Ge 기판이나 GaN 기판 등의 위에 에칭 희생층을 성장시키기 전에, 버퍼층을 형성함으로써, 결함이 적은 양호한 에피택셜층을 얻을 수 있다. 예를 들면, GaAs 기판 상에는 버퍼층으로서 GaAs의 박막을 형성할 수 있다. Ge 기판의 경우에는, GaInAs 등이 적자
- [0262] 변형 완화에 적절하다.
- [0263] (얼라인먼트)
- [0264] 또한, 제1기판과 제2기판의 얼라인먼트는 웨이퍼 본딩에 대해서 사용되는 양면 얼라이나 등을 사용해서 행할 수 있다. 특히, 제2기판이 실리콘 기판인 경우에는, 해당 기판에 형성된 관통홀을 얼라인먼트 마크로 사용할 수도 있다. 또, 이 관통홀은 스크라이브 라인 상에 형성할 수도 있다. 실리콘 상에 이설되는 발광층은 칩 사이즈에 상당하는 수백 마이크로 이상의 큰 면적을 가지며, 개별적인 수십 마이크로미터의 발광소자의 소자 분리 등은 이설 후의 프로세스에서 확정된다. 따라서, 섬 형상의 활성층과 관통홀과의 접합은 디바이스 프로세스에서 요구되는 수 마이크로미터의 정밀도는 필요없고, 수십 마이크로미터의 정밀도로 충분하다. 이 관점으로부터, 웨이퍼의 오리엔테이션 플랫(orientation flat)을 얼라인먼트 기준으로 사용해도 된다.
- [0265] (접합과 분리 공정)
- [0266] 이하, 접합에 관해서 설명한다. 접합은, 도 1에 있어서의 절연막(2010)으로서의 유기 절연층의 유리 전이 온도인 수백 도 이상으로 가열해서 접착성을 갖게 하고, 실리콘 웨이퍼를 가압 접합함으로써 용이하게 행해진다. 접합 강도도 충분히 취할 수 있어, 그 후의 프로세스에도 문제가 없다. 접착성이 없고 접착층을 사용하지 않는 직접 접합시에 발생하기 쉬운 공극(void)은 섬 형상으로 분리되어 활성층이 존재하고 있다. 그 때문에, 공기의 흡입도 가압 접합될 때에 용이하게 섬 사이의 분리홀을 따라서 해소된다. 감압하에서 접합하면 기체 자체의 양이 감소해서, 공극 자체의 형성이 격감한다. 접합된 2매의 웨이퍼를 이설, 분리하기 위해서, 에칭액이 관통홀을 통해서 희생층으로 더 균일하게 스며들도록 에칭액조를 진공 중에 배치해서, 감압하에서 부재를 에칭액에 침지할 수도 있다. 또, 초음파에 의한 진동, 가온, 및 웨이퍼 자체의 자전, 공전 등의 회전운동도 액순환 속도를 촉진해서 균일하고 단시간에 이설, 분리공정이 완결한다.
- [0267] 또한, 이하에, GaAs 등의 제1기판 상에, 에칭 희생층(분리층이라고도 한다)을 개재해서 화합물 반도체 다층막을 형성하고, 이 2층으로 형성된 쌍을 복수 회
- [0268] 형성해서 프로세스상의 저비용화를 기대할 수 있는 방법에 대해 설명한다.
- [0269] (다중 에피택셜 성장에 대하여)
- [0270] 도 21A 내지 도 21E를 참조해서 설명한다.
- [0271] 도 21A에 있어서, (1000)은 제1기판(예를 들면, GaAs), (2101)은 버퍼층이다.
- [0272] 분리층(2102)으로서, 고선택 에칭 특성이 있는 AlAs(AlGaAs)를 사용하므로, 이러한 층을 에피택셜 성장시킬 수 있는 기판이 제1기판이다. 이러한 기판의 예로서 결정 격자 정수가 가까운 GaAs 기판 또는 Ge기판을 들 수 있다. Si는 GaAs에 대해서 격자 정수 차이가 4% 정도이지만, Si에 GaAs를 직접 성장시키는 것은 가능하다. 따라서, Si기판 상에 GaAs막을 성장시킨 것을 제1기판(1000)으로 사용하는 것도 가능하다. 또, 이들 기판에 불순물이 도핑되어 있어도 된다.
- [0273] 도 21A에 있어서, 제1기판(1000) 이외의 개소에 대해 설명한다.
- [0274] 제1기판(1000) 상에 분리층(2102) 및 활성층을 포함한 발광층(2103)을 순차적으로 연속해서 에피택셜 성장시킨다.
- [0275] 분리층(2102)의 재료는 AlAs 또는 $Al_{(x)}Ga_{(1-x)}As$ ($x \geq 0.7$)이고, 막두께로서는
- [0276] 수십 내지 수백 nm가 바람직하다.
- [0277] 발광층(2103)은 발광소자로서 화합물 반도체층 다층막이고, 예를 들면, GaAs, AlGaAs, InGaAs, GaP, InGaP, AlInGaP 등이 사용된다. 이 발광층(2103)에는 pn접합이 있다.
- [0278] 또한, 분리층(2102)을 형성하기 전에 버퍼층(2101)을 형성하는 경우가 있지만, 이것은 임의이다. 버퍼층(2101)의 목적은 결정 결함을 저감시키는 것 등이다.
- [0279] 성장 방법은 균일하게 성장할 수 있는 방법이면, 특히 한정될 것은 없고, MOCVD법, MBE법, LPE법 등의 어느 방

법이라도 사용할 수 있다.

- [0280] 또한, 분리층(2102) 및 발광층(2103)을 1조로 하고, 복수 조의 분리층 (3102), (4102) 및 발광층(3103), (4103)을 순차적으로 n조까지 성장시킨다. 여기서, 분리층(2102)의 두께를 일정하게 할 필요는 없다. 상층이 됨에 따라서 얇게 하는 것도 가능하다.
- [0281] 이것은, 분리층(2102)을 사이드 에칭할 때에, 막두께가 얇을수록 에칭 속도가 크다고 하는 특징을 고려해서 제1기판(1000)의 외주부의 하층부에 있어 가능한
- [0282] 한 쓸데 없는 에칭을 피하기 위한 한 방법이다.
- [0283] 다음에, 도 21B에 나타내는 바와 같이, 최상부의 발광층(4103) 상에 광반사층(4104)을 형성한다.
- [0284] 그리고, 광반사층(4104)을 섬 형상으로 남기도록 레지스트 패터닝(2105)을 형성한다.
- [0285] 광반사층(4104)의 재료는 형성되는 발광소자의 파장에 대한 반사율이 높은 재료가 바람직하다. 예를 들면, 발광소자의 재료가 GaAs계이고, 발광 파장이 750~800nm 정도이면, Au(금), Ag(은), Al(알루미늄) 등이 바람직하다. 물론, 그 외의 광반사 물질도 사용할 수 있다.
- [0286] 발광 파장이 360nm 정도인 청색계의 발광 소자의 경우, 광반사층(4104)의 재료는 Al 등이 바람직하다. 또한, 이 광반사층 대신에 상술의 DBR층을 사용해도 되고, 특히 형성하지 않아도 된다. 즉, 이 광반사층(4104)은 생략할 수도 있다.
- [0287] 또, 섬 형상의 발광층(4103)은 하나의 발광소자의 발광층을 형성해도 되고,
- [0288] 또는 복수의 발광소자가 어레이 형상으로 포함되는 영역이 되도록 해도 된다. 여기서, 섬 형상의 발광층(4103)의 크기는 후술하는 제2기판(110)을 다이싱할 때의 칩 사이즈와 일치하고 있는 것이 바람직하다.
- [0289] 광반사층(4104)은 필수가 아니다. 이것은 후술하는 제2기판(2000) 측에 형성되어도 되고, 또는 전혀 없어도 된다.
- [0290] 다음에, 도 21C에 나타내는 바와 같이, 광반사층(4104)과 최상부의 발광층 (4103)을 섬 형상으로 에칭해서 최상부의 분리층(2102)의 일부를 노출시킨다. 또 한, 이 발광층을 섬 형상으로 상술의 제1홀이 둘러싸고 있게 된다.
- [0291] 도 21D에 나타내는 바와 같이, 제1기판(1000)을 제2기판(2000)에 접합한다.
- [0292] 제2기판(2000)의 재질은 임의이며, Si기판과 같은 반도체 기판, 도전성 기판, 절연성 기판 등 어떠한 재질이라도 된다. 상술한 바와 같이, 발광층을 구동하기 위한 구동회로 등이 배치되어 있어도 된다. 또, 표면에 유기 재료막 등의 절연막을 형성해도 된다.
- [0293] 또, 제2기판(2000)의 표면에 광반사층(4104)을 형성해도 된다. 또, 제1기판 (1000) 및 제2기판(2000)의 쌍방의 표면에 이 반사층(4104)을 형성하거나, 이 반사층(4104)을 서로 접합해도 된다.
- [0294] 제1기판(1000)과 제2기판(2000)의 접합 방법으로서, 접합 후에 가열하는 방법, 가압하는 방법, 양쪽을 사용하는 방법 등이 있다. 감압 분위기중에서 접합하는 것도 유효하다.
- [0295] 또한, 제2기판(2000)에는, 이미 설명한 바와 같이, 본 실시형태에 의한 제2홀(관통홀)이 형성되어 있지만, 도면에서는 생략되어 있다.
- [0296] 접합의 결과, 그 계면 근방에 패터닝 홀에 의한 공간(2106)이 생긴다. 제1홀과 제2홀이 이 공간(2106)에 연결되어 있다.
- [0297] 도 21E는 각각의 기판을 분리한 상태를 나타내는 도면이다.
- [0298] 이 분리는 최상층의 분리층(4102)을 에칭함으로써 행해진다.
- [0299] 여기서, 에칭액은 섬 형상의 분리 영역에 의해서 생긴 공간(2106)에 유입한다.
- [0300] 최상층의 분리층(4102)을 에칭해서, 결과적으로 제1기판(1000)과 제2기
- [0301] 판(2000)이 분리된다. 이 때의 에칭액으로서는, 불화수소산 용액 또는 염산 용액 등을 사용할 수 있다.
- [0302] 그 결과, 섬 형상 영역의 발광층(4103)이 제2기판(2000)에 전사된다.

- [0303] 발광층(4103)이 전사된 제2기판(2000)은 디바이스 프로세스로 옮겨져서, 발광소자가 형성된다.
- [0304] 한편, 최상층의 발광층(4103) 및 분리층(4102)을 전사와 에칭에 의해 상실한 제1기판(1000)은 최표면이 발광층(4103)이 되어, 도 21A에 나타내는 공정으로 돌아온다.
- [0305] 발광층(4103) 및 분리층(4102)을 한 쌍으로 했을 경우, 이것들이 형성되는 수인 n 의 상기 공정을 반복함으로써, n 매의 발광소자가 형성되는 기판을 형성할 수 있다. 또한, 분리층과 발광층의 2개가 1조가 되는 경우를 설명했지만, 이것에 반사층도 더해 3층 1조를 형성해서 이것을 복수 회 적층해도 된다.
- [0306] 이상 설명한 바와 같이, 본 발명에 의하면, 신규 반도체 물품의 제조방법,
- [0307] 및 신규 부재가 제공된다. LED로 대표되는 발광소자를 칩 형상으로 제작할 때, 소자 분리 공정, 배선 공정, 제2기판의 다이싱 공정 등을 적절히 더 행한다. 칩 상에 복수의 발광점을 가지는 LED를 제작하기 위한 소자 분리에 관해서는, 예를 들면, 화합물 반도체 다층막의 표면 측의 도전형이 p 인 경우에는, 그 아래의 n 형층까지 또는 활성층 부근까지 패터닝해서 제거한다. 이렇게 해서 소자 분리를 행할 수 있다. 또한, 다이싱 방향과 제2관통홀의 방향은 도 3의 경우와는 반대로 해도 된다. 구체적으로는, 칩의 장변 방향을 따른 도 3에 표시된 관통홀이 아니라, 칩의 장변방향과 직교하는 단변 방향을 따라 관통홀을 형성한다. 이러한 경우에, 상면의 직사각형의 장변 방향을 따라서 어레이 형상으로 배열하는 경우에, 칩들 사이의 공간은 다이싱이 아니라 미리 형성된 관통홀(예를 들면, RIE에 의해 제작)에 의해 형성된 측면을 가진다. 이것은 밀접하게 배치하는 경우를 고려하면 바람직하다. 물론, 칩의 장변
- [0308] 방향과 단변 방향의 양쪽 방향을 따라서 단속적으로 배치되어 있는 홀을 형성하는 것도 바람직하다. 이러한 경우에, 섬 형상의 화합물 반도체 다층막의 하면에는
- [0309] 장변 방향을 따른 관통홀과 단변 방향을 따른 관통홀이 단속적으로 형성되어 있게 된다.
- [0310] (제2실시형태)
- [0311] 제1실시형태에서 설명한 제조방법을 사용함으로써, 도 6에 표시된 LED 어레이가 제공된다. 도 6은 배선 기판 상에서 구동회로와 LED 어레이를 접속한 구성의 일례를 표시하는 단면도이다. LED 어레이는, 전술한 반도체 물품의 제조방법의 공정(7)에서, 실리콘 기판 상의 섬 형상의 화합물 반도체 다층막에 복수의 LED 소자를 형성하고, 실리콘 기판을 다이싱에 의해 분할해서 얻을 수 있다. 각 LED 소자의 단면 구성은 후술하는 도 7이나 도 15의 좌측의 LED 발광영역을 포함하는 LED 소자와 동일하다. 도 6에서는, 복수의 LED 어레이 칩(4000)을 배선 기판(5000) 상에 라인 형상으로 배열하고, 복수의 드라이버 IC(3050)를 복수의 LED 어레이 칩(4000)의 양쪽에 마찬가지로 라인 형상으로 배치하고, LED 어레이(4000)를 복수의 드라이
- [0312] 버 IC(3050)와 와이어 본딩에 의해 전기적으로 접속한다. LED 어레이 칩(4000)의 각 LED 소자는 교대로 LED 어레이 칩(4000)의 양쪽에 배치된 드라이버 IC(3050)의 구동 소자와 와이어 본딩에 의해 전기적으로 접속된다. 여기서는, 라인 형상으로 배치된 복수의 LED 어레이 칩(4000)의 양쪽에 복수의 드라이버 IC(3050)를 라인 형상으로 배치하고 있다. 물론, 장착이 가능하면, 복수의 LED 어레이 칩(4000)의 한 쪽에 복수의 드라이버 IC(3050)를 배치해도 된다.
- [0313] 또한, 필요에 따라서, 라인 형상으로 배치된 LED 어레이 칩(4000)에 로드렌즈 어레이(예를 들면, SLA: 셀포크 렌즈 어레이)(3000)를 장착함으로써 LED 프린터 헤드(5)를 형성할 수도 있다. 라인 형상으로 배치된 LED 어레이 칩(4000)으로부터 방출된 광은 로드렌즈 어레이에 의해 집광되어 LED 결상(3060)이 얻어진다.
- [0314] 또한, 상술한 바와 같이, 실리콘 기판 상에 금속막이나 DBR 미러를 개재해서 LED 소자 구성층이 형성되어 있는 경우에는, 지향성의 향상과 휘도 증가에 의해 소자 치수를 미세가공에 의해 얻어진 것이라 해도 충분한 휘도를 가진 디바이스의 발광점이 실현된다. 따라서, 로드렌즈 어레이는 생략되어, LED 프린트헤드로부터 직접 광광채에 잠상 형성하는 것이 가능하게 되어, 부품 수가 적고, 경제 효과도 높
- [0315] 은 도 5에 표시된 구성을 가진 LED 프린터헤드를 형성할 수도 있다.
- [0316] 또한, 도 6은 와이어 본딩에 의해 드라이버 IC(구동회로)와 LED 소자를 서로 접속하는 경우를 표시하고 있지만, Si 기판 측에 직접 드라이버 회로를 형성해서 LED 소자와 접속시킬 수도 있다(도 7 [반사층을 유기절연층 상, 디바이스 직하에 설치]).
- [0317] 도 7에 있어서, 드라이버 IC를 구성하는 MOS 트랜지스터(7060)를 포함하는 실리콘 기판 상에 유기재료로 이루어진 절연막(7010)이 형성된다. 그리고, 절연막 상에 화합물 반도체 다층막으로 이루어진 LED 발광영역(7070)

이 형성된다. (7080)은 절연막(SiO_2 나 SiN), (7050)은 MOS 트랜지스터(7060)의 소스 또는 드레인 영역이 되는 와이어 패드이다. (7081)은 미러로서 기능하는 층(예를 들면, Ti 나 Au 등의 금속 미러)이고, (7083), (7084)는 배선, 매립배선, 또는 전극 패드이다.

[0318] 이와 같이, 접합되는 제2기관 측에 구동용의 드라이버 IC를 포함함으로써, 도 19에 표시한 바와 같이, 다이싱 방향(1625)으로 다이싱함으로써 도 19에 표시하는 칩(1960)을 잘라낼 수 있다. 또한, 도 19에 있어서, 잘라낸 칩 어레이(1960)(이것의 확대도가 도 19A에 표시되어 있다)를 프린트 기관(1930)에 배열하는 상태를 표시하고 있다. (1911)은 제2기관이다. 또한, 제2기관에는 관통홀인 제2홀이 칩의 장변 방향을 따라서 단속적으로 도 3과 같이 형성되어 있지만, 도 19에서는 생략되어 있다.

[0319] 또한, 매트릭스 구동의 일례를 도 8에 표시한다. 도 8은 전극 수를 줄이기 위한 시분할 구동가능한 발광소자 어레이 회로(8500)를 나타내는 도면이다. 도 8에 있어서, (8011)은 n측 전극, (8017)은 p형 전극, (8021)은 n형 AlGaAs 상 절연막, (8022)는 p형 GaAs 콘택층 상 절연막, (8023)은 발광영역이다.

[0320] 또한, 본 실시형태에 있어서는, 발광 소자로서 LED를 사용한 LED 어레이 칩을 사용했지만, 물론, LD(Laser Diode) 어레이 칩을 사용해도 된다.

[0321] 또, 도 20은 도 7에 나타낸 형태를 변경한 예를 나타내고 있다. 도 7과 같은 기능을 가지는 부분에는 같은 부호를 사용하고 있다. 도 7에서는, 유기 절연막(7010)과 실리콘 기관(7000) 측에 미러(7081)를 배치하고 있다. 도 20에서는, 화합물 반도체 다층막(1020)에 직접 미러층(7021)(금속 미러, DBR층 등)이 형성되어 있다. 이러한 경우, 발광영역(1020)에 의해 기관방향으로 생기는 광을 유기 절연막(7010)을 통과시키는 일 없이 반사할 수 있으므로, 극히 성능이 높아진다. 도 7에서는, 미러층(7021)을 사용해서 구동회로(7060)와 전기적으로 접속하고 있다. 또한, 미러층이 저저항(n+) DBR인 경우에도, 마찬가지로, 해당 미러를 사용해서 구동회로와 전기적 접속을 할 수 있다.

[0322] (제3실시형태)

[0323] 도 9A는 제2실시형태에서 설명한 LED 프린터 헤드를 사용해서 LED 프린터를 구성한 예를 나타낸다.

[0324] 도 9A는 본 발명에 의한 LED 프린터의 구성예를 나타내는 개략 단면도이다.

[0325] 도 9A에 있어서, 프린터 본체(8100)의 내부에는, 시계 주위를 회전하는 감광

[0326] 드럼(8106)이 수납되어 있다. 감광드럼(8106)의 위쪽에는, 감광드럼을 노광하기 위한 LED 프린터 헤드(8104)가 배치되어 있다. LED 프린터 헤드(8104)는 화상 신호에 따라 발광하는 복수의 발광 다이오드가 배열된 LED 어레이(8105)와 각각의 발광 다이오드의 발광 패턴을 감광드럼(8106) 상에 결상시키는 로드렌즈 어레이(8101)로 구성된다. 여기서, 로드렌즈 어레이(8101)는 상기 실시형태에서 설명된 구성을 가지고 있다. 로드렌즈 어레이(8101)에 의해 제조된 발광 다이오드의 결상면과 감광드럼(8106)의 위치는 서로 일치하도록 배치되어 있다. 구체적으로는, 발광 다이오드의 발광면과 감광드럼의 감광면이란, 로드렌즈 어레이에 의해서 광학적으로 공역관계로 되어 있다.

[0327] 감광드럼(8106)의 주위에는, 감광드럼(8106)의 표면을 균일하게 대전시키는 대전기(8103) 및 프린터 헤드(8104)에 의한 노광 패턴에 따라 감광드럼(8106)에 토너를 부착시켜 토너상을 형성하는 현상기(8102)가 배치되어 있다. 감광드럼(8106)의 주위에는, 감광드럼(8106) 상에 형성된 토너상을 복사 용지 등의 도면에 도사하지 않은 피전사재 상에 전사하는 전사 대전기(8107) 및 전사 후에 감광드럼(8106) 상에 잔류하고 있는 토너를 회수하는 클리닝 수단(8108)이 배치되어 있다. 이렇게 해서 결상유닛이 구성된다.

[0328] 또한, 프린터 본체(8100)에는, 상기 피전사재를 적재하는 용지 카세트 (8109), 용지 카세트(8109) 내의 피전사재를 감광드럼(8106)과 전사 대전기(8107) 사이에 공급하는 급지수단(8110)이 배치되어 있다. 또, 전사된 토너상을 피전사재에 정착시키기 위한 정착기(8112), 피전사재를 정착기(8112)에 인도하는 반송수단 (8111), 및 정착 후에 배출된 피전사재를 유지하는 배지 트레이(8113)가 배치되어 있다.

[0329] 도 9B는 본 발명에 의한 컬러 프린터의 1구성예의 기구부의 개요 구성도를 나타낸다. 복수(도의 경우는 4개)의 결상유닛을 가지게 된다. 도 9B에 있어서, (9001), (9002), (9003), (9004)는 각각 마젠타(M), 시안(C), 옐로우(Y), 블랙(K)의 감광체 드럼, (9005), (9006), (9007), (9008)은 LED 프린터 헤드이다. (9009)는 전사지를 반송하는 동시에, 각 감광체 드럼(9001), (9002), (9003), (9004)과 접촉하기 위한 반송 벨트이다. (9010)은 급지용의 레지스트 롤러, (9011)은 정착 롤러이다.

- [0330] (9012)는 반송 벨트(9009)에 전사지를 흡착 및 유지하기 위한 차저, (9013)은 제전차저, (9014)는 전사지의 첨단 검출용 센서를 나타낸다.
- [0331] (제4실시형태)
- [0332] 또한, 제1실시형태에서 설명한 반도체 물품의 제조방법을 사용해서 LED 소자를 제작하고, 이 LED 소자를 사용해서 디스플레이 등의 표시장치를 제작할 수도 있다. 이러한 경우에는, 복수의 파장을 가지는 LED를 준비하는 것이 바람직하다.
- [0333] (제5실시형태: 접합 구조체)
- [0334] 본 실시형태에 의한 발명은 제1기판과 제2기판을 접합해서 구성되는 접합 구조체에 관한 것이다.
- [0335] 그리고, 상기 제1기판 상에는, 분리층을 개재해서 섬 형상으로 패터닝되어 있는 화합물 반도체 다층막을 포함한 영역(도 2에 있어서의 (1020))이 배치되어 있고, 이 화합물 반도체 다층막 영역들 사이에는 제1홈(도 1에 있어서의 (1025))이 있다.
- [0336] 그리고, 상면으로부터 본 상기 화합물 반도체 다층막 영역의 형상은 장변 방향(2901)과 단변 방향(2902)을 가지는 직사각형이다.
- [0337] 상기 제2기판(2000)에는, 이 제2기판을 관통하고 있는 상기 제2홈(2005)이 형성되어 있고, 이 제2홈은 상기 장변 방향을 따라서 평행하게 단속적으로 복수 개 형성됨으로써, 장변 방향의 관통홈군(도 3의 (3998))을 이루고 있다.
- [0339] 상기 장변 방향의 관통홈군(3998)이 섬 형상의 상기 화합물 반도체 다층막 영역의 단변 방향의 길이와 동일하거나, 그 이상의 간격으로 서로 평행하게 복수 배열되어 있는 것을 특징으로 한다. 여기서 말하는 간격이란, 도 3에 있어서의 화살표(3999)로 표시되어 있다. 2개의 기판을 서로 접합한 상태에서는, 영역(1020)이 2개의 제2홈 사이에 위치하게 된다. 이와 같이 해 두면, 이 접합 구조체를 단변 방향을 따라서 다이싱함으로써, 칩화할 수 있다.
- [0340] 또한, 본 실시형태의 설명에 나타나는 분리층, 제1 및 제2기판, 화합물 반도체 다층막을 포함하는 영역 등에 대해서는, 상술의 실시형태에 대해 설명했던 것이 모순되지 않는 이상 모두 적용된다. 특히, 제2기판에 관해서는, 실리콘 웨이퍼에
- [0341] 구동회로 등의 드라이버를 형성하는 것도 바람직하다.
- [0342] 또한, 영역(1020)의 장변 방향의 길이는 상기 제2관통홈의 장변 방향의 길이와 동일하거나, 그것보다 짧게 할 수도 있다. 물론, 예를 들면, 영역(1020)의 장변 방향의 길이를 4개의 관통홈 분의 길이에 상당하는 길이로 할 수도 있다.
- [0343] (제6실시형태)
- [0344] 또, 본 발명의 다른 측면은 이하의 특징을 가진다.
- [0345] 제1기판 상에 이 제1기판 측으로부터 분리층과 발광층을 순차적으로 형성하고, 이 발광층이 안쪽에 위치하도록 상기 제1기판을 제2기판에 접합해서 접합 부재를 형성하고, 상기 분리층을 에칭 제거함으로써 상기 발광층을 상기 제2기판에 전사하는 발광소자의 제조방법으로서, 상기 제1기판 상의 상기 분리층과 상기 발광층을 1조로 하고, 이 조를 n 회(n 는 2 이상의 자연수이다) 반복해서 형성하고, 최표면
- [0346] 의 발광층만을 복수의 섬 형상으로 패터닝한 후, 상기 제1기판을 상기 제2기판에 접합해서 접합 구조체를 형성하고, 상기 섬 형상의 패터닝에 의해서 상기 접합 구조체에 형성되어 있는 공간에 에칭액을 침투시키고 상기 분리층과 상기 에칭액을 접촉시켜서 상기 섬 형상의 발광층을 선택적으로 상기 제2기판에 전사하는 것을 특징으로 하는 발광소자의 제조방법.
- [0347] (제7실시형태)
- [0348] 또, 본 발명의 또 다른 측면은 이하의 특징을 가진다.
- [0349] 즉, 실리콘 기판 상에 DBR 미러를 개재해서 발광소자가 배치되어 있는 것을 특징으로 하는 발광 디바이스이다.
- [0350] DBR를 가진, 이른바 마이크로캐비티 LED 구조체를 형성한 후, 이것을 실리콘 기판에 이설해서, 보다 지향성이

높은 스폿을 실현하고, 로드 렌즈를 필수로 하지 않는, 밀착형 프린터 헤드를 얻을 수 있다.

- [0351] 또, LED 어레이 제조방법은, 제1반도체 기판의 표면에 분리층, 발광층, 및 DBR층의 순서로 형성하고, 이것을 반도체 회로가 형성된 제2기판에 절연막을 개재해서 접합하는 공정, 상기 분리층을 에칭 및 제거함으로써 상기 제1기판의 발광층
- [0352] 및 DBR층을 상기 제2기판에 전사하는 공정, 전사된 상기 발광층을 복수의 발광부의 어레이로 하는 공정, 및 상기 발광부의 발광을 제어하기 위해 복수의 상기 발광부와 상기 반도체 회로의 전극 부분을 전기적으로 접속하는 공정을 포함한다.
- [0353] 이하, 본 발명에 대해서 실시예를 사용해서 설명한다.
- [0354] (실시예)
- [0355] 도 10 내지 도 18B를 참조해서 실시예를 설명한다.
- [0356] 우선, p-GaAs 기판(1000)을 준비한다. 필요에 따라서 도시하지 않은 버퍼층을 형성한 후, 에칭 스톱층(1009)으로서 GaInP층을 형성한다. 그 위에, 에칭 희생층(1010)으로서 p-AlAs층을 형성한다. 또한, 화합물 반도체 다층막(1020)을 형성한다. 이 다층막은 위로부터 순차적으로 n형 GaAs 콘택트층, n형 클래드층, p형 활성층, p형 클래드층, p형 콘택트층으로 형성된다.
- [0357] 또한, 그 위에 AlGaAs 다층막($Al_{0.8}GaAs/Al_{0.2}GaAs$ 의 10쌍)(1022)을 형성해서 DBR 미러로서 기능시킨다(도 10).
- [0358] 또한, 에칭 스톱층, 희생층, 및 화합물 반도체 다층막은 반복해서 형성(멀티
- [0359] 에피택셜)해도 된다. 이 경우의 예가 도 11에 나타나 있다. AlGaAs 다층막(1022) 상에는 에칭 스톱층(1109)으로서 GaInP층을 형성한다. 그 위에, 에칭 희생층(1110)으로서 p-AlAs층을 형성한다. 또한 화합물 반도체 다층막(1120)을 형성한다. 또한, 그 위에 AlGaAs 다층막($Al_{0.8}GaAs/Al_{0.2}GaAs$ 의 10 쌍)(1022)을 형성해서 DBR 미러로서 기능시킨다.
- [0360] 도 11에 나타내는 바와 같이, 제1홈(1125)을 레지스트를 마스크로 해서 에칭에 의해 형성한다. 에피택셜층(1120)을 칩 형상으로 분리한다. 예를 들면, 크기는 $250\mu m \times 8mm$, 분리 폭은 $80\mu m$ 정도로, 스크라이브 라인에 상당하는 것이 바람직하다. 또는, 에칭을 촉진하기 위해서, 칩 폭 $250\mu m$ 를 단축해도 된다. 최단 길이는 개개의 LED 소자의 크기인 수십 미크론까지 축소할 수 있다.
- [0361] 도 12A 및 도 12B에 나타내는 바와 같이, 실리콘 기판(2000)에 스크라이브 라인 형상으로 관통홈(반도체 기판홈)(2005)을 형성한다. 실리콘 기판에는, 상기의 스크라이브 라인을 따른 종방향으로 $80\mu m \times 8mm$ 의 직사각형 형상의 홈을 웨이퍼를 관통해서 형성한다. 그 방법으로서, MEMS에 실용화되어 있는 깊은 RIE 또는 샌드 블라스트법 등이 적용된다. 또한, 홈이 형성된 실리콘 기판에는 구동회로가 형성되어 있어도 되고, 또는 열전도가 약 3배 향상되고, 가격이 10분의 1 이하인 실리콘 본래의 특성을 사용해서 디바이스층이 없는 그대로 사용해도 된다.
- [0362] 그리고, 포지티브형의 감광성 유기 절연막 폴리이미드를 스핀 도포해서 광감광성을 가지는 유기 절연막(유기 재료막)(2010)을 관통홈 위에 피복한다. 그 후, 관통홈을 통해 UV광을 조사한다. 이렇게 함으로써, 실리콘의 관통홈 상부의 유기 절연막을 자기 정합적으로 제거하는 것이 가능해진다. 이렇게 해서, 유기 절연막에도 제3관통홈(2006)을 형성한다. 홈을 가진 실리콘 기판의 표면에 영구 접착층으로서 사용되는 포지티브형 감광 폴리이미드 및 유기 절연층을 도포하고, 기판 이면으로부터의 UV광 조사에 의해 홈을 피복한 폴리이미드를 노광 및 현상해서 제거한다.
- [0363] 도 12B는 4 또는 6인치의 웨이퍼를 상면으로부터 보았을 경우의 상기 관통홈을 나타내고 있다.
- [0364] 도 13A 및 도 13B로 나타내는 바와 같이, 양 기판을 서로 접합한다. 접합은,
- [0365] 유기 절연막(2010)을 유리 전이 온도 이상으로 예비가열해서 접착성을 높인 다음, 가압, 가열함으로써 행한다. 또한, 멀티 에피택셜층을 사용해서 멀티 전사하는 경우에는, 각 칩 사이즈에 대해서 DBR 반사층 및 디바이스층을 AlAs 희생층까지 에칭 한 후, 홈에 에칭액을 침투시키기 위해서 접합을 행한다. 홈에 에칭액을 진입시키거나, 제트류를 사용해서 에칭액의 진입을 보조하는 것이 효과적이다. 또, 접합한 웨이퍼 쌍을 감압하에 두거나, 또는 그 간극을 감압으로 해서 에칭액의 침입을 촉진하는 것도 효과적이다.
- [0366] 유기 절연막에 존재하는 홈에 의해 분리된 에피택셜층의 표면을 접착성이 있는 폴리이미드 표면에 눌러서, 접착

하고, 접합해서 보이드가 없는 접합을 실현한다. 폴리이미드층은 접착층으로서 그리고 소자 분리를 위한 영구 절연층으로서 사용된다. 접합된 에피텍셀층 측에는 광반사층으로서 금속 미러 또는 DBR 미러가 직접 배치되어 있는 것이 바람직하다. 그 경우, 유기 절연막의 하부에 반사 미러층을 매설하는 경우와 비교해서, 광흡수에 의한 광손실이 회피되고, 광이 2배로 증폭되거나, 또는 계면의 전반사율을 고려하면, 그 이상의 광증폭이 가능해진다.

[0367] 다음에, 2 내지 10%로 희석한 HF용액에 상기 접합 부재를 침지해서, AlAs 희생층(1110)을 선택적으로 에칭해서 제거한다. 희석된 HF용액에 상기 접합 기판을 침지함으로써, 약 10만 배의 선택 에칭이 에피텍셀층과 GaAs 기판 사이의 계면에 형성된 분리층을 선택적으로 용해해서, 단시간에 분리가 완료된다. 섬 형상 분리가 없는 경우에는, 웨이퍼의 사이즈에 따라서, 웨이퍼 전역을 분리하는데 일주일 이상 걸리는 경우도 있다.

[0368] 또한, 에칭액이 침투하기 어려운 경우에는, 에칭액에 초음파를 인가하거나 압력을 가해서 에칭액을 진입시키거나, 제트류를 사용해서 에칭액의 진입을 보조하는 것이 효과적이다. 또, 접합된 웨이퍼 쌍을 감압하에 두거나, 또는 그 간극을 감압으로 해서 에칭액의 침입을 촉진하는 것도 효과적이다.

[0369] 그리고, 도 14에 나타내는 바와 같이, GaAs 기판(1000)을 부재로부터 분리한다.

[0370] 그 후, 메사 에칭에 의해 에피텍셀층의 n층을 노출시킨다. 구체적으로는, 도

[0371] 15에 나타내는 바와 같이, 음극 전극을 클래드층 하에 형성한 콘택트층 또는 반사 DBR 미러에 N형 불순물을 도핑함으로써 저저항층을 형성한다. 그리고, 그 바로 위쪽에 GaInP 등의 에칭 스톱층을 설치하고, 메사 에칭에 의해, 도시하는 바와 같이, LED 단면을 사다리꼴로 정형하는 동시에 음극 콘택트층을 노출시킨다. 그 후, 패시베이션막을 형성하고, 콘택트홀을 형성하고, 이 콘택트홀에 메탈을 충전해서 LED 디바이스를 형성한다.

[0372] (9000)은 실리콘 기판이다. 필요에 따라서 그 위에 드라이버 회로가 형성되어 있어도 된다. (9010)은, 예를 들면, 유기 재료인 절연막이다. (9015)는 와이어 본딩 패드이다. 절연막(9010)은 필요에 따라서 형성하면 된다. (9040)은 메탈 등으로 형성된 미러로서 기능하는 부분이다. 이 층도 필요에 따라서 형성하면 된다. (9050)은 배선이다. (9030)은 에피텍셀층이며, 예를 들면, 다층 구성을 가진다. (9020)은 절연막이다. 에피텍셀층(9030)은 메사 형상으로 에칭되거나 점발광을 위해서, 필요에 따라서, 소자 분리된다. 이 분리는, 다층 구성을 표면에서 보았을 경우에, 표면의 도전형(p 또는 n)이, 예를 들면, p형인 경우에는, 활성층이 노출되든지, n형의 층이 노출될 때까지 제거함으로써, 각 발광점에 대해 분리(어레이화)할 수 있다.

[0373] (9041)은 필요에 따라서 설치되는 부분이며, 예를 들면, 다층막(9030)에 연속적으로 형성된 저저항층이다. 즉, 부분(9041)은 생략가능하다. 또한, 부분(9040)이 금속 메탈인 경우에는, 인출 배선(9015)과 전기적으로 접속하지 않게 한다. 단, 인출 배선(9015)과 등전위를 유지하도록 전기적으로 인출 배선(9015)과 부분(9040)을 접속해도 된다.

[0374] 도 16과 같이 다이싱 소를 행하는 방향(1625)을 따른 칩(1600)의 횡단방향으로 소잉(sawing)함으로써, 웨이퍼를 절단하는 동시에, 칩의 종방향으로 정렬된 관통홀(2005)의 단부가 이 소잉에 의해서 연결된다. 이렇게 해서, 칩(1600)이 개별적으로 분리된다. 물론, 웨이퍼를 다이싱 테이프에 접합함으로써, 칩 분리시에 비산하는 것을 방지할 수 있다. 또한, 도 16에 있어서, (1611)은 제2기판(예를 들면, 실리콘 웨이퍼)이며, (1605)와 (1705)는 제2기판에 형성되어 있는 제2관통홀을 나타내고 있다. 칩(1600)의 작은 직사각형은 발광영역을 모식적으로 나타내고 있다.

[0375] 또한, 고밀도 칩의 끝면을 연결해서 긴 어레이를 실현함에 있어서 끝면의 칩핑(chipping)이 문제가 되는 경우에는, 칩의 종방향과 직각인 방향의 칩 간에 분리홀을 형성하고, 종방향으로 다이싱 소를 작동시키면 된다. 원래, 취약한 화합물 반도체 기판의 절단보다 실리콘 기판의 절단이 칩핑은 적다. 특히, 2400DPI인 경우 즉, 소자 간 거리가 10 μ m 정도이고, 그 정밀도로 칩 간을 접속하지 않을 수 없는 경우에는, RIE에 의해 정형된 홀 끝면의 평활성이 유효하다. 또, 칩 4개의 코너에 실리콘을 남기고 주위에 관통홀을 형성해도 유효하다. 그 경우에는, 다 이싱 테이프를 신장하는 것만으로 칩 분리가 가능해진다. 관통홀을 반도체 기판의 기계적 절삭에 의해서가 아니라, 화학적 반응인 에칭에 의해서 형성하기 때문에, 절단면의 면 정밀도는 현저히 향상한다. 도 16에 있어서 굵은 선으로 표시한 바와 같이 관통홀의 어레이 형상의 배열 방향과 직교하는 방향으로 다이싱 소를 작동시킴으로써, 개개의 칩으로 분할되게 된다. 또한, 도 16의 확대도인 도 16A에 있어서의 C1와 C2 간의 단면도가, 예를 들면, 도 15에 표시된 칩이다.

[0376] 도 17A는 실리콘 기판 상에 드라이버 회로를 형성한 구성을 나타내고 있다. 도 17B는 웨이퍼면 내에 시프트 레지스트, 래치 등을 포함하는 구동회로 칩을 배열한 평면도를 나타내고 있다. 도 17A 및 도 17B에 있어서, (1700)

은 실리콘 기판, (1701)은 SiO₂로 형성되는 절연막, (1702)는 와이어 본딩 패드, (1703)은 구동회로를 구성하는 MOS 트랜지스터, (1704)는 실리콘 웨이퍼, (1705)는 구동회로 칩이다.

[0377] 도 18에 나타내는 바와 같이, 우선, 확대도가 도 18A에 표시된 실리콘 웨이퍼(1800)로부터 실리콘 구동회로 칩(1822)을 다이싱 소에 의해 자르고, 실리콘 웨이퍼(1820)로부터 확대도가 도 18B에 표시된 LED 칩(1821)을 다이싱 소에 의해 자른다. 다이싱은, 제2기판의 이면에 다이싱 테이프를 접합한 상태에서, 행하는 것이 바람직하다.

[0378] 다음에, 프린트 기판(1830)에 실리콘 구동회로 칩(1822)과 LED 칩(1821)의 다이 본딩을 행해서 실리콘 구동회로 칩(1822)과 LED 칩(1821)을 와이어 본딩에 의해서 전기적으로 접속한다. 그 후, 프린트 기판(1830)과 실리콘 구동회로 칩(1822)의 드라이버 회로를 와이어 본딩에 의해 접속한다. 또한, 광량변동 보정회로 IC를 부가해서 LED 어레이를 얻는다.

[0379] 이상, 본 발명에 의한 대표적인 실시형태 및 실시예에 대해 설명했지만, 본 실시형태 및 본 실시예는 여러 가지의 변형이 가능하고, 본원의 청구의 범위에 의해서 규정되는 본 발명의 정신 및 범위로부터 이탈하지 않는 한, 여러 가지의 치환 및 변경이 가능하다.

[0380] 본 실시예에 의하면, 관통홀을 가지는 실리콘 기판을 사용함으로써, 실리콘 기판 상에 화합물 반도체 다층막을 이설하기 위한 접합 회수도 상술의 일본국 특개2005-012034호 공보에 비해 현저히 줄일 수 있다. 그리고, 디바이스 제품 수율의 향상과 공정 수 저감에 의한 현저한 효과가 기대된다.

산업상 이용 가능성

[0381] 본 발명은 반도체 기판 상에 어레이 형상으로 반도체소자를 형성하는 어레이 소자, 특히 반도체 기판 상에 형성된 LED 소자를 사용한 LED 프린터, 디스플레이,

[0382] 또는, 광송수신용 소자, 또는 수광 소자 등에 사용할 수 있다. 수광 소자에 사용하면, 스캐너를 구성할 수도 있다. 또, LED 어레이 헤드와 이 수광 소자를 조합하면, 조명계 일체형의 스캐너가 제작된다.

[0383] 본 발명을 예시적인 실시형태를 참조해서 설명했지만, 본 발명은 이 개시된 예시적인 실시형태로 한정되는 것이 아님을 이해해야 한다. 첨부된 청구의 범위는 모든 이러한 변형과 등가의 구성 및 기능을 망라하도록 최광의로 해석되어야 한다.

[0384] 이 출원은, 전체로서 참조함으로써 본 명세서에 포함되는, 2006년 10월 27일자로 출원된 일본국 특허출원 제 2006-293306호, 및 2006년 11월 17일자로 출원된 일본국 특허출원 제2006-311625호의 이익을 주장한다.

도면의 간단한 설명

[0074] 도 1은 본 발명에 의한 제1실시형태의 반도체 물품의 제조방법과 관계되는 부재의 단면도;

[0075] 도 2는 도 1의 2-2 단면을 하부로부터 본 도면;

[0076] 도 3은 도 1의 3-3 단면을 나타내는 도면;

[0077] 도 4는 제1홀과 반도체 기판홀 사이의 위치 관계를 나타내는 동시에, 섬 형상의 화합물 반도체 다층막이 반도체 기판 홀 사이에 배치되는 상태를 나타내는 일부 분해 사시도;

[0078] 도 5는 배선 기판 상에서 구동회로와 LED 어레이를 접속한 일례의 구성을 나타내는 단면도;

[0079] 도 6은 LED 프린터 헤드를 나타내는 도면;

[0080] 도 7은 Si 기판 측에 직접 드라이버 회로를 형성하고, LED 소자와 접속시킨

[0081] 상태를 나타내는 단면도;

[0082] 도 8은 전극 수를 줄이기 위한 시분할 구동가능한 발광소자 어레이 회로 (8500)를 나타내는 도면;

[0083] 도 9A는 LED 프린터의 일 구성예를 나타내는 개념도;

[0084] 도 9B는 칼라 프린터의 일 구성예를 나타내는 개념도;

[0085] 도 10은 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0086] 도 11은 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

- [0087] 도 12A 및 도 12B는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0088] 도 13A 및 도 13B는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0089] 도 14는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0090] 도 15는 LED 어레이의 단면도;

[0091] 도 16A 및 도 16B는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0092] 도 17A 및 도 17B는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0093] 도 18, 도 18A, 및 도 18B는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0094] 도 19 및 도 19A는 본 발명에 의한 반도체 물품의 제조방법의 일례를 나타내는 도면;

[0095] 도 20은 Si 기판 측에 직접 드라이버 회로를 형성하고, LED 소자와 접속시킨 상태를 나타내는 단면도;

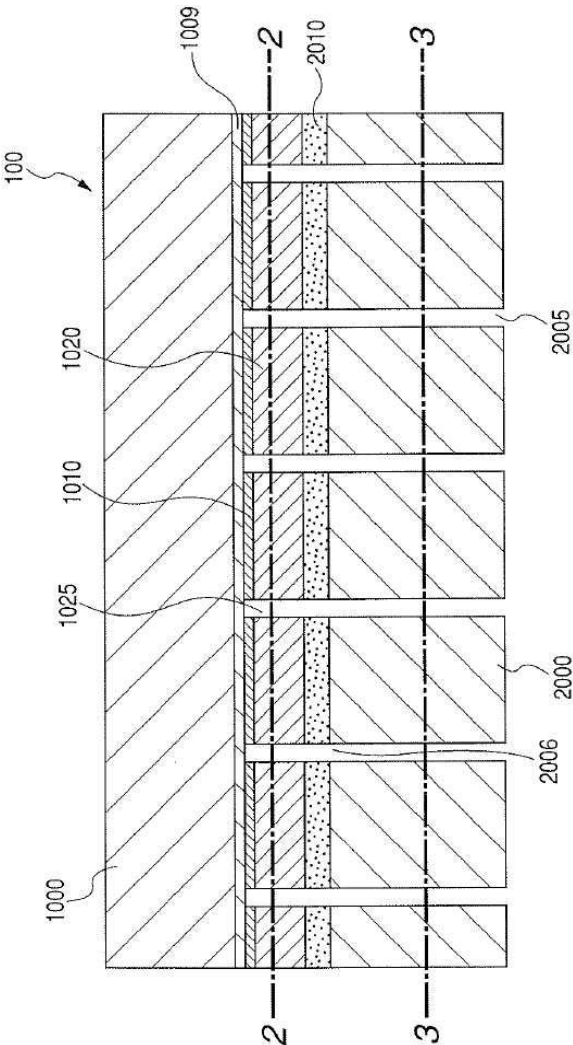
[0096] 도 21A, 도 21B, 도 21C, 도 21D, 및 도 21E는 제1기판 상에 분리층과 발광층으로 이루어진 조를 복수 적층하는 공정을 나타내는 도면.

[0097] <주요부분에 대한 도면부호의 설명>

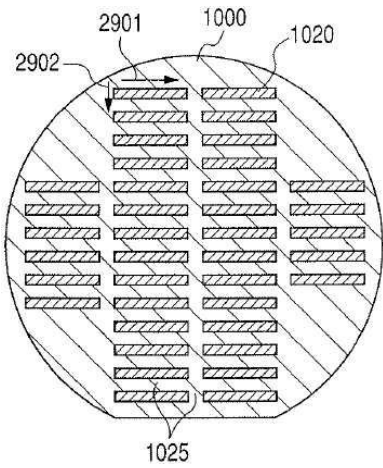
[0098] 1000: 화합물 반도체 기판	1009: 에칭 스톱층
[0099] 1010: 에칭 희생층	1020: 화합물 반도체 다층막
[0100] 1025: 제1홈	2000: 실리콘 기판
[0101] 2005: 제2홈	2006: 제3홈
[0102] 2010: 절연막(유기 재료막)	

도면

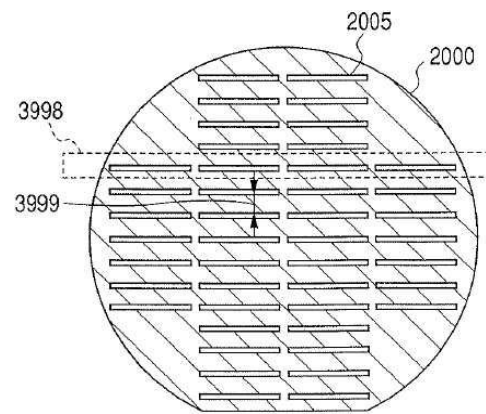
도면1



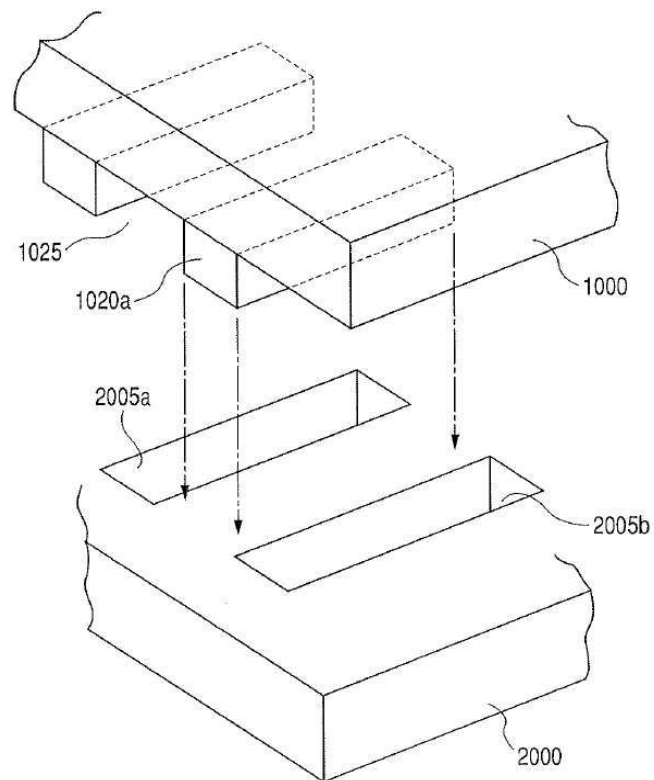
도면2



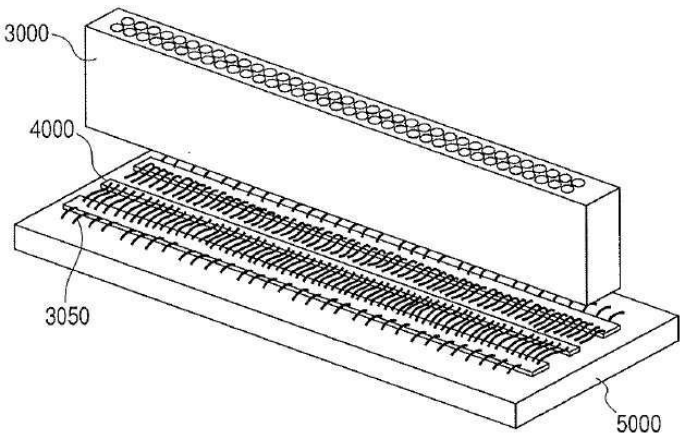
도면3



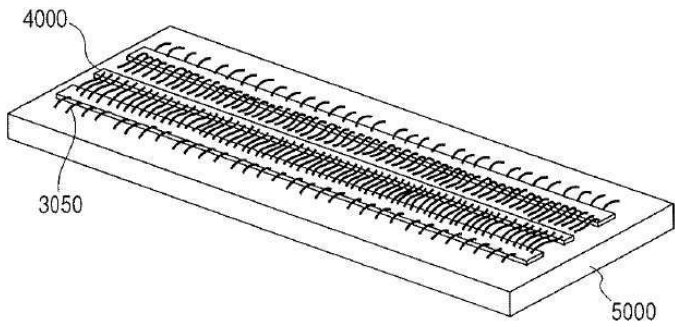
도면4



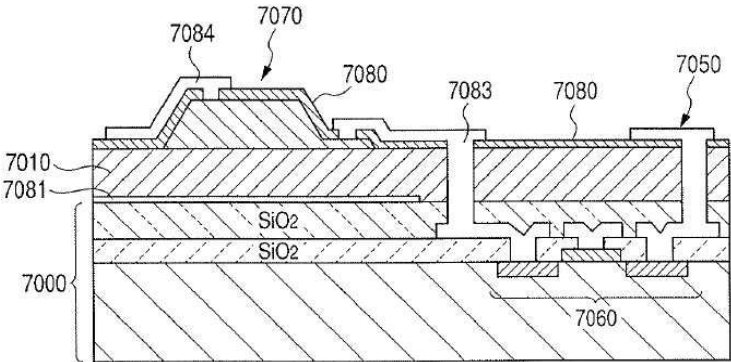
도면5



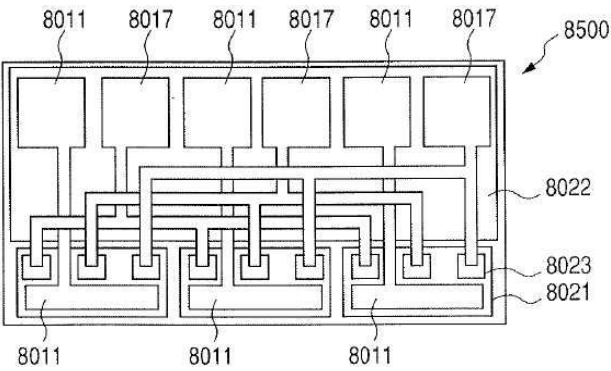
도면6



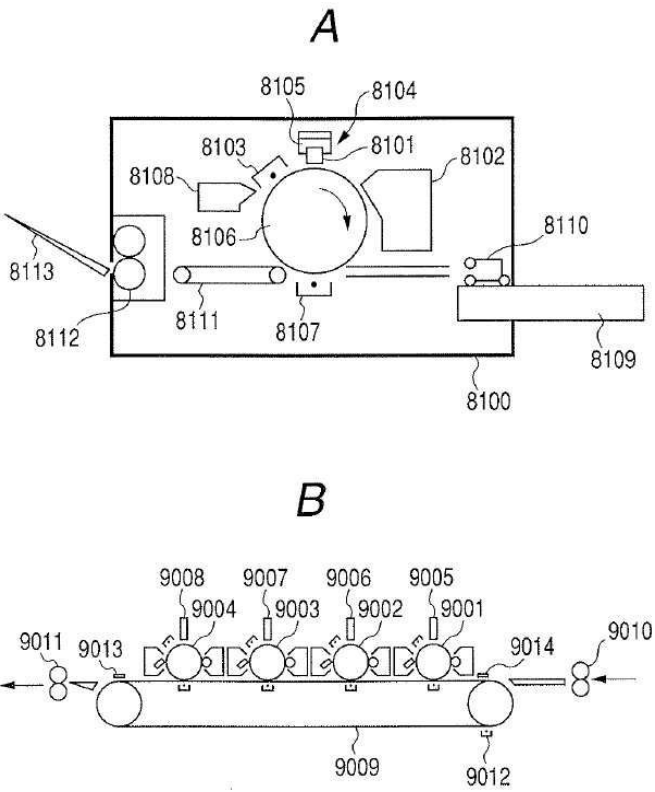
도면7



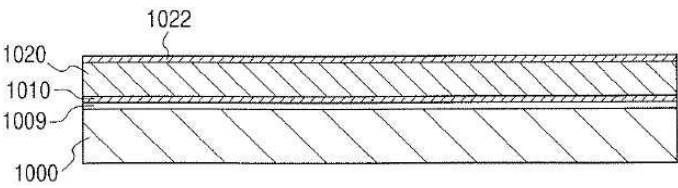
도면8



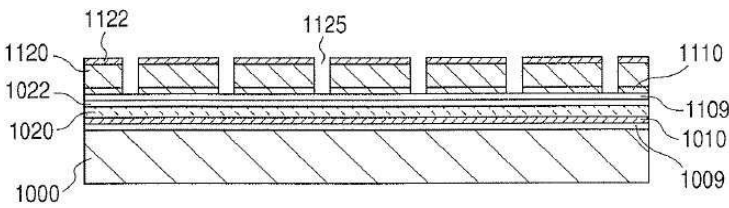
도면9



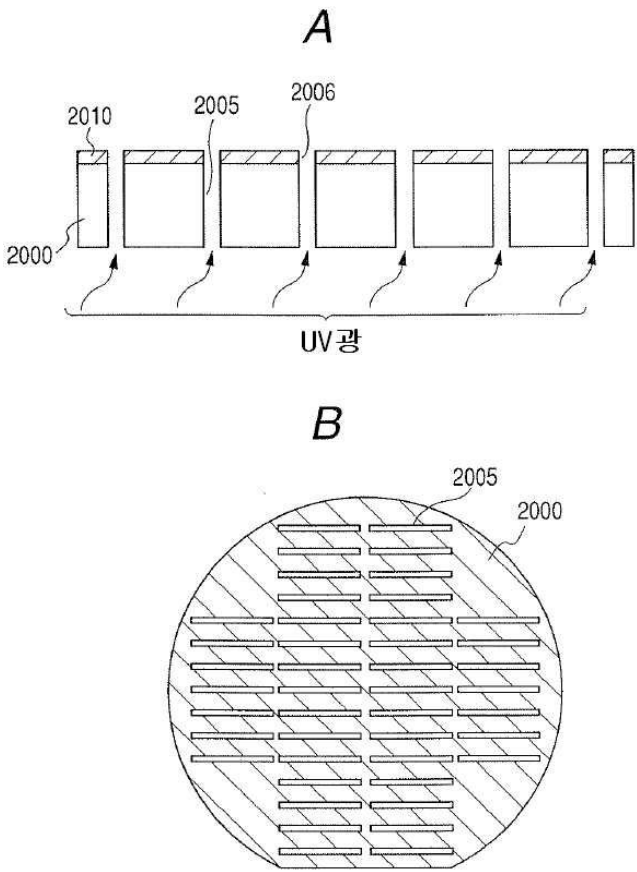
도면10



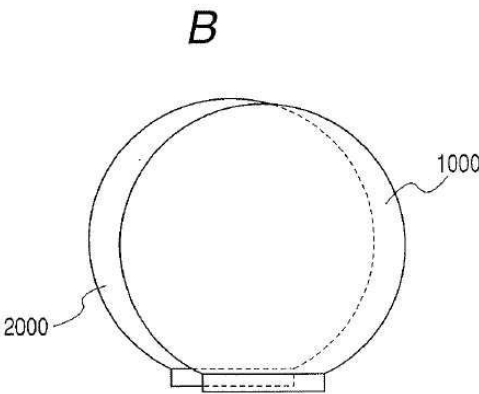
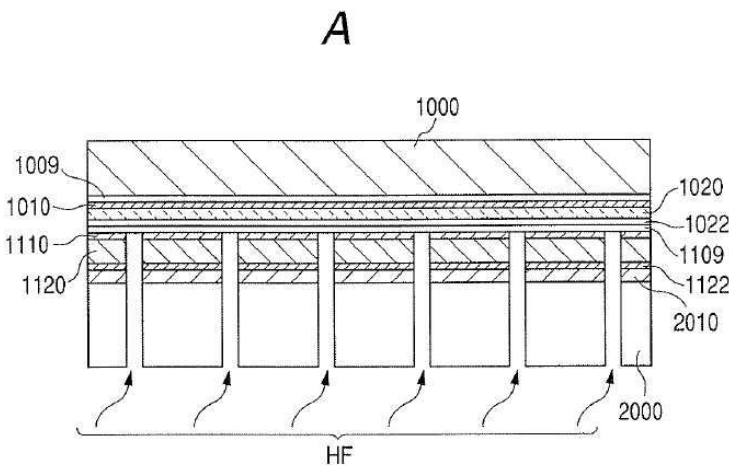
도면11



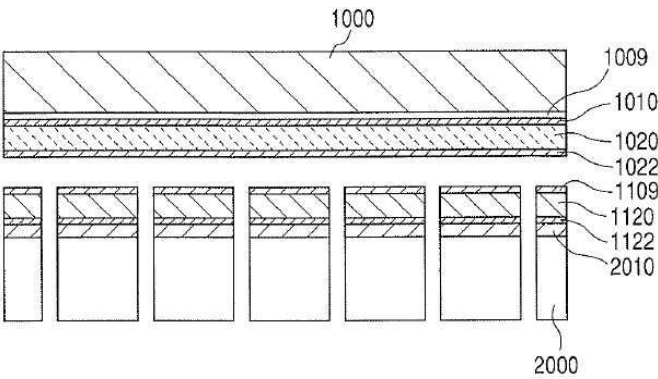
도면12



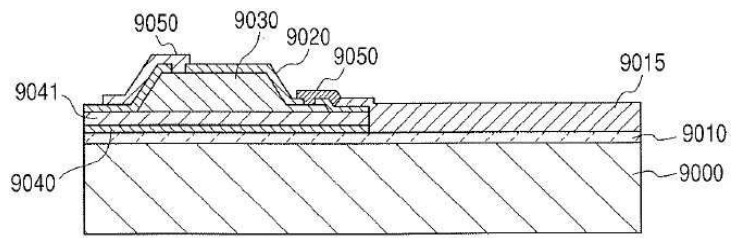
도면13



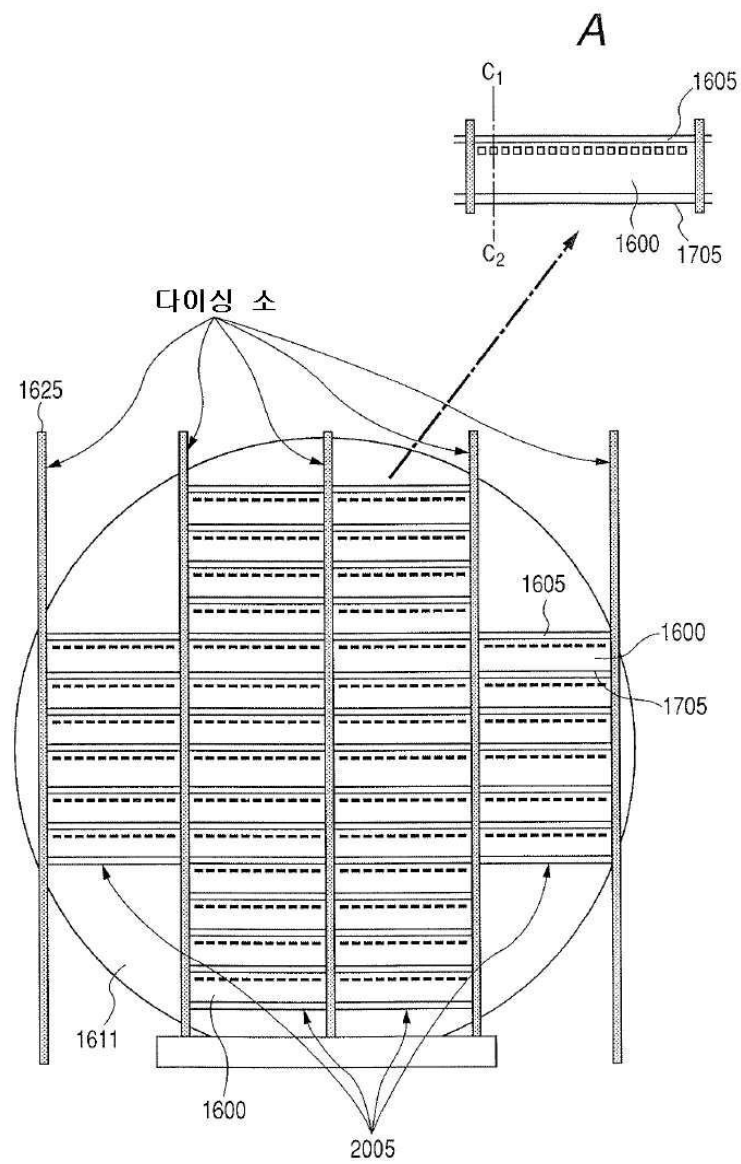
도면14



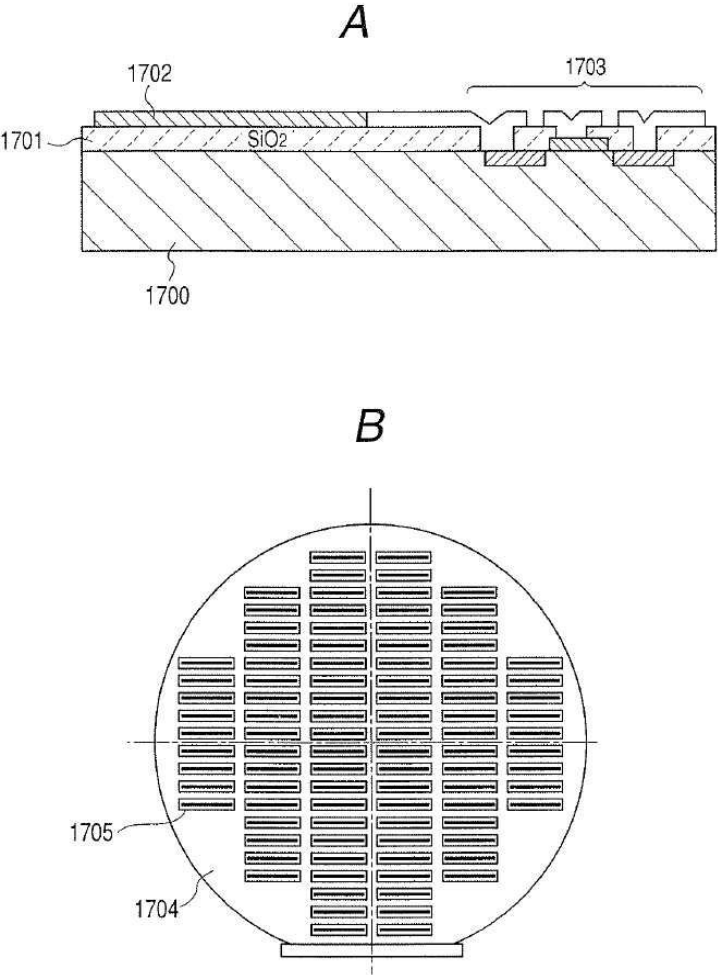
도면15



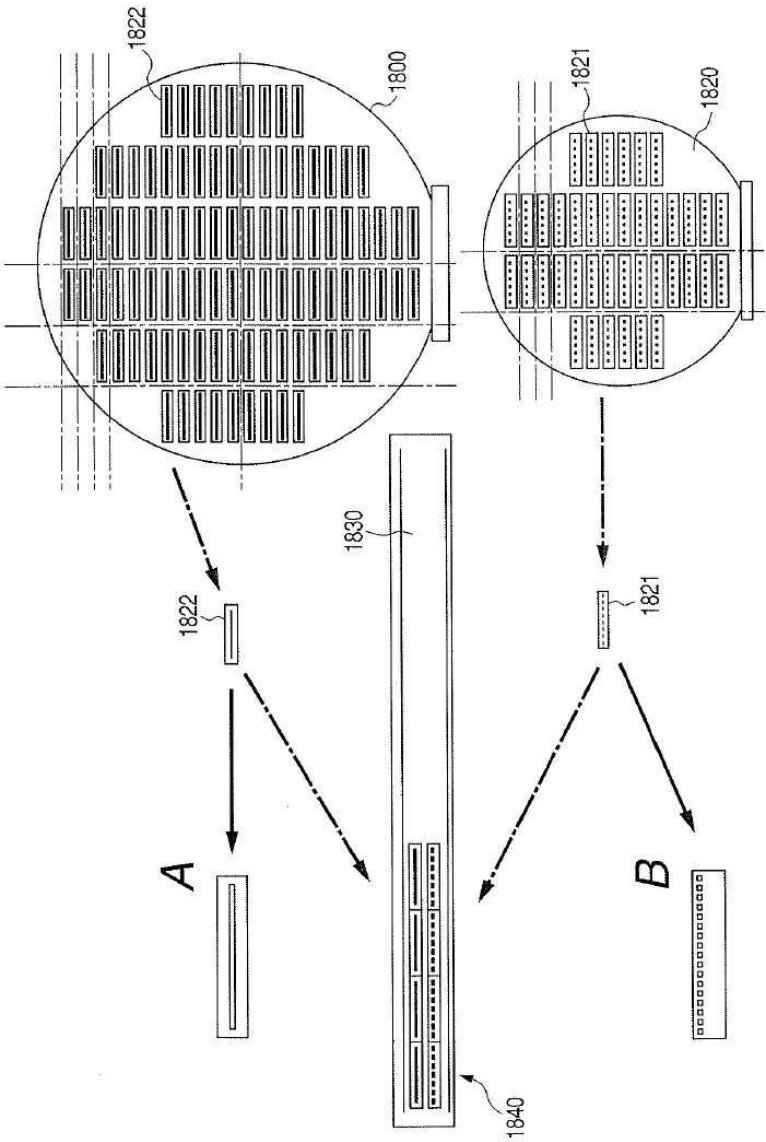
도면16



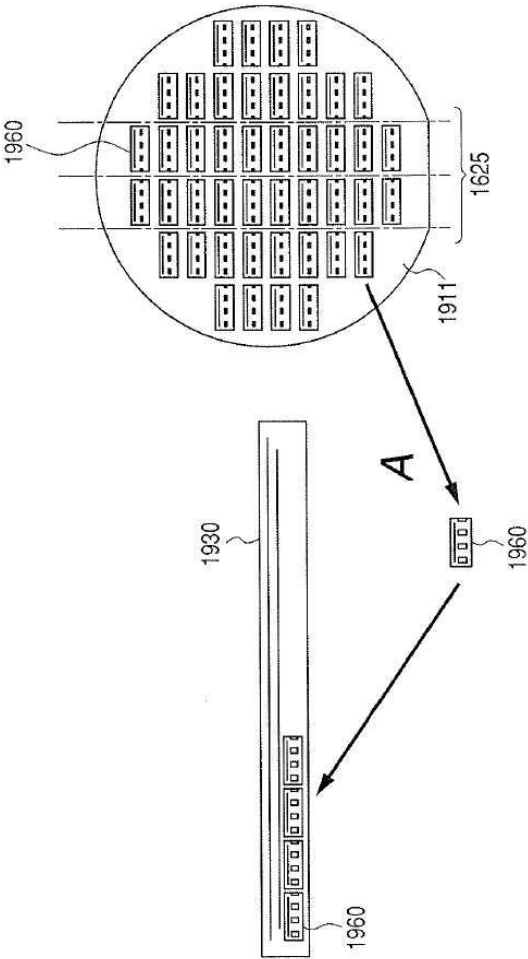
도면17



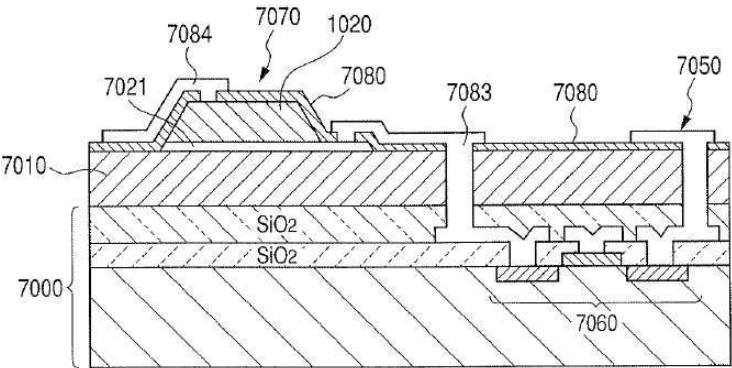
도면18



도면19



도면20



도면21

