

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6611065号
(P6611065)

(45) 発行日 令和1年11月27日(2019.11.27)

(24) 登録日 令和1年11月8日(2019.11.8)

(51) Int.Cl. F I
H05K 1/02 (2006.01) H05K 1/02 N
 H05K 1/02 P

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2018-529826 (P2018-529826)	(73) 特許権者	504147243 国立大学法人 岡山大学 岡山県岡山市北区津島中一丁目1番1号
(86) (22) 出願日	平成29年7月20日 (2017. 7. 20)	(73) 特許権者	000006633 京セラ株式会社 京都府京都市伏見区竹田鳥羽殿町6番地
(86) 国際出願番号	PCT/JP2017/026326	(74) 代理人	100104318 弁理士 深井 敏和
(87) 国際公開番号	W02018/021148	(72) 発明者	豊田 啓孝 岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
(87) 国際公開日	平成30年2月1日 (2018. 2. 1)	(72) 発明者	五百旗頭 健吾 岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
審査請求日	平成31年1月24日 (2019. 1. 24)		
(31) 優先権主張番号	特願2016-147672 (P2016-147672)		
(32) 優先日	平成28年7月27日 (2016. 7. 27)		
(33) 優先権主張国・地域又は機関	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 印刷配線板

(57) 【特許請求の範囲】

【請求項1】

電源層およびグラウンド層を含み、

電源層に形成される電源層パターンが、隣接するEBG単位セル間を接続する直流給電路であるブランチと、電源層電極とを含み、

容量結合素子本体を含む容量結合素子が、前記電源層電極と対向するように層間を設けて配置され、

前記電源層パターンが、前記電源層電極から延在して該電極周囲の少なくとも一部を囲むように形成された電源層配線をさらに含むか、前記容量結合素子が、前記容量結合素子本体から延在して該本体周囲の少なくとも一部を囲むように形成された容量結合素子配線をさらに含むか、あるいは前記電源層パターンが前記電源層配線をさらに含みかつ前記容量結合素子が前記容量結合素子配線をさらに含み、

前記電源層パターンと前記容量結合素子とが、前記電源層配線および前記容量結合素子配線の少なくとも一方に接続されたビアを介して接続されるEBG単位セルが周期的に配置されたEBG構造を有する印刷配線板。

【請求項2】

前記電源層電極および前記容量結合素子本体が略矩形で略同じ大きさを有しており、

前記ブランチが、スリットを形成することによって区別されている電源層電極の1つの角部から隣接する一方の角部近傍まで延在し、

前記容量結合素子配線が、容量結合素子本体の角部からブランチが延在している方向に

延在し、

ブランチと容量結合素子配線とが、それぞれの先端部でビアを介して接続されている請求項 1 に記載の印刷配線板。

【請求項 3】

前記電源層電極および前記容量結合素子本体が略矩形で略同じ大きさを有しており、前記電源層配線が電源層電極周囲を少なくとも略一辺の長さを有しており、前記容量結合素子配線が容量結合素子本体周囲を少なくとも半周囲み、

電源層配線と容量結合素子配線とが、それぞれの先端部でビアを介して接続されている請求項 1 に記載の印刷配線板。

【請求項 4】

前記電源層パターンと前記容量結合素子との層間の厚みが $25 \mu\text{m}$ 以下である請求項 1 ~ 3 のいずれかに記載の印刷配線板。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電磁バンドギャップ構造を有する印刷配線板に関する。

【背景技術】

【0002】

多層印刷配線板の電源層 - グラウンド層で生じる平行平板共振抑制または高周波ノイズ伝搬抑制には、ノイズ抑制部品またはノイズ伝搬抑制を有する多層印刷配線板が考えられる。多層印刷配線板における電源系ノイズの低減には、通常、コンデンサが用いられる。一方、ノイズ伝搬抑制には、電源層 - グラウンド層に対して電磁バンドギャップ (Electromagnetic band gap: EBG) 構造体を利用される。このような EBG 構造体を利用した印刷配線板は、例えば特許文献 1 ~ 5 に開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 10183 号公報

【特許文献 2】特開 2013 - 58585 号公報

【特許文献 3】特開 2013 - 183082 号公報

【特許文献 4】特開 2013 - 255259 号公報

【特許文献 5】特開 2014 - 27559 号公報

【発明の概要】

【0004】

本開示の印刷配線板は、電源層およびグラウンド層を含む。電源層に形成される電源層パターンが、隣接する EBG 単位セル間を接続する直流給電路であるブランチと、電源層電極とを含む。容量結合素子本体を含む容量結合素子が、電源層電極と対向するように層間を設けて配置される。電源層パターンが、電源層電極から延在して該電極周囲の少なくとも一部を囲むように形成された電源層配線をさらに含むか、容量結合素子が、容量結合素子本体から延在して該本体周囲の少なくとも一部を囲むように形成された容量結合素子配線をさらに含むか、あるいは電源層パターンが電源層配線をさらに含みかつ容量結合素子が容量結合素子配線をさらに含む。電源層パターンと容量結合素子とが、電源層配線および容量結合素子配線の少なくとも一方に接続されたビアを介して接続される EBG 単位セルが周期的に配置された EBG 構造を有する。

【図面の簡単な説明】

【0005】

【図 1】図 1 は、本開示の印刷配線板の一実施形態を示す説明図である。

【図 2】図 2 (A) は図 1 に示す印刷配線板に設けられた EBG 構造の一実施形態を示す説明図であり、図 2 (B) は EBG 構造に含まれる電源層パターンを示す説明図であり、図 2 (C) は EBG 構造に含まれる容量結合素子を示す説明図である。

10

20

30

40

50

【図3】図3は、図2(A)に示すEBG構造を構成しているEBG単位セルに含まれる共振回路部分の等価回路である。

【図4】図4は、図2(A)に示すEBG単位セル中の共振回路の共振周波数を求めるための電磁界シミュレーション結果を示すグラフである。

【図5】図5(A)はEBG構造の他の実施形態を示す説明図であり、図5(B)はEBG構造に含まれる電源層パターンを示す説明図であり、図5(C)はEBG構造に含まれる容量結合素子を示す説明図である。

【図6】図6は、図5(A)に示すEBG単位セルの共振回路の共振周波数を求めるための電磁界シミュレーション結果を示すグラフである。

【発明を実施するための形態】

10

【0006】

一般に使用されているコンデンサでは、等価直列インダクタンス(ESL)の影響によって、数百MHz以上でノイズ抑制の効果を期待できない。1GHz以上の周波数でのノイズ伝搬抑制については、EBG構造を基板に設けることが有効とされている。しかし、実用化にはEBG構造の小型化が不可欠であり、小型化が容易なオープンスタブを使用したEBG構造が報告されている。このEBG構造では、電源層-グラウンド層間にビアを形成する必要があり、コスト面で不利となる。一方、電源層-グラウンド層間にビアが形成されていないEBG構造は、一般的に小型化しにくいという問題がある。

【0007】

本開示の印刷配線板に設けられているEBG構造は、電源層-グラウンド層間にビアが形成されていなくても、電源層に容量結合素子を付加して電源電極を2層構造とすることによって、より小型化を実現することができる。以下、本開示の印刷配線板について詳細に説明する。

20

【0008】

本開示の一実施形態に係る印刷配線板を図1に示す。図1に示す印刷配線板1は、電源層2とグラウンド層3とを含み、この電源層2は、その一部にEBG構造4を有している。電源層2およびグラウンド層3は、例えば銅などの導電性材料を含むベタパターンで形成されている。電源層2の厚さは特に限定されず、例えば18~70μm程度である。グラウンド層3の厚さも特に限定されず、例えば18~70μm程度である。

【0009】

30

電源層2とグラウンド層3との間、電源層2の上面、およびグラウンド層3の下面には、絶縁層5が形成されている。絶縁層5は絶縁性を有する素材で形成されていれば特に限定されない。絶縁性を有する素材としては、例えば、エポキシ樹脂、ビスマレイミド-トリアジン樹脂、ポリイミド樹脂、ポリフェニレンエーテル樹脂などの有機樹脂などが挙げられる。これらの有機樹脂は2種以上を混合して用いてもよい。

【0010】

絶縁性を有する素材として有機樹脂を使用する場合、有機樹脂に補強材を配合して使用してもよい。補強材としては、例えば、ガラス繊維、ガラス不織布、アラミド不織布、アラミド繊維、ポリエステル繊維などの絶縁性布材が挙げられる。補強材は2種以上を併用してもよい。さらに、絶縁性を有する素材には、シリカ、硫酸バリウム、タルク、クレー、ガラス、炭酸カルシウム、酸化チタンなどの無機充填材が含まれていてもよい。

40

【0011】

図1に示す印刷配線板1は、電源層2の一部にEBG構造4を有している。EBG構造4の一実施形態を、図2(A)~(C)に基づいて説明する。図2(A)は、図1に示す印刷配線板1に設けられたEBG構造4の一部分を示す。図2(A)に示すように、EBG構造4は、複数のEBG単位セル41で形成されている。図2(A)は、図1に示すEBG構造4のうち、ブランチ422に沿った方向に3つ並べて配置したEBG単位セル41を抜き出して示している。

【0012】

EBG構造4は、電源層パターン42および容量結合素子43で形成されており、電源

50

層パターン42は、図2(B)に示すように、電源層電極421およびブランチ422で構成されている。すなわち、電源層パターン42は、電源層2の一部において、スリットを形成することによって、電源層電極421およびブランチ422に区別されている。電源層電極421は略矩形を有し、ブランチ422の一部で接続されている。電源層電極421の上方に重なるように容量結合素子43が配置され、両者は容量結合されている。容量結合素子43の一部から容量結合素子配線432が延在し、その先端部でビア44を介してブランチ422と接続されている。

【0013】

容量結合素子43は、図2(C)に示すように、容量結合素子本体431および容量結合素子配線432で構成されている。容量結合素子43は、例えば銅などの導電性材料で形成されている。容量結合素子43は電源層パターン42と同じ導電性材料であってもよい。容量結合素子本体431は略矩形を有しており、電源層電極421と略同じ大きさである。一方、容量結合素子配線432は、容量結合素子本体431の角部431aからブランチ422が延在している方向に延在している。

【0014】

電源層電極421と容量結合素子43とは絶縁層5を介して容量結合されている。一方、電源層電極421の一部とブランチ422は接続され、同時に、容量結合素子43から延在している容量結合素子配線432の先端部でビアを介してブランチ422と接続されている。ビアは、例えば銅などの導電性材料で形成されている。

【0015】

図3は、EBG構造4を構成しているEBG単位セル41に含まれる共振回路部分の等価回路を示している。図3において、各記号は以下のとおりである。

Lb：ブランチ部分のインダクタンス成分。

Cs：電源層パターンと容量結合素子との結合容量。

Lv：電源層パターンと容量結合素子とを接続するビア部分のインダクタンス成分。

Lw：容量結合素子からビアまでを接続する容量結合素子配線部分のインダクタンス成分。

【0016】

電源層パターン42と容量結合素子43との層間の厚さは、特に限定されない。電源層パターン42と容量結合素子43との間に結合容量Csを有するようにするために、電源層パターン42と容量結合素子43との層間の厚さは25μm以下であってもよい。十分な結合容量Csを有するようにするために、層間の厚みは10~20μm以下であってもよい。

【0017】

EBG構造4は、この容量結合CsがインダクタンスLvとLwを介して接続され、電源層電極421の少なくとも一部を囲むように形成されたブランチ422で発生するインダクタンスLbを使い共振させる。容量結合素子43に、容量結合素子本体431の少なくとも一部を囲むように容量結合素子配線432の経路を長くし、インダクタンスLwを大きくする。これにより、見かけ上容量結合Csを大きくすることができるため、並列共振周波数を下げることができる。これは、EBG単位セル41を小さくできることを示しており、その結果、EBG構造4を小型化することが可能となる。EBG単位セル41の大きさは、略矩形形状の場合、例えば縦横がそれぞれ3mm以下であり、1.5mm以下であってもよい。

【0018】

図4は、EBG単位セル41中の共振回路の共振周波数を求めるための電磁界シミュレーション結果を示すグラフである。この共振解析結果から、EBG構造4は、EBG単位セルが1.95mm×1.85mmにもかかわらず、2.4GHz付近の帯域に電磁ノイズ伝搬を抑制する阻止域を設定できることがわかる。

【0019】

次に、本開示の印刷配線板に設けられているEBG構造の他の実施形態を、図5(A)

10

20

30

40

50

～(C)に基づいて説明する。

【0020】

図5(A)は、図1に示す印刷配線板1に設けられたEBG構造4の一部分を示す。図5(A)に示すように、EBG構造4'は、複数のEBG単位セル41'で形成されている。図5(A)は、図1に示すEBG構造4のうち、ブランチ422に沿った方向に3つ並べて配置したEBG単位セル41'を抜き出して示している。

【0021】

図5(A)に示すEBG単位セル41'と図2(A)に示すEBG単位セル41とは、電源層パターンに設けられた電源層配線423および容量結合素子に設けられた容量結合素子配線432'の長さが相違する。すなわち、図2(A)に示すEBG単位セル41では、図2(B)に示すように電源層パターン42に電源層配線は存在せず、図2(C)に示すように容量結合素子43の容量結合素子配線432は略矩形形状の容量結合素子本体431の略一辺の長さを有している。一方、図5(A)に示すEBG単位セル41'では、電源層パターン42'の電源層配線423および容量結合素子43'の容量結合素子配線432'が、図5(B)および(C)に示すように、略矩形形状の電源層電極421'および略矩形形状の容量結合素子本体431'の周囲をそれぞれ、略一辺および略半周分囲んでいる。

【0022】

具体的には、図5(B)に示すように、電源層パターン42'は、電源層2の一部において、スリットを形成することによって、電源層電極421'、ブランチ422'および電源層配線423に区別されている。電源層電極421'は略矩形を有している。電源層配線423は、電源層電極421'の1つの角部421aから隣接する一方の角部421bまで、電源層電極421'の略一辺の長さを有している。ブランチ422'は、隣接する電源層配線423を介して、その先端部で電源層電極421'の1つの角部と接続されている。ブランチ422'と電源層電極421'の1つの角部との接続は、隣接する電源層配線423を介さないで、両者の一部で直接接続されるのもよい。

【0023】

図5(C)に示すように、容量結合素子本体431'は略矩形を有しており、電源層電極421'と略同じ大きさである。容量結合素子配線432'は、ブランチ422'の1つの角部421aと略同じ位置となるように、容量結合素子本体431'の周囲を半周以上囲むように形成されている。

【0024】

電源層電極421'と容量結合素子43'とは絶縁層5を介して容量結合されている。一方、電源層電極421'の一部とブランチ422'は隣接する電源層配線423を介するなどして接続される。同時に、容量結合素子43'から延在している容量結合素子配線432'の先端部でビアを介してブランチ422'と接続されている。ビアは、例えば銅などの導電性材料で形成されている。

【0025】

EBG構造4'を構成しているEBG単位セル41'に含まれる共振回路部分の等価回路は、図3に示すEBG構造4を構成しているEBG単位セル41に含まれる共振回路部分の等価回路と同じである。ただし、電源層パターン42'では電源層パターン42に存在しない電源層配線423が形成されている。さらに、容量結合素子43'では容量結合素子43に比べて容量結合素子配線432'の経路をより長くしている。そのため、両者のインダクタンス成分の総和であるインダクタンス L_w は、EBG単位セル41'ではEBG単位セル41より大きくすることができる。インダクタンス L_w を大きくすることで、見かけ上容量結合 C_s を大きくすることができるため、結果として並列共振周波数を下げることができる。これは、EBG単位セル41'をより小さくできることを示しており、その結果、EBG構造4'をより小型化することが可能となる。

【0026】

図6は、EBG単位セル41'の共振回路の共振周波数を求めるための電磁界シミュレ

10

20

30

40

50

ーション結果を示すグラフである。この共振解析結果から、E B G 構造 4 ' は、E B G 単位セルが 1 . 5 mm 角にもかかわらず、2 . 4 G H z 付近の帯域に電磁ノイズ伝搬を抑制する阻止域を設定できることがわかる。

【 0 0 2 7 】

本開示の印刷配線板は、上述の実施形態に限定されない。例えば、上述の E B G 構造 4 および E B G 構造 4 ' は、略矩形形状の電源層電極および容量結合素子本体を有している。しかし、電源層電極および容量結合素子本体の形状は限定されず、例えば、円形、多角形（五角形や六角形）、凹みがあるような他の形状を有していてもよい。

【 0 0 2 8 】

さらに、本開示の印刷配線板において、E B G 構造を構成している E B G 単位セルの数は、特に限定されない。通常、ブランチに沿った方向に 2 ~ 4 個程度であればよい。

10

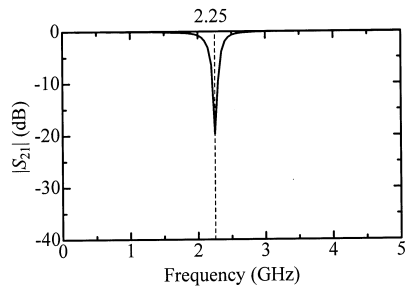
【 符号の説明 】

【 0 0 2 9 】

- 1 印刷配線板
- 2 電源層
- 3 グラウンド層
- 4 E B G 構造
- 4 1、4 1 ' E B G 単位セル
- 4 2、4 2 ' 電源層パターン
- 4 2 1、4 2 1 ' 電源層電極
- 4 2 1 a、4 2 1 b 角部
- 4 2 2、4 2 2 ' ブランチ
- 4 2 3 電源層配線
- 4 3、4 3 ' 容量結合素子
- 4 3 1、4 3 1 ' 容量結合素子本体
- 4 3 1 a 角部
- 4 3 2、4 3 2 ' 容量結合素子配線
- 4 4、4 4 ' ピア
- 5 絶縁層

20

【 図 6 】



フロントページの続き

- (72)発明者 林 星小雨
岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
- (72)発明者 金子 俊之
京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内
- (72)発明者 内藤 政則
京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内
- (72)発明者 上原 利久
京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内

審査官 齊藤 健一

- (56)参考文献 独国特許出願公開第102008051531(DE, A1)
米国特許出願公開第2008/0158840(US, A1)
米国特許出願公開第2010/0060527(US, A1)
米国特許出願公開第2010/0084176(US, A1)
特表2010-519777(JP, A)
特表2011-508468(JP, A)
特開2013-232613(JP, A)
特開2008-131509(JP, A)
特開2010-10183(JP, A)
特開2016-111314(JP, A)

(58)調査した分野(Int.Cl., DB名)

H05K1/00-3/46
H01P1/00-3/20