

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5261479号
(P5261479)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int. Cl.		F I	
HO 1 L 21/82	(2006.01)	HO 1 L 21/82	T
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	3 O 1 Z
HO 1 L 29/78	(2006.01)	HO 1 L 21/82	D
HO 1 L 21/8234	(2006.01)	HO 1 L 27/08	1 O 2 A
HO 1 L 27/088	(2006.01)	HO 1 L 27/08	1 O 2 Z

請求項の数 9 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2010-510379 (P2010-510379)	(73) 特許権者	597035274
(86) (22) 出願日	平成20年1月17日(2008.1.17)		シノプシス、 インコーポレイテッド
(65) 公表番号	特表2010-529649 (P2010-529649A)		SYNOPSIS, INC.
(43) 公表日	平成22年8月26日(2010.8.26)		アメリカ合衆国 カリフォルニア 940
(86) 国際出願番号	PCT/US2008/051355		43-4033, マウンテンビュー, イ
(87) 国際公開番号	W02008/150555		ースト ミドルフィールド ロード 70
(87) 国際公開日	平成20年12月11日(2008.12.11)	(74) 代理人	100114476
審査請求日	平成21年12月21日(2009.12.21)		弁理士 政木 良文
(31) 優先権主張番号	11/757, 338	(72) 発明者	モロツズ, ヴィクター
(32) 優先日	平成19年6月1日(2007.6.1)		アメリカ合衆国 カリフォルニア州 95
(33) 優先権主張国	米国 (US)		070 サラトガ, ボーラム ロード
			17035

最終頁に続く

(54) 【発明の名称】 MOSFET集積回路におけるプロセスによって誘起される性能変動の補償方法

(57) 【特許請求の範囲】

【請求項 1】

MOSFET集積回路における、プロセスによって誘起される閾値電圧及び駆動電流の変動を自動的に補償する方法であって、

解析対象のトランジスタアレイを選択する工程と、

近隣のレイアウトによって誘起される閾値電圧変動を決定する工程と、近隣のレイアウトによって誘起される駆動電流変動を決定する工程とを含む、前記トランジスタアレイの設計を解析する工程と、

前記トランジスタアレイのゲート長を変更することにより、ポリ間隔、コンタクト間隔、及び、ウェル距離の何れかにおける変動に対して補償を試みる工程と、を備えることを特徴とする補償方法。

【請求項 2】

全てのトランジスタアレイが解析されるまで、解析対象のトランジスタアレイの選択を続行する工程を更に備えることを特徴とする請求項 1 に記載の補償方法。

【請求項 3】

選択された一部のトランジスタアレイが全て解析されるまで、解析対象のトランジスタアレイの選択を続行する工程を更に備えることを特徴とする請求項 1 に記載の補償方法。

【請求項 4】

MOSFET集積回路における、プロセスによって誘起される閾値電圧及び駆動電流の変動を補償するシステムであって、

10

20

処理装置、データ蓄積手段、表示手段を備えるデジタルコンピュータと、
前記データ蓄積手段に格納されたコンピュータプログラムと、を備え、
前記コンピュータプログラムが、
解析対象のトランジスタアレイを選択する工程と、
近隣のレイアウトによって誘起される閾値電圧変動を決定する工程と、近隣のレイアウトによって誘起される駆動電流変動を決定する工程とを含む、前記トランジスタアレイの設計を解析する工程と、

前記トランジスタアレイのゲート長を変更することにより、ポリ間隔、コンタクト間隔、及び、ウェル距離の何れかにおける変動に対して補償を試みる工程と、を実行するように構成されていることを特徴とするシステム。

10

【請求項 5】

全てのトランジスタアレイが解析されるまで、解析対象のトランジスタアレイの選択を続行する工程を更に備えることを特徴とする請求項 4 に記載のシステム。

【請求項 6】

選択された一部のトランジスタアレイが全て解析されるまで、解析対象のトランジスタアレイの選択を続行する工程を更に備えることを特徴とする請求項 4 に記載のシステム。

【請求項 7】

MOSFET 集積回路における、プロセスによって誘起される閾値電圧及び駆動電流の変動を補償するシステムであって、

解析対象のトランジスタアレイを選択する手段と、

20

近隣のレイアウトによって誘起される閾値電圧変動を決定する工程と、近隣のレイアウトによって誘起される駆動電流変動を決定する工程とを含む、前記トランジスタアレイの設計を解析する手段と、

前記トランジスタアレイのゲート長を変更することにより、ポリ間隔、コンタクト間隔、及び、ウェル距離の何れかにおける変動に対して補償を試みる手段と、を備えることを特徴とするシステム。

【請求項 8】

全てのトランジスタアレイが解析されるまで、解析対象のトランジスタアレイの選択を続行する工程を更に備えることを特徴とする請求項 7 に記載のシステム。

【請求項 9】

30

選択された一部のトランジスタアレイが全て解析されるまで、解析対象のトランジスタアレイの選択を続行する工程を更に備えることを特徴とする請求項 7 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置、特に、トランジスタアレイにおける性能変動の補償に関する。

【背景技術】

【0002】

従来の集積回路設計において、設計者は、MOSFET ゲートの性能特性が、チャンネルの幅、及び、長さによって決定されるものと考えてきた。

40

【0003】

尚、本願で使用される「性能特性」とは、当業者がこの用語について一般的に理解する意味と一致する。具体的には、当該用語には、設計時の MOSFET の駆動電流と閾値電圧の両方が含まれる。

【0004】

サブ 100 nm の形状の出現、及び、歪工学等の技術（本願の譲渡人によって所有され、本願に援用される 2005 年 12 月 1 日に提出された「トランジスタ特性に与える応力の影響の解析」と題する米国特許出願 11 / 291, 294 を参照）によって、他の MOSFET 素子、コンタクト等の集積回路アレイ内において隣接する要素の近接性に起因す

50

る新たな変動が生じることが分かってきた。

【 0 0 0 5 】

現在の設計技術では、このような変動に対して有効に対処することができない。通常、設計者は、シミュレーションによってMOSFET集積回路のレイアウトを行う。予期せぬ変動が起きた場合、通常まず初めに考えられることは、プロトタイプをシリコン内に製造した後の、実際の回路の不具合である。このような状況では、コストと時間のかかる再設計が必要となる。したがって、サブ100nmの技術は、プロセスによって変動が誘起される問題に対処するための方法及びシステムを提供することによってより便利で効果的な設計を実現する機会をもたらした。

【 発明の概要 】

【 0 0 0 6 】

本発明の一態様は、MOSFET集積回路における、プロセスによって誘起される閾値電圧及び駆動電流の変動を自動的に補償する方法である。前記方法の第1ステップでは、レイから解析対象のトランジスタを選択する。前記方法は、レイ内の複数のトランジスタに対して所望のループ処理を行う。次に、選択されたトランジスタの設計を解析する。この解析工程には、近隣のレイアウトによって誘起される閾値電圧変動を決定する工程と、近隣のレイアウトによって誘起される駆動電流変動を決定する工程とが含まれる。前記方法は、次に、トランジスタのゲート長を変更することにより、決定された何れかの変動に対して補償を試みる。更に、前記方法には、コンタクト間隔を変更することにより補償が不十分な点を特定する工程を含めることができる。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 MOSFETトランジスタを示す図であり、応力に関連する性能変動の原因を示す図。

【 図 2 a 】 集積回路レイアウトの一部を示す平面図。

【 図 2 b 】 MOSFETの性能をゲート間隔の関数として示したグラフ。

【 図 3 】 コンタクトの間隔が異なる3つのMOSFETトランジスタを示した図で、結果として現れる応力パターンを示した図。

【 図 4 】 集積回路のより広い部分を示す図で、プロセスによって誘起される様々な種類の変動を示した図。

【 図 5 a 】 I_{on} の変化とゲート長の関係を示したグラフであり、本発明方法を示す図。

【 図 5 b 】 I_{on} の変化とポリ間隔の関係を示したグラフであり、本発明方法を示す図。

【 図 5 c 】 I_{on} の変化とゲート長の関係、及び、 I_{on} の変化とポリ間隔を組合せて示したグラフであり、本発明方法を示す図。

【 図 6 】 本発明に係る、プロセスによって誘起される変動を補償する処理の一実施形態を示す図。

【 発明を実施するための形態 】

【 0 0 0 8 】

以下、図面に基づいて詳細な説明を行う。好ましい実施形態は、本発明を説明するために記述されるのであり、請求項によって定義される本発明の範囲を限定するために記述されるのではない。当業者には、以下の記述に関して様々な同等の変形例が認識される。

【 0 0 0 9 】

本発明は、まず初めに、図1に示されるMOSトランジスタ10を考慮することにより理解される。図1は、平面図(上部分)、及び、線A-Aに沿った断面図(下部分)を示している。ここで、拡散領域12は、拡散領域に形成されたソース領域16とドレイン領域18を備え、これらの領域の間隙の上にはゲート14が重なっている。ゲート14の下の領域は、チャンネル20である。ゲート14の両側にはスペーサ22があり(平面図では図示せず)、窒化物キャップ層24が全体の構造の上に形成されている。前記MOSFETは、トランジスタの両側に形成された、通常は酸化物をベースとした絶縁材料からなるシャロー・トレンチ・アイソレーション(STI)領域26によって周囲の要素から電気

10

20

30

40

50

的に分離されている。これらの構成要素とMOS素子全体に関する材料及び製造技術は当該技術分野において公知であり、したがってここでは詳細には述べない。アレイは部分空乏型シリコン・オン・インシュレータ(PDSOI MOSFET)基板に形成されると予想されるが、本出願の教示はバルク構造にも同様に適用することができる。各図面はバルクMOSFET素子を示している。

【0010】

上記で引用した参照文献で述べられているように、これら多数の構成要素が、何らかの機械的応力を引き起こし、その機械的応力が、Si及びその他の材料の圧電特性から性能変動を引き起こす。例えば、Si、窒化物キャップ層、STI材料の収縮率の差が、チャンネルドープメントと同様に、様々な応力を引き起こすと考えられる。こうした応力に対処するプロセスは、引用した上記特許文献に「歪工学」と称して述べられている。

10

【0011】

図2aに、サブ100nmシステムの開発者が直面する第1の問題が示されている。図2aでは、2つのMOSFET集積回路50及び52が平面図に示されており、夫々、ソース領域16及びドレイン領域18が形成されている拡散領域の上に3つのゲート領域14を有する。これらのポリシリコンゲートは、幅及び長さが同じであり、同じ構成となっている。唯一の違いは、アレイ50のゲート間隔(ピッチS1とする)が比較的狭いのに対し、アレイ52のゲート間隔(距離S2とする)は広くなっている。従来の設計及び解析に基づけば、ピッチS1と距離S2は何れも、駆動電流及び閾値電圧について同じ性能特性を表すと考えられる。

20

【0012】

しかし、図2bに示すように、結果はそのようにはならない。I_{on}(オン電流)の変化をpoly-to-polyの距離の関数として示したグラフに示されているように、I_{on}の変化(すなわち、ここではホールから成る電流フローの変化)は、ポリ間隔を広げることによって著しく促進されるが、値が小さい範囲において差が特に極端になっている。したがって、図2aのアレイが理想的に動作することを期待する設計者は、著しく異なるその結果に非常に驚くことになる。

【0013】

第2の問題は、図3に示されている。図3では、3つのMOSFETトランジスタが示されており、夫々、同様の拡散領域の上に形成された同様のゲートを有する。しかし、ここでは、コンタクトとゲートとの間隔が夫々異なっており、各MOSFETにおける4つのコンタクトとゲートとの間隔が、MOSFET60は180nm、MOSFET62は90nm、MOSFET64は60nmとなっている。トランジスタ60の応力プロットを見ると、チャンネル領域全体に均一に応力がかかっていることが分かる。一方、トランジスタ62の場合、いくらか変動が見られ、トランジスタ64に至っては、チャンネルの各端部にのみ高い応力が集中しており、他と比較して均一には分配されておらず、著しく異なっている。引用した上記特許文献で教示されているように、応力が異なれば性能に差が出る。上でも述べたように、従来の設計技術では、これら3つのトランジスタを同じものとして扱い、同じ結果が期待される。しかし、その結果は非常に意外なものとなり、致命的な結果となることも考えられる。

30

40

【0014】

図4は、実際のMOSFET集積回路の大きな部分を示している。この図には、複数の拡散領域と共に、STIによって分離された2つのチップ表面領域が示されている。当該技術で知られているように、チップ領域には、nウェル又はpウェルと称される、異なる種類の材料からなる領域を含むことができ、両者を用いることによりCMOS構造の形成が容易となる。前記2つのチップ領域の下部はnウェルであり、その境界が示されている。拡散領域からウェルの境界までの距離は、性能に影響することが分かっている。これは、I_{on}の変化ではなくMOSFET閾値電圧に影響する点は異なるが、ポリ間隔が異なることによって生じる影響に類似している。したがって、図4の縦方向の矢印A及びBによって示される距離の変動によって、ポリ間隔及びコンタクト間隔が異なることによる影

50

響と類似した、しかしそれらとは別の影響が生じると考えられる。

【0015】

図4は典型的な設計における複雑さも同時に示しており、水平な矢印1~5が互いに異なる各ポリ間隔を示している。また、コンタクト間隔にも複数の違いが見られる。

【0016】

これらの影響の夫々は、テスト設計による実験を通して、1つのモデルに集約することが可能である。このモデルから、潜在的な問題を示し、補償メカニズムを計算することが可能な関係が導出される。当該モデルの結果は、図4の実施形態によって得られるポリ間隔とIonの変化の関係を示した図5cのグラフに見ることができる。同様のモデルは、コンタクト間隔及びnウェル境界の距離についても求められる。

10

【0017】

上記モデルに加えて、ここに述べた原則に従った綿密な調査により他の変動も明らかとなった。こうした変動は、ここに述べた方法と同じ方法で複数のモデルに単純化し、解析することができる。本発明の当該実施形態は、以下に添付する特許請求の範囲で述べるように、本発明の精神の範囲内に公正に含まれる。

【0018】

上記と同様の方法によって存在が明らかとなった変動も含めて上記変動の全ては、材料又は素子自体の固有の特性ではなく、ポリ間隔等のプロセス変数に起因する。したがって、こうした変動をここでは「プロセスによって誘起される」変動と称し、他の原因に起因する変動とは区別する。

20

【0019】

先行技術で公知であるように、ゲート長の変化は性能の変化につながる。このことは、図5aの曲線にも反映されている。しかし、図4の実施例では、ポリ間隔の変動が性能差につながっている。図4の実施例を見ると、例示されたトランジスタT1及びT2におけるポリ間隔が異なっており、図2bの曲線にこれらのトランジスタを配置した図5bの曲線に示されているように、これらのポリ間隔は、2及び3に夫々割り当てられる値を有する。トランジスタT2の性能特性が全体の設計で用いられる標準値を表すとすると、トランジスタT1の性能は10%程度高く、著しい変動を示すことになる。装置に対してこのような解析を行うことにより、従来解析に依存することに問題があることが明らかとなる。

30

【0020】

本発明は、図5a及び5bに示された各関係を共に用いて、こうした変動を補償する。図5cは、ポリ間隔による変動を下側の横軸に、ゲート長による変動を上側の横軸にとり、交差する曲線を示している。上記記載に基づき、T2の性能を設計における基準点として選択する。当該装置のゲート長は、図から45nmであることが分かる。矢印で示されるように、ポリ間隔が変化することによる性能の向上は、T1のゲート長を45~52nmまで増加させることにより完全に相殺され、結果的にT1及びT2は同じ性能特性を有することになる。

【0021】

つまり、発生した変動についてモデルを作成し、これらの変動を使って他の変動を補償して、装置間で性能を均一にすることができる。

40

【0022】

図5bに示すように、ポリ間隔によって変動が生じるが、Ionの変化とゲート長の関係と並べることで、ポリ間隔の変化に対して完全な補償が可能となる。

【0023】

前記結果を自動的に実現する方法200の一実施形態を図6に示す。この実施形態は、本願の譲受人が市販するSEISMOSソフトウェア等の集積回路自動設計システムの一部として動作する。他の実施形態は、単独で動作するように、或いは、異なる設計環境において動作するモジュールとして構成することが可能である。全ての実施例において、本発明のシステムの動作原則は同じである。当該システムは、パーソナル・コンピュータか

50

らサーバー主体のシステムまで、デジタルコンピュータシステムの範囲において動作可能である。こうした装置の選択及び操作は、当該技術分野の技術範囲内に十分含まれる。

【0024】

更に、多くのステップは、それらを組み合わせて実行する、或いは、平行して実行する、或いは、異なる順序で実行する等しても、実現される機能には影響しない。幾つかの場合には、ステップを並べ替えても、特定の他の変更が同様に行為される限り、同じ結果が得られる。また、他の場合には、ステップを並べ替えても、特定の条件が満たされる限り、同じ結果が得られる。

【0025】

コンピュータプログラムは、まず始めにステップ210において、MOSFET集積回路の複数のトランジスタ或いは選択された複数のトランジスタの夫々に対するループ処理を設計者の指示通りに制御する。前記方法は、ステップ212において、解析に基づいて装置内に存在する各変動を決定し、関連する変数値を発見し、関連するモデルから対応する変動量を得ることから始まる。例えば、上述の図4のトランジスタT1の例において、前記システムは、関連するゲート材料のpoly-topoly間隔を決定することにより、ポリ間隔による変動を決定する。前記poly-topoly間隔は、設計システム内のデータを直接用いても良いし、或いは、設計プロセスに用いられるTCADシステムを操作して決定しても良い。

10

【0026】

各変動を決定するプロセス工程は、全ての公知なモデル構造に対して行うことができるが、設計者が少数のモデルのみを使用することを選択してもよい。何れの場合にも、物理値/変動結果ステップ212は、所望する変動情報が決定するまで続けられる。

20

【0027】

次に、ステップ214において、本実施形態は、図5cに関連して示されているように、ゲート長を変更することにより補償を試みる。大部分の場合は、ゲート長の変更によって補償がなされると予想される。また、このパラメータは、比較的変わり易いため、当該補償は製造プロセスにおける複雑さを最小限に抑えて行われる。ステップ216の判定において期待する結果が得られた場合、システムはテスト対象の次のトランジスタに処理を移す。

【0028】

補償が更に必要な場合、ステップ218において示されているように、コンタクト間隔を変更することができる。このプロセスは、正確に図5cに示されているように進められ、コンタクト間隔モデルを用いて補正データを提供する。補正データはここでは示さないが、当業者は、上述の教示に従って容易に特定のシステムに対して同じデータを得ることができる。操作の成否はステップ220において検証される。

30

【0029】

自動で行われる何れのステップにおいても、期待された変動に対する補償が失敗した場合、ステップ224に示す手動の再設計が必要となる。もちろん、このような「フェイル・セーフ」メカニズムを備えることは必要であるが、これまでの結果により、上述の方法が大半の状況において適切な補償を提供するのに十分であることが分かる。

40

【0030】

本発明の別実施形態では、ゲート長のみを変更して、ポリ間隔による変動のみを補償することで、低コストで既存の状況を改善すると共に、二次的な検討及びステップを完全に省くことができるという効果が見込まれる。他の実施形態では、他の診断用及び補償メカニズムを必要に応じて用いることができる。

【0031】

各実施形態は、本発明の原理及びその実際の応用を最大限に説明するために選択され、記述された。それにより、当業者は、本発明が様々な実施形態をとり、意図する特定の用途に合わせて様々な変形が可能であると理解できる。本発明の範囲は以下の特許請求の範囲とそれに相当するものによって定義される。

50

【 0 0 3 2 】

本発明は上記で詳細に述べた好ましい実施形態及び実施例を参照することによって開示されるが、これらの例は本発明を限定するためではなく、説明するために示されていると理解される。当業者は、本発明の精神、及び、以下の特許請求の範囲を逸脱しない限り、変形及び組合せを容易に行うことができる。

【 図 1 】

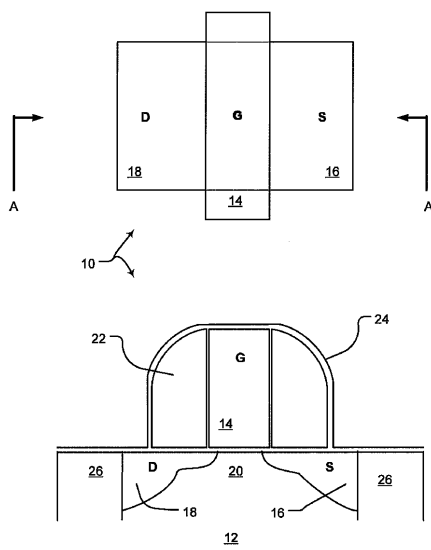


Fig. 1

【 図 2 a 】

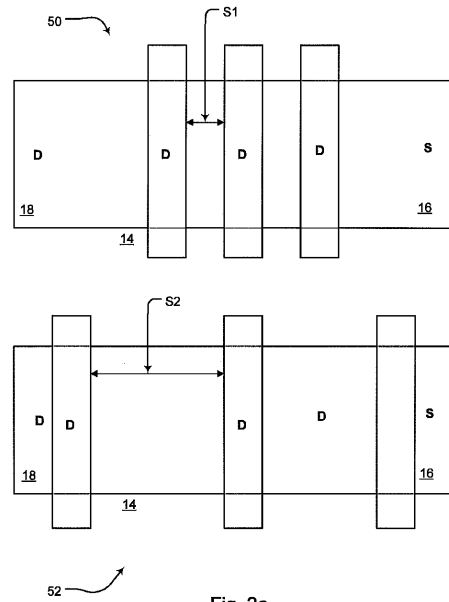


Fig. 2a

【 図 3 】

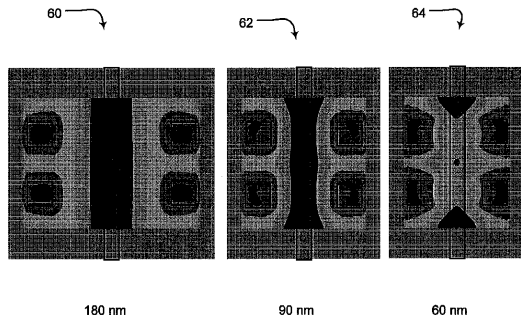
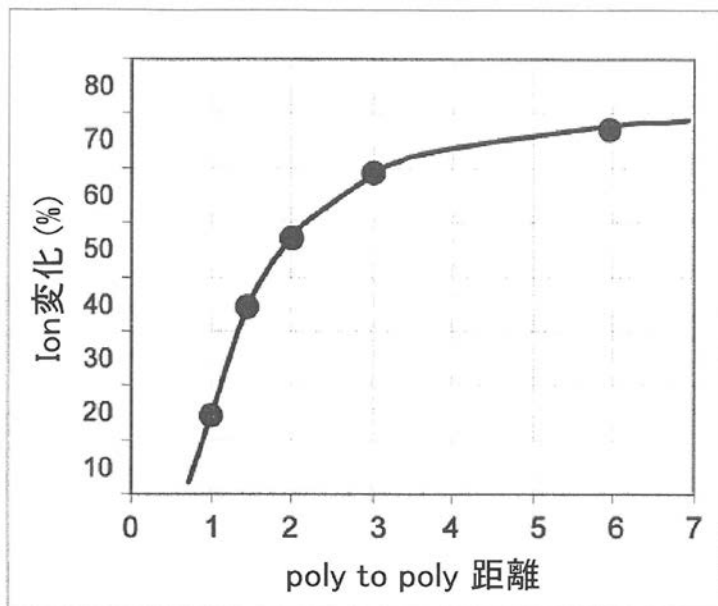
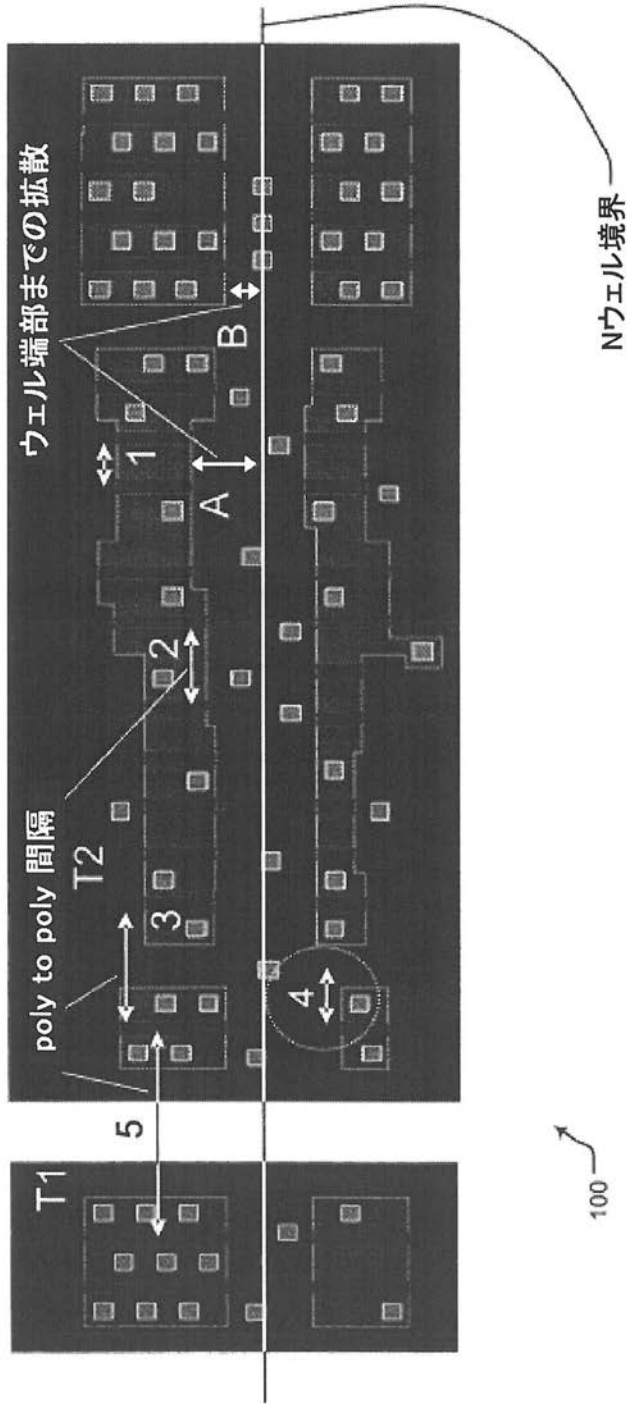


Fig. 3

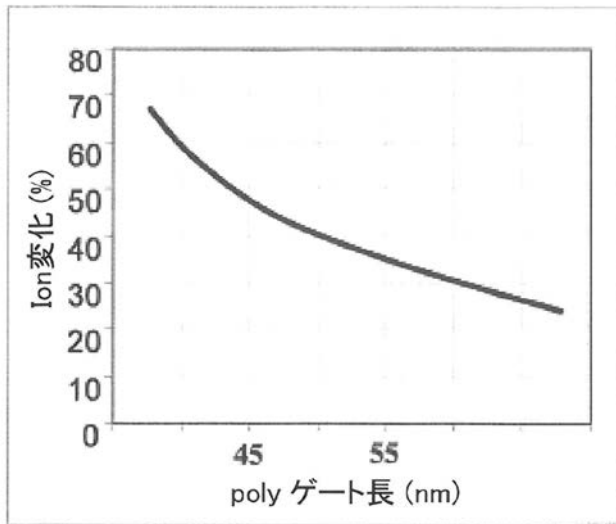
【 図 2 b 】



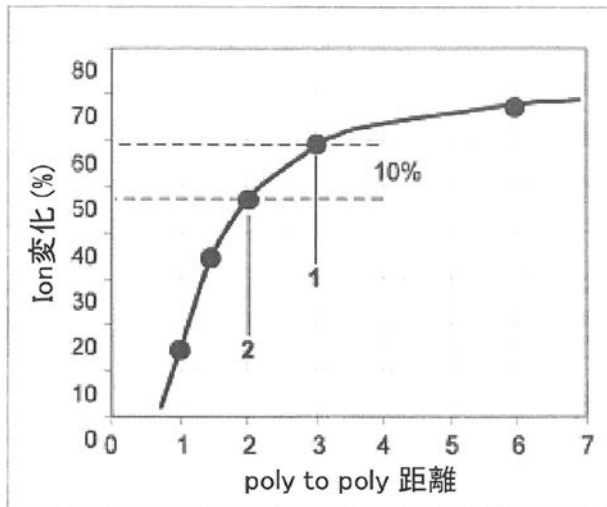
【図4】



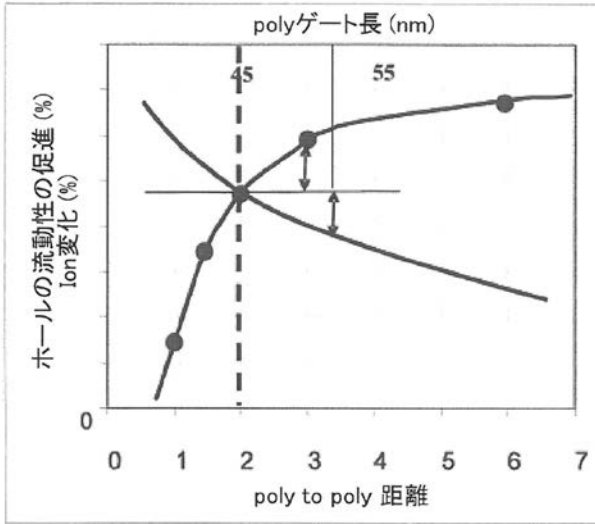
【図 5 a】



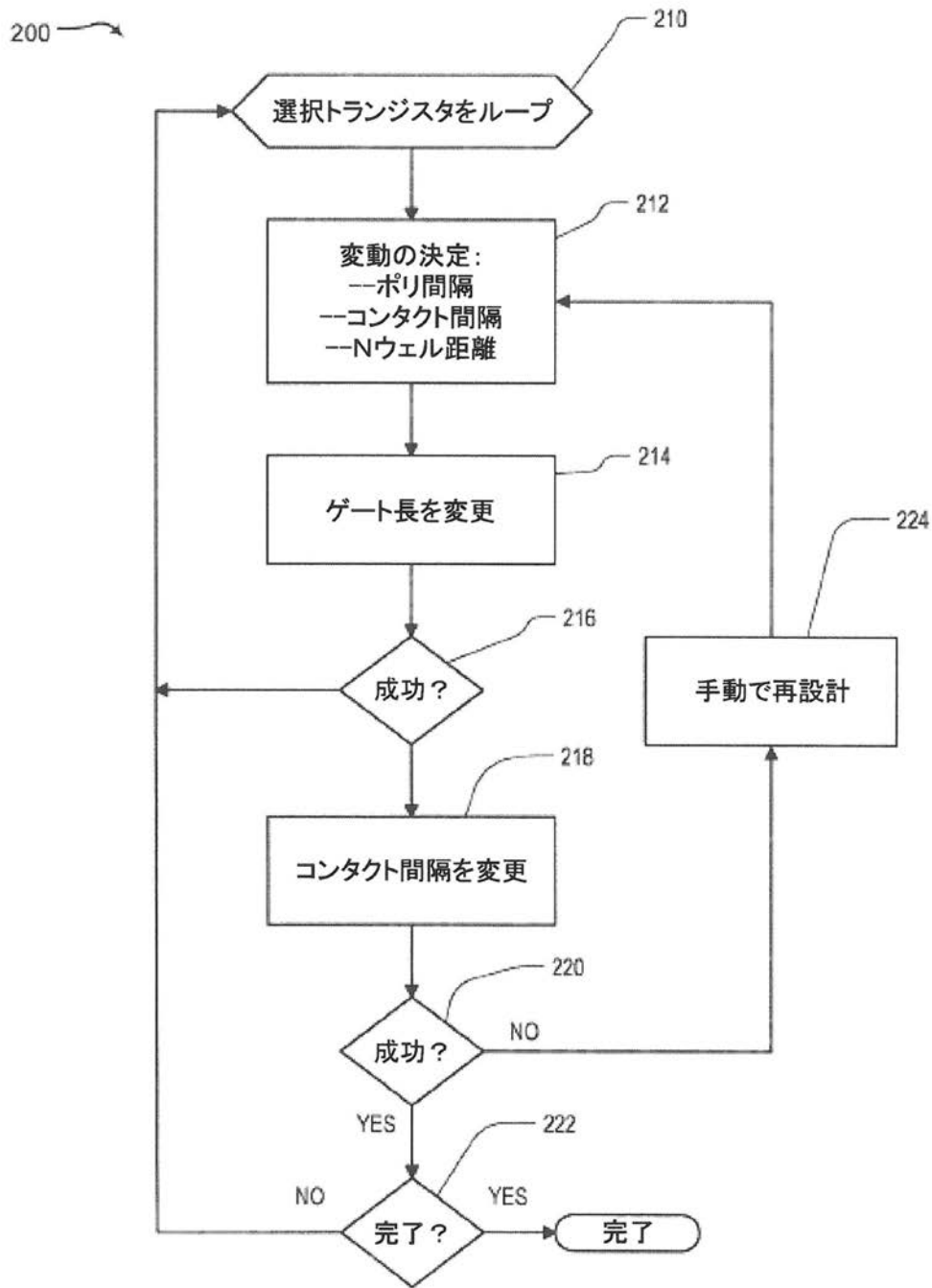
【図 5 b】



【図5c】



【図6】



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 29/00 (2006.01) H 0 1 L 29/00

(72)発明者 プラマニク, ディパンカール
 アメリカ合衆国 カリフォルニア州 9 5 0 7 0 サラトガ, シェヴァリー コート 1 2 6 6
 7

(72)発明者 シンハル, キショーア
 アメリカ合衆国 カリフォルニア州 9 5 0 3 5 ミルピタス, ガリンド コート 9 0 1

(72)発明者 リン, シ-ウェイ
 アメリカ合衆国 カリフォルニア州 9 4 5 3 9 フリーモント, サン モレノ コート 3 9
 8 4 7

審査官 平野 崇

(56)参考文献 特開2007-123442(JP,A)
 特開2004-119608(JP,A)
 特開2006-173468(JP,A)
 特開2004-241529(JP,A)
 特開2007-227536(JP,A)
 特開2006-329824(JP,A)
 特開平10-074843(JP,A)
 Ke-Wei Su, et al, A scaleable model for sti mechanical stress effect on layout dependence of mos electrical characteristics, PROCEEDINGS OF THE IEEE 2003 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 米国, IEEE, 2003年 9月21日, pages 245-248

(58)調査した分野(Int.Cl., DB名)
 H 0 1 L 2 1 / 8 2
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 9 / 0 0
 H 0 1 L 2 9 / 7 8
 IEEE Xplore
 CiNii
 JSTPlus(JDreamII)