



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월27일
(11) 등록번호 10-1215750
(24) 등록일자 2012년12월18일

(51) 국제특허분류(Int. Cl.)
H03M 3/04 (2006.01) H03M 1/12 (2006.01)
(21) 출원번호 10-2010-7019771
(22) 출원일자(국제) 2009년02월06일
심사청구일자 2010년09월03일
(85) 번역문제출일자 2010년09월03일
(65) 공개번호 10-2010-0130190
(43) 공개일자 2010년12월10일
(86) 국제출원번호 PCT/US2009/033463
(87) 국제공개번호 WO 2009/100379
국제공개일자 2009년08월13일
(30) 우선권주장
12/027,132 2008년02월06일 미국(US)
(56) 선행기술조사문헌
US20050093726 A1
W02007082237 A1

(73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
발렌타인 게리 존
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 26 항

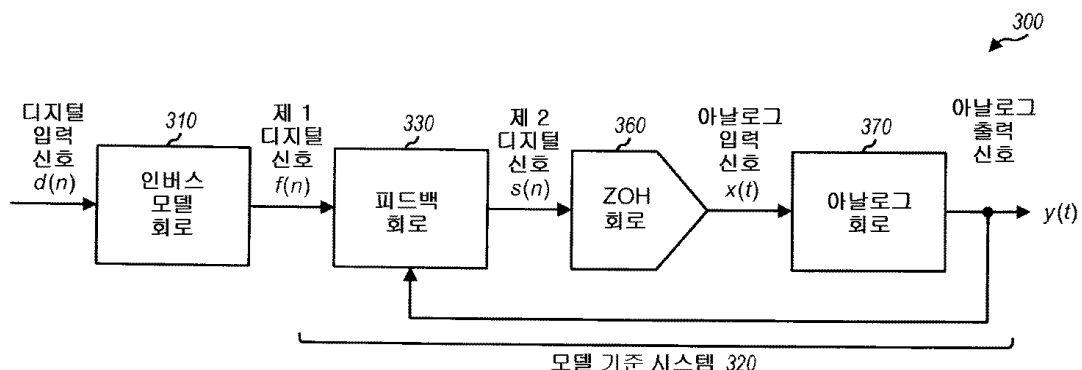
심사관 : 권성락

(54) 발명의 명칭 적응형 고차 디지털-아날로그 변환

(57) 요약

신호 복원을 위해 단순한 아날로그 회로를 이용하고 피드백 제어 기술들을 사용하여 1차 또는 고차 홀드로 디지털-아날로그 변환을 수행하는 기술들이 기재된다. 일 설계에서, 디지털-아날로그 변환 회로는 인버스 모델 회로, 피드백 회로, 영차 홀드 (ZOH) 회로, 및 아날로그 회로를 포함한다. 인버스 모델 회로는 디지털 입력 신호를 처리하고 제 1 디지털 신호를 제공한다. 피드백 회로는 제 1 디지털 신호 및 아날로그 회로로부터의 아날로그 출력 신호를 수신하고, 저주파수 잡음 필터링을 수행하고, 그리고 제 2 디지털 신호를 제공한다. ZOH 회로는 영차 홀드로 제 2 디지털 신호를 디지털로부터 아날로그로 변환하고 아날로그 입력 신호를 아날로그 회로에 제공한다. 아날로그 회로는 아날로그 입력 신호에 대하여 동작하고 아날로그 출력 신호를 제공한다. 아날로그 회로는 하나 이상의 극점들을 갖는 단순한 회로일 수도 있다.

대표도



특허청구의 범위

청구항 1

아날로그 회로로부터의 아날로그 출력 신호 및 제 1 디지털 신호를 수신하고 제 2 디지털 신호를 제공하도록 구성된 피드백 회로;

상기 피드백 회로에 커플링되어 상기 제 2 디지털 신호를 수신하고 상기 아날로그 회로에 아날로그 입력 신호를 제공하도록 구성된 영차 홀드 (ZOH) 회로; 및

상기 피드백 회로에 커플링되고, 디지털 입력 신호를 수신하고 상기 제 1 디지털 신호를 제공하도록 구성된 인버스 모델 회로를 포함하고,

상기 아날로그 회로는 1차 또는 고차 홀드로 디지털-아날로그 변환을 수행하고,

상기 인버스 모델 회로는 상기 ZOH 회로 및 상기 아날로그 회로의 결합된 전달 함수의 인버스에 기초하여 결정된 전달 함수를 갖는, 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 피드백 회로는 상기 아날로그 출력 신호에 기초하여 저주파수 잡음 필터링을 수행하도록 구성되는, 장치.

청구항 4

제 1 항에 있어서,

상기 피드백 회로는 상기 아날로그 회로의 전달 함수에 기초하여 결정된 전달 함수를 갖는 모델 회로를 포함하는, 장치.

청구항 5

제 4 항에 있어서,

상기 모델 회로의 전달 함수는 상기 ZOH 회로의 전달 함수에 더 기초하여 결정되는, 장치.

청구항 6

제 4 항에 있어서,

상기 피드백 회로는 상기 아날로그 회로의 적어도 하나의 파라미터를 추정하도록 구성된 적응 회로를 더 포함하고, 상기 모델 회로의 전달 함수는 상기 적어도 하나의 추정된 파라미터에 기초하는, 장치.

청구항 7

제 4 항에 있어서,

상기 피드백 회로는 상기 아날로그 회로의 극점 (pole) 주파수 및 이득을 추정하도록 구성된 적응 회로를 더 포함하고, 상기 모델 회로의 전달 함수는 상기 추정된 극점 주파수 및 이득에 기초하는, 장치.

청구항 8

제 1 항에 있어서,

상기 피드백 회로는

상기 제 1 디지털 신호를 수신하고 모델 출력 신호를 제공하도록 구성된 모델 회로,

상기 모델 출력 신호로부터 디지털화된 출력 신호를 감산하고 에러 신호를 제공하도록 구성된 제 1 합산기,
 상기 에러 신호를 필터링하고 필터링된 신호를 제공하도록 구성된 루프 필터, 및
 상기 필터링된 신호 및 상기 제 1 디지털 신호를 합산하고 상기 제 2 디지털 신호를 제공하도록 구성된 제 2 합산기를 포함하는, 장치.

청구항 9

제 8 항에 있어서,
 상기 루프 필터는 상기 제 1 디지털 신호의 대역폭 보다 더 작은 대역폭으로 잡음 필터링을 수행하도록 구성되는, 장치.

청구항 10

제 8 항에 있어서,
 상기 피드백 회로는
 상기 아날로그 출력 신호를 디지털화하고 상기 디지털화된 출력 신호를 제공하도록 구성된 아날로그-디지털 변환기 (ADC) 를 더 포함하는, 장치.

청구항 11

제 10 항에 있어서,
 상기 ADC는 잡음 정형 변조기를 포함하는, 장치.

청구항 12

제 1 항에 있어서,
 상기 피드백 회로는
 상기 제 1 디지털 신호를 위한 고역통과 변조 경로, 및
 상기 제 1 디지털 신호를 위한 저역통과 변조 경로를 포함하는, 장치.

청구항 13

제 1 항에 있어서,
 상기 아날로그 회로는 적어도 하나의 극점을 포함하는, 장치.

청구항 14

제 1 항에 있어서,
 상기 아날로그 회로는

$$G(s) = \frac{b}{s + a}$$

의 s-영역 전달 함수 G(s) 를 갖고,

a는 상기 아날로그 회로의 극점의 주파수이고 b는 상기 아날로그 회로의 이득인, 장치.

청구항 15

제 14 항에 있어서,
 상기 극점의 주파수는 상기 제 1 디지털 신호의 샘플링 주파수보다 적어도 10배 더 낮은, 장치.

청구항 16

아날로그 회로로부터의 아날로그 출력 신호 및 제 1 디지털 신호를 수신하고 제 2 디지털 신호를 제공하도록 구

성된 피드백 회로;

상기 피드백 회로에 커플링되고, 상기 제 2 디지털 신호를 수신하고 상기 아날로그 회로에 아날로그 입력 신호를 제공하도록 구성된 영차 홀드 (ZOH) 회로; 및

상기 피드백 회로에 커플링되고, 디지털 입력 신호를 수신하고 상기 제 1 디지털 신호를 제공하도록 구성된 인버스 모델 회로를 포함하고,

상기 아날로그 회로는 1차 또는 고차 홀드로 디지털-아날로그 변환을 수행하고,

상기 인버스 모델 회로는 상기 ZOH 회로 및 상기 아날로그 회로의 결합된 전달 함수의 인버스에 기초하여 결정된 전달 함수를 갖는, 집적 회로.

청구항 17

삭제

청구항 18

제 16 항에 있어서,

상기 피드백 회로는

상기 제 1 디지털 신호를 수신하고 모델 출력 신호를 제공하도록 구성된 모델 회로,

상기 모델 출력 신호로부터 디지털화된 출력 신호를 감산하고 에러 신호를 제공하도록 구성된 제 1 합산기,

상기 에러 신호를 필터링하고 필터링된 신호를 제공하도록 구성된 루프 필터, 및

상기 필터링된 신호 및 상기 제 1 디지털 신호를 합산하고 상기 제 2 디지털 신호를 제공하도록 구성된 제 2 합산기를 포함하는, 집적 회로.

청구항 19

1차 또는 고차 홀드로 디지털-아날로그 변환을 수행하는 방법으로서,

제 2 디지털 신호를 획득하기 위해 아날로그 회로로부터의 아날로그 출력 신호 및 제 1 디지털 신호를 피드백 회로로 처리하는 단계;

상기 아날로그 회로를 위한 아날로그 입력 신호를 획득하기 위해 상기 제 2 디지털 신호를 영차 홀드로 디지털로부터 아날로그로 변환하는 단계;

상기 아날로그 출력 신호를 획득하기 위해 상기 아날로그 입력 신호를 상기 아날로그 회로를 통해 통과시키는 단계; 및

상기 제 1 디지털 신호를 획득하기 위해, 디지털 입력 신호를 상기 영차 홀드 및 상기 아날로그 회로의 결합된 전달 함수의 인버스에 기초하여 결정된 전달함수로 처리하는 단계를 포함하는, 디지털-아날로그 변환의 수행 방법.

청구항 20

삭제

청구항 21

제 19 항에 있어서,

상기 아날로그 출력 신호 및 상기 제 1 디지털 신호를 상기 피드백 회로로 처리하는 단계는

모델 출력 신호를 획득하기 위해 상기 제 1 디지털 신호를 모델 회로로 처리하는 단계,

에러 신호를 획득하기 위해 상기 모델 출력 신호로부터 디지털화된 출력 신호를 감산하는 단계,

필터링된 신호를 획득하기 위해 상기 에러 신호를 루프 필터로 필터링하는 단계, 및

상기 제 2 디지털 신호를 획득하기 위해 상기 필터링된 신호를 상기 제 1 디지털 신호와 합산하는 단계를 포함

하는, 디지털-아날로그 변환의 수행 방법.

청구항 22

제 21 항에 있어서,

상기 아날로그 회로의 적어도 하나의 파라미터를 추정하는 단계; 및

상기 적어도 하나의 추정된 파라미터에 기초하여 상기 모델 회로의 전달 함수를 구현하는 단계를 더 포함하는, 디지털-아날로그 변환의 수행 방법.

청구항 23

제 21 항에 있어서,

상기 아날로그 회로의 극점 주파수 및 이득을 추정하는 단계; 및

상기 추정된 극점 주파수 및 이득에 기초하여 상기 모델 회로의 전달 함수를 구현하는 단계를 더 포함하는, 디지털-아날로그 변환의 수행 방법.

청구항 24

1차 또는 고차 홀드로 디지털-아날로그 변환을 수행하는 장치로서,

제 2 디지털 신호를 획득하기 위해 아날로그 회로로부터의 아날로그 출력 신호 및 제 1 디지털 신호를 피드백 회로로 처리하는 수단;

상기 아날로그 회로를 위한 아날로그 입력 신호를 획득하기 위해 상기 제 2 디지털 신호를 영차 홀드로 디지털로부터 아날로그로 변환하는 수단;

상기 아날로그 출력 신호를 획득하기 위해 상기 아날로그 입력 신호를 상기 아날로그 회로를 통해 통과시키는 수단; 및

상기 제 1 디지털 신호를 획득하기 위해, 디지털 입력 신호를 상기 영차 홀드 및 상기 아날로그 회로의 결합된 전달 함수의 인버스에 기초하여 결정된 전달함수로 처리하는 수단을 포함하는, 디지털-아날로그 변환의 수행 장치.

청구항 25

삭제

청구항 26

제 24 항에 있어서,

상기 아날로그 출력 신호 및 상기 제 1 디지털 신호를 상기 피드백 회로로 처리하는 수단은

모델 출력 신호를 획득하기 위해 상기 제 1 디지털 신호를 모델 회로로 처리하는 수단,

에러 신호를 획득하기 위해 상기 모델 출력 신호로부터 디지털화된 출력 신호를 감산하는 수단,

필터링된 신호를 획득하기 위해 상기 에러 신호를 루프 필터로 필터링하는 수단, 및

상기 제 2 디지털 신호를 획득하기 위해 상기 필터링된 신호를 상기 제 1 디지털 신호와 합산하는 수단을 포함하는, 디지털-아날로그 변환의 수행 장치.

청구항 27

제 26 항에 있어서,

상기 아날로그 회로의 적어도 하나의 파라미터를 추정하는 수단; 및

상기 적어도 하나의 추정된 파라미터에 기초하여 상기 모델 회로의 전달 함수를 구현하는 수단을 더 포함하는, 디지털-아날로그 변환의 수행 장치.

청구항 28

제 26 항에 있어서,

상기 아날로그 회로의 극점 주파수 및 이득을 추정하는 수단; 및

상기 추정된 극점 주파수 및 이득에 기초하여 상기 모델 회로의 전달 함수를 구현하는 수단을 더 포함하는, 디지털-아날로그 변환의 수행 장치.

청구항 29

모델 출력 신호를 획득하기 위해 적어도 하나의 컴퓨터로 하여금 제 1 디지털 신호를 모델 회로로 처리하게 하는 코드;

에러 신호를 획득하기 위해 적어도 하나의 컴퓨터로 하여금 상기 모델 출력 신호로부터 디지털화된 출력 신호를 감산하게 하는 코드;

필터링된 신호를 획득하기 위해 적어도 하나의 컴퓨터로 하여금 상기 에러 신호를 루프 필터로 필터링하게 하는 코드; 및

영차 홀드 및 아날로그 회로를 통해 디지털로부터 아날로그로 변환하여 아날로그 출력 신호를 획득하기 위한 제 2 디지털 신호를 획득하기 위해, 상기 적어도 하나의 컴퓨터로 하여금 상기 필터링된 신호를 상기 제 1 디지털 신호와 합산하게 하는 코드를 포함하는, 컴퓨터 판독가능 매체.

청구항 30

제 29 항에 있어서,

상기 적어도 하나의 컴퓨터로 하여금 상기 아날로그 회로의 적어도 하나의 파라미터를 추정하게 하는 코드; 및

상기 적어도 하나의 컴퓨터로 하여금 상기 적어도 하나의 추정된 파라미터에 기초하여 상기 모델 회로의 전달 함수를 구현하게 하는 코드를 더 포함하는, 컴퓨터 판독가능 매체.

명세서

기술 분야

[0001] 본 개시는 일반적으로 전자공학에 관한 것이며, 보다 상세하게는 디지털-아날로그 변환을 수행하기 위한 기술에 관한 것이다.

배경 기술

[0002] 디지털 아날로그 변환기(DAC)는 디지털 신호를 수신하고 아날로그 신호를 출력하는 회로이다. DAC는 디지털 회로와 아날로그 회로들 간의 인터페이스를 제공하기 위해 흔히 다양한 전자 디바이스에서 사용된다. 예를 들어, 셀룰러 폰과 같은 무선 통신 디바이스는 송신기, 오디오 출력 회로, 비디오 출력 회로 등과 인터페이스하기 위해 하나 이상의 DAC를 포함할 수도 있다.

발명의 내용

해결하려는 과제

[0003] DAC는 통상적으로, DAC로부터의 아날로그 신호를 필터링하기 위해 복원 필터와 같은 아날로그 회로와 결합하여 사용된다. 아날로그 회로는 상대적으로 복잡하고 그 복잡도 및 DAC를 이용한 전자 디바이스의 비용이 증가할 수도 있다. 복잡도 및 비용을 감소시키기 위해서 단순한 아날로그 회로를 이용하여 디지털-아날로그 변환을 수행하는 것이 바람직하다.

과제의 해결 수단

[0004] 1차 또는 고차 홀드로 디지털-아날로그 변환을 수행하는 기술이 본원에 기재된다. 본 기술은 신호 복원을 위해 단순한 아날로그 회로를 이용하고 아날로그 회로의 저주파수 거동을 개선하고 양호한 성능을 달성하기 위

해서 피드백 제어 기술을 이용한다.

[0005] 일 설계에서, 디지털-아날로그 변환 회로는 인버스 모델 회로, 피드백 회로, 영차 홀드 (ZOH) 회로, 및 아날로그 회로를 포함한다. 인버스 모델 회로는 디지털 입력 신호를 처리하고 제 1 디지털 신호를 제공한다. 피드백 회로는 제 1 디지털 신호 및 아날로그 회로로부터의 아날로그 출력 신호를 수신하고, 저주파수 잡음 필터링을 수행하고, 그리고 제 2 디지털 신호를 제공한다. ZOH 회로는 영차 홀드로 제 2 디지털 신호를 디지털로부터 아날로그로 변환하고 아날로그 입력 신호를 아날로그 회로에 제공한다. 아날로그 회로는 아날로그 입력 신호에 대하여 동작하고 아날로그 출력 신호를 제공한다. 아날로그 회로는 하나 이상의 극점을 갖는 단순한 회로일 수도 있다.

[0006] 일 설계에서, 피드백 회로는 모델 회로, 제 1 및 제 2 합산기, 루프 필터, 및 아날로그-디지털 변환기 (ADC) 를 포함한다. 모델 회로는 전달 함수 $M(s)$ 에 기초하여 제 1 디지털 신호에 대하여 동작하여 모델 출력 신호를 제공한다. ADC는 아날로그 출력 신호를 디지털화하고 디지털화된 출력 신호를 제공한다. 제 1 합산기는 모델 출력 신호로부터 디지털화된 출력 신호를 감산하고 에러 신호를 제공한다. 루프 필터는 에러 신호를 필터링하고 필터링된 신호를 제공한다. 제 2 합산기는 필터링된 신호 및 제 1 디지털 신호를 합산하고 제 2 디지털 신호를 제공한다. 피드백 회로는 제 1 디지털 신호에 최소한의 영향을 주면서 아날로그 회로의 저주파수 거동을 개선하기 위해서 잡음 필터링을 수행한다.

[0007] 모델 회로의 전달 함수 $M(s)$ 는 아날로그 회로의 전달 함수 $G(s)$ 와 ZOH 회로의 전달 함수 $Z(s)$ 에 기초하여 적응적으로 결정될 수도 있다. 적응 회로는 아날로그 회로의 적어도 하나의 파라미터 (예를 들어, 극점 주파수 및 이득) 를 추정할 수도 있다. 그런다음, 모델 회로의 전달 함수 $M(s)$ 는 추정된 파라미터(들)에 기초하여 구현될 수도 있다. 인버스 모델 회로는, 모델 회로의 전달 함수 $M(s)$ 의 인버스인 $M^{-1}(s)$ 의 전달 함수를 가질 수도 있다.

[0008] 본 개시의 다양한 양태 및 특징을 아래에 보다 상세하게 설명한다.

도면의 간단한 설명

[0009] 도 1a는 종래의 디지털-아날로그 변환을 도시한다.
 도 1b는 디지털 입력 신호 및 아날로그 입력 신호를 도시한다.
 도 1c는 아날로그 입력 신호의 스펙트럼 응답을 도시한다.
 도 2는 1차 홀드를 이용한 디지털-아날로그 변환을 도시한다.
 도 3은 1차 또는 고차 홀드 및 네거티브 피드백을 이용한 디지털-아날로그 변환 회로의 설계를 도시한다.
 도 4는 디지털-아날로그 변환 회로 내의 피드백 회로를 도시한다.
 도 5는 디지털-아날로그 변환 회로를 위한 모델 기준 시스템을 도시한다.
 도 6은 피드백 회로 내의 모델 회로를 도시한다.
 도 7은 1차 또는 고차 홀드 및 네거티브 피드백을 이용한 디지털-아날로그 변환 회로의 다른 설계를 도시한다.
 도 8은 1차 홀드를 이용한 아날로그 출력 신호를 도시한다.
 도 9는 디지털-아날로그 변환을 수행하기 위한 프로세스를 도시한다.
 도 10은 디지털-아날로그 변환을 위한 피드백 처리에 대한 프로세스를 도시한다.
 도 11은 무선 통신 디바이스의 블록도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 도 1a는 종래의 방식으로 디지털-아날로그 변환을 수행하는 디바이스 (100) 의 블록도를 도시한다. 디바이스 (100) 내에서, 디지털 회로 (110) 는 디지털 데이터를 수신 및 처리하고 디지털 입력 신호 $d(n)$ 를 제공하며, 여기서, n 은 샘플 인덱스이다. DAC (120) 는 영차 홀드를 이용하여 디지털 입력 신호를 디지털로부터 아날로그로 변환하고 아날로그 입력 신호 $\tilde{x}(t)$ 를 제공하며, t 는 연속 시간에 대한 변수이다. 복원 필

터 (130) 는 아날로그 입력 신호를 필터링하고 아날로그 출력 신호 $\tilde{y}(t)$ 를 제공한다. 필터 (130) 는 디지털-아날로그 변환에 의해 발생된 이미지의 감쇠, 영차 홀드로 인한 주파수 응답에 있어서 드롭 (droop) 에 대한 보상 등과 같은 다양한 기능을 수행할 수도 있다.

[0011] 도 1b는 도 1a의 디지털 입력 신호 $d(n)$ 및 아날로그 입력 신호 $\tilde{x}(t)$ 의 타이밍도를 도시한다. 디지털 입력 신호는 이산 시간 인스턴트 n_1, n_2 등에서 디지털 값들을 포함한다. DAC (120) 는 샘플 기간 T 의 전체 기간 동안 각각의 디지털 값을 출력 및 홀딩함으로써 아날로그 입력 신호 $\tilde{x}(t)$ 를 생성한다. 아날로그 입력 신호는 각각의 샘플링 인스턴트에서 그 샘플링 인스턴트에 대한 새로운 디털 값으로 변환한다.

[0012] 도 1c는 영차 홀드로 인해 시간 영역 계단 함수의 주파수 응답 $Z(f)$ 를 도시한다. DAC (120) 에 의한 영차 홀드는, 샘플 기간 T 에 의해 결정되는 널들의 위치로, $\text{sine}(x)/x$ 형상을 갖는 주파수 응답 $Z(f)$ 를 발생시킨다. 아날로그 입력 신호 $\tilde{x}(t)$ 는 $(\text{sine}(x)/x)$ 노치들에 의해 필터링되는 $1/T$ 의 배수에서의 이미지들 (160) 뿐만아니라 (드롭에 의해 필터링된) 원점에서의 원하는 신호 컴포넌트 (150) 를 포함한다. 단순함을 위해서, 포지티브 주파수에서의 컴포넌트들만을 도 1c에 도시한다. 복원 필터 (130) 는 $1/T$ 보다 더 높은 주파수에서 이미지들을 감쇠하도록 시도할 수도 있다. 복원 필터 (130) 는 $\text{sine}(x)/x$ 응답으로 인한 통과대역의 드롭을 보상하도록 시도할 수도 있다. 복원 필터 (130) 의 복잡도는 신호 대역폭, 샘플 레이트, 이미지의 감쇠의 원하는 양, 원하는 통과대역 응답 등과 같은 다양한 인자에 의존할 수도 있다. 상대적으로 복잡한 복원 필터는 적용가능한 요건을 충족시키도록 사용될 수도 있고 디바이스 (100) 의 복잡도 및 비용을 증가시킬 수도 있다.

[0013] 양호한 성능을 획득하는 한편 단순한 아날로그 회로를 이용하여 디지털-아날로그 변환을 수행하는 것이 바람직하다. 이것은 1차 또는 고차 홀드를 이용하여 디지털-아날로그 변환을 수행함으로써 성취될 수도 있다. 일반적으로, 본원에 기재된 기술은 영차 홀드보다 더 높은 임의의 차수를 위해 사용될 수도 있다. 명료함을 위해서, 1차 홀드 (FOH) 를 위한 일정한 양태의 기술들을 아래에 설명한다.

[0014] 도 2는 1차 홀드로 디지털-아날로그 변환을 수행하는 디바이스 (200) 의 설계의 블록도를 도시한다. 디바이스 (200) 내에서, 디지털 회로 (210) 는 디지털 데이터를 수신 및 처리하고 디지털 입력 신호 $d(n)$ 를 디지털-아날로그 변환 회로 (220) 에 제공한다. 변환 회로 (220) 내에서, 미분기 (230) 는 디지털 입력 신호를 미분하고 미분된 신호를 제공한다. ZOH 회로 (240) 는 영차 홀드로 미분 신호를 디지털로부터 아날로그로 변환하고 아날로그 입력신호를 제공한다. 적분기 (250) 는 아날로그 입력 신호를 적분하고 아날로그 출력 신호 $y(t)$ 를 제공한다.

[0015] 변환 회로 (220) 의 전체 전달 함수 $H(s)$ 는,

수학식 1

$$H(s) = \underbrace{\left[\frac{1-z^{-1}}{T} \right]}_{\text{미분기}} \underbrace{\frac{1-e^{-sT}}{sT}}_{\text{ZOH}} \underbrace{\frac{1}{s}}_{\text{적분기}} = \left(\frac{1-e^{-sT}}{sT} \right)^2$$

[0016]

[0017] 과 같이 표현될 수도 있다. 여기서, $s=j\omega$, ω 는 라디안 주파수이며, z^{-1} 는 일 샘플 기간의 지연을 나타낸다.

[0018] 식 1에 도시된 바와 같이, 영차 홀드는 $\frac{1-e^{-sT}}{sT}$ 의 전달 함수를 갖는다. 일반적으로, L차 홀드는

$\left(\frac{1 - e^{-sT}}{sT} \right)^{L+1}$ 의 전달 함수를 가지며, $L \geq 0$ 이다. 식 1은, 도 2에 도시된 미분기 (230), ZOH 회로 (240), 및 적분기 (250)의 결합으로 1차 홀드가 달성될 수도 있음을 나타낸다.

[0019] 디지털-아날로그 변환 회로 (220)는 몇 가지 이유 때문에 구현하는 것이 곤란하거나 실용적이지 않을 수도 있다. 첫번째, 이상적인/순수한 적분기는 통상적으로 실현되지 않지만 저주파수에서 극점을 갖는 회로에 의해 근사화될 수도 있다. 두번째, 극점을 갖는 적분기와 회로 둘 모두는 아날로그 출력 신호의 품질을 심각하게 저하시킬 수도 있는 저주파수 잡음, 드리프트 및 외란에 민감하다.

[0020] 일 양태에서, 디지털-아날로그 변환 회로는 하나 이상의 극점들을 갖는 단순한 아날로그 회로와 아날로그 회로의 저주파수 거동을 개선하기 위한 디지털 피드백 회로를 포함한다. 변환 회로는 1차 또는 고차 홀드로 디지털-아날로그 변환을 수행할 수 있고 아날로그 출력 신호를 더욱 매끄럽게 복원할 수 있다. 1차 또는 고차 홀드는 피드백 제어 기술을 이용하여 아날로그 회로로부터 아날로그 출력 신호를 안내함으로써 달성될 수도 있다.

[0021] 도 3은 1차 또는 고차 홀드 및 네거티브 피드백으로 디지털-아날로그 변환 회로 (300)의 설계의 블록도를 도시한다. 변환 회로 (300) 내에서, 인버스 모델 회로 (310)는 아래에 기재된 바와 같이 디지털 입력 신호 $d(n)$ 을 수신하여 처리하고 제 1 디지털 신호 $f(n)$ 을 제공한다. 피드백 회로 (330)는 제 1 디지털 신호 및 아날로그 출력 신호 $y(t)$ 를 수신하고 원하는 아날로그 입력 신호를 제공하는 제 2 디지털 신호 $s(n)$ 을 생성한다. ZOH 회로 (360)는 영차 홀드로 제 2 디지털 신호를 디지털로부터 아날로그로 변환하고 아날로그 입력 신호 $x(t)$ 를 제공한다. 아날로그 회로 (370)는 아날로그 입력 신호에 대하여 동작하고 아날로그 출력 신호 $y(t)$ 를 제공한다. 아날로그 회로 (370)는 하나의 극점을 갖는 적분기를 근사화할 수도 있고 다수의 극점을 갖는 고차 필터를 구현할 수도 있다.

[0022] 피드백 회로 (330)는 여러 기능을 수행한다. 첫째로, 피드백 회로 (330)는 아날로그 회로 (370)의 저주파수 거동을 개선하도록 시도한다. 둘째로, 피드백 회로 (330)는 제 1 디지털 신호의 신호 콘텐츠를 통과 시키도록 시도한다. 모델 기준 시스템 (320)을 형성하는 피드백 회로 (330), ZOH 회로 (360), 및 아날로그 회로 (370)의 결합된 전달 함수는 ZOH 회로 (360) 및 아날로그 회로 (370)의 결합된 전달 함수와 면밀하게 매칭하도록 설계될 수도 있다. 인버스 모델 회로 (310)는 모델 기준 시스템 (320)의 전달 함수의 인버스인 전달 함수를 가질 수도 있으므로, 변환 회로 (300)의 전체 응답이 넓은 대역폭에 걸쳐 고르다.

[0023] 도 4는 모델 기준 시스템 (320a) 및 피드백 회로 (330a)의 블록도를 도시하며, 이들은 도 3의 모델 기준 시스템 (320) 및 피드백 회로 (330)의 일 설계이다. 단순함을 위해, 도 4는, 통상적으로 아날로그 회로 및 연속 시간의 신호들에서 사용되는 s -영역의 다양한 회로의 전달 함수를 도시한다. 피드백 회로 (330a)는 제 1 디지털 신호 $f(n)$ 및 아날로그 출력 신호 $y(t)$ 를 수신하고 제 2 디지털 신호 $s(n)$ 을 생성한다.

[0024] 피드백 회로 (330a) 내에서, 모델 회로 (340)는 제 1 디지털 신호 $f(n)$ 을 수신하고 모델 출력 신호 $u(n)$ 을 생성한다. ADC (380)는 아날로그 출력 신호 $y(t)$ 를 수신하여 디지털화하고 디지털화된 출력 신호 $v(n)$ 을 제공한다. 합산기 (342)는 모델 출력 신호에서 디지털화된 출력 신호를 감산하고 에러 신호 $e(n)$ 을 제공한다. 루프 필터 (350)는 에러 신호를 필터링하고 필터링된 신호를 제공한다. 가산기 (352)는 필터링된 신호와 제 1 디지털 신호를 합산하고 제 2 디지털 신호 $s(n)$ 을 제공한다.

[0025] 피드백 회로 (330a), ZOH 회로 (360), 및 아날로그 회로 (370)는 모델 기준 적응 제어 시스템을 형성하고 적응형 제어 기술들을 이용하여 분석될 수도 있다. 루프 필터 (350)는 적응형 제어 시스템의 루프 역학 및 잡음 필터링을 결정한다. 일 설계에서, 루프 필터 (350)의 전달 함수 $F(s)$ 는,

수학식 2

$$F(s) = \frac{1}{s + p}$$

[0026] 과 같이 표현될 수도 있다. p 는 루프 필터의 극점의 주파수이다.

[0027]

[0028] 전달 함수 $F(s)$ 는 합산기 (342, 352), 루프 필터 (350), ZOH 회로 (360), 아날로그 회로 (370) 및 ADC (380) 에 의해 형성된 루프 (332) 의 폐루프 대역폭을 결정한다. 루프 필터 (350) 에 대한 협대역폭은 보다 많은 잡음 필터링을 제공할 수도 있지만 과도 응답이 더욱 느리다. 역으로, 루프 필터 (350) 에 대한 광대역폭은 보다 적은 잡음 필터링을 제공할 수도 있지만 과도 응답이 더욱 빠르다. 루프 필터 (350) 의 대역폭은 원하는 잡음 필터링 및 루프 역학을 달성하도록 선택될 수도 있다.

[0029] 피드백 회로 (330a) 는 아날로그 출력 신호에 대한 광대역 변조를 달성하기 위해서 2-포인트 또는 듀얼 포트 변조를 구현한다. 피드백 회로 (330a) 내에서, 제 1 디지털 신호 $f(n)$ 이 고역통과 변조 경로 및 저역통과 변조 경로 둘 모두에 제공된다. 고역통과 변조 경로에서, 제 1 디지털 신호는 피드백 회로 (330a) 의 입력으로부터 합산기 (352) 로 직접적으로 제공된다. 저역통과 변조 경로에서, 제 1 디지털 신호는 모델 회로 (340), 합산기 (342), 및 루프 필터 (350) 를 통해 합산기 (352) 로 제공된다. 저역통과 변조 경로의 대역폭은 모델 회로 (340) 및 루프 필터 (350) 에 의해 결정되고 상대적으로 협소할 수도 있다. 별개의 고역통과 및 저역통과 변조 경로들을 통해 제 1 디지털 신호를 인가함으로써, 적응형 제어 시스템은 적응형 제어 시스템의 폐루프 대역폭 보다 더 넓은 신호 대역폭을 갖는 제 2 디지털 신호를 제공할 수 있다.

[0030] 모델 회로 (340) 는 $M(s)$ 의 전달 함수를 갖고, ZOH 회로 (360) 는 $Z(s)$ 의 전달 함수를 갖고, 아날로그 회로 (370) 는 s -영역에서 $G(s)$ 의 전달 함수를 갖는다. 모델 회로 (340) 의 전달 함수는 ZOH 회로 (360) 및 아날로그 회로 (370) 의 결합된 전달 함수와 매치하도록

수학식 3

[0031]
$$M(s) = Z(s) \cdot G(s)$$

[0032] 과 같이 정의될 수도 있다.

[0033] 식 3이 달성된다면, 피드백 회로 (330a), ZOH 회로 (360), 및 아날로그 회로 (370) 의 결합된 전달 함수는 $Z(s) \cdot G(s)$ 과 같다. 이 경우, 피드백 회로 (330a) 는 전체 전달 함수에 최소한으로 영향을 주면서 아날로그 회로 (370) 의 저주파수 거동을 개선할 수 있다.

[0034] 도 5는 도 3의 모델 기준 시스템 (320) 의 모델인 모델 기준 제어 시스템 (520) 의 블록도를 도시한다. 단 순함을 위해서, 도 4의 ZOH 회로 (360) 및 ADC (380) 는 시스템 (520) 에서 생략되었다. 시스템 (520) 에서, 모델 회로 (540), 합산기 (542), 루프 필터 (550), 및 합산기 (552) 는 각각 도 4의 모델 회로 (340), 합산기 (342), 루프 필터 (350), 및 합산기 (352) 와 동일한 방식으로 커플링된다. 아날로그 회로 (570) 는 합산기 (552) 의 출력에 직접적으로 커플링된다.

[0035] 1차 홀드를 위해서, 아날로그 회로 (570) 의 전달 함수 $G(s)$ 및 모델 회로 (540) 의 전달 함수 $M(s)$ 는,

수학식 4

[0036]
$$G(s) = \frac{b}{s + a}$$

수학식 5

[0037]
$$M(s) = \frac{b_m}{s + a_m}$$

[0038] 와 같이 표현될 수도 있다.

[0039] a 는 아날로그 회로 (570) 의 극점의 주파수이고,

- [0040] b 는 아날로그 회로 (570) 의 이득이고,
- [0041] a_m 은 모델 회로 (540) 의 극점의 주파수이고, 그리고
- [0042] b_m 은 모델 회로 (540) 의 이득이다.
- [0043] 식 4의 전달 함수 $G(s)$ 는, 저항기 (R) 와 커패시터 (C), 수동 RC 필터, 스위치드 커패시터 필터 등과 병렬인 전원으로 구현될 수도 있다. 극점 주파수 a 는 저항기 및 커패시터의 값들에 의해 결정될 수도 있다. 이득 b 는 전원 및/또는 저항기 및 커패시터를 구동하는 다른 능동 회로의 이득에 의존할 수도 있다.
- [0044] 모델 기준 제어 시스템 (520) 에서, 아날로그 회로 (570) 는 제어될 플랜트이다. 용어 "플랜트"는 통상적으로, 적절한 입력을 인가함으로써 그 출력이 제어되는 블록을 위한 제어 시스템 내에서 사용된다. 모델 기준 제어 시스템 (520) 에 있어서, (식 4의 전달 함수 $G(s)$ 를 갖는 아날로그 회로 (570) 인) 플랜트는 (식 5의 전달 함수 $M(s)$ 를 갖는 모델 회로 (540) 인) 모델을 따라가도록 장려된다. 모델 회로 (540) 의 극점 주파수 a_m 과 이득 b_m 이 아날로그 회로 (570) 의 극점 주파수 a 및 이득 b 와 일치한다면, 시스템 (520) 의 전체 전달 함수는 모델 회로 (540) 의 전달 함수와 동일하다.
- [0045] 아날로그 회로 (570) 의 극점 주파수와 이득은 원하는 값들로 설정될 수도 있다. 그러나, 컴포넌트 공차 및/또는 다른 인자들로 인해, 아날로그 회로 (570) 의 극점 주파수 및 이득이 원하는 값들과 상이할 수도 있고/있거나 알려지지 않을 수도 있다. 이 경우, 아날로그 회로 (570) 의 극점 주파수 및 이득은 적응적으로 결정될 수도 있다.
- [0046] 도 6은 도 5의 모델 회로 (540) 의 일 설계인 모델 회로 (540a) 의 블록도를 도시한다. 이 설계에서, 모델 회로 (540a) 는 아날로그 회로 (570) 의 파라미터들 (a , b) 을 적응적으로 추정하고 추정된 파라미터들 (a_m , b_m) 을 그 전달 함수 $M(s)$ 에 대하여 적용한다.
- [0047] 모델 회로 (540a) 내에서, 합산기 (612) 는 제 1 디지털 신호 $f(n)$ 로부터 승산기 (626)의 출력을 수신하여 감산한다. 누산기 (614) 는 합산기 (612)의 출력을 누산하고 누산된 신호 $k(n)$ 를 제공한다. 승산기 (616) 는 누산된 신호를 회로 (634)로부터의 b_m 과 승산하고 모델 출력 신호 $u(n)$ 을 제공한다.
- [0048] 승산기 (622) 는 누산된 신호 $k(n)$ 을 합산기 (542)로부터의 에러 신호 $e(n)$ 와 승산한다. 회로 (624) 는 승산기 (622)의 출력을 이득 g_1 으로 스케일링하고, 스케일링된 결과를 누산하고, 아날로그 회로 (570)의 극점 주파수 a 의 추정치인 a_m 을 제공한다. 승산기 (626) 는 누산된 신호 $k(n)$ 을 a_m 과 승산하고 그 출력을 합산기 (612)에 제공한다.
- [0049] 승산기 (632) 는 제 1 디지털 신호 $f(n)$ 을 에러 신호 $e(n)$ 과 승산한다. 회로 (634) 는 승산기 (632)의 출력을 이득 $-g_2$ 로 스케일링하고, 그 스케일링된 결과를 누산하고, 아날로그 회로 (570)의 이득 b 의 추정치인 b_m 을 제공한다.
- [0050] 회로 (624)의 이득 g_1 은 파라미터 a_m 에 대한 적응률을 결정하고 회로 (634)의 이득 g_2 는 파라미터 b_m 에 대한 적응률을 결정한다. 이득 g_1 및 g_2 는 각각 a_m 및 b_m 에 대한 원하는 적응률을 달성하도록 선택될 수도 있다. 일단 적응이 수렴되면, a_m 은 a 에 면밀하게 매칭되고, b_m 은 b 에 면밀하게 매칭된다. 그런 다음, 모델 회로 (540a) 는 식 5에 도시된 전달 함수 $M(s)$ 를 구현한다.
- [0051] 도 6은 아날로그 회로 (570)의 파라미터를 적응적으로 추정하고 그 추정된 파라미터들을 모델 회로 (540)에 적용하는 일 설계를 도시한다. 아날로그 회로 (570)의 파라미터는 또한 다른 방식으로 추정될 수도 있다.
- [0052] 도 7은 1차 또는 고차 홀드 및 네거티브 피드백을 갖는 디지털-아날로그 변환 회로 (700)의 설계의 블록도를 도시한다. 변환 회로 (700)는 인버스 모델 회로 (710), 피드백 회로 (730), ZOH 회로 (760), 및 아날로그 회로 (770)를 포함하며, 이들은 각각 도 3의 인버스 모델 회로 (310), 피드백 회로 (330), ZOH 회로 (360), 및 아날로그 회로 (370)와 동일한 방식으로 커플링된다.
- [0053] 도 7에 도시된 설계에서, 피드백 회로 (730)는 모델 회로 (740), 합산기 (742), 루프 필터 (750), 합산기 (752), 및 ADC (780)를 포함하며, 이들은 각각 도 4의 모델 회로 (340), 합산기 (342), 루프 필터 (350), 합산기 (352), 및 ADC (380)과 동일한 방식으로 커플링된다. 피드백 회로 (730)는 또한, 제 1 디지털 신호

$f(n)$, 에러 신호 $e(n)$, 제 2 디지털 신호 $s(n)$, 및/또는 디지털화된 출력 신호 $v(n)$ 을 수신할 수도 있는 적응 회로 (790) 를 더 포함한다. 적응 회로 (790) 는 ZOH 회로 (760) 의 전달 함수 $Z(s)$ 및/또는 아날로그 회로 (770) 의 전달 함수 $G(s)$ 의 파라미터들을 추정할 수도 있다. 모델 회로 (740) 의 전달 함수 $M(s)$ 는, ZOH 회로 (760) 의 결합된 전달 함수 $Z(s) \cdot G(s)$ 와 아날로그 회로 (770) 를 매치시키기 위해 추정된 파라미터들에 기초하여 정의될 수도 있다. 1차 홀드에 있어서, 적응 회로 (790) 는 도 6에 도시된 바와 같이 구현될 수도 있다. 고차 홀드에 있어서, 적응 회로 (790) 는 Landau, Y.D., "Adaptive Control, The Model Reference Approach," Marcel Dekker, Inc., 1979에 의해 기술된 피드백 제어 기술을 이용하여 구현될 수도 있다. 인버스 모델 회로 (710) 는 모델 회로 (740) 전달 함수 $M(s)$ 의 인버스인 전달 함수 $M^{-1}(s)$ 를 갖는다.

[0054] 디지털-아날로그 변환 회로 (700) 는 1차 또는 고차 홀드를 구현할 수도 있다. 트루 L차 홀드에 있어서, 플랜트는 캐스케이드로 커플링된 L개의 적분기들을 포함하며, L은 1 이상일 수도 있다. 이들 L개의 적분기들은 충분히 높은 주파수에서 L개의 극점으로 근사화될 수도 있다. L차 홀드에 있어서, 아날로그 회로 (770) 는 L개의 적분기들을 근사화하기 위해 L 개의 극점들을 포함할 수도 있다. 예로써, 2차 홀드에 있어서, 아날로그 회로 (770) 는 다음 전달 함수를 가질 수도 있는 2개의 극점을 포함할 수도 있다:

수학식 6

$$G(s) = \left(\frac{b_1}{s + a_1} \right) \cdot \left(\frac{b_2}{s + a_2} \right)$$

[0055]

[0056] a_1 및 a_2 는 2개의 극점들의 주파수이고,

[0057]

b_1 및 b_2 는 2개의 극점들과 연관된 이득이다.

[0058]

임의의 주어진 차수 L에 있어서, 모델 회로 (740) 는 ZOH 회로 (760) 및 아날로그 회로 (770) 의 결합된 전달 함수를 가질 수도 있다.

[0059]

명료함을 위해서, 도 5 및 도 6은 도 4의 ZOH 회로 (360) 및 ADC (380) 을 생략한다. 더욱이, 도 4 내지 도 7은, 연속 시간에서 아날로그 회로 및 신호를 위하여 통상적으로 사용되는 s-영역의 다양한 회로들의 전달 함수를 도시한다. 실제 구현에서, 아날로그 회로와 ZOH 회로 및 ADC의 일부분들만이 아날로그/연속이고, 남은 회로들은 디지털/이산 시간이다. 이와 같이, ZOH 회로 및 ADC의 나머지에 대한 모든 회로들은 디지털 회로로 구현될 수도 있다.

[0060]

모델 회로가 디지털식의 이산 시간으로 구현되기 때문에, 아날로그 회로는 샘플링 인스턴트에 대응하는 이산 시간 인스턴트에서만 제어될 수도 있다. 샘플링 인스턴트들 사이에서, 아날로그 출력 신호 $y(t)$ 는 아날로그 회로의 연속 시간 응답에 의존한다. ZOH 회로는 제 2 디지털 신호 $s(n)$ 을 수신하고, 예를 들어, 도 1b에 도시된 바와 같이 제 2 디지털 신호의 각각의 샘플에 대하여 계단 응답을 아날로그 회로에 제공한다. 샘플링 인스턴트들 간의 아날로그 출력 신호는 아날로그 회로의 계단 응답에 의해 결정된다.

[0061]

1차 홀드에 있어서, 식 4에 도시된 하나의 극점 전달 함수 $G(s)$ 를 갖는 아날로그 회로의 계단 응답 $g(t)$ 는

수학식 7

$$g(t) = \frac{b}{a} \cdot (1 - e^{-at}) = \frac{b}{a} \cdot \left(a \cdot t - \frac{(a \cdot t)^2}{2!} + \frac{(a \cdot t)^3}{3!} + \dots \right)$$

[0062]

과 같이 표현될 수도 있다. 여기서 "!"는 팩토리얼을 나타낸다.

[0063]

식 7에서, b/a 는 DC에서의 이득이고 스케일링 인자이다. 계단 응답은 식 7의 두번째 등호의 오른쪽으로, 상이한 차수의 항들의 시리즈로 근사화될 수도 있다. 제 1 항 $a \cdot t$ 는 a의 기울기를 갖는 직선이다. 후속하는 항은 직선에 대한 에러들로 여겨질 수도 있다. 극점 주파수가 샘플링 주파수보다 매우 낮거나, $a \ll 1/T$ 라면, $g(t)$ 는 샘플들 간에 거의 선형이다. 예를 들어, 극점 주파수가 킬로헤르츠 (KHz) 의 차수에 대

[0064]

한 것일 수도 있는 반면 샘플링 주파수는 메가헤르츠 (MHz) 의 차수에 관한 것일 수도 있다. 극점 주파수 a 가 상대적으로 낮다면, 아날로그 출력 신호는 샘플들의 근사한 구분 선형 보간 (near piece-wise linear interpolation) 이고, 디지털-아날로그 변환 회로는 1차 홀드에 가깝다.

[0065] 도 8은, 1차 홀드를 갖는 디지털-아날로그 변환 회로 (300 또는 700) 의 ZOH 회로로부터의 아날로그 입력 신호 $x(t)$ 및 아날로그 회로로부터의 아날로그 출력 신호 $y(t)$ 의 타이밍도를 도시한다. 아날로그 입력 신호 $x(t)$ 는 점선으로 도시되며 각각의 샘플링 인스턴트 n_1, n_2 등에서 계단 응답을 갖는다. 아날로그 출력 신호 $y(t)$ 는 식 4에 도시된 단일 극점 전달 함수 $G(s)$ 로 인해 샘플링 인스턴트들 사이에서 대략 선형으로 변한다. 사실상, 도 8의 FOH 응답은 필수 처리를 위한 시간을 허용하기 위해 적어도 하나의 샘플만큼 지연될 것이다.

[0066] 도 9는 본원에 기재된 기술들에 기초하여 디지털-아날로그 변환을 수행하기 위한 프로세스 (900) 의 설계를 도시한다. 디지털 입력 신호는 제 1 디지털 신호를 획득하기 위해 인버스 모델 회로로 처리될 수도 있다 (블록 912). 제 1 디지털 신호 및 아날로그 회로로부터의 아날로그 출력 신호는 제 2 디지털 신호를 획득하기 위해 피드백 회로로 처리될 수도 있다 (블록 914). 제 2 디지털 신호는 아날로그 회로를 위한 아날로그 입력 신호를 획득하기 위해 영차 홀드로 디지털에서 아날로그로 변환될 수도 있다 (블록 916). 아날로그 입력 신호는 아날로그 출력 신호를 획득하기 위해 아날로그 회로를 통해 통과될 수도 있다 (블록 918).

[0067] 아날로그 회로는 하나 이상의 극점들을 포함할 수도 있다. 1차 홀드에 있어서, 아날로그 회로는 식 4에 도시된 전달 함수를 가질 수도 있다. 2차 홀드에 있어서, 아날로그 회로는 식 6에 도시된 전달 함수를 가질 수도 있다. 아날로그 회로의 각각의 극점의 주파수는 제 1 디지털 신호의 샘플링 주파수보다 매우 낮을 (예를 들어, 적어도 10배 낮을) 수도 있다.

[0068] 도 10은 도 9의 블록 914의 설계를 도시한다. 모델 출력 신호를 획득하기 위해 제 1 디지털 신호가 모델 회로로 처리될 수도 있다 (블록 1012). 디지털화된 출력 신호를 획득하기 위해 아날로그 출력 신호가 ADC로 디지털화될 수도 있다 (블록 1014). 여러 신호를 획득하기 위해 디지털화된 출력 신호가 모델 출력 신호로부터 감산될 수도 있다 (블록 1016). 필터링된 신호를 획득하기 위해 여러 신호가 루프 필터로 필터링될 수도 있다 (블록 1018). 제 2 디지털 신호를 획득하기 위해 필터링된 신호가 제 1 디지털 신호와 합산될 수도 있다 (블록 1020).

[0069] 모델 회로는 ZOH 회로 및 아날로그 회로의 전달 함수에 기초하여 결정된 전달 함수를 가질 수도 있다. 적응 회로는 아날로그 회로의 적어도 하나의 파라미터를 추정할 수도 있고, 모델 회로의 전달 함수는 추정된 파라미터(들)에 기초하여 구현될 수도 있다. 예를 들어, 적응 회로는 극점 주파수와 아날로그 회로의 이득을 추정할 수도 있고, 모델 회로의 전달 함수는 추정된 극점 주파수 및 이득에 기초하여 구현될 수도 있다. 루프 필터는 잡음 필터링을 수행할 수도 있고 제 1 디지털 신호의 대역폭 보다 매우 더 작은 대역폭을 가질 수도 있다.

[0070] 도 4 내지 도 7에 도시된 설계에서, 주 잡음원은 아날로그 회로로부터의 플리커 잡음 및 백색 잡음과 피드백 경로의 ADC로부터의 피드백 잡음이다. 백색 잡음은 주로 루프 대역폭 밖에 있으므로, 제어 또는 완화되지 않는다. 아날로그 회로는 백색 잡음의 수용가능한 레벨을 달성하도록 설계될 수도 있다. 플리커 잡음은 저주파수에서 우세하고 루프 대역폭이 충분히 높다면 루프에 의해 억제될 수도 있다. 루프의 최소 대역폭은 플리커 잡음의 코너 주파수에 (예를 들어, 더 크게) 의존할 수도 있다. 루프의 최대 대역폭은 피드백 경로의 ADC에 의해 주입된 잡음에 의존할 수도 있다. 루프 대역폭은 (루프 대역폭이 클수록 더 양호한) 억제할 플리커 잡음의 양과 (루프 대역폭이 작을수록 더 양호한) 억제할 피드백 잡음의 양 사이의 트레이드오프에 기초하여 선택될 수도 있다.

[0071] 피드백 잡음을 완화시키기 위해서 피드백 경로에서 ADC를 위해 잡음 정형 변환기가 사용될 수도 있다. 많은 양자화 잡음이 예를 들어 루프 필터의 저지대역 안으로 더 높은 주파수로 푸쉬되도록, 잡음 정형 변환기는 아날로그 출력 신호를 디지털화할 수 있다. 본원에 기재된 DAC가 직교 상향변환기의 동위상 (I) 및 직교 (Q) 브랜치들 각각에서 사용되는 경우 그리고 1차 시그마 델타 ($\Sigma\Delta$) 변조기가 각각의 DAC의 피드백 경로에 사용된다면, 여러 벡터 크기 (EVM) 는,

수학식 8

$$EVM = 100 \cdot \left(\frac{\pi^2}{3} q^2 \frac{(2/2^N)^2}{12} \frac{1}{OSR^3} \right)^{1/2}$$

[0072]

[0073] 으로서 표현될 수도 있다.

[0074] q는 I 또는 Q 신호의 RMS (Root-Mean-Square) 비율에 대한 피크이고,

[0075] N은 각각의 $\Sigma \Delta$ 변조기로부터의 비트들의 수이고, 그리고

[0076] OSR은 두 배의 신호 대역폭 (즉, 이 예에서 루프 대역폭) 으로 채산된 샘플링 주파수인 오버샘플링 비율 (OverSampling Ratio) 이다.

[0077] 예를 들어, 1 비트 1차 $\Sigma \Delta$ 변조기는, 4배의 칩 속도에서 샘플링된 광대역 코드 분할 다중 액세스 (WCDMA) 신호들을 위한 I 및 Q DAC들에 사용될 수도 있다. 이 경우, 50 KHz의 루프 대역폭에 대하여 $q \approx 2$ 이고, $EVM \approx 0.06\%$ 이다. 이 낮은 EVM은 무시할 수도 있다.

[0078] 일반적으로, 루프는 루프 대역폭 보다 작은 코너 주파수를 갖는 플리커 잡음을 거부하는 것이 가능할 수도 있다. 플리커 잡음에 대한 보다 높은 코너 주파수를 방지하기 위해 보다 높은 루프 대역폭이 사용될 수도 있다. 그러나, 과도한 저하를 방지하기 위해서 ADC로부터의 피드백 잡음은 대응하는 양만큼 더 낮아야한다.

[0079] 본원에 기재된 디지털-아날로그 변환 회로는 ZOH 회로의 동적 범위 요건을 감소시킬 수도 있다. 도 3 및 도 7에 도시된 바와 같이, 디지털-아날로그 변환 회로는 미분기의 근사화일 수도 있는 인버스 모델 회로를 포함할 수도 있다. 이 경우, ZOH 회로에 제공된 제 2 디지털 신호 s(n)는 디지털 입력 신호 d(n)의 미분이고, 이 미분은 이산 시간의 인접한 샘플들 사이의 차이이다. 디지털 입력 신호 d(n)은 통상적으로 매끄럽고 오버샘플링되므로, 디지털 입력 신호의 인접한 샘플들 간의 피크 차는 디지털 입력 신호 그 자체의 피크보다 매우 더 작을 수도 있다. 따라서, ZOH 회로의 입력 역학 범위는 감소될 수도 있다. 예로써, WCDMA에 있어서, 1차 홀드는 2 이상의 비트만큼 ZOH 회로의 입력 역학 범위를 감소시킬 수도 있고, 2차 홀드는 4 이상의 비트만큼 입력 역학 범위를 감소시킬 수도 있다.

[0080] 본원에 기재된 디지털-아날로그 변환 회로는 (예를 들어, 하나 이상의 극점들을 갖는) 단순한 아날로그 회로를 사용하고 샘플-데이터 제어 기술들을 이용하여 아날로그 회로의 출력을 안내한다. 일반적으로, 아날로그 회로의 차수 (및 따라서 복잡성)는 아날로그 출력 신호의 복원의 평활도를 결정할 것이다. 복원 필터는 아날로그 회로 이후에 필요할 수도 또는 필요하지 않을 수도 있고 또는 디지털-아날로그 변환 회로의 설계와 출력 신호 요건에 의존하여 단순화될 수도 있다.

[0081] 본원에 기재된 디지털-아날로그 변환 회로는 몇 가지 이점을 제공할 수도 있다. 첫째로, 아날로그 회로는 상대적으로 단순할 수도 있는데, 예를 들어 단일 극점일 수도 있다. 단순한 아날로그 회로는 또한, 회로 파라미터 (예를 들어, 극점 주파수 a 및 이득 b)가 더욱 쉽게 식별되고 후속하여 디지털식으로 수정될 수도 있다. 둘째로, 샘플 레이트는 단지 디지털 이미지의 주파수에 의해서가 아닌 아날로그 회로를 제어할 필요에만 기초하여 결정될 수도 있다. 더 낮은 샘플 레이트는 전력 소비를 감소시킬 수도 있는 디지털 입력 신호를 위해 사용될 수도 있다. 셋째로, ZOH 회로의 입력 역학 범위는 피드백 회로 전에 인버스 모델 회로로 인해 감소될 수도 있다.

[0082] 피드백 회로의 더 큰 복잡성의 대가로 고차 홀드들에 대한 상술된 이점들이 더 클 수도 있다. 예를 들어, 고차 홀드들은 더욱 평활한 신호 복원, ZOH 회로에 대한 더 낮은 입력 역학 범위, 더 낮은 샘플 레이트 등을 제공할 수도 있다. 예로써, 2차 홀드를 갖는 WCDMA에 있어서, 샘플 레이트는 8배, 예를 들어 32배의 칩 레이트 (chipx32)로부터 4배 칩 레이트 (chipx4)로 감소할 수도 있다.

[0083] 본원에 기재된 디지털-아날로그 변환 회로는 통신, 컴퓨팅, 네트워킹, 개인용 전자장치 등과 같은 다양한 애플리케이션들에 사용될 수도 있다. 예를 들어, 디지털-아날로그 변환 회로는 무선 통신 디바이스, 셀룰러 전화기, 개인 디지털 보조기 (PDA), 휴대용 디바이스, 게임 디바이스, 컴퓨팅 디바이스, 랩톱 컴퓨터, 가전 제품, 개인 컴퓨터, 코드리스 전화기 등을 위해 사용될 수도 있다. 무선 통신 디바이스 내의 디지털-아날로그 변

환 회로의 예시적인 이용을 아래에 설명한다.

- [0084] 도 11은 무선 통신 시스템을 위한 무선 통신 디바이스 (1100) 의 설계의 블록도를 도시한다. 무선 디바이스 (1100) 는 셀룰러 전화기, 단말기, 핸드셋, 무선 모뎀 등일 수도 있다. 무선 통신 시스템은 cdma2000 시스템, WCDMA 시스템, GSM (Global System for Mobile Communications) 시스템 등일 수도 있다.
- [0085] 무선 디바이스 (1100) 는 수신 경로 및 전송 경로를 통해 양방향 통신을 제공할 수 있다. 수신 경로 상에서, 기지국 (미도시) 에 의해 전송된 신호는 안테나 (1110) 에 의해 수신되고 수신기 (1112) 에 제공된다. 수신기 (1112) 는 수신된 신호를 컨디셔닝하고 입력 기저대역 신호들을 섹션 (1120) 내의 ADC (1114) 에 제공한다. 송신 경로 상에서, DAC (1116) 는 송신될 데이터를 수신하고 출력 기저대역 신호를 송신기 (1118) 에 제공한다. DAC (1116) 는 본원에 기재된 디지털-아날로그 변환 회로로 구현될 수도 있다. 송신기 (1118) 는 기저대역 출력 신호들을 처리하여 컨디셔닝하고 안테나 (1110) 를 통해 기지국으로 전송될 변조 신호를 생성한다. 수신기 (1112) 및 송신기 (1116) 는 cdma2000, WCDMA, GSM 등을 지원할 수도 있다.
- [0086] 섹션 (1120) 은, 예를 들어, 모뎀 프로세서 (1122), 축약형 명령세트 컴퓨터/디지털 신호 프로세서 (RISC/DSP; 1124), 제어기/프로세서 (1126), 메모리 (1128), 및 입/출력 (I/O) 회로 (1130) 와 같은 처리, 인터페이스 및 메모리 유닛을 포함한다. 모뎀 프로세서 (1122) 는 데이터 송신 및 수신을 위한 처리, 예를 들어, 인코딩, 변조, 복조, 디코딩 등을 위한 프로세싱을 수행할 수도 있다. RISC/DSP (1124) 는 무선 디바이스 (1100) 에 대한 일반적이고 특수화된 처리를 수행할 수도 있다. 제어기/프로세서 (1126) 는 섹션 (1120) 내의 다양한 유닛들의 동작을 지시할 수도 있다. 메모리 (1128) 는 섹션 (1120) 내의 다양한 유닛들에 대한 데이터 및/또는 명령들을 저장할 수도 있다. I/O 회로 (1130) 는, 본원에 기재된 디지털-아날로그 변환 회로로 구현될 수도 있는 DAC (1132) 를 통해 외부 I/O 디바이스 (1140) 과 통신할 수도 있다.
- [0087] 본원에 기재된 디지털-아날로그 변환 회로는 다양한 수단에 의해 구현될 수도 있다. 예를 들어, 디지털-아날로그 변환 회로는 하드웨어, 펌웨어, 소프트웨어 또는 그 조합으로 구현될 수도 있다. 하드웨어 구현을 위해서, 디지털-아날로그 변환 회로의 다양한 회로는 집적 회로 (IC), 아날로그 IC, 무선 주파수 IC (RFIC), 혼합 신호 IC, 주문형 집적 회로 (ASIC), 디지털 신호 프로세서 (DSP), 디지털 신호 처리 디바이스 (DSPD), 프로그래머블 논리 디바이스 (PLD), 필드 프로그래머블 게이트 어레이 (FPGA), 프로세서, 제어기, 마이크로-컨트롤러, 마이크로프로세서, 전자식 디바이스, 본원에 기재된 기능을 수행하기 위해 설계된 다른 전자식 유닛, 컴퓨터 또는 그 조합에 대하여 구현될 수도 있다.
- [0088] 디지털-아날로그 변환 회로는 또한 상보성 금속 산화막 반도체 (CMOS), N-채널 MOS (N-MOS), P-채널 MOS (P-MOS), 바이폴라 접합 트랜지스터 (BJT), 바이폴라 CMOS (BiCMOS), 실리콘 게르마늄 (SiGe), 갈륨 비소 (GaAs) 등과 같은 다양한 IC 프로세스 기술들을 이용하여 제조될 수도 있다.
- [0089] 디지털-아날로그 변환 회로의 특정 부분은 본원에 기재된 기능을 실시하는 펌웨어 및/또는 소프트웨어 코드 (예를 들어, 절차, 함수, 모듈, 명령들 등) 로 구현될 수도 있다. 일반적으로, 펌웨어 및/또는 소프트웨어 코드를 구체적으로 구현하는 임의의 컴퓨터/프로세서 판독가능 매체는 본원에 기재된 기술을 구현하는데 사용될 수도 있다. 예를 들어, 펌웨어 및/또는 소프트웨어 코드는 메모리 (예를 들어 도 11의 메모리 (1128)) 에 저장될 수도 있고 프로세서 (예를 들어, 프로세서 (1126)) 에 의해 실시될 수도 있다. 메모리는 프로세서 내에서 또는 프로세서 외부에서 구현될 수도 있다.
- [0090] 펌웨어 및/또는 소프트웨어 코드는 컴퓨터 판독가능 매체 상에 저장되거나 컴퓨터 판독가능 매체를 통해 전송될 수도 있다. 컴퓨터 판독가능 매체는, 컴퓨터 프로그램을 일 위치에서 다른 위치로 용이하게 이동시킬 수 있는 임의의 매체를 포함한 통신 매체 및 컴퓨터 저장 매체 둘 다를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다. 예로써, 이러한 컴퓨터 판독가능 매체는, 랜덤 액세스 메모리 (RAM), 읽기 전용 메모리 (ROM), 비휘발성 랜덤 액세스 메모리 (NVRAM), 프로그래머블 읽기 전용 메모리 (PROM), 전기적 소거 PROM (EEPROM), FLASH 메모리, 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 저장 디바이스, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 이동 또는 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있지만, 이것으로 한정되지 않는다. 또한, 임의의 접속은 정확하게 컴퓨터 판독가능 매체로 지칭된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 트위스티드 페어 케이블, 디지털 가입자 회선 (DSL) 또는 적외선, 라디오, 및 마이크로웨이브와 같은 무선 테크놀로지들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신된다면, 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 적외선, 라디오, 및 마이크로웨이브와 같은 무선 테크놀로지들은 매체의 정의에 포함된다. 본원에 사용된 디스크 (disk 및 disc) 는 컴팩트 디스크

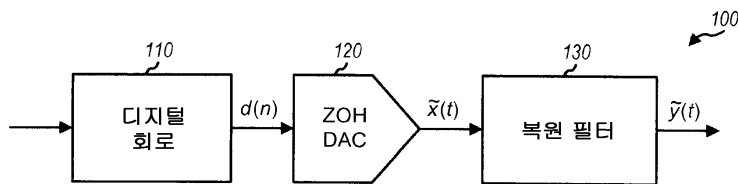
(CD), 레이저 디스크, 광디스크, DVD (Digital Versatile Disc), 플로피 디스크 및 블루레이 디스크를 포함하고, 디스크 (disk) 는 통상적으로 자기적으로 데이터를 재생하는 반면, 디스크 (disc) 는 레이저를 이용하여 광학적으로 데이터를 재생한다. 상기의 조합 또한 컴퓨터 관독가능 매체의 범위 내에 포함된다.

[0091] 본원에 기재된 디지털-아날로그 변환 회로를 구현하는 장치는 독립형 디바이스일 수도 있고 또는 더 큰 디바이스의 일부일 수도 있다. 디바이스는 (i) 독립형 IC, (ii) 데이터 및/또는 명령어를 저장하기 위한 메모리 IC를 포함할 수도 있는 하나 이상의 IC의 세트, (iii) RF 수신기 (RFR) 또는 RF 송신기/수신기 (RTR) 와 같은 RFIC, (iv) 이동국 모뎀 (MSM) 과 같은 ASIC, (v) 다른 디바이스들 내에서 구현될 수도 있는 모듈 (vi) 수신기, 셀룰러 폰, 무선 디바이스, 핸드셋 또는 이동 유닛, (vii) 등일 수도 있다.

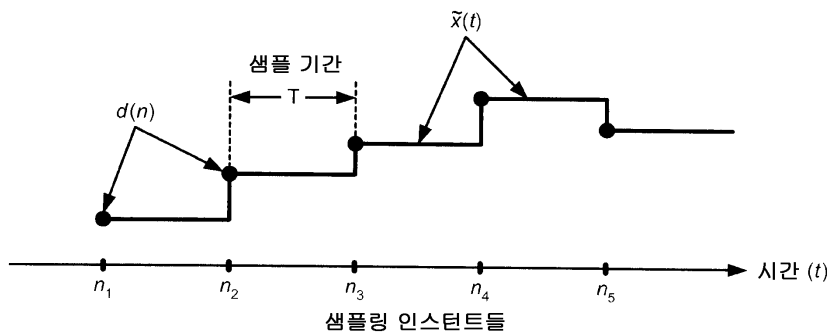
[0092] 본 개시의 앞의 설명은 어떤 당업자라도 본 개시를 제작하거나 이용할 수 있도록 제공된다. 본 개시의 다양한 수정은 당업자에게 쉽게 명확할 것이며, 본원에 정의된 일반 원리는 본 개의 범위로부터 벗어나지 않고 다른 변경에 적용될 수도 있다. 따라서, 본 개시는 본원에 기술된 실시예 및 설계들로 제한되는 것을 의도하지 않지만 본원에 개시된 원리 및 신규한 특성과 일치하는 최광의 범위를 따른다.

도면

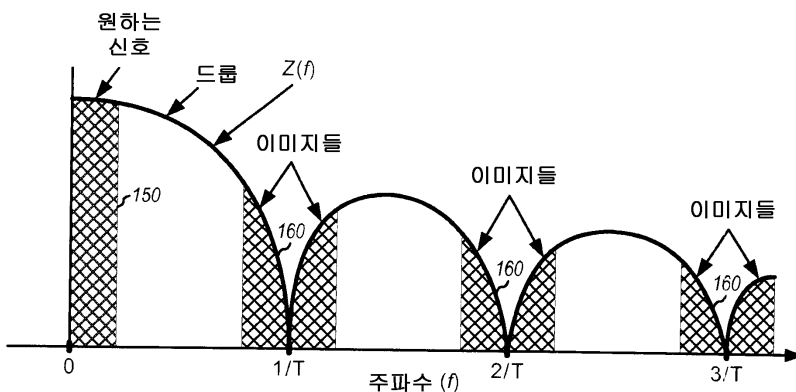
도면1a



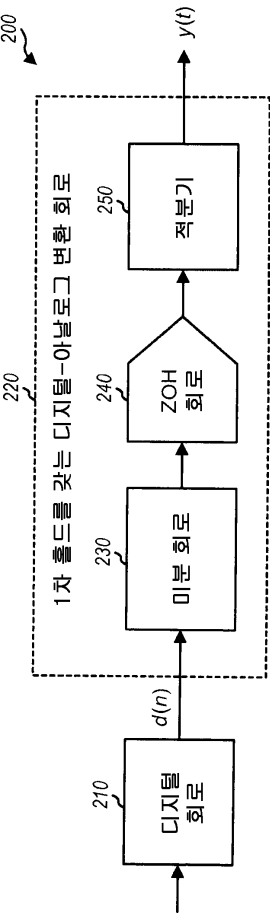
도면1b



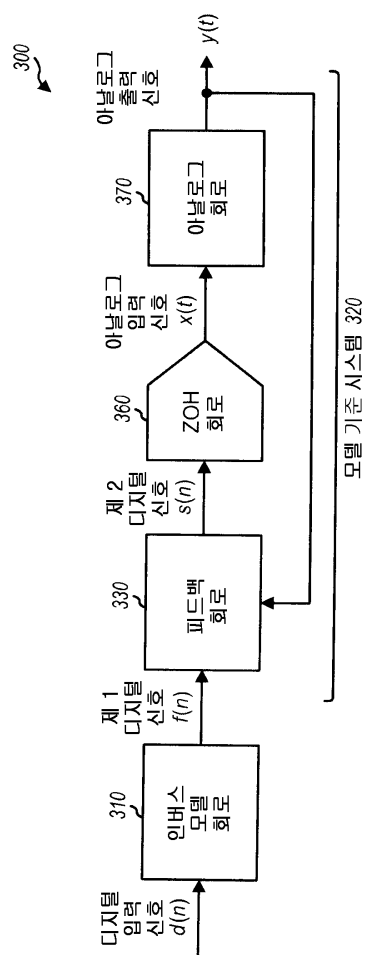
도면1c



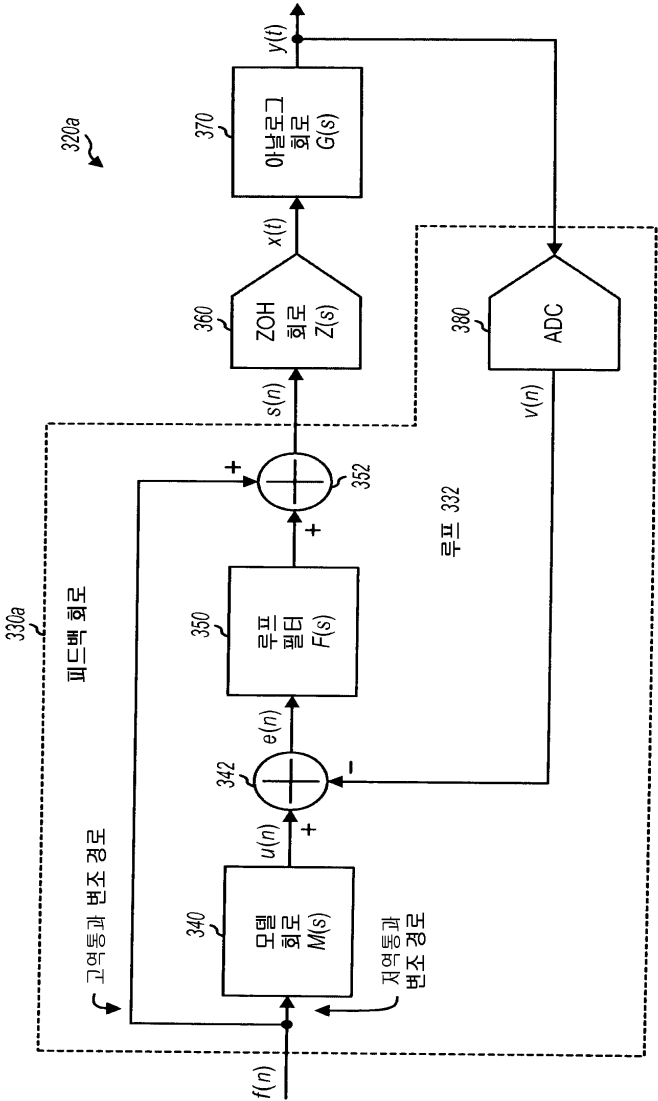
도면2



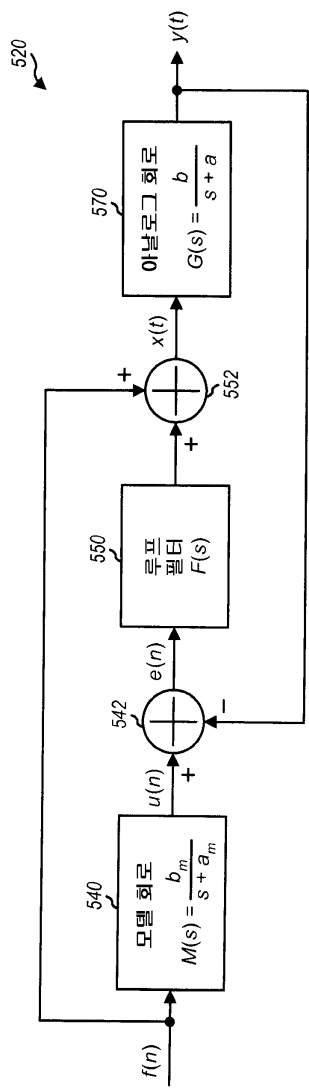
도면3



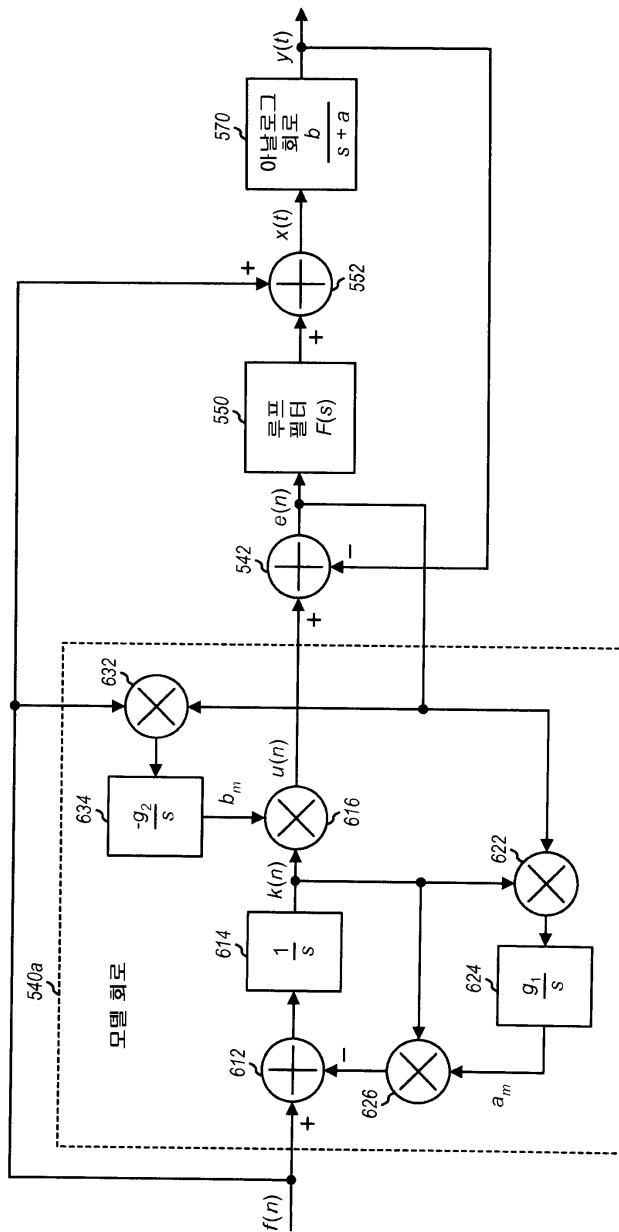
도면4



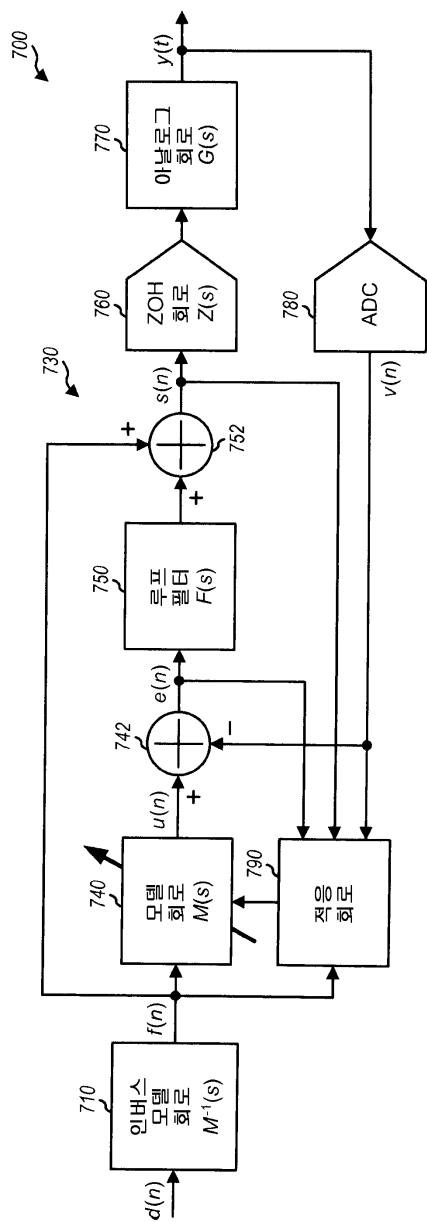
도면5



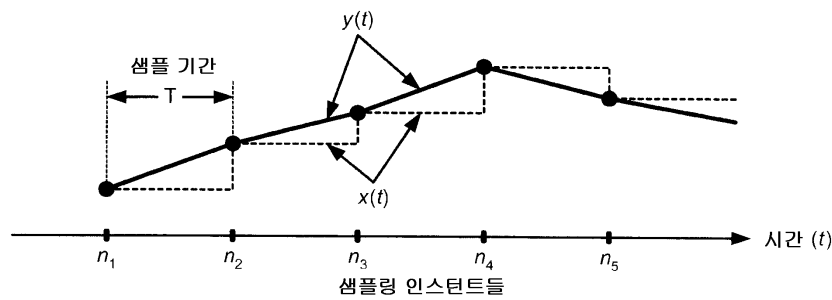
도면6



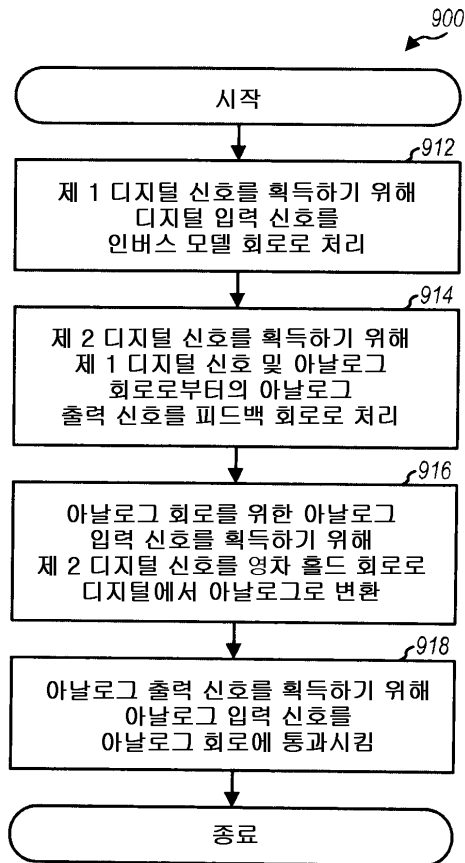
도면7



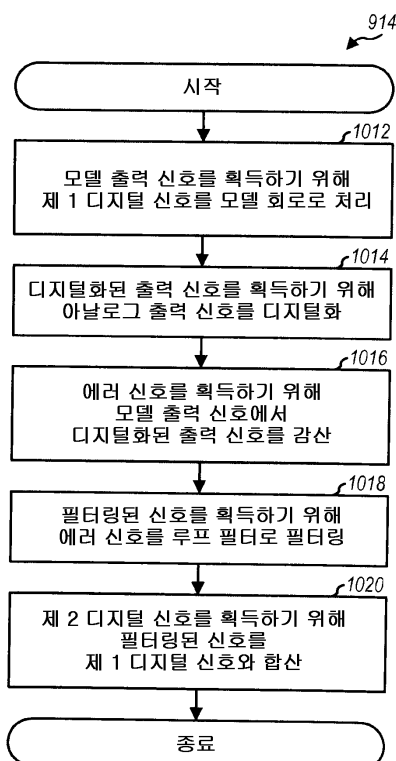
도면8



도면9



도면10



도면11

