

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月18日(18.07.2019)



(10) 国際公開番号

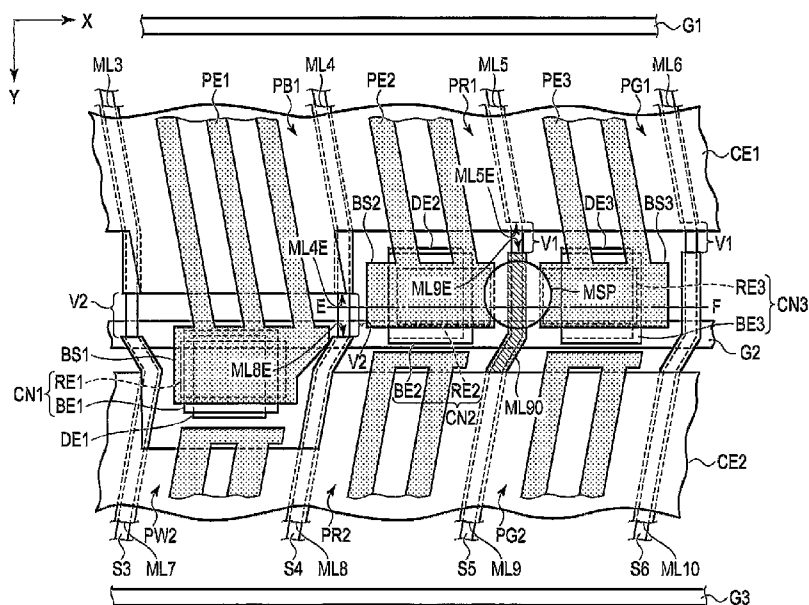
WO 2019/138754 A1

- (51) 国際特許分類:
G02F 1/1339 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/1343 (2006.01)
- (21) 国際出願番号: PCT/JP2018/045183
- (22) 国際出願日: 2018年12月7日(07.12.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-002755 2018年1月11日(11.01.2018) JP
- (71) 出願人: 株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 森本 政輝(MORIMOTO, Masateru); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人スズエ国際特許事務所(S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図11]



(57) Abstract: The display device according to an embodiment of the present invention is provided with: a first common electrode; a second common electrode separated from the first common electrode; a first signal line superimposed on the first common electrode and the second common electrode; first metal wiring superimposed on the first signal line and the first common electrode; and second metal wiring, which is superimposed on the first signal line and the second common electrode, and is separated from the first metal wiring. The first metal wiring has an extending section extending between

[続葉有]



WO 2019/138754 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

the first common electrode and the second common electrode.

(57) 要約: 実施形態によれば、表示装置は、第1共通電極と、前記第1共通電極から離間した第2共通電極と、前記第1共通電極及び前記第2共通電極と重畳する第1信号線と、前記第1信号線及び前記第1共通電極と重畳する第1金属配線と、前記第1信号線及び前記第2共通電極と重畳し、前記第1金属配線から離間した第2金属配線と、を備えている。前記第1金属配線は、前記第1共通電極と前記第2共通電極との間に延出した延出部を有している。

明 細 書

発明の名称 ： 表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 近年、表示装置の表示品位を向上するための技術が種々検討されている。一例では、映像信号線と重畳するコモン金属配線がスルーホールを有し、スペーサの先端をスルーホールの内部に配置する技術が開示されている。その他の例では、一方向に並んだ3つの画素電極のうち、1つの画素電極のコンタクト部を他の2つの画素電極のコンタクト部とは同一直線上からずれた位置に配置する技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-148807号公報

特許文献2：特開2015-225300号公報

発明の概要

発明が解決しようとする課題

[0004] 本実施形態の目的は、表示品位の低下を抑制できる表示装置を提供することにある。

課題を解決するための手段

[0005] 本実施形態によれば、

第1共通電極と、前記第1共通電極から離間した第2共通電極と、前記第1共通電極及び前記第2共通電極と重畳する第1信号線と、前記第1信号線及び前記第1共通電極と重畳する第1金属配線と、前記第1信号線及び前記第2共通電極と重畳し、前記第1金属配線から離間した第2金属配線と、を備え、前記第1金属配線は、前記第1共通電極と前記第2共通電極との間に延出した延出部を有している、表示装置が提供される。

本実施形態によれば、

第1センサ電極と、前記第1センサ電極から離間した第2センサ電極と、前記第1センサ電極及び前記第2センサ電極と重畳し、前記第1センサ電極と電氣的に接続された第1センサ配線と、前記第1センサ電極と重畳することなく前記第2センサ電極と重畳し、前記第1センサ電極と前記第2センサ電極との間に延出し、前記第2センサ電極と電氣的に接続された第2センサ配線と、前記第1センサ電極と前記第2センサ電極との間において、前記第1センサ配線と重畳する第1スペーサと、前記第1センサ電極と前記第2センサ電極との間において、前記第2センサ配線と重畳する第2スペーサと、を備えたタッチセンサが提供される。

図面の簡単な説明

[0006] [図1]図1は、本実施形態の表示装置DSPの外観を示す平面図である。

[図2]図2は、タッチセンサTSの一構成例を示す平面図である。

[図3]図3は、図2に示したセンサ電極Rx及び画素Pxを示す平面図である。

[図4]図4は、画素Pxの基本構成及び等価回路を示す図である。

[図5]図5は、画素レイアウトの一例を示す平面図である。

[図6]図6は、図5に示した画素レイアウトに対応した遮光層BMを示す平面図である。

[図7]図7は、表示パネルPNLの構成を示す断面図である。

[図8]図8は、図5に示した画素の一例を示す平面図である。

[図9]図9は、図8に示したA-B線に沿った第1基板SUB1の断面図である。

[図10]図10は、図8に示したC-D線に沿った表示パネルPNLの断面図である。

[図11]図11は、第1方向Xに並んだ青画素PB1、赤画素PR1、緑画素PG1、の一例を示す平面図である。

[図12]図12は、図11に示したE-F線に沿った表示パネルPNLの断面

図である。

[図13]図13は、金属配線と、メインスペーサMSPとの位置関係を説明するためのレイアウトの一例を示す平面図である。

[図14]図14は、図11のメインスペーサMSPに対応した遮光層BMを示す平面図である。

[図15]図15は、図2に示したタッチセンサTSの一部を拡大した平面図である。

発明を実施するための形態

[0007] 以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

[0008] 本実施形態においては、表示装置DSPの一例として、液晶表示装置について説明する。なお、本実施形態にて開示する主要な構成は、有機エレクトロルミネッセンス表示素子等を有する自発光型の表示装置、電気泳動素子等を有する電子ペーパー型の表示装置、MEMS (Micro Electro Mechanical Systems) を応用した表示装置、或いはエレクトロクロミズムを応用した表示装置などにも適用可能である。

[0009] 図1は、本実施形態の表示装置DSPの外観を示す平面図である。一例では、第1方向X、第2方向Y、及び、第3方向Zは、互いに直交しているが、90度以外の角度で交差していてもよい。第1方向X及び第2方向Yは、表示装置DSPを構成する基板の主面と平行な方向に相当し、第3方向Zは、表示装置DSPの厚さ方向に相当する。本明細書において、第3方向Zを

示す矢印の先端に向かう方向を上方（あるいは、単に上）と称し、矢印の先端から逆に向かう方向を下方（あるいは、単に下）と称する。また、第3方向Zを示す矢印の先端側に表示装置DSPを観察する観察位置があるものとし、この観察位置から、第1方向X及び第2方向Yで規定されるX-Y平面に向かって見ることを平面視という。

[0010] ここでは、X-Y平面における表示装置DSPの平面図を示している。表示装置DSPは、表示パネルPNLと、フレキシブルプリント回路基板1と、ICチップ2と、回路基板3と、を備えている。

[0011] 表示パネルPNLは、液晶表示パネルであり、第1基板SUB1と、第2基板SUB2と、後述する液晶層LCと、シールSEと、遮光層LSと、スペーサSP11乃至SP14と、を備えている。表示パネルPNLは、画像を表示する表示部DAと、表示部DAを囲む額縁状の非表示部NDAとを備えている。第2基板SUB2は、第1基板SUB1に対向している。第1基板SUB1は、第2基板SUB2よりも第2方向Yに延出した実装部MAを有している。

[0012] シールSEは、非表示部NDAに位置し、第1基板SUB1と第2基板SUB2とを接着するとともに、液晶層LCを封止している。遮光層LSは、非表示部NDAに位置している。シールSEは、平面視で、遮光層LSと重畳する位置に設けられている。図1において、シールSEが配置された領域と、遮光層LSが配置された領域とでは、互いに異なる斜線で示し、シールSEと遮光層LSとが重畳する領域はクロスハッチングで示している。遮光層LSは、第2基板SUB2に設けられている。

[0013] スペーサSP11乃至SP14は、いずれも非表示部NDAに位置している。スペーサSP11は、表示パネルPNLの最外周に位置している。スペーサSP12は、スペーサSP11よりも表示部DA側に位置している。スペーサSP11及びSP12は、シールSEと重畳している。スペーサSP13及びSP14は、シールSEよりも表示部DA側に位置している。スペーサSP11乃至SP14は、例えば第2基板SUB2に設けられているが

、第1基板SUB1に設けられてもよい。

[0014] 表示部DAは、遮光層LSによって囲まれた内側に位置している。表示部DAは、第1方向X及び第2方向Yにマトリクス状に配置された複数の画素PXを備えている。表示部DAは、第1方向Xに沿って延出した一对の辺E1及びE2と、第2方向Yに沿って延出した一对の辺E3及びE4と、4つのラウンド部R1乃至R4と、を有している。表示パネルPNLは、第1方向Xに沿って延出した一对の辺E11及びE12と、第2方向Yに沿って延出した一对の辺E13及びE14と、4つのラウンド部R11乃至R14と、を有している。ラウンド部R11乃至R14は、それぞれラウンド部R1乃至R4の外側に位置している。ラウンド部R11の曲率半径は、ラウンド部R1の曲率半径と同一であってもよいし、異なってもよい。

[0015] フレキシブルプリント回路基板1は、実装部MAに実装され、回路基板3に接続されている。ICチップ2は、フレキシブルプリント回路基板1に実装されている。なお、ICチップ2は、実装部MAに実装されてもよい。ICチップ2は、画像を表示する表示モードにおいて画像表示に必要な信号を出力するディスプレイドライバDDを内蔵している。また、図示した例では、ICチップ2は、表示装置DSPへの物体の接近又は接触を検出するタッチセンシングモードを制御するタッチコントローラTCを内蔵している。図中において、ICチップ2は一点鎖線で示し、ディスプレイドライバDD及びタッチコントローラTCは点線で示している。

[0016] 本実施形態の表示パネルPNLは、第1基板SUB1の背面側からの光を選択的に透過させることで画像を表示する透過表示機能を備えた透過型、第2基板SUB2の前面側からの光を選択的に反射させることで画像を表示する反射表示機能を備えた反射型、あるいは、透過表示機能及び反射表示機能を備えた半透過型のいずれであってもよい。

また、表示パネルPNLの詳細な構成について、ここでは説明を省略するが、表示パネルPNLは、基板主面に沿った横電界を利用する表示モード、基板主面の法線に沿った縦電界を利用する表示モード、基板主面に対して斜

め方向に傾斜した傾斜電界を利用する表示モード、さらには、上記の横電界、縦電界、及び、傾斜電界を適宜組み合わせて利用する表示モードに対応したいずれの構成を備えていてもよい。ここでの基板主面とは、第1方向X及び第2方向Yで規定されるX-Y平面と平行な面である。

[0017] 図2は、タッチセンサTSの一構成例を示す平面図である。ここでは、自己容量方式のタッチセンサTSについて説明するが、タッチセンサTSは相互容量方式であってもよい。タッチセンサTSは、複数のセンサ電極 R_x (R_x1 、 R_x2 …)と、複数のセンサ配線 L ($L1$ 、 $L2$ …)と、を備えている。複数のセンサ電極 R_x は、表示部DAに位置し、第1方向X及び第2方向Yにマトリクス状に配置されている。1つのセンサ電極 R_x は、1つのセンサブロックBを構成している。センサブロックBとは、タッチセンシングが可能な最小単位である。複数のセンサ配線 L は、表示部DAにおいて、それぞれ第2方向Yに沿って延出し、第1方向Xに並んでいる。センサ配線 L の各々は、例えば後述する信号線Sと重畳する位置に設けられている。また、センサ配線 L の各々は、非表示部NDAに引き出され、フレキシブルプリント回路基板1を介してICチップ2に電氣的に接続されている。

[0018] ここで、第1方向Xに並んだセンサ配線 $L1$ 乃至 $L3$ と、第2方向Yに並んだセンサ電極 R_x1 乃至 R_x3 との関係に着目する。センサ配線 $L1$ は、センサ電極 R_x1 乃至 R_x3 と重畳し、センサ電極 R_x1 と電氣的に接続されている。

センサ配線 $L2$ は、センサ電極 R_x2 及び R_x3 と重畳し、センサ電極 R_x2 と電氣的に接続されている。図示した例では、センサ配線 $L2$ は、センサ電極 R_x1 とセンサ電極 R_x2 との間に延出していないが、センサ電極 R_x1 とセンサ電極 R_x2 との間に延出してもよい。ダミー配線D20は、センサ配線 $L2$ から離間している。ダミー配線D20は、センサ電極 R_x1 と重畳し、センサ電極 R_x1 と電氣的に接続されている。センサ配線 $L2$ 及びダミー配線D20は、同一の信号線上に位置している。

センサ配線 $L3$ は、センサ電極 R_x3 と重畳し、センサ電極 R_x3 と電氣

的に接続されている。図示した例では、センサ配線L 3は、センサ電極R x 2とセンサ電極R x 3との間に延出していないが、センサ電極R x 2とセンサ電極R x 3との間に延出してもよい。ダミー配線D 3 1は、センサ電極R x 1と重畳し、センサ電極R x 1と電氣的に接続されている。ダミー配線D 3 2は、ダミー配線D 3 1及びセンサ配線L 3から離間している。ダミー配線D 3 2は、センサ電極R x 2と重畳し、センサ電極R x 2と電氣的に接続されている。センサ配線L 3、ダミー配線D 3 1及びD 3 2は、同一の信号線上に位置している。

[0019] タッチセンシングモードにおいては、タッチコントローラTCは、センサ配線Lにタッチ駆動電圧を印加する。これにより、センサ電極R xにはタッチ駆動電圧が印加され、センサ電極R xでのセンシングが行われる。センサ電極R xでのセンシング結果に対応したセンサ信号は、センサ配線Lを介してタッチコントローラTCに出力される。タッチコントローラTCあるいは外部のホストは、センサ信号に基づいて、表示装置DSPへの物体の接近又は接触の有無及び物体の位置座標を検出する。

なお、表示モードにおいては、センサ電極R xは、コモン電圧(V com)が印加された共通電極CEとして機能する。コモン電圧は、例えばディスプレイドライバDDに含まれる電圧供給部からセンサ配線Lを介して印加される。

[0020] 図3は、図2に示したセンサ電極R x及び画素PXを示す平面図である。図3において、第2方向Yに対して反時計回りに鋭角に交差する方向を方向D 1と定義し、第2方向Yに対して時計回りに鋭角に交差する方向を方向D 2と定義する。なお、第2方向Yと方向D 1とのなす角度 $\theta 1$ は、第2方向Yと方向D 2とのなす角度 $\theta 2$ とほぼ同一である。

[0021] 1つのセンサ電極R xは、複数の画素PXに亘って配置されている。図示した例では、第2方向Yに沿って奇数行目に位置する画素PXは、方向D 1に沿って延出している。また、第2方向Yに沿って偶数行目に位置する画素PXは、方向D 2に沿って延出している。なお、ここでの画素PXとは、画

素信号に応じて個別に制御することができる最小単位を示し、副画素と称する場合がある。また、カラー表示を実現するための最小単位を主画素MPと称する場合がある。主画素MPは、互いに異なる色を表示する複数の副画素PXを備えて構成されるものである。一例では、主画素MPは、副画素PXとして、赤色を表示する赤画素、緑色を表示する緑画素、及び、青色を表示する青画素を備えている。また、主画素MPは、白色を表示する白画素を備えていてもよい。

一例では、1つのセンサ電極Rxには、第1方向Xに沿って60～70個の主画素MPが配置され、第2方向に沿って60～70個の主画素MPが配置されている。

[0022] 図4は、画素PXの基本構成及び等価回路を示す図である。複数本の走査線G1、G2…は、走査線駆動回路GDに接続されている。複数本の信号線S1、S2…は、信号線駆動回路SDに接続されている。なお、走査線G及び信号線Sは、必ずしも直線的に延出していなくてもよく、それらの一部が屈曲していてもよい。例えば、信号線Sは、その一部が屈曲していたとしても、第2方向Yに延出しているものとする。

[0023] 共通電極CEは、センサブロックB毎にそれぞれ設けられている。共通電極CEは、コモン電圧(Vcom)の電圧供給部CDに接続され、複数の画素PXに亘って配置されている。また、共通電極CEは、それぞれ上記の通りタッチコントローラTCにも接続され、センサ電極Rxとしても機能する。

[0024] 各画素PXは、スイッチング素子SW、画素電極PE、共通電極CE、液晶層LC等を備えている。スイッチング素子SWは、例えば薄膜トランジスタ(TFT)によって構成され、走査線G及び信号線Sと電氣的に接続されている。走査線Gは、第1方向Xに並んだ画素PXの各々におけるスイッチング素子SWと接続されている。信号線Sは、第2方向Yに並んだ画素PXの各々におけるスイッチング素子SWと接続されている。画素電極PEは、スイッチング素子SWと電氣的に接続されている。画素電極PEの各々は、

共通電極C Eと対向し、画素電極P Eと共通電極C Eとの間に生じる電界によって液晶層L Cを駆動している。保持容量C Sは、例えば、共通電極C Eと同電位の電極、及び、画素電極P Eと同電位の電極の間に形成される。

[0025] 図5は、画素レイアウトの一例を示す平面図である。走査線G 1乃至G 3は、それぞれ第1方向Xに沿って直線的に延出し、第2方向Yに間隔を置いて並んでいる。信号線S 1乃至S 7は、それぞれ概ね第2方向Yに沿って延出し、第1方向Xに間隔をおいて並んでいる。

[0026] 走査線G 1及びG 2の間には、赤画素P R 1、緑画素P G 1、青画素P B 1、赤画素P R 1、緑画素P G 1、及び、白画素P W 1が第1方向Xに沿ってこの順に並んでいる。走査線G 1及びG 2の間において、信号線S 1乃至S 3は等しい間隔W 1で配置され、信号線S 4乃至S 7は等しい間隔W 1で配置され、信号線S 3及びS 4の間隔W 2は間隔W 1より大きい。青画素P B 1は、信号線S 3及びS 4の間に位置している。なお、間隔W 1及びW 2は、いずれも第1方向Xに沿った長さである。

[0027] 赤画素P R 1及び緑画素P G 1には、それぞれ同一形状の画素電極P E 1 1が配置され、青画素P B 1には、画素電極P E 1 1より大きな画素電極P E 1 2が配置され、白画素P W 1には、画素電極P E 1 1より小さな画素電極P E 1 3が配置されている。第1方向Xに沿った長さL xについて、画素電極P E 1 1及びP E 1 3は等しい長さL x 1を有し、画素電極P E 1 2は長さL x 1より長い長さL x 2を有している。第2方向Yに沿った長さL yについて、画素電極P E 1 1は長さL y 1を有し、画素電極P E 1 2は長さL y 1より長い長さL y 2を有し、画素電極P E 1 3は長さL y 1より短い長さL y 3を有している。画素電極P E 1 1及びP E 1 3は、走査線G 1及びG 2の間に位置している。画素電極P E 1 2は、走査線G 1及びG 2の間に位置するとともに、走査線G 2と交差している。

[0028] 画素電極P E 1 1乃至P E 1 3は、それぞれ方向D 1に沿って延出した帯電極P a 1乃至P a 3を有している。図示した例では、帯電極P a 1及びP a 3は2本であり、帯電極P a 2は3本である。帯電極P a 1乃至P a 3は

、走査線G 1 及びG 2 の間に位置している。方向D 1 に沿った長さL d について、帯電極P a 1 は長さL d 1 を有し、帯電極P a 2 は長さL d 1 より長い長さL d 2 を有し、帯電極P a 3 は長さL d 1 より短い長さL d 3 を有している。

[0029] 走査線G 1 及びG 2 の間には、赤画素P R 2、緑画素P G 2、白画素P W 2、赤画素P R 2、緑画素P G 2、及び、青画素P B 2 が第1 方向X に沿ってこの順に並んでいる。赤画素P R 1 及びP R 2、緑画素P G 1 及びP G 2、青画素P B 1 及び白画素P W 2、及び、白画素P W 1 及び青画素P B 2 は、それぞれ第2 方向Y に並んでいる。

走査線G 2 及びG 3 の間において、信号線S 1 乃至S 6 は等しい間隔W 1 で配置され、信号線S 6 及びS 7 の間隔W 2 は間隔W 1 より大きい。青画素P B 2 は、信号線S 6 及びS 7 の間に位置している。

[0030] 詳述しないが、赤画素P R 2 及び緑画素P G 2 には、それぞれ同一形状の画素電極P E 2 1 が配置され、青画素P B 2 には、画素電極P E 2 1 より大きな画素電極P E 2 2 が配置され、白画素P W 2 には、画素電極P E 2 1 より小さな画素電極P E 2 3 が配置されている。画素電極P E 2 1 乃至P E 2 3 は、それぞれ方向D 2 に沿って延出した帯電極P b 1 乃至P b 3 を有している。画素電極P E 2 1 乃至P E 2 3 は、それぞれ画素電極P E 1 1 乃至P E 1 3 と同様の形状を有している。なお、帯電極P b 3 の第1 方向X に沿った幅は、帯電極P b 1 の第1 方向X に沿った幅よりも大きい。また、帯電極P b 2 の第1 方向X に沿った幅は、帯電極P b 1 の第1 方向X に沿った幅よりも小さい。

[0031] 図6 は、図5 に示した画素レイアウトに対応した遮光層B M を示す平面図である。遮光層B M は、格子状に形成され、平面視で、走査線G 1 乃至G 3 及び信号線S 1 乃至S 7 とそれぞれ重畳している。このような遮光層B M は、赤画素P R 1 及びP R 2、緑画素P G 1 及びP G 2、青画素P B 1 及びP B 2、及び、白画素P W 1 及びP W 2 をそれぞれ囲んでいる。遮光層B M は、図1 に示した非表示部N D A の遮光部L S と同じ遮光性の材料で形成され

、非表示部NDAにて遮光層LSと接続される。

[0032] 信号線S5は、赤画素PR1と緑画素PG1との間、及び、赤画素PR2と緑画素PG2との間に位置している。メインスペーサMSP及びサブスペーサSSPは、いずれも信号線S5と重畳している。メインスペーサMSPとは、第1基板SUB1と第2基板SUB2とのセルギャップを形成するものであり、サブスペーサSSPとは、メインスペーサMSPの高さより低い高さを有するものである。

[0033] 遮光層BMは、サブスペーサSSPの周囲において、サブスペーサSSPと略同心円状に拡張されている。また、遮光層BMは、メインスペーサMSPの周囲においても、メインスペーサMSPと略同心円状に拡張されている。

赤画素PR1及びPR2には赤色のカラーフィルタCFRが配置され、緑画素PG1及びPG2には緑色のカラーフィルタCFGが配置され、青画素PB1及びPB2には青色のカラーフィルタCFBが配置されている。

[0034] 図7は、表示パネルPNLの構成を示す断面図である。メインスペーサMSP及びサブスペーサSSPは、第1基板SUB1と第2基板SUB2との間に位置している。メインスペーサMSPは、第1基板SUB1及び第2基板SUB2に接触し、第1基板SUB1と第2基板SUB2との間のセルギャップを保持している。サブスペーサSSPは、第1基板SUB1及び第2基板SUB2のいずれか一方と接触し、他方から離間している。図示した例では、サブスペーサSSPは、第1基板SUB1から離間し第2基板SUB2に接触している。なお、メインスペーサMSP及びサブスペーサSSPは図示したように第2基板SUB2に設けられる例に限らず、第1基板SUB1に設けられてもよいし、メインスペーサMSP及びサブスペーサSSPが別々の基板に設けられてもよい。あるいは、サブスペーサSSPは省略してもよい。シールSEは、非表示部NDAに配置され、セルギャップが形成された状態で第1基板SUB1と第2基板SUB2とを貼り合わせている。液晶層LCは、第1基板SUB1と第2基板SUB2との間に保持されている。

。

[0035] 図8は、図5に示した画素の一例を示す平面図である。ここでは、図5に示した走査線G1及びG2と信号線S5及びS6とで囲まれた緑画素PG1に着目して、主要部について説明する。

[0036] スイッチング素子SWは、走査線G2及び信号線S6と電氣的に接続されている。図示した例のスイッチング素子SWは、ダブルゲート構造を有している。スイッチング素子SWは、半導体層SCと、ドレイン電極DEと、を備えている。なお、スイッチング素子SWにおいて、ドレイン電極DEはソース電極と称される場合がある。半導体層SCは、その一部分が信号線S6と重なるように配置され、他の部分が信号線S5及びS6の間に延出し、略U字状に形成されている。半導体層SCは、信号線S6と重なる領域、及び、信号線S5及びS6の間において、それぞれ走査線G2と交差している。走査線G2において、半導体層SCと重畳する領域がそれぞれゲート電極GE1及びGE2として機能する。半導体層SCは、その一端部SCAにおいてコンタクトホールCH1を通じて信号線S6と電氣的に接続され、また、その他端部SCBにおいてコンタクトホールCH2を通じてドレイン電極DEと電氣的に接続されている。ドレイン電極DEは、島状に形成され、信号線S5及びS6の間に配置されている。

[0037] 画素電極PE11は、複数の帯電極Pa1と一体の基部BSを備えている。基部BSは、ドレイン電極DEと重畳している。基部BSは、ドレイン電極DEと電氣的に接続される。画素電極PE11とスイッチング素子SWとを接続する接続部については後述する。

[0038] 図9は、図8に示したA-B線に沿った第1基板SUB1の断面図である。

第1基板SUB1は、絶縁基板10、絶縁膜11乃至16、半導体層SC、走査線G2、信号線S6、金属配線ML6、共通電極CE、配向膜AL1などを備えている。

[0039] 絶縁基板10は、ガラス基板や可撓性の樹脂基板などの光透過性を有する

基板である。絶縁膜 11 は、絶縁基板 10 の上に位置している。半導体層 SC は、絶縁膜 11 の上に位置し、絶縁膜 12 によって覆われている。半導体層 SC は、例えば、多結晶シリコンによって形成されているが、アモルファスシリコンや酸化物半導体によって形成されていてもよい。

[0040] 走査線 G2 の一部であるゲート電極 GE1 は、絶縁膜 12 の上に位置し、絶縁膜 13 によって覆われている。なお、図示しない他の走査線も、走査線 G2 と同一層に位置している。走査線 G2 は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、モリブデン (Mo)、タングステン (W)、銅 (Cu)、クロム (Cr) などの金属材料や、これらの金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。一例では、走査線 G2 は、モリブデン-タングステン合金によって形成されている。

[0041] 信号線 S6 は、絶縁膜 13 の上に位置し、絶縁膜 14 によって覆われている。なお、図示しない他の信号線も、信号線 S6 と同一層に位置している。信号線 S6 は、上記の金属材料や、上記の金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。一例では、信号線 S6 は、チタン (Ti) を含む第 1 層 L11、アルミニウム (Al) を含む第 2 層 L12、及び、チタン (Ti) を含む第 3 層 L13 がこの順に積層された積層体である。信号線 S6 は、絶縁膜 12 及び 13 を貫通するコンタクトホール CH1 を通じて半導体層 SC にコンタクトしている。

[0042] 金属配線 ML6 は、絶縁膜 14 の上に位置し、絶縁膜 15 によって覆われている。金属配線 ML6 は、上記の金属材料や、上記の金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。一例では、金属配線 ML6 は、チタン (Ti) を含む第 4 層 L21、アルミニウム (Al) を含む第 5 層 L22、及び、チタン (Ti) を含む第 6 層 L23 がこの順に積層された積層体、あるいは、モリブデン (Mo) を含む第 4 層 L21、アルミニウム (Al) を含む第 5 層 L22、及び

、モリブデン（Mo）を含む第6層L23がこの順に積層された積層体である。

[0043] 共通電極CEは、絶縁膜15の上に位置し、絶縁膜16によって覆われている。共通電極CEは、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などの透明な導電材料によって形成された透明電極である。共通電極CEは、絶縁膜15を貫通するコンタクトホールCH3を通じて金属配線ML6にコンタクトしている。配向膜AL1は、絶縁膜16の上に位置している。

[0044] 絶縁膜11乃至13、及び、絶縁膜16は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物などの無機絶縁材料によって形成された無機絶縁膜であり、単層構造であってもよいし、多層構造であってもよい。絶縁膜14及び15は、例えば、アクリル樹脂などの有機絶縁材料によって形成された有機絶縁膜である。なお、絶縁膜15は、無機絶縁膜であってもよい。

[0045] 上記の通り、共通電極CEはセンサ電極Rxとしても機能し、金属配線ML6はセンサ電極Rxと電氣的に接続されるセンサ配線Lやダミー配線Dとしても機能する。

[0046] 図10は、図8に示したC-D線に沿った表示パネルPNLの断面図である。図示した例は、横電界を利用する表示モードの一つであるFFS（Fringe Field Switching）モードが適用された例に相当する。

[0047] 第1基板SUB1において、信号線S5及びS6は、絶縁膜13の上に位置し、絶縁膜14によって覆われている。金属配線ML5及びML6は、それぞれ信号線S5及びS6の直上に位置している。画素電極PE11は、絶縁膜16の上に位置し、配向膜AL1によって覆われている。画素電極PE11は、ITOやIZOなどの透明な導電材料によって形成された透明電極である。

[0048] 第2基板SUB2は、絶縁基板20、遮光層BM、カラーフィルタCFG、オーバーコート層OC、配向膜AL2などを備えている。

[0049] 絶縁基板20は、絶縁基板10と同様に、ガラス基板や樹脂基板などの光透過性を有する基板である。遮光層BM及びカラーフィルタCFGは、絶縁基板20の第1基板SUB1と対向する側に位置している。カラーフィルタCFGは、画素電極PE11と対向する位置に配置され、その一部が遮光層BMに重なっている。オーバーコート層OCは、カラーフィルタCFGを覆っている。オーバーコート層OCは、透明な樹脂によって形成されている。他のカラーフィルタCFR及びCFBも、カラーフィルタCFGと同様に、それぞれ画素電極PEと対向する位置に配置され、オーバーコート層OCによって覆われている。配向膜AL2は、オーバーコート層OCを覆っている。配向膜AL1及びAL2は、例えば、水平配向性を呈する材料によって形成されている。

[0050] 上述した第1基板SUB1及び第2基板SUB2は、配向膜AL1及びAL2が対向するように配置されている。図示しないが、上記のメインスペーサMSP及びサブスペーサSSPは、樹脂材料によって形成され、第1基板SUB1及び第2基板SUB2の間に配置されている。メインスペーサMSPは、第1基板SUB1と第2基板SUB2との間に所定のセルギャップを形成する。セルギャップは、例えば2〜5 μ mである。第1基板SUB1及び第2基板SUB2は、所定のセルギャップが形成された状態でシール材によって接着されている。

[0051] 液晶層LCは、第1基板SUB1及び第2基板SUB2の間に位置し、配向膜AL1と配向膜AL2との間に保持されている。液晶層LCは、液晶分子LMを備えている。液晶層LCは、ポジ型（誘電率異方性が正）の液晶材料、あるいは、ネガ型（誘電率異方性が負）の液晶材料によって構成されている。

[0052] 偏光板PL1を含む光学素子OD1は、絶縁基板10に接着されている。偏光板PL2を含む光学素子OD2は、絶縁基板20に接着されている。なお、光学素子OD1及びOD2は、必要に応じて位相差板、散乱層、反射防止層などを備えていてもよい。

[0053] このような表示パネル PNL においては、画素電極 PE と共通電極 CE との間に電界が形成されていないオフ状態において、液晶分子 LM は、配向膜 AL1 及び AL2 の間で所定の方法に初期配向している。このようなオフ状態では、照明装置 IL から表示パネル PNL に向けて照射された光は、光学素子 OD1 及び OD2 によって吸収され、暗表示となる。一方、画素電極 PE と共通電極 CE との間に電界が形成されたオン状態においては、液晶分子 LM は、電界により初期配向方向とは異なる方向に配向し、その配向方向は電界によって制御される。このようなオン状態では、照明装置 IL からの光の一部は、光学素子 OD1 及び OD2 を透過し、明表示となる。

[0054] 図 11 は、第 1 方向 X に並んだ青画素 PB1、赤画素 PR1、緑画素 PG1 の一例を示す平面図である。ここでは、説明上、青画素 PB1、赤画素 PR1、及び、緑画素 PG1 にそれぞれ配置される画素電極及びドレイン電極について参照符号を変えて区別する。

[0055] 青画素 PB1 は、画素電極 PE1 と、ドレイン電極 DE1 と、第 1 接続電極 BE1 と、第 2 接続電極 RE1 とを備えている。第 1 接続電極 BE1 及び第 2 接続電極 RE1 は、基部 BS1 及びドレイン電極 DE1 と重畳し、画素電極 PE1 とドレイン電極 DE1 とを電氣的に接続する接続部 CN1 を構成している。ドレイン電極 DE1、基部 BS1、及び、接続部 CN1 は、走査線 G2 及び G3 の間に位置している。

赤画素 PR1 も青画素 PB1 と同様に、画素電極 PE2 と、ドレイン電極 DE2 と、接続部 CN2 とを備え、接続部 CN2 は、第 1 接続電極 BE2 及び第 2 接続電極 RE2 によって構成されている。緑画素 PG1 も青画素 PB1 と同様に、画素電極 PE3 と、ドレイン電極 DE3 と、接続部 CN3 とを備え、接続部 CN3 は、第 1 接続電極 BE3 及び第 2 接続電極 RE3 によって構成されている。ドレイン電極 DE2 及び DE3、基部 BS2 及び BS3、及び、接続部 CN2 及び CN3 は、走査線 G1 及び G2 の間に位置している。

[0056] 接続部 CN2 及び接続部 CN3 は、第 1 方向 X に沿って同一直線上に並ん

でいる。接続部CN 1は、接続部CN 2及びCN 3とは同一直線上からずれた位置に配置されている。また、ドレイン電極DE 2及びDE 3、第1方向Xに沿って同一直線上に並び、ドレイン電極DE 1は、ドレイン電極DE 2及びDE 3とは同一直線上からずれた位置に配置されている。

[0057] 共通電極CE 1は、青画素PB 1、赤画素PR 1、緑画素PG 1に亘って配置されている。共通電極CE 1は、青画素PB 1において、走査線G 2に近接する側に突出している。共通電極CE 2は、共通電極CE 1から離間している。共通電極CE 2は、白画素PW 2、赤画素PR 2、緑画素PG 2に亘って配置されている。共通電極CE 2は、白画素PW 2において、走査線G 2から離間する側にくぼんでいる。図示した例では、共通電極CE 1及びCE 2は、互いに電氣的に絶縁されている。なお、後述するが、共通電極CE 1及びCE 2は、ブリッジ部を介して互いに電氣的に接続される場合もある。走査線G 2、ドレイン電極DE 1乃至DE 3、接続部CN 1乃至CN 3、及び、基部BS 1乃至BS 3は、共通電極CE 1及びCE 2の間に位置している。

[0058] ここで、信号線S 5と、金属配線ML 5及びML 9と、共通電極CE 1及びCE 2と、メインスペーサMSPとの位置関係に着目する。

信号線S 5は、ドレイン電極DE 2及びDE 3の間、あるいは、接続部CN 2及びCN 3の間、あるいは、画素電極PE 2及びPE 3の間に位置している。また、信号線S 5は、共通電極CE 1及びCE 2と重畳している。金属配線ML 9は、信号線S 5及び共通電極CE 2と重畳している。金属配線ML 5は、信号線S 5及び共通電極CE 1と重畳している。金属配線ML 5は、第1間隙V 1を挟んで金属配線ML 9から離間している。金属配線ML 9は、共通電極CE 1と共通電極CE 2との間に延出した延出部ML 90を有している。延出部ML 90は、平面視で走査線G 2と交差し、ドレイン電極DE 2及びDE 3の間、あるいは、接続部CN 2及びCN 3の間、あるいは、基部BS 2及びBS 3の間に位置している。金属配線ML 9（あるいは延出部ML 90）の端部ML 9Eは、信号線S 5と重畳し、共通電極CE 1

及びC E 2の間に位置している。金属配線M L 5の端部M L 5 Eは、端部M L 9 Eと第1間隙V 1を挟んで対向し、信号線S 5と重畳し、共通電極C E 1と重畳している。端部M L 9 Eは、端部M L 5 Eよりも走査線G 2に近接している。端部M L 5 Eは、端部M L 9 Eよりも走査線G 1に近接している。信号線S 5は、端部M L 5 E及びM L 9 Eとの間において露出している。図示した例では、第1間隙V 1において、信号線S 5の一部は、共通電極C E 1と重畳している。メインスペーサM S Pは、共通電極C E 1と共通電極C E 2との間に位置し、延出部M L 9 0と重畳している。また、メインスペーサM S Pは、ドレイン電極D E 2及びD E 3の間、あるいは、接続部C N 2及びC N 3の間、あるいは、基部B S 2及びB S 3の間に位置している。図示した例では、メインスペーサM S Pは、基部B S 2及びB S 3と、第2接続電極R E 2及びR E 3と、にそれぞれ重畳している。

[0059] 次に、信号線S 4と、金属配線M L 4及びM L 8と、共通電極C E 1及びC E 2との位置関係に着目する。

信号線S 4は、ドレイン電極D E 1及びD E 2の間、あるいは、接続部C N 1及びC N 2の間、あるいは、画素電極P E 1及びP E 2の間に位置している。また、信号線S 4は、共通電極C E 1及びC E 2と重畳している。金属配線M L 8は、信号線S 4及び共通電極C E 2と重畳している。金属配線M L 4は、信号線S 4及び共通電極C E 1と重畳している。金属配線M L 4は、第2間隙V 2を挟んで金属配線M L 8から離間している。金属配線M L 8の端部M L 8 Eは、信号線S 4と重畳し、共通電極C E 1及びC E 2の間に位置している。図示した例では、端部M L 8 Eは走査線G 2と重畳し、端部M L 8 E及び基部B S 1は第1方向Xに並んでいる。金属配線M L 4の端部M L 4 Eは、信号線S 4と重畳し、端部M L 8 Eと第2間隙V 2を挟んで対向している。図示した例では、端部M L 4 Eは走査線G 1及びG 2の間に位置し、端部M L 4 E及び基部B S 2は第1方向Xに並んでいる。端部M L 8 Eは、端部M L 4 Eよりも走査線G 2に近接している。端部M L 4 Eは、端部M L 8 Eよりも走査線G 1に近接している。信号線S 4は、端部M L 4

E 及び M L 8 E との間において露出している。

[0060] 第2間隙V 2は、第1間隙V 1よりも走査線G 2に近接している。端部M L 8 Eは、端部M L 9 Eよりも走査線G 2に近接している。また、端部M L 4 Eは、端部M L 5 Eよりも走査線G 2に近接している。

[0061] 同様に、信号線S 3及びS 6は、それぞれ共通電極C E 1及びC E 2に重畳している。金属配線M L 3及びM L 7は、信号線S 3に重畳している。金属配線M L 3は、第2間隙V 2を挟んで金属配線M L 7から離間している。金属配線M L 6及びM L 10は、信号線S 6に重畳している。金属配線M L 6は、第1間隙V 1を挟んで金属配線M L 10から離間している。

[0062] ドレイン電極D E 1乃至D E 3は、信号線S 3乃至S 6と同一層に位置し、信号線S 3乃至S 6と同一材料によって形成されている。第1接続電極B E 1乃至B E 3は、金属配線M L 3乃至M L 10と同一層に位置し、金属配線M L 3乃至M L 10と同一材料によって形成されている。第2接続電極R E 1乃至R E 3は、共通電極C E 1及びC E 2と同一層に位置し、共通電極C E 1及びC E 2と同一材料によって形成されている。画素電極P E 1は図5に示した画素電極P E 12に相当し、画素電極P E 2及びP E 3はいずれも図5に示した画素電極P E 11に相当し、画素電極P E 1は画素電極P E 2及びP E 3よりも第2方向Yに沿って長い。

[0063] 図11に示した例において、信号線S 5は第1信号線に相当し、信号線S 4は第2信号線に相当し、走査線G 1は第1走査線に相当し、走査線G 2は第2走査線に相当し、走査線G 3は第3走査線に相当し、金属配線M L 9は第1金属配線に相当し、端部M L 9 Eは第1端部に相当し、金属配線M L 5は第2金属配線に相当し、端部M L 5 Eは第2端部に相当し、金属配線M L 8は第3金属配線に相当し、金属配線M L 4は第4金属配線に相当し、共通電極C E 2は第1共通電極に相当し、共通電極C E 1は第2共通電極に相当し、ドレイン電極D E 2は第1ドレイン電極に相当し、ドレイン電極D E 3は第2ドレイン電極に相当し、ドレイン電極D E 1は第3ドレイン電極に相当し、画素電極P E 2は第1画素電極に相当し、画素電極P E 3は第2画素

電極に相当し、画素電極 P E 1 は第 3 画素電極に相当する。

[0064] 図 1 2 は、図 1 1 に示した E - F 線に沿った表示パネル P N L の断面図である。なお、絶縁膜 1 1 と絶縁膜 1 2 との間に位置する半導体層の図示は省略している。

[0065] 信号線 S 4 乃至 S 6、ドレイン電極 D E 2 及び D E 3 は、絶縁膜 1 3 の上に位置し、絶縁膜 1 4 によって覆われている。絶縁膜 1 4 は、ドレイン電極 D E 2 及び D E 3 までそれぞれ貫通した貫通孔 C H 2 1 及び C H 3 1 を有している。

[0066] 金属配線 M L 9 及び M L 1 0、第 1 接続電極 B E 2 及び B E 3 は、絶縁膜 1 4 の上に位置し、絶縁膜 1 5 によって覆われている。第 1 接続電極 B E 2 は、貫通孔 C H 2 1 においてドレイン電極 D E 2 に接している。同様に、第 1 接続電極 B E 3 は、貫通孔 C H 3 1 においてドレイン電極 D E 3 に接している。金属配線 M L 9 は信号線 S 5 の直上に位置し、金属配線 M L 1 0 は信号線 S 6 の直上に位置している。図示した断面において、信号線 S 4 の直上には、いずれの金属配線も配置されず、図 1 1 に示した第 2 間隙 V 2 が位置している。

[0067] 絶縁膜 1 5 は、第 1 接続電極 B E 2 及び B E 3 までそれぞれ貫通した貫通孔 C H 2 2 及び C H 3 2 を有している。第 1 接続電極 B E 2 と金属配線 M L 9 との間、第 1 接続電極 B E 3 と金属配線 M L 9 との間においては、絶縁膜 1 5 は、絶縁膜 1 4 に接している。また、信号線 S 4 の直上（第 2 間隙 V 2）においても、絶縁膜 1 5 は、絶縁膜 1 4 に接している。

[0068] 第 2 接続電極 R E 2 及び R E 3 は、絶縁膜 1 5 の上に位置し、絶縁膜 1 6 によって覆われている。第 2 接続電極 R E 2 は、貫通孔 C H 2 2 において第 1 接続電極 B E 2 に接している。同様に、第 2 接続電極 R E 3 は、貫通孔 C H 3 2 において第 1 接続電極 B E 3 に接している。図示した例では、第 2 接続電極 R E 2 は、図の右側あるいは信号線 S 5 及び金属配線 M L 9 に近接する側に片寄っている。同様に、第 2 接続電極 R E 3 は、図の左側あるいは信号線 S 5 及び金属配線 M L 9 に近接する側に片寄っている。

[0069] 絶縁膜16は、第2接続電極RE2及びRE3までそれぞれ貫通した貫通孔CH23及びCH33を有している。貫通孔CH23は貫通孔CH22に対して図の右側に片寄り、貫通孔CH33は貫通孔CH32に対して図の左側に片寄っている。第2接続電極RE2及びRE3の間において、絶縁膜16は、絶縁膜15に接している。

[0070] 画素電極PE2の基部BS2は、絶縁膜16の上に位置し、配向膜AL1によって覆われている。画素電極PE2は、貫通孔CH23において第2接続電極RE2に接している。同様に、画素電極PE3は、貫通孔CH33において第2接続電極RE3に接している。なお、画素電極PE2及びPE3は、それぞれ第1接続電極BE2及びBE3と互いに電氣的に接続されていればよく、第2接続電極RE2及びRE3が省略されてもよい。

[0071] 図12に示した例において、貫通孔CH21が第1貫通孔に相当し、絶縁膜14が第1絶縁膜に相当し、貫通孔CH22が第2貫通孔に相当し、絶縁膜15が第2絶縁膜に相当し、貫通孔CH23が第3貫通孔に相当し、絶縁膜16が第3絶縁膜に相当する。

[0072] メインスペーサMSPは、信号線S5及び金属配線ML9（延出部ML90）の直上に位置し、配向膜AL1に接触している。第1基板SUB1は、第2基板SUB2と対向する上面SUB1Aを有している。ここでは、上面SUB1Aは配向膜AL1の上面に相当する。絶縁基板10は、第2基板SUB2と対向する上面10Aを有している。第1基板SUB1は、金属配線ML9及び信号線S5と重畳する位置において、厚さT10を有している。また、第1基板SUB1は、信号線S4と重畳する位置において、厚さT20を有している。厚さT10及びT20は、第3方向Zに沿った、上面10Aから上面SUB1Aまでの長さに相当する。金属配線ML9は、第3方向Zに沿って、厚さT30を有している。一例として、厚さT30は300nmである。上面SUB1Aは、金属配線ML9及び信号線S5に重畳する位置において、信号線S4と重畳する位置より第2基板SUB2側に突出している。つまり、厚さT30の影響を受け、厚さT10は厚さT20より厚い

。メインスペーサMSPは、上面SUB1Aのうち、金属配線ML9及び信号線S5と重畳する位置に接する。金属配線ML9（延出部ML90）とメインスペーサMSPとの間では、絶縁膜15及び16は、互いに接している。

[0073] 図13は、金属配線と、メインスペーサとの位置関係を説明するためのレイアウトの一例を示す平面図である。ここでは、第1基板SUB1のうち、金属配線ML11乃至ML22、共通電極CE11乃至CE18、第1接続電極BE、及び、第2接続電極REのみを図示し、また、メインスペーサMSPが接する位置は点線で示している。

図13は、例えば、図2に示した4つのセンサブロックB1、B2、B3、B4が互いに隣接する領域を拡大して示すものである。すなわち、図2に示したように、センサブロックB1及びB2は第2方向Yに隣接し、センサブロックB3及びB4は第2方向Yに隣接し、センサブロックB1及びB3は第1方向Xに隣接し、センサブロックB3及びB4は第1方向Yに隣接している。共通電極CE11はセンサブロックB1に設けられ、共通電極CE12乃至CE14は互いに電氣的に接続されてセンサブロックB2に設けられ、共通電極CE15はセンサブロックB3に設けられ、共通電極CE16乃至CE18は互いに電氣的に接続されてセンサブロックB4に設けられている。

スリットSL1は、共通電極CE11及びCE12の間に設けられ、センサブロックB1及びB2を区画している。また、スリットSL1は、共通電極CE15及びCE16の間に設けられ、センサブロックB3及びB4を区画している。スリットSL2は、共通電極CE11及びCE15の間に設けられ、センサブロックB1及びB3を区画している。また、スリットSL2は、共通電極CE12及びCE16の間、共通電極CE13及びCE17の間、共通電極CE14及びCE18の間にそれぞれ設けられ、センサブロックB2及びB4を区画している。金属配線ML16及びML22は、スリットSL2に重畳している。

[0074] 図13において、例えば共通電極CE11乃至CE14には、それぞれダミースリットDSLが形成されている。金属配線ML19は、ダミースリットDSLに重畳している。共通電極CE12においては、ダミースリットDSLは、青画素PB1と赤画素PR1との境界に沿って形成されている。なお、ダミースリットDSLは、共通電極CE12を、青画素PB1の側と赤画素PR1の側とに電氣的に分離するものではない。つまり、共通電極CE12については、青画素PB1の側と赤画素PR1の側とは、ダミースリットが形成されていない領域にて電氣的に接続されている。このダミースリットDSLは、共通電極CE11、CE13、CE14についても同様の構造である。このダミースリットDSLが形成されることで、図中の左右に隣接するセンサブロックB間のスリット12が表示装置全体で見た時に目立たなくすることができる。

[0075] 金属配線ML17乃至ML20は、共通電極CE1及びCE2の間に延出している。メインスペーサMSP11は、金属配線ML11及びML17の間隙付近に位置しているが、共通電極CE11及びCE12の間において金属配線ML17と重畳している。また、メインスペーサMSP12は、共通電極CE13及びCE14の間において、金属配線ML17が連続して形成された部分と重畳している。同様に、メインスペーサMSP13及びMSP14は、いずれも金属配線ML20と重畳している。これらのメインスペーサMSP11乃至MSP14が重畳する位置では、いずれも図12に示したような断面構造となる。

なお、図中において、金属配線ML18と重畳する位置において、共通電極CE12及びCE13を接続するブリッジ部BR11が設けられ、また、共通電極CE13及びCE14を接続するブリッジ部BR12が設けられている。これらのブリッジ部BR11及びBR12は、共通電極CE12乃至CE14と一体的に形成されている。ブリッジ部BR11及びBR12は、例えば、緑画素PGと青画素PBとの間、あるいは、緑画素PGと白画素PWとの間に位置している。図示した例では、メインスペーサMSPは、い

れのブリッジ部とも重畳しない。

[0076] ブリッジ部BR11に着目すると、ブリッジ部BR11は、第2接続電極RE12及びRE13の間に位置している。第2接続電極RE12及びRE13は、互いに離間する側にずれている。このようなレイアウトによれば、共通電極CE12及びCE13、及び、ブリッジ部BR11は、第2接続電極RE12及びRE13と同一層に位置するものであるが、第2接続電極RE12及びRE13が互いに離間する側にずれているため、ブリッジ部BR11とのショートを抑制することができる。

[0077] 本実施形態によれば、メインスペーサMSPと接する位置において、第1基板SUB1は、絶縁基板10、絶縁膜11乃至16、配向膜AL1、信号線S、金属配線MLを有し、厚さT10を有している。つまり、各種配線のレイアウトあるいは画素のレイアウトにかかわらず、各メインスペーサMSPと接する位置において、第1基板SUB1の断面構造を同一化することにより、第1基板SUB1が略一定の厚さを有することになる。したがって、第1基板SUB1と第2基板SUB2とのセルギャップの均一性を向上することができる。これにより、表示装置DSPの表示品位の低下を抑制することができる。

[0078] また、メインスペーサMSPと金属配線ML9との間には、有機絶縁膜である絶縁膜15が介在しているため、表示パネルPNLを押圧する力がメインスペーサMSPを介して第1基板SUB1に加わったとしても、金属配線MLへのダメージを軽減することができる。

[0079] 図14は、図11のメインスペーサMSPに対応した遮光層BMを示す平面図である。なお、ここでは、走査線G1及びG3、接続部CN1乃至CN3、共通電極CE1及びCE2の図示を省略している。

[0080] 図示した例では、端部ML3E及び端部ML4Eは、第1方向Xに沿って同一直線上に位置している。また、端部ML5E及び端部ML6Eは、第1方向Xに沿って同一直線上に位置している。端部ML3E及び端部ML4Eは、端部ML5Eと端部ML6Eとを結ぶ直線から、走査線G2側にずれて

いる。同様に、端部ML 7 E 及び端部ML 8 E は、第 1 方向 X に沿って同一直線上に位置している。また、端部ML 9 E 及び端部ML 10 E は、第 1 方向 X に沿って同一直線上に位置している。端部ML 7 E 及び端部ML 8 E は、端部ML 9 E と端部ML 10 E とを結ぶ直線から、走査線 G 2 側にずれている。

[0081] 遮光層 BM は、第 1 間隙 V 1 及び第 2 間隙 V 2 と重畳している。あるいは、遮光層 BM は、端部ML 3 E 乃至端部ML 10 E のいずれとも重畳している。遮光層 BM は、第 1 方向 X に沿って延出した辺 BM 1 E 及び BM 3 E を有している。辺 BM 1 E は信号線 S 3 と信号線 S 4 との間に位置し、辺 BM 3 E は信号線 S 5 と信号線 S 6 との間に位置し、辺 BM 1 E は辺 BM 3 E よりも走査線 G 2 に近接している。遮光層 BM は、辺 BM 1 E 及び BM 3 E の間において、メインスペーサ MSP と重畳する位置から、赤画素 PR 1 及び緑画素 PG 1 に亘って拡張されている。端部ML 3 E 及び ML 4 E は、第 2 方向 Y において、辺 BM 1 E よりも、走査線 G 2 側あるいは白画素 PW 2 側に位置している。端部ML 5 E 及び ML 6 E は、第 2 方向 Y において、辺 BM 3 E よりも、走査線 G 2 側あるいは緑画素 PG 1 側に位置している。

[0082] 本実施形態によれば、第 1 間隙 V 1 と画素電極 PE 2 及び PE 3 とが隣接する領域、及び、第 2 間隙 V 2 と画素電極 PE 1 とが隣接する領域は、遮光層 BM によって遮光される。このため、第 1 間隙 V 1 において信号線 S 5 と画素電極 PE 2 及び PE 3 との間、及び、第 2 間隙 V 2 において信号線 S 4 と画素電極 PE 1 との間で液晶分子 LM を誤動作させる不所望電界が生じたとしても、これらの領域は表示に寄与しないため、表示品位の低下を抑制することができる。

[0083] 図 15 は、図 2 に示したタッチセンサ TS の一部を拡大した平面図である。ここでは、図 2 に示したタッチセンサ TS のうち、センサ電極 Rx 1 及び Rx 2 と、センサ配線 L 1 及び L 2 と、タッチコントローラ TC とを図示している。

[0084] センサ電極 Rx 1 及び Rx 2 は、間隔をおいて第 2 方向 Y に並んでいる。

センサ配線L 1は、センサ電極R x 1及びR x 2と重畳し、センサ電極R x 1とセンサ電極R x 2との間に延出している。センサ配線L 1は、センサ電極R x 1と電氣的に接続している。センサ配線L 2は、センサ電極R x 2と重畳し、センサ電極R x 2と電氣的に接続している。センサ配線L 2は、センサ電極R x 1とセンサ電極R x 2との間に延出しているが、センサ電極R x 1とは重畳していない。

第1メインスペーサMSP 1は、センサ電極R x 1とセンサ電極R x 2との間において、センサ配線L 1と重畳している。第2メインスペーサMSP 2は、センサ電極R x 1とセンサ電極R x 2との間において、センサ配線L 2と重畳している。図示した例では、メインスペーサMSP 1及びメインスペーサMSP 2は、第1方向Xに並んでいる。

[0085] センサ配線L 1及びL 2は、タッチコントローラTCに接続されている。センサ電極R x 2は、センサ電極R x 1よりもタッチコントローラTCに近接している。

図15に示した例において、センサ電極R x 1が第1センサ電極に相当し、センサ電極R x 2が第2センサ電極に相当し、センサ配線L 1が第1センサ配線に相当し、センサ配線L 2が第2センサ配線に相当する。

[0086] このようなタッチセンサTSにおいて、センサ電極R x 2と電氣的に接続されるセンサ配線L 2について、第2メインスペーサMSP 2と重畳させるために、センサ電極R x 1及びR x 2の間に延出させている。したがって、第1メインスペーサMSP 1及び第2メインスペーサMSP 2とそれぞれ接する下地の断面構造を同一化することができ、タッチセンサTSを内蔵する電子機器におけるセルギャップの均一性を向上することができる。

[0087] 以上説明したように、本実施形態によれば、表示品位の低下を抑制できる表示装置を提供することができる。

[0088] なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能

であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

例えば、本実施形態においては、赤画素、緑画素、及び、白画素のそれぞれの画素幅が同一であるが、これらの画素幅が異なってもよい。また、本実施形態においては、赤画素、緑画素、及び、白画素のそれぞれの画素電極が同一形状を有しているが、これらの画素電極の形状が異なってもよい。

請求の範囲

[請求項1]

第1共通電極と、
前記第1共通電極から離間した第2共通電極と、
前記第1共通電極及び前記第2共通電極と重畳する第1信号線と、
前記第1信号線及び前記第1共通電極と重畳する第1金属配線と、
前記第1信号線及び前記第2共通電極と重畳し、前記第1金属配線から離間した第2金属配線と、を備え、
前記第1金属配線は、前記第1共通電極と前記第2共通電極との間に延出した延出部を有している、表示装置。

[請求項2]

さらに、前記第1共通電極と前記第2共通電極との間にスペーサを備え、
前記スペーサは、前記延出部と重畳し、
前記延出部は、前記第1共通電極と前記第2共通電極との間に位置する第1端部を有し、
前記第2金属配線は、前記第1端部と第1間隙を挟んで対向し前記第2共通電極と重畳する第2端部を有している、請求項1に記載の表示装置。

[請求項3]

さらに、第1ドレイン電極と、
前記第1ドレイン電極から離間した第2ドレイン電極と、を備え、
前記第1ドレイン電極及び前記第2ドレイン電極は、前記第1共通電極と前記第2共通電極との間に位置し、
前記第1信号線及び前記延出部は、前記第1ドレイン電極と前記第2ドレイン電極との間に位置している、請求項2に記載の表示装置。

[請求項4]

さらに、第1ドレイン電極と、
前記第1ドレイン電極から離間した第2ドレイン電極と、を備え、
前記第1ドレイン電極及び前記第2ドレイン電極は、前記第1共通電極と前記第2共通電極との間に位置し、
前記第1信号線及び前記延出部は、前記第1ドレイン電極と前記第

2 ドレイン電極との間に位置している、請求項 1 に記載の表示装置。

[請求項5] 前記スペーサは、前記第 1 ドレイン電極と前記第 2 ドレイン電極との間に位置している、請求項 4 に記載の表示装置。

[請求項6] さらに、第 1 乃至第 3 走査線と、第 3 ドレイン電極と、を備え、
前記第 1 ドレイン電極及び前記第 2 ドレイン電極は、前記第 1 走査線と前記第 2 走査線との間に位置し、

前記第 3 ドレイン電極は、前記第 2 走査線と前記第 3 走査線との間に位置し、且つ、前記第 1 共通電極と前記第 2 共通電極との間に位置している、請求項 4 に記載の表示装置。

[請求項7] さらに、前記第 1 ドレイン電極と前記第 3 ドレイン電極との間に位置する第 2 信号線と、

前記第 2 信号線と重畳する第 3 金属配線と、

前記第 2 信号線と重畳し、第 2 間隙を挟んで前記第 3 金属配線から離間した第 4 金属配線と、を備え、

前記第 2 間隙は、前記第 1 間隙よりも前記第 2 走査線に近接している、請求項 6 に記載の表示装置。

[請求項8] さらに、平面視で、前記第 1 間隙及び前記第 2 間隙と重畳する遮光層を備えた、請求項 7 に記載の表示装置。

[請求項9] さらに、前記第 1 ドレイン電極と電氣的に接続される第 1 画素電極と、

前記第 2 ドレイン電極と電氣的に接続される第 2 画素電極と、

前記第 3 ドレイン電極と電氣的に接続される第 3 画素電極と、を備え、

前記第 3 画素電極、前記第 1 画素電極、及び、前記第 2 画素電極は、この順に第 1 方向に並び、

前記第 3 画素電極は、前記第 1 画素電極及び前記第 2 画素電極よりも、前記第 1 方向と交差する第 2 方向に沿って長い、請求項 6 に記載の表示装置。

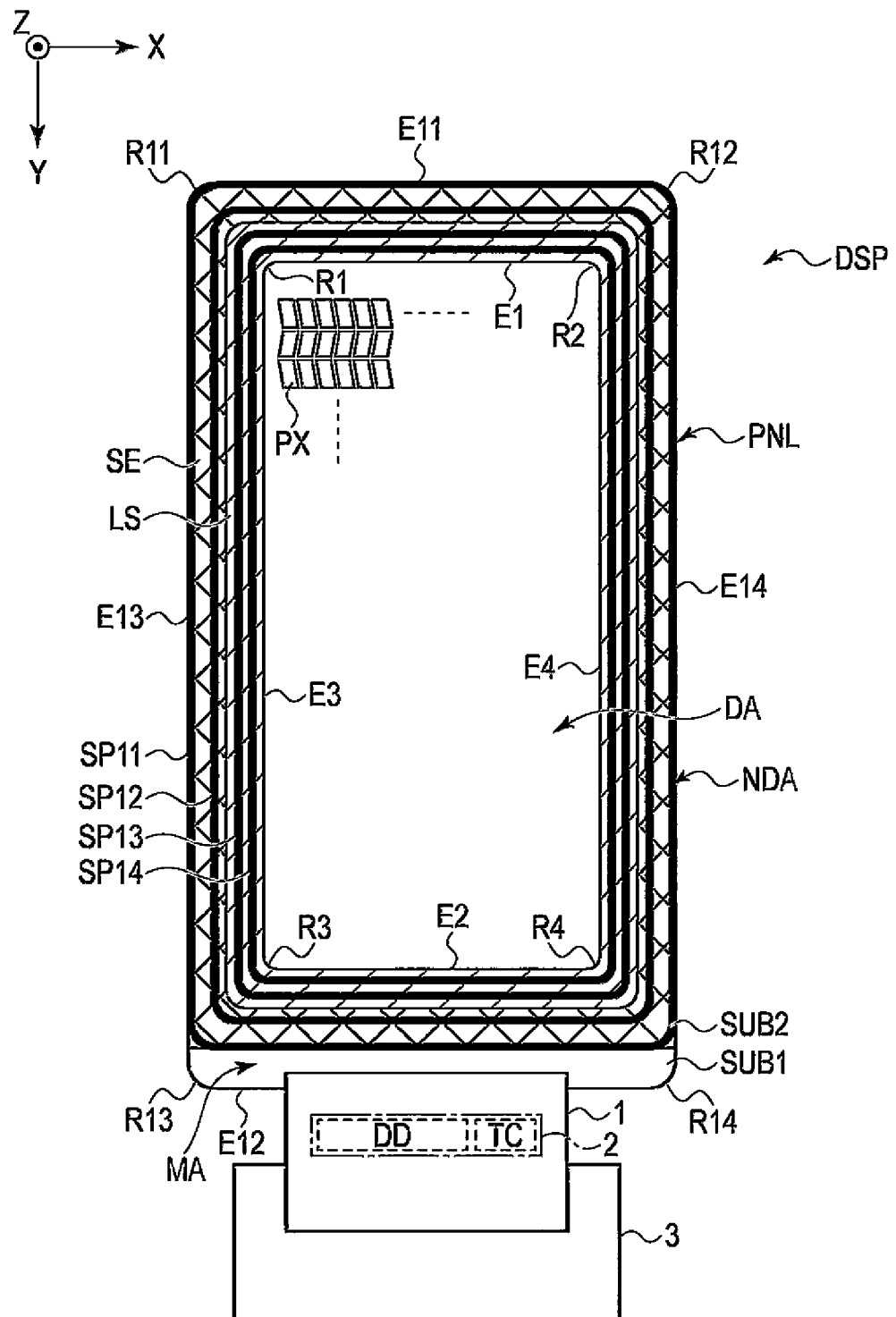
- [請求項10] さらに、前記第1ドレイン電極まで貫通した第1貫通孔を有し、有機絶縁材料によって形成された第1絶縁膜と、
- 前記第1貫通孔において前記第1ドレイン電極に接し、金属材料によって形成された第1接続電極と、
- 前記第1絶縁膜の上に位置し、有機絶縁材料によって形成され、前記第1接続電極まで貫通した第2貫通孔を有する第2絶縁膜と、
- 前記第1接続電極と電氣的に接続された第1画素電極と、を備えた請求項4に記載の表示装置。
- [請求項11] さらに、前記第2貫通孔において前記第1接続電極に接し、透明な導電材料によって形成された第2接続電極と、
- 前記第2絶縁膜の上に位置し、前記第2接続電極まで貫通した第3貫通孔を有する第3絶縁膜と、を備え、
- 前記第1画素電極は、前記第3絶縁膜の上に位置し、前記第3貫通孔において前記第2接続電極に接している、請求項10に記載の表示装置。
- [請求項12] 前記第1金属配線及び前記第2金属配線は、前記第1絶縁膜と前記第2絶縁膜との間に位置し、
- 前記第2絶縁膜及び前記第3絶縁膜は、前記延出部と前記スペーサとの間で、互いに接している、請求項11に記載の表示装置。
- [請求項13] 第1センサ電極と、
- 前記第1センサ電極から離間した第2センサ電極と、
- 前記第1センサ電極及び前記第2センサ電極と重畳し、前記第1センサ電極と電氣的に接続された第1センサ配線と、
- 前記第1センサ電極と重畳することなく前記第2センサ電極と重畳し、前記第1センサ電極と前記第2センサ電極との間に延出し、前記第2センサ電極と電氣的に接続された第2センサ配線と、
- 前記第1センサ電極と前記第2センサ電極との間において、前記第1センサ配線と重畳する第1スペーサと、

前記第 1 センサ電極と前記第 2 センサ電極との間において、前記第 2 センサ配線と重畳する第 2 スペーサと、
を備えたタッチセンサ。

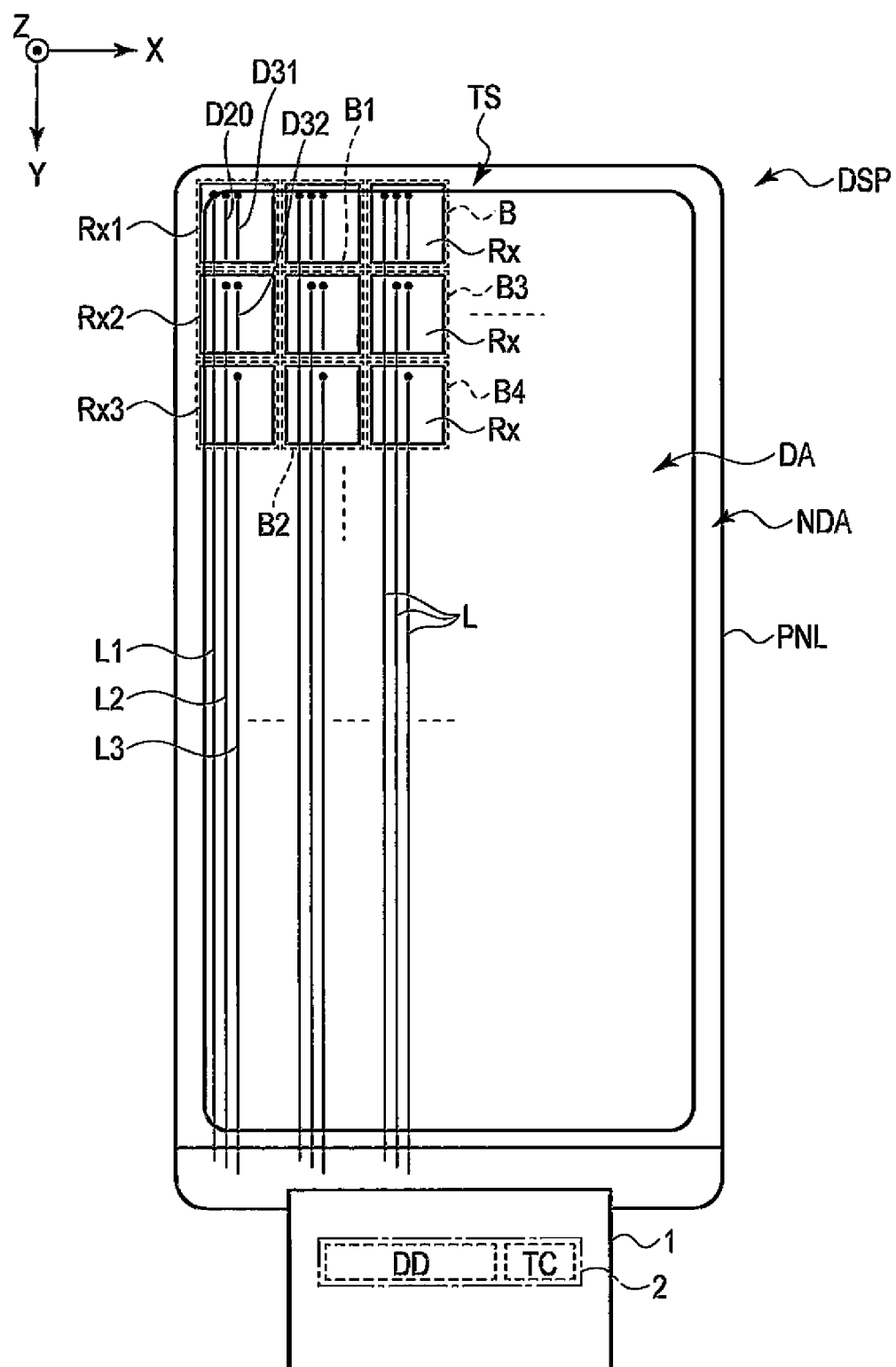
[請求項14] さらに、前記第 1 センサ配線及び前記第 2 センサ配線に、タッチ駆動電圧を印加するタッチコントローラを備えた、請求項 1 3 に記載のタッチセンサ。

[請求項15] 前記第 2 センサ電極は、前記第 1 センサ電極よりも前記タッチコントローラに近接している、請求項 1 4 に記載のタッチセンサ。

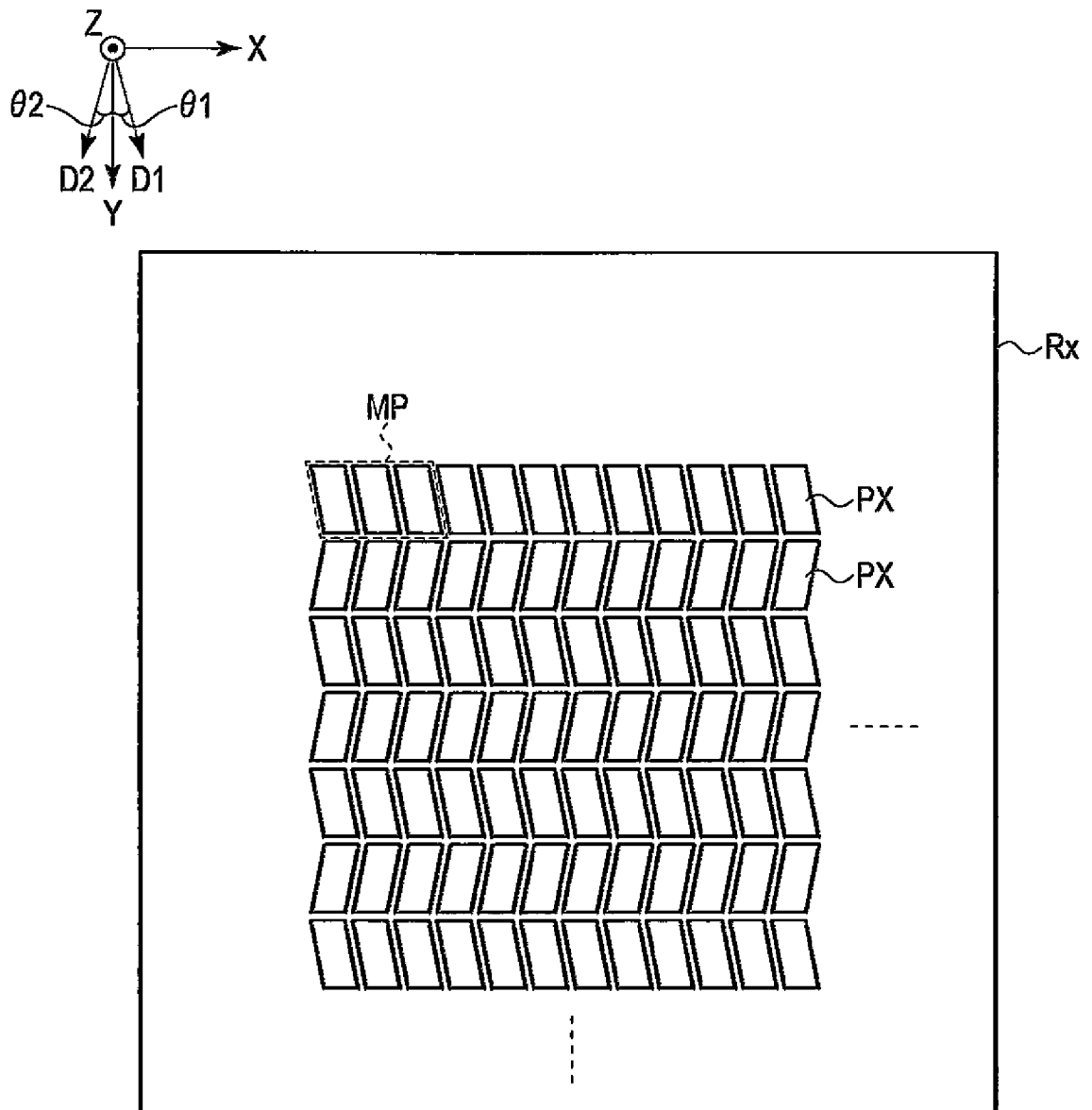
[図1]



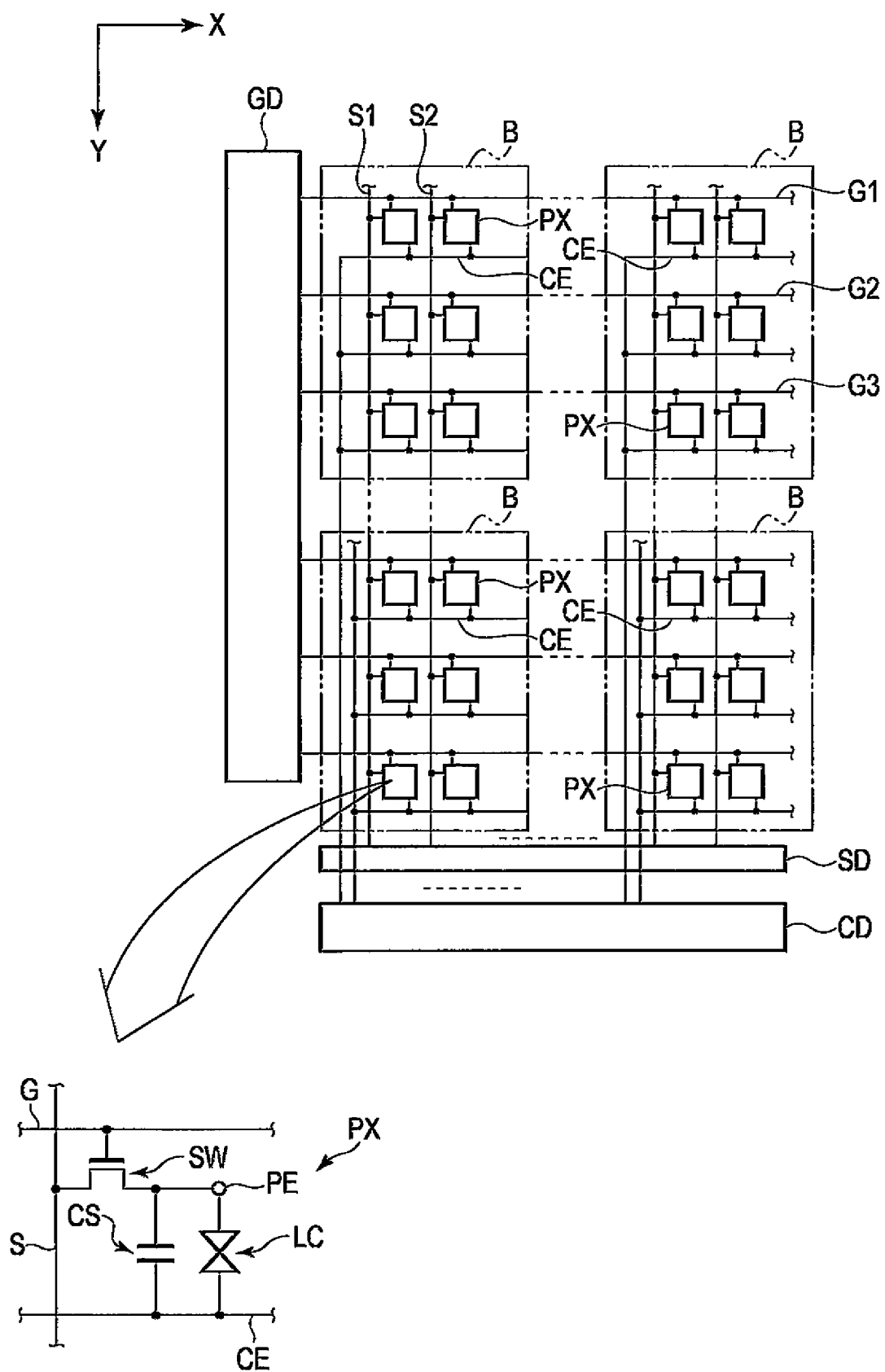
[図2]



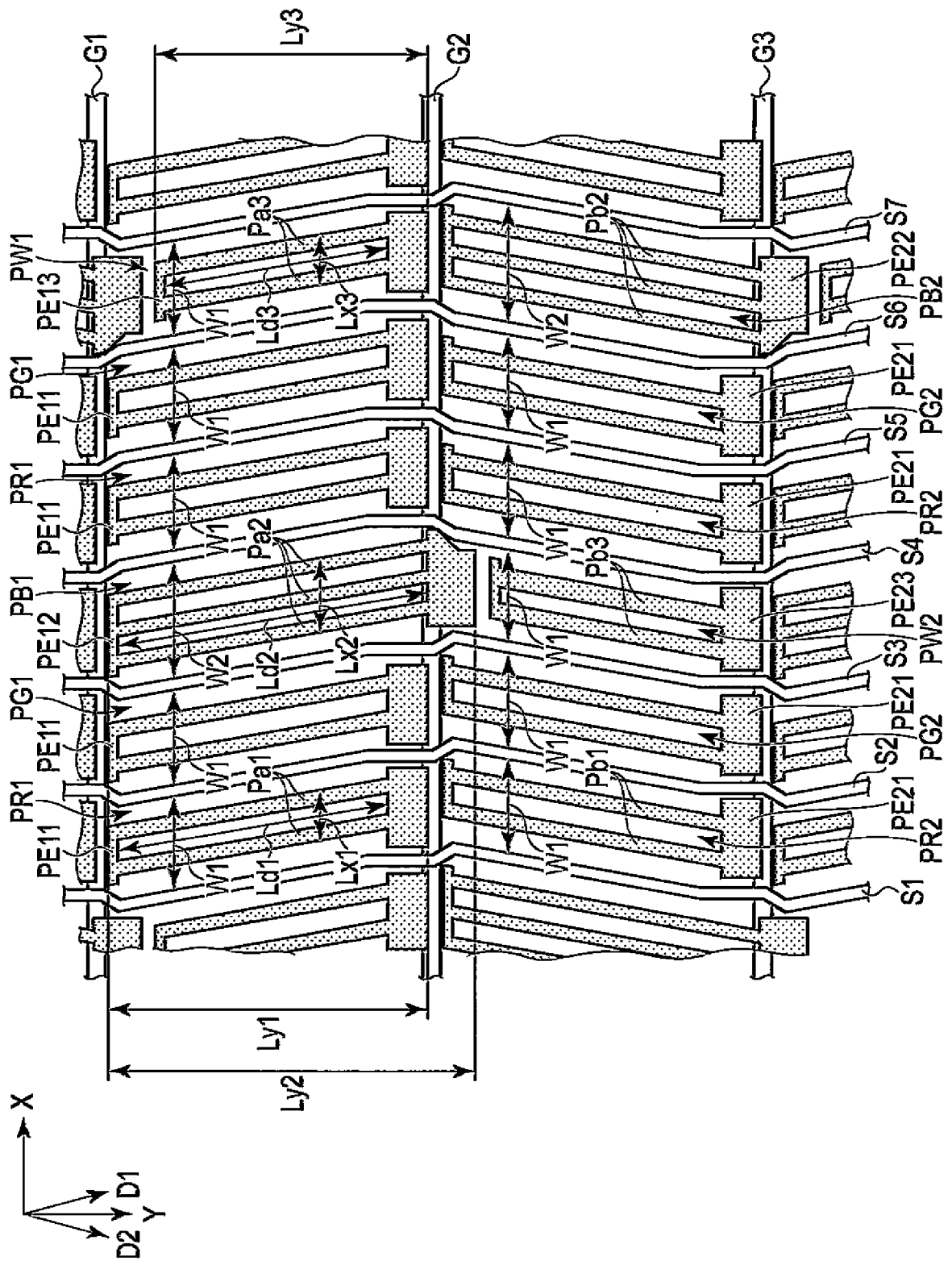
[図3]



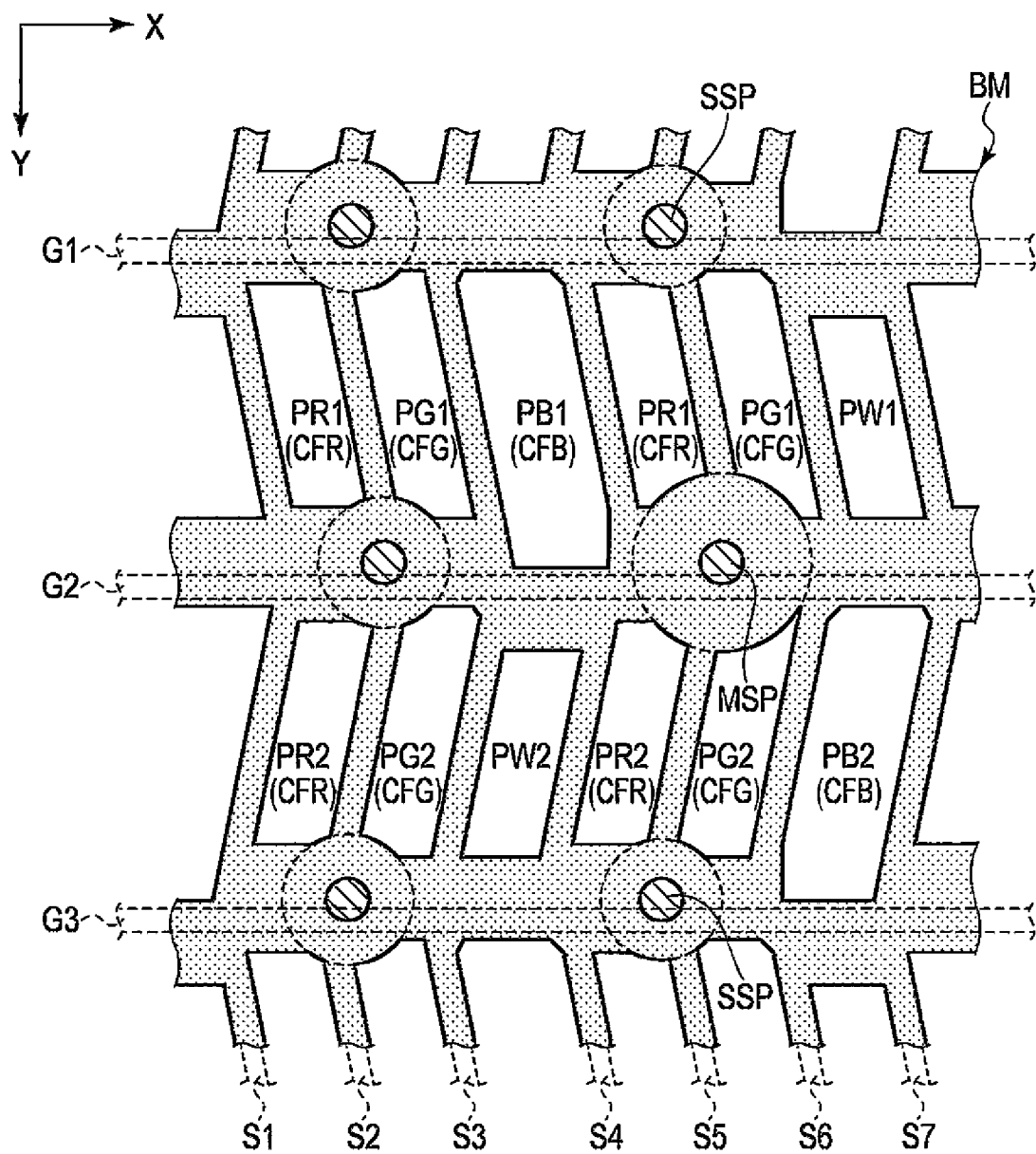
[図4]



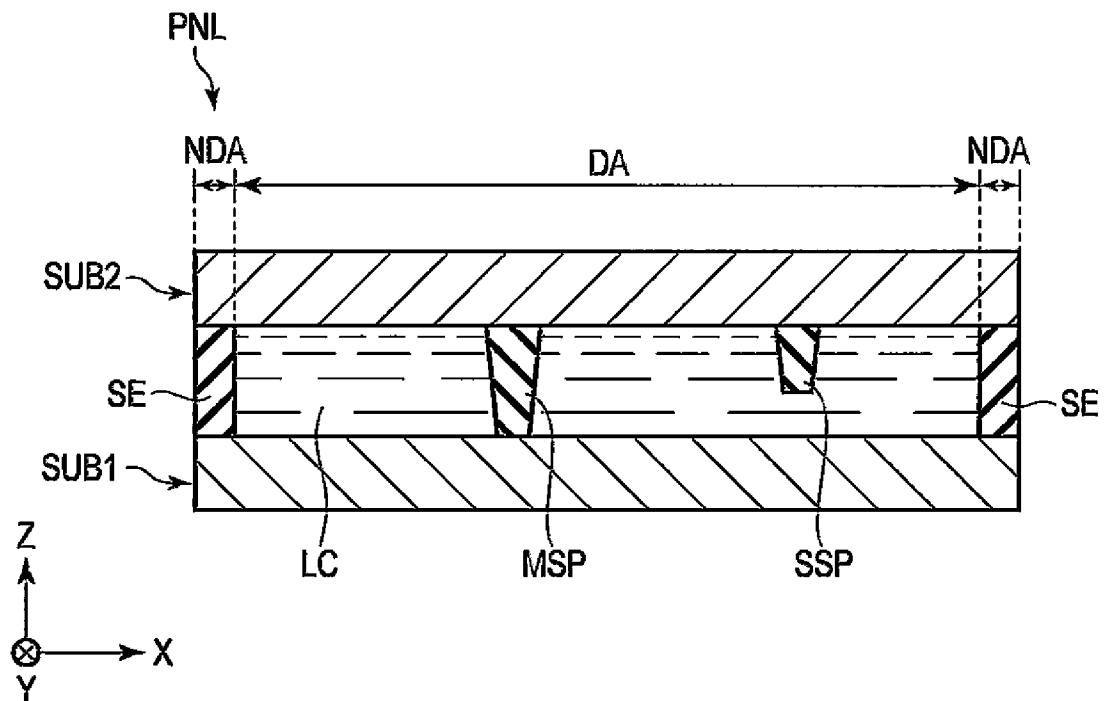
[図5]



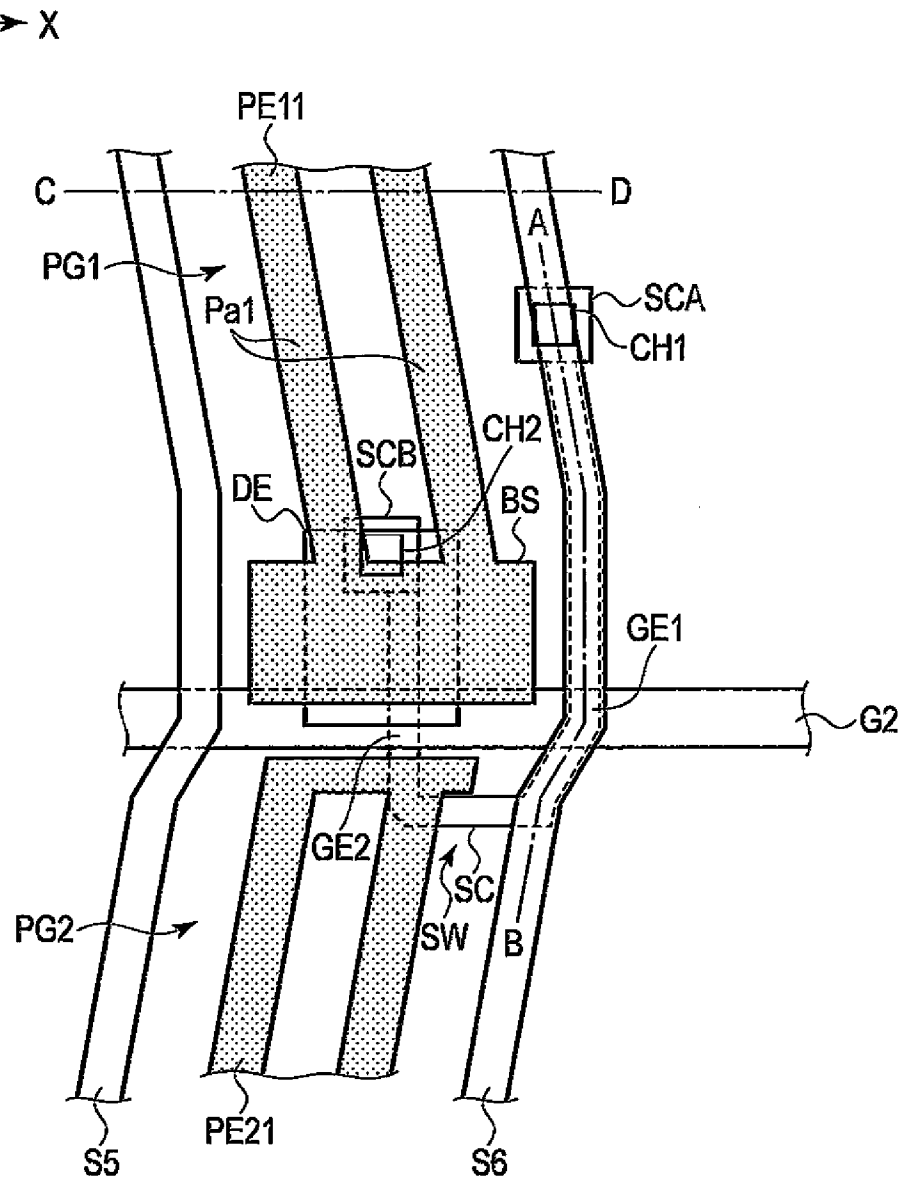
[図6]



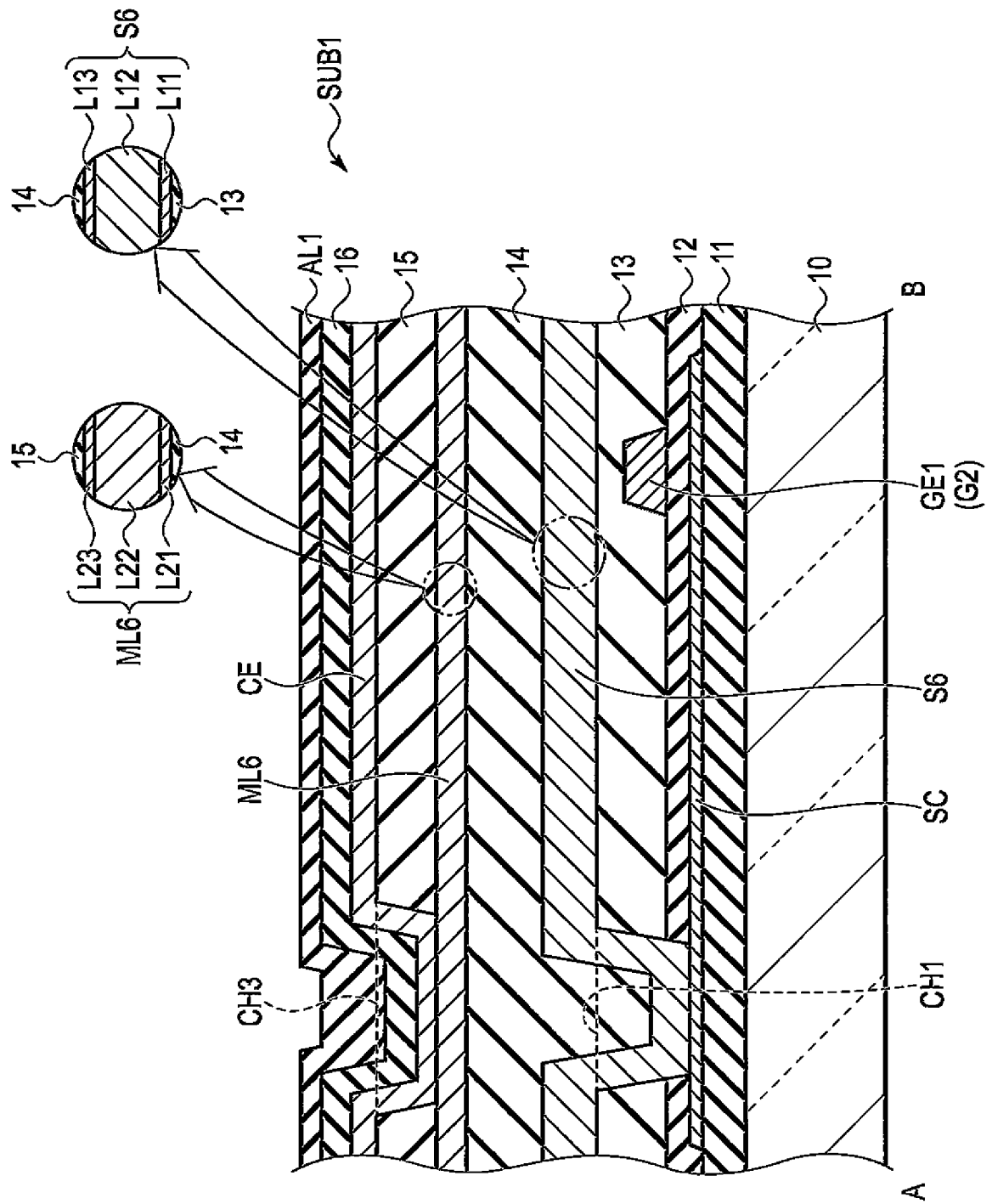
[図7]



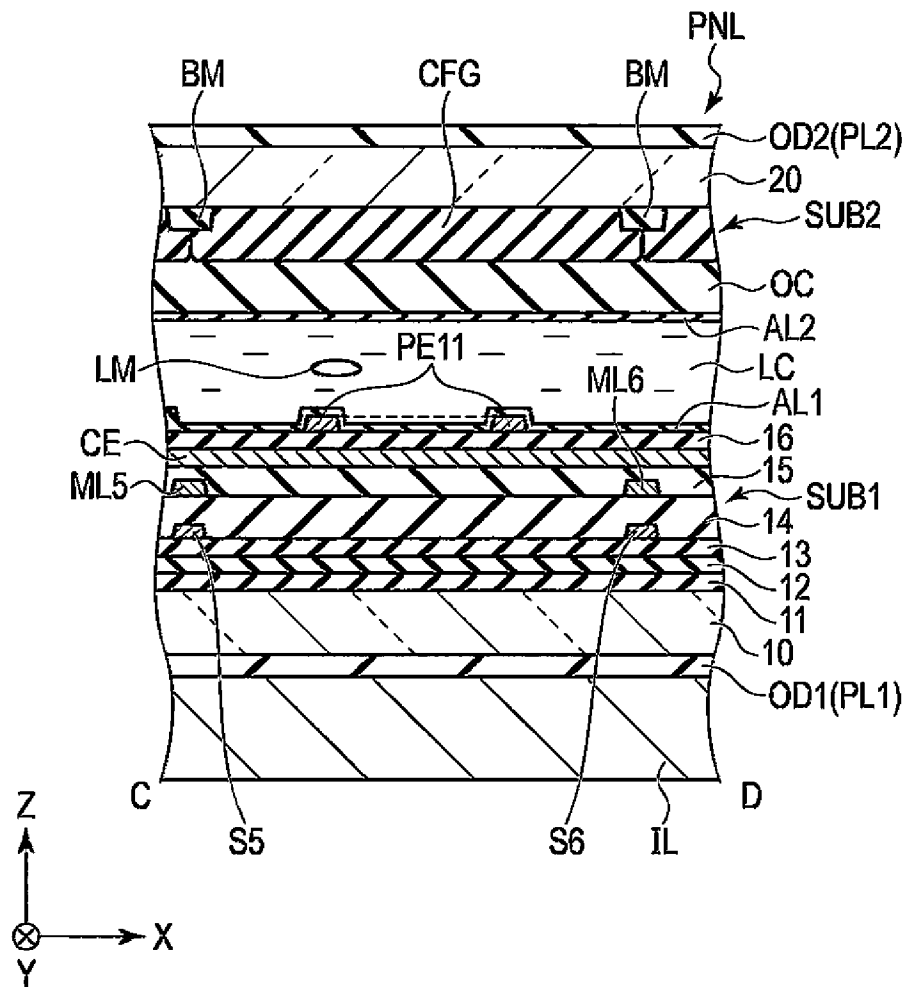
[図8]



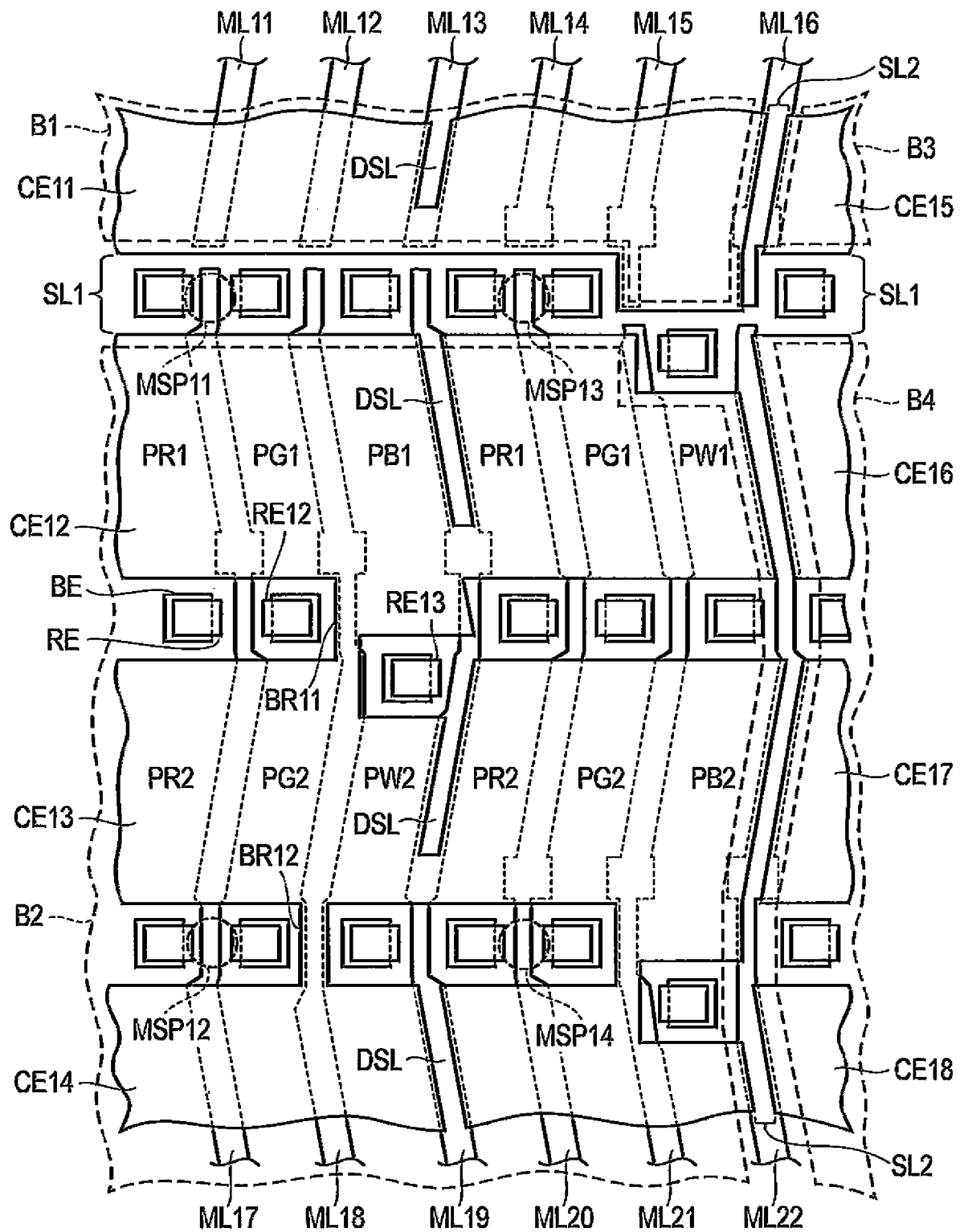
[図9]



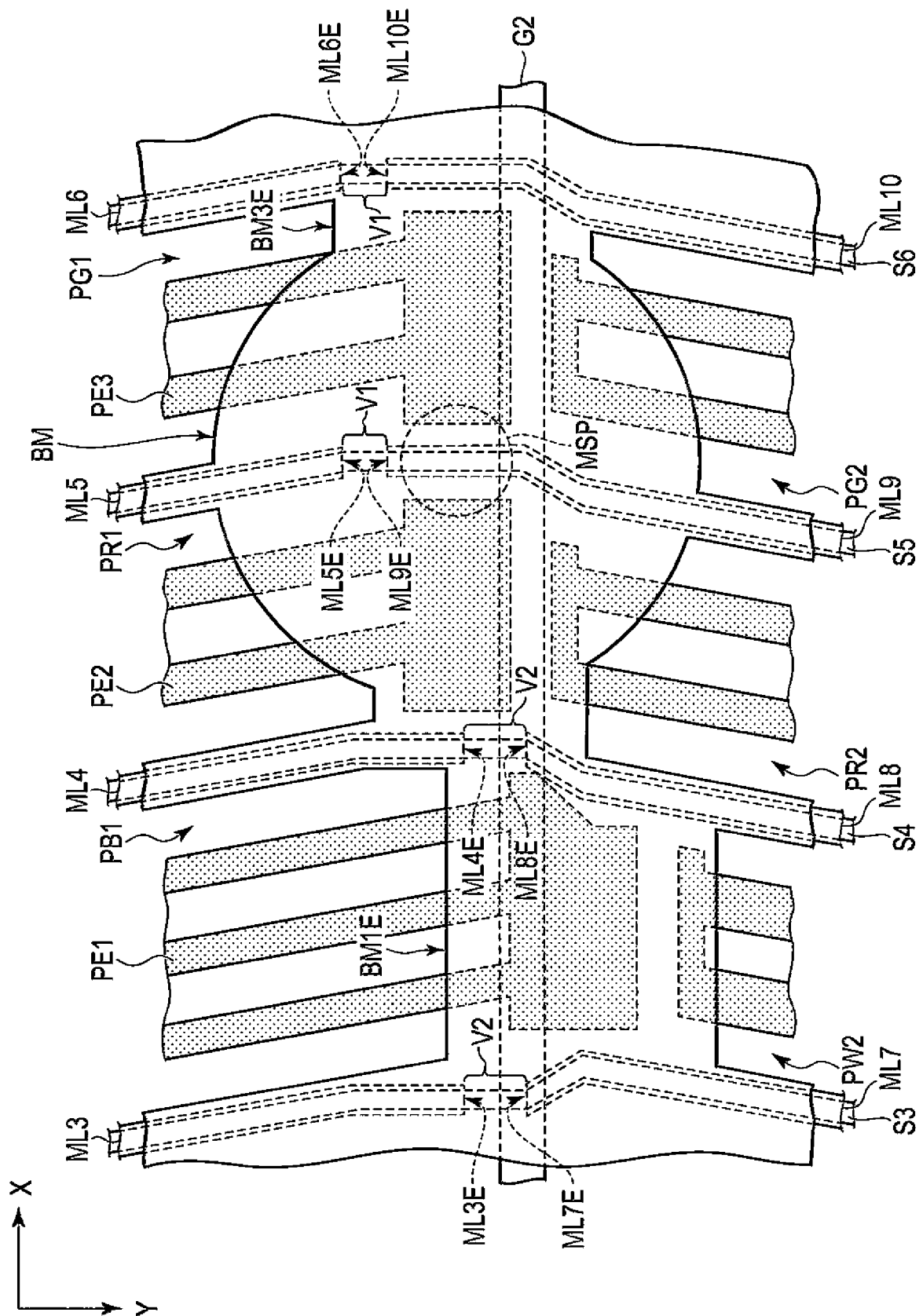
[図10]



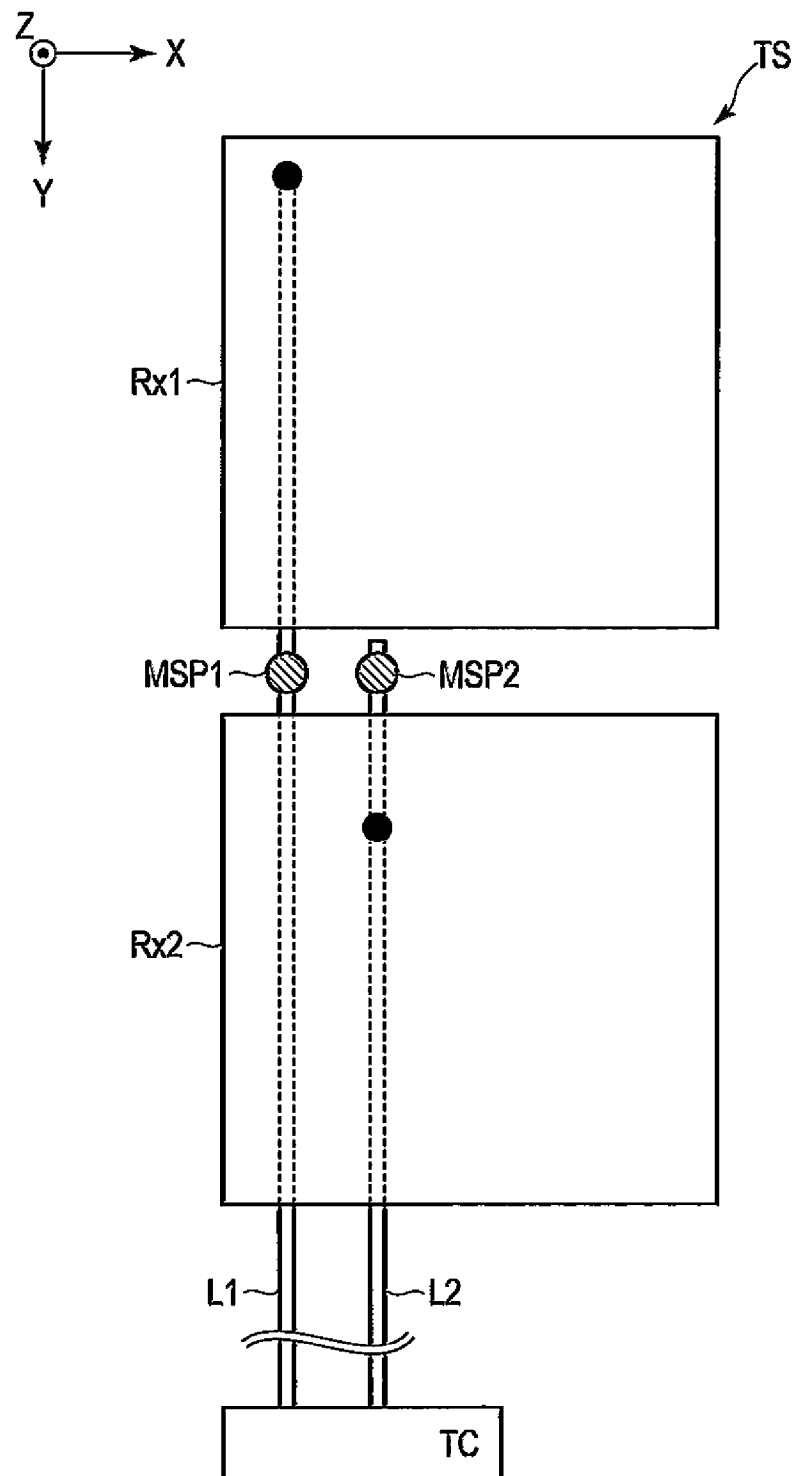
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045183

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/1339(2006.01) i, G02F1/1343(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/133, 1/1333, 1/1334, 1/1339-1/1341, 1/1347, 1/136-1/1368, 1/1343-1/1345, G06F3/033-3/039, 3/03, 3/041-3/047, G09F9/00, 9/30-9/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Japio-GPG/FX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-227840 A (JAPAN DISPLAY INC.) 28 December 2017, paragraphs [0084], [0085], fig. 13 & US 2017/0371199 A1, paragraphs [0116]-[0118], fig. 13	1-15
A	JP 5-188385 A (OKI ELECTRIC IND CO., LTD.) 30 July 1993, paragraphs [0008], [0011], fig. 1 (Family: none)	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29.01.2019

Date of mailing of the international search report
12.02.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045183

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0207277 A1 (SAMSUNG DISPLAY CO., LTD.) 20 July 2017, paragraphs [0060], [0114], fig. 4, 6 & KR 10-2017-0087556 A & CN 107039496 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/1339(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/133, 1/1333, 1/1334, 1/1339-1/1341, 1/1347, 1/136-1/1368, 1/1343-1/1345
G06F3/033-3/039, 3/03, 3/041-3/047, G09F9/00, 9/30-9/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Japio-GPG/FX

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-227840 A (株式会社ジャパンディスプレイ) 2017.12.28 段落番号[0084], [0085], 図13 & US 2017/0371199 A1, 段落番号[0116]-[0118], 図13	1-15
A	JP 5-188385 A (沖電気工業株式会社) 1993.07.30 段落番号[0008], [0011], 図1 (ファミリーなし)	1-15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29.01.2019

国際調査報告の発送日

12.02.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

横井 亜矢子

2 L

9706

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0207277 A1 (SAMSUNG DISPLAY CO., LTD) 2017. 07. 20 段落番号[0060], [0114], 図 4, 6 & KR 10-2017-0087556 A & CN 107039496 A	1-15