(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117290212 A
(43)申请公布日 2023.12.26

(21)申请号 202311155943.7

(22)申请日 2023.09.08

(71)申请人 山东浪潮科学研究院有限公司
地址 250100 山东省济南市高新浪潮路1036号S02号楼

(72)发明人 赵前程 赵鑫鑫 姜凯

(74)专利代理机构 济南信达专利事务所有限公司 37100
专利代理师 孙园园

(51)Int.Cl.
G06F 11/36(2006.01)
G06F 9/455(2018.01)

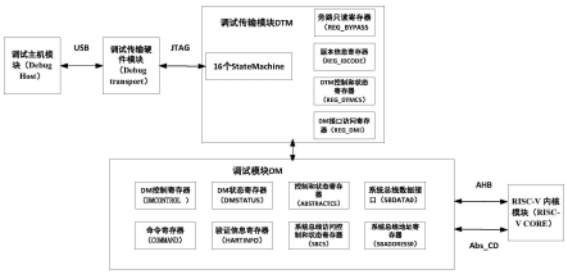
权利要求书3页 说明书6页 附图2页

(54)发明名称

基于RISC-V架构调试系统

(57)摘要

本发明公开了一种基于RISC-V架构调试系统,属于ASIC和RISC架构芯片设计领域,本发明要解决的技术问题为如何实现代码量少且方便移植RISC-V架构调试,同时又能满足JTAG测试系统的要求,进而满足不同客户的需求,采用的技术方案为:该系统包括调试模块DM、调试传输模块DTM、调试传输硬件模块、调试主机模块及RISC-V内核模块,调试主机模块通过USB接口连接调试传输硬件模块,调试传输硬件模块通过JLink仿真调试器连接调试传输模块DTM,调试传输模块DTM对外连接JLink仿真调试器,JTAG仿真器通过5线JTAG连接到RISC-V架构芯片的测试引脚;调试传输模块DTM对内通过DMI接口连接调试模块DM进行数据通信,调试模块DM通过AHB总线或abstract command连接RISC_V内核模块。



CN 117290212 A

1.一种基于RISC-V架构调试系统,其特征在于,该系统包括调试模块DM、调试传输模块DTM、调试传输硬件模块、调试主机模块及RISC-V内核模块,调试主机模块通过USB接口连接调试传输硬件模块,调试传输硬件模块通过JLink仿真调试器连接调试传输模块DTM,调试传输模块DTM对外连接JLink仿真调试器,JTAG仿真器通过5线JTAG连接到RISC-V架构芯片的测试引脚;调试传输模块DTM对内通过DMI接口连接调试模块DM进行数据通信,调试模块DM通过AHB总线或abstract command连接RISC_V内核模块。

2.根据权利要求1所述的基于RISC-V架构调试系统,其特征在于,所述调试传输模块DTM用于实现TAP状态机控制,定义IR指令寄存器、旁路只读寄存器、版本信息寄存器、DTM控制和状态寄存器及DM接口访问寄存器;

其中,版本信息寄存器是只读的,用于说明版本、部件号和厂商号;

DTM控制和状态寄存器用于控制调试传输模块DTM硬复位,DTM控制和状态寄存器中地址域的大小以及对应的spec版本;

DM接口访问寄存器可读可写,高6位是DM寄存器的长度,中阿金32位是和DM交互的具体数据,低两位表好似读写域的含义。

3.根据权利要求2所述的基于RISC-V架构调试系统,其特征在于,所述DM接口访问寄存器中低两位的具体含义如下:

可读可写,读或者写这个域时含义不同;

当写这个域时,写0x00表示忽略address和data的值,相当于空操作;写0x01表示从address指定的寄存器读数据;写0x02表示把data的数据写到address指定的寄存器;写0x03为保留值;

当读这个域时,0x00表示上一个操作正确完成;0x01为保留值;0x02表示上一个操作失败,这个状态被锁存,因此需要往DTM控制和状态寄存器的dmireset域写1才能清除这个状态;0x03表示上一个操作还未完成。

4.根据权利要求1所述的基于RISC-V架构调试系统,其特征在于,所述调试传输模块DTM里TAP状态机,JTAG逻辑部分在每一个TCK信号的上升沿采样TMS信号和TDI信号,决定TAP状态机是否发生变化,在每一个TCK信号的下降沿输出TDO信号;无论TAP目前处于哪一个状态,只要TMS保持高电平并持续5个TCK时钟,则TAP一定会回到Test-Logic-Reset状态。

5.根据权利要求4所述的基于RISC-V架构调试系统,其特征在于,所述TAP状态机一共有16个状态,具体如下:

测试逻辑复位状态,系统上电后自动进入该状态,测试逻辑电路全部被禁用;

TRST复位信号置0对测试逻辑电路复位,使TAP状态机进入测试逻辑复位状态;

运行逻辑空闲状态是TAP状态机一个中间状态,在测试逻辑复位状态下,若TMS一直保持为0,TAP状态机将一直保持在测试逻辑复位状态下;若TMS在TCK上升沿触发,由0变为1,将使TAP状态机进入选择数据寄存器扫描状态;

选择数据寄存器扫描状态是TAP状态机一个中间状态,在TCK的上升沿触发,若TMS为0,TAP状态机进入捕获数据寄存器状态,后续的系列动作都将以数据寄存器作为操作对象;若在TCK的上升沿检测到TMS为1,TAP状态机进入选择指令寄存器扫描状态;

当TAP Controller在捕获数据寄存器状态中,在TCK的上升沿,芯片输出管脚上的信号将被“捕获”到与之对应的数据寄存器的各个单元中去;若在TCK的上升沿触发,TMS为0,TAP

状态机进入移位数据寄存器状态;若TMS为1,TAP状态机进入退出数据寄存器状态1;

在移位数据寄存器状态下,由TCK驱动,每一个时钟周期,被连接在TDI和TDO之间的数据寄存器将从TDI接收一位数据,同时通过TDO输出一位数据;若在TCK的上升沿检测到TMS为0,TAP状态机保持在移位数据寄存器状态;若TMS为1,TAP Controller进入到退出数据寄存器状态1;

在更新数据寄存器状态下,由TCK上升沿驱动,数据寄存器当中的数据将被加载到相应的芯片管脚上去,用以驱动芯片;在该状态下,若TMS为0,TAP Control状态机将回到运行逻辑空闲状态;若TMS为1,TAP状态机将进入选择数据寄存器扫描状态;

选择指令寄存器扫描状态一个临时的中间状态;若在TCK的上升沿检测TMS为0,TAP状态机进入捕获指令寄存器状态,后续的系列动作都将以指令寄存器作为操作对象;若TMS为1,TAP状态机进入测试逻辑复位状态;

当TAP在捕获指令寄存器状态中,在TCK的上升沿,一个特定的逻辑序列将被装载到指令寄存器中去;若TMS为0,TAP状态机进入移位指令寄存器状态;若TMS为1,TAP状态机进入退出指令寄存器状态1;

在移位指令寄存器状态中,由TCK驱动,每一个时钟周期,被连接在TDI和TDO之间的指令寄存器将从TDI接收一位数据,同时通过TDO输出一位数据;若在TCK的上升沿触发,TMS为0,TAP状态机保持在移位指令寄存器状态;若TMS为1,TAP状态机进入到退出指令寄存器状态1;

在更新指令寄存器状态中,在移位指令寄存器状态下输入的新指令将被用来更新指令寄存器。

6.根据权利要求1所述的基于RISC-V架构调试系统,其特征在于,所述调试模块DM包括DM控制寄存器、DM状态寄存器、控制和状态寄存器、系统总线数据接口、命令寄存器、验证信息寄存器、系统总线访问控制和状态寄存器以及系统总线地址寄存器;DM控制寄存器、DM状态寄存器、控制和状态寄存器、系统总线数据接口、命令寄存器、验证信息寄存器、系统总线访问控制和状态寄存器以及系统总线地址寄存器均为32位寄存器;

DM状态寄存器是只读的状态寄存器,表示当前核的状态;系统总线地址寄存器是系统总线地址0寄存器,系统总线数据接口是系统总线数据0寄存器。

7.根据权利要求6所述的基于RISC-V架构调试系统,其特征在于,所述DM控制寄存器的第31位写1表示暂停操作,第30位写1表示恢复操作,第29位可读可写,写1表示复位DM模块,写0表示撤销复位;第28位写1,表示清除当前内核的已有复位状态,第27位可读可写,0表示只选择一个内核,1表示选择多个内核;第25-16位可读可写,表示当前选择多核的低10位,一位表示一个核;第25-6位可读可写,表示当前选择多核的高10位,一位表示一个核;第2位可读可写,写1表示复位整个系统,第1位可读可写,写0表示复位DM模块,写1表示让DM模块正常工作。

8.根据权利要求1所述的基于RISC-V架构调试系统,其特征在于,该系统的工作过程具体如下:

(1)调试主机模块发起读写数据的请求,数据经过JLink仿真调试器进入RISC-V架构芯片内部;

(2)RISC-V架构芯片在调试传输模块DTM内,JLink仿真调试器在每一个TCK信号的上升

沿采样TMS信号和TDI信号,决定TAP状态机的状态是否发生变化,在每一个TCK信号的下降沿输出TDO信号;

(3)、经过DMI接口数据进入调试模块DM,解析数据,根据解析出来的数据,选择进行读写对应的寄存器操作;

(4)通过AHB总线或abstract command输出数据给RISC_V内核模块;

(5)RISC_V内核模块处理后,控制对应的外设进行具体操作。

基于RISC-V架构调试系统

技术领域

[0001] 本发明涉及ASIC和RISC架构芯片设计领域,具体地说是一种基于RISC-V架构调试系统。

背景技术

[0002] 芯片设计领域热度越来越高,ASIC专用的集成电路,具有密度高、速度快、成本低等优点。RISC是精简指令集架构,特点是开源指令集,而ARM是非开源的。

[0003] 目前ARM支持JTAG联合测试和SWD串行测两种调试方法,RISC-V架构支持的调试方式是JTAG。标准JTAG采用四线方式,分别是TCK、TMS、TDI和TDO,有一个可选的TRST引脚。一个JTAG主机可以同时对多个JTAG从机进行调试,这通过JTAG扫描菊花链完成。

[0004] 调试模块在CPU芯片设计里是最容易被忽略,但又是最难设计的模块之一,大部分基于RISC-V架构的开源的处理器IP都没有调试模块,无法完成RISC-V架构的调试。

[0005] 故如何实现代码量少且方便移植RISC-V架构调试,同时又能满足JTAG测试系统的要求,进而满足不同客户的需求是目前亟待解决的技术问题。

发明内容

[0006] 本发明的技术任务是提供一种基于RISC-V架构调试系统,来解决如何实现代码量少且方便移植RISC-V架构调试,同时又能满足JTAG测试系统的要求,进而满足不同客户的需求的问题。

[0007] 本发明的技术任务是按以下方式实现的,一种基于RISC-V架构调试系统,该系统包括调试模块DM、调试传输模块DTM、调试传输硬件模块(Debug transport)、调试主机模块(Debug Host)及RISC-V内核模块(RISC-V Core),调试主机模块通过USB接口连接调试传输硬件模块,调试传输硬件模块通过JLink仿真调试器连接调试传输模块DTM,调试传输模块DTM对外连接JLink仿真调试器,JTAG仿真器通过5线JTAG连接到RISC-V架构芯片的测试引脚;调试传输模块DTM对内通过DMI接口连接调试模块DM进行数据通信,调试模块DM通过AHB总线或abstract command连接RISC_V内核模块。

[0008] 作为优选,所述调试传输模块DTM用于实现TAP状态机控制,定义IR指令寄存器、旁路只读寄存器(REG_BYPASS)、版本信息寄存器(REG_IDCODE)、DTM控制和状态寄存器(REG_DTMCS)及DM接口访问寄存器(REG_DMI);

[0009] 其中,版本信息寄存器(REG_IDCODE)是只读的,用于说明版本、部件号和厂商号;

[0010] DTM控制和状态寄存器(REG_DTMCS)用于控制调试传输模块DTM硬复位,DTM控制和状态寄存器中地址域的大小以及对应的spec版本;

[0011] DM接口访问寄存器(REG_DMI)可读可写,高6位是DM寄存器的长度,中阿金32位是和DM交互的具体数据,低两位表好似读写域的含义。

[0012] 更优地,所述DM接口访问寄存器中低两位的具体含义如下:

[0013] 可读可写,读或者写这个域时含义不同;

[0014] 当写这个域时,写0x00表示忽略address和data的值,相当于空操作;写0x01表示从address指定的寄存器读数据;写0x02表示把data的数据写到address指定的寄存器;写0x03为保留值;

[0015] 当读这个域时,0x00表示上一个操作正确完成;0x01为保留值;0x02表示上一个操作失败,这个状态被锁存,因此需要往DTM控制和状态寄存器的dmireset域写1才能清除这个状态;0x03表示上一个操作还未完成。

[0016] 作为优选,所述调试传输模块DTM里TAP状态机,JTAG逻辑部分在每一个TCK信号的上升沿采样TMS信号和TDI信号,决定TAP状态机是否发生变化,在每一个TCK信号的下降沿输出TDO信号;无论TAP目前处于哪一个状态,只要TMS保持高电平并持续5个TCK时钟,则TAP一定会回到Test-Logic-Reset状态。

[0017] 更优地,所述TAP状态机一共有16个状态,具体如下:

[0018] 测试逻辑复位状态(Test-Logic Reset),系统上电后自动进入该状态,测试逻辑电路全部被禁用;

[0019] TRST复位信号置0对测试逻辑电路复位,使TAP状态机进入测试逻辑复位状态(Test-Logic Reset);

[0020] 运行逻辑空闲状态(Run_test_idle)是TAP状态机一个中间状态,在测试逻辑复位状态(Test-Logic Reset)下,若TMS一直保持为0,TAP状态机将一直保持在测试逻辑复位状态(Test-Logic Reset)下;若TMS在TCK上升沿触发,由0变为1,将使TAP状态机进入选择数据寄存器扫描状态(Select-DR-Scan);

[0021] 选择数据寄存器扫描状态(Select-DR-Scan)是TAP状态机一个中间状态,在TCK的上升沿触发,若TMS为0,TAP状态机进入捕获数据寄存器状态(Capture-DR),后续的系列动作都将以数据寄存器作为操作对象;若在TCK的上升沿检测到TMS为1,TAP状态机进入选择指令寄存器扫描状态(Select-IR-Scan);

[0022] 当TAP Controller在捕获数据寄存器状态(Capture-DR)中,在TCK的上升沿,芯片输出管脚上的信号将被“捕获”到与之对应的数据寄存器的各个单元中去;若在TCK的上升沿触发,TMS为0,TAP状态机进入移位数据寄存器状态(Shift-DR);若TMS为1,TAP状态机进入退出数据寄存器状态1(Exit-1-DR);

[0023] 在移位数据寄存器状态(Shift-DR)下,由TCK驱动,每一个时钟周期,被连接在TDI和TDO之间的数据寄存器将从TDI接收一位数据,同时通过TDO输出一位数据;若在TCK的上升沿检测到TMS为0,TAP状态机保持在移位数据寄存器状态(Shift-DR);若TMS为1,TAP Controller进入到退出数据寄存器状态1(Exit-1-DR);

[0024] 在更新数据寄存器状态(Update-DR)下,由TCK上升沿驱动,数据寄存器当中的数据将被加载到相应的芯片管脚上去,用以驱动芯片;在该状态下,若TMS为0,TAP Control状态机将回到运行逻辑空闲状态(Run_test_idle);若TMS为1,TAP状态机将进入选择数据寄存器扫描状态(Select-DR-Scan);

[0025] 选择指令寄存器扫描状态(Select-IR-Scan)一个临时的中间状态;若在TCK的上升沿检测TMS为0,TAP状态机进入捕获指令寄存器状态(Capture-IR),后续的系列动作都将以指令寄存器作为操作对象;若TMS为1,TAP状态机进入测试逻辑复位状态(Test-Logic Reset);

[0026] 当TAP在捕获指令寄存器状态(Capture-IR)中,在TCK的上升沿,一个特定的逻辑序列将被装载到指令寄存器中去;若TMS为0,TAP状态机进入移位指令寄存器状态(Shift-IR);若TMS为1,TAP状态机进入退出指令寄存器状态1(Exit-1-IR);

[0027] 在移位指令寄存器状态(Shift-IR)中,由TCK驱动,每一个时钟周期,被连接在TDI和TDO之间的指令寄存器将从TDI接收一位数据,同时通过TDO输出一位数据;若在TCK的上升沿触发,TMS为0,TAP状态机保持在移位指令寄存器状态(Shift-IR);若TMS为1,TAP状态机进入到退出指令寄存器状态1(Exit-1-IR);

[0028] 在更新指令寄存器状态(Update-IR)中,在移位指令寄存器状态(Shift-IR)下输入的新指令将被用来更新指令寄存器。

[0029] 作为优选,所述调试模块DM包括DM控制寄存器(DMCONTROL)、DM状态寄存器(DMSTATUS)、控制和状态寄存器(ABSTRACTCS)、系统总线数据接口(SBDATA0)、命令寄存器(COMMAND)、验证信息寄存器(HARTINFO)、系统总线访问控制和状态寄存器(SBCS)以及系统总线地址寄存器(SBADDRESS0);DM控制寄存器(DMCONTROL)、DM状态寄存器(DMSTATUS)、控制和状态寄存器(ABSTRACTCS)、系统总线数据接口(SBDATA0)、命令寄存器(COMMAND)、验证信息寄存器(HARTINFO)、系统总线访问控制和状态寄存器(SBCS)以及系统总线地址寄存器(SBADDRESS0)均为32位寄存器;

[0030] DM状态寄存器(DMSTATUS)是只读的状态寄存器,表示当前核的状态;系统总线地址寄存器(SBADDRESS0)是系统总线地址0寄存器,系统总线数据接口(SBDATA0)是系统总线数据0寄存器。

[0031] 更优地,所述DM控制寄存器(DMCONTROL)的第31位写1表示暂停操作,第30位写1表示恢复操作,第29位可读可写,写1表示复位DM模块,写0表示撤销复位;第28位写1,表示清除当前内核的已有复位状态,第27位可读可写,0表示只选择一个内核,1表示选择多个内核;第25-16位可读可写,表示当前选择多核的低10位,一位表示一个核;第25-6位可读可写,表示当前选择多核的高10位,一位表示一个核;第2位可读可写,写1表示复位整个系统,第1位可读可写,写0表示复位DM模块,写1表示让DM模块正常工作。

[0032] 作为优选,该系统的工作过程具体如下:

[0033] (1)调试主机模块发起读写数据的请求,数据经过JLink仿真调试器进入RISC-V架构芯片内部;

[0034] (2)RISC-V架构芯片在调试传输模块DTM内,JLink仿真调试器在每一个TCK信号的上升沿采样TMS信号和TDI信号,决定TAP状态机的状态是否发生变化,在每一个TCK信号的下降沿输出TDO信号;

[0035] (3)、经过DMI接口数据进入调试模块DM,解析数据,根据解析出来的数据,选择进行读写对应的寄存器操作;

[0036] (4)通过AHB总线或abstract command输出数据给RISC_V内核模块;

[0037] (5)RISC_V内核模块处理后,控制对应的外设进行具体操作。

[0038] 本发明的基于RISC-V架构调试系统具有以下优点:

[0039] (一)本发明针对基于RISC-V架构芯片设计中,解决了调试系统设计方案匮乏的问题,满足不同客户的需求;

[0040] (二)本发明调试模块DM访问RISC-V Core有两种方式,一种是通过abstract

command,另一种是通过system bus;即本发明具有代码量少,方便移植的优点,又能满足JTAG测试系统的要求,应用场景比较广泛;

[0041] (三)本发明专利具有兼容性强、设计灵活、实施简便和应用前景广阔的特征。

附图说明

[0042] 下面结合附图对本发明进一步说明。

[0043] 附图1为基于RISC-V架构调试系统的结构示意图;

[0044] 附图2为调试传输模块DTM TAP状态机的流转框图。

具体实施方式

[0045] 参照说明书附图和具体实施例对本发明的基于RISC-V架构调试系统作以下详细地说明。

[0046] 实施例:

[0047] 如附图1所示,本实施例提供了一种基于RISC-V架构调试系统,其结构包括调试模块DM、调试传输模块DTM、调试传输硬件模块(Debug transport)、调试主机模块(Debug Host)及RISC-V内核模块(RISC-V Core),调试主机模块通过USB接口连接调试传输硬件模块,调试传输硬件模块通过JLink仿真调试器连接调试传输模块DTM,调试传输模块DTM对外连接JLink仿真调试器,JTAG仿真器通过5线JTAG连接到RISC-V架构芯片的测试引脚;调试传输模块DTM对内通过DMI接口连接调试模块DM进行数据通信,调试模块DM通过AHB总线或abstract command连接RISC_V内核模块。

[0048] 从附图1中可以看到主要分为3个部分,分别是Debug Host,可以理解为上位机电脑端;Debug Hardware,可以为JLink或者CMSIS-DAP这样的调试工具;第三部分就是嵌入在芯片内部的调试模块,在调试模块内部,与调试工具直接交互的是调试传输模块DTM,调试传输模块DTM通过DMI接口与调试模块DM交互。

[0049] 本实施例中的调试传输模块DTM用于实现TAP状态机控制,定义IR指令寄存器、旁路只读寄存器(REG_BYPASS)、版本信息寄存器(REG_IDCODE)、DTM控制和状态寄存器(REG_DTMCS)及DM接口访问寄存器(REG_DMI);

[0050] 其中,版本信息寄存器(REG_IDCODE)是只读的,用于说明版本、部件号和厂商号;

[0051] DTM控制和状态寄存器(REG_DTMCS)用于控制调试传输模块DTM硬复位,DTM控制和状态寄存器中地址域的大小以及对应的spec版本;

[0052] DM接口访问寄存器(REG_DMI)可读可写,高6位是DM寄存器的长度,中阿金32位是和DM交互的具体数据,低两位表好似读写域的含义。

[0053] 本实施例中的DM接口访问寄存器中低两位的具体含义如下:

[0054] 可读可写,读或者写这个域时含义不同;

[0055] 当写这个域时,写0x00表示忽略address和data的值,相当于空操作;写0x01表示从address指定的寄存器读数据;写0x02表示把data的数据写到address指定的寄存器;写0x03为保留值;

[0056] 当读这个域时,0x00表示上一个操作正确完成;0x01为保留值;0x02表示上一个操作失败,这个状态被锁存,因此需要往DTM控制和状态寄存器的dmireset域写1才能清除这

个状态;0x03表示上一个操作还未完成。

[0057] 本实施例中的调试传输模块DTM里TAP状态机,JTAG逻辑部分在每一个TCK信号的上升沿采样TMS信号和TDI信号,决定TAP状态机是否发生变化,在每一个TCK信号的下降沿输出TDO信号;无论TAP目前处于哪一个状态,只要TMS保持高电平并持续5个TCK时钟,则TAP一定会回到Test-Logic-Reset状态。

[0058] 如附图2所示,本实施例中的TAP状态机一共有16个状态,具体如下:

[0059] 测试逻辑复位状态(Test-Logic Reset),系统上电后自动进入该状态,测试逻辑电路全部被禁用;

[0060] TRST复位信号置0对测试逻辑电路复位,使TAP状态机进入测试逻辑复位状态(Test-Logic Reset);

[0061] 运行逻辑空闲状态(Run_test_idle)是TAP状态机一个中间状态,在测试逻辑复位状态(Test-Logic Reset)下,若TMS一直保持为0,TAP状态机将一直保持在测试逻辑复位状态(Test-Logic Reset)下;若TMS在TCK上升沿触发,由0变为1,将使TAP状态机进入选择数据寄存器扫描状态(Select-DR-Scan);

[0062] 选择数据寄存器扫描状态(Select-DR-Scan)是TAP状态机一个中间状态,在TCK的上升沿触发,若TMS为0,TAP状态机进入捕获数据寄存器状态(Capture-DR),后续的系列动作都将以数据寄存器作为操作对象;若在TCK的上升沿检测到TMS为1,TAP状态机进入选择指令寄存器扫描状态(Select-IR-Scan);

[0063] 当TAP Controller在捕获数据寄存器状态(Capture-DR)中,在TCK的上升沿,芯片输出管脚上的信号将被“捕获”到与之对应的数据寄存器的各个单元中去;若在TCK的上升沿触发,TMS为0,TAP状态机进入移位数据寄存器状态(Shift-DR);若TMS为1,TAP状态机进入退出数据寄存器状态1(Exit-1-DR);

[0064] 在移位数据寄存器状态(Shift-DR)下,由TCK驱动,每一个时钟周期,被连接在TDI和TDO之间的数据寄存器将从TDI接收一位数据,同时通过TDO输出一位数据;若在TCK的上升沿检测到TMS为0,TAP状态机保持在移位数据寄存器状态(Shift-DR);若TMS为1,TAP Controller进入到退出数据寄存器状态1(Exit-1-DR);

[0065] 在更新数据寄存器状态(Update-DR)下,由TCK上升沿驱动,数据寄存器当中的数据将被加载到相应的芯片管脚上去,用以驱动芯片;在该状态下,若TMS为0,TAP Control状态机将回到运行逻辑空闲状态(Run_test_idle);若TMS为1,TAP状态机将进入选择数据寄存器扫描状态(Select-DR-Scan);

[0066] 选择指令寄存器扫描状态(Select-IR-Scan)一个临时的中间状态;若在TCK的上升沿检测TMS为0,TAP状态机进入捕获指令寄存器状态(Capture-IR),后续的系列动作都将以指令寄存器作为操作对象;若TMS为1,TAP状态机进入测试逻辑复位状态(Test-Logic Reset);

[0067] 当TAP在捕获指令寄存器状态(Capture-IR)中,在TCK的上升沿,一个特定的逻辑序列将被装载到指令寄存器中去;若TMS为0,TAP状态机进入移位指令寄存器状态(Shift-IR);若TMS为1,TAP状态机进入退出指令寄存器状态1(Exit-1-IR)状态;

[0068] 在移位指令寄存器状态(Shift-IR)中,由TCK驱动,每一个时钟周期,被连接在TDI和TDO之间的指令寄存器将从TDI接收一位数据,同时通过TDO输出一位数据;若在TCK的上

升沿触发,TMS为0,TAP状态机保持在移位指令寄存器状态(Shift-IR);若TMS为1,TAP状态机进入到退出指令寄存器状态1(Exit-1-IR)状态;

[0069] 在更新指令寄存器状态(Update-IR)中,在移位指令寄存器状态(Shift-IR)下输入的新指令将被用来更新指令寄存器。

[0070] 本实施例中的调试模块DM包括DM控制寄存器(DMCONTROL)、DM状态寄存器(DMSTATUS)、控制和状态寄存器(ABSTRACTCS)、系统总线数据接口(SBDATA0)、命令寄存器(COMMAND)、验证信息寄存器(HARTINFO)、系统总线访问控制和状态寄存器(SBCS)以及系统总线地址寄存器(SBADDRESS0);DM控制寄存器(DMCONTROL)、DM状态寄存器(DMSTATUS)、控制和状态寄存器(ABSTRACTCS)、系统总线数据接口(SBDATA0)、命令寄存器(COMMAND)、验证信息寄存器(HARTINFO)、系统总线访问控制和状态寄存器(SBCS)以及系统总线地址寄存器(SBADDRESS0)均为32位寄存器;

[0071] DM状态寄存器(DMSTATUS)是只读的状态寄存器,表示当前核的状态;系统总线地址寄存器(SBADDRESS0)是系统总线地址0寄存器,系统总线数据接口(SBDATA0)是系统总线数据0寄存器。

[0072] 本实施例中的DM控制寄存器(DMCONTROL)的第31位写1表示暂停操作,第30位写1表示恢复操作,第29位可读可写,写1表示复位DM模块,写0表示撤销复位;第28位写1,表示清除当前内核的已有复位状态,第27位可读可写,0表示只选择一个内核,1表示选择多个内核;第25-16位可读可写,表示当前选择多核的低10位,一位表示一个核;第25-6位可读可写,表示当前选择多核的高10位,一位表示一个核;第2位可读可写,写1表示复位整个系统,第1位可读可写,写0表示复位DM模块,写1表示让DM模块正常工作。

[0073] 该系统的工作过程具体如下:

[0074] (1)调试主机模块发起读写数据的请求,数据经过JLink仿真调试器进入RISC-V架构芯片内部;

[0075] (2)RISC-V架构芯片在调试传输模块DTM内,JLink仿真调试器在每一个TCK信号的上升沿采样TMS信号和TDI信号,决定TAP状态机的状态是否发生变化,在每一个TCK信号的下降沿输出TDO信号;

[0076] (3)、经过DMI接口数据进入调试模块DM,解析数据,根据解析出来的数据,选择进行读写对应的寄存器操作;

[0077] (4)通过AHB总线或abstract command输出数据给RISC_V内核模块;

[0078] (5)RISC_V内核模块处理后,控制对应的外设进行具体操作。

[0079] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

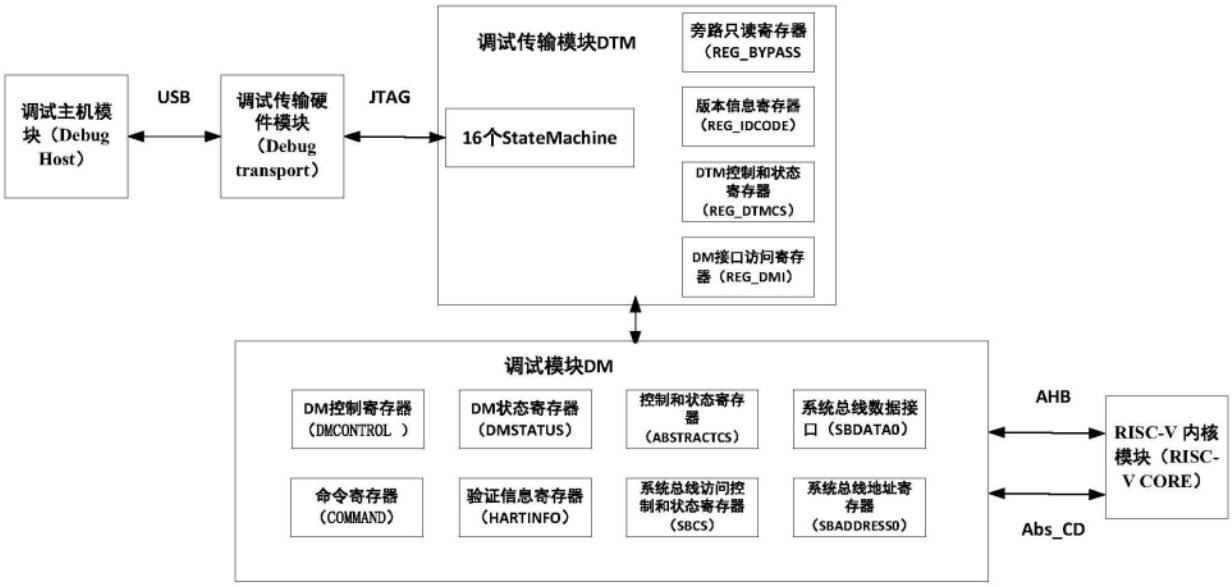

调试主机模块（Debug Host）
USB
调试传输硬件模块（Debug transport）
JTAG
调试传输模块DTM
16个StateMachine
旁路只读寄存器（REG_BYPASS
版本信息寄存器（REG_IDCODE）
DTM控制和状态寄存器（REG_DTMCS）
DM接口访问寄存器（REG_DMI）
调试模块DM
DM控制寄存器（DMCONTROL ）
DM状态寄存器（DMSTATUS）
控制和状态寄存器（ABSTRACTCS）
系统总线数据接口（SBDATA0）
命令寄存器（COMMAND）
验证信息寄存器（HARTINFO）
系统总线访问控制和状态寄存器（SBCS）
系统总线地址寄存器（SBADDRESS0）
AHB
Abs_CD
RISC-V 内核模块（RISC-V CORE）

图1

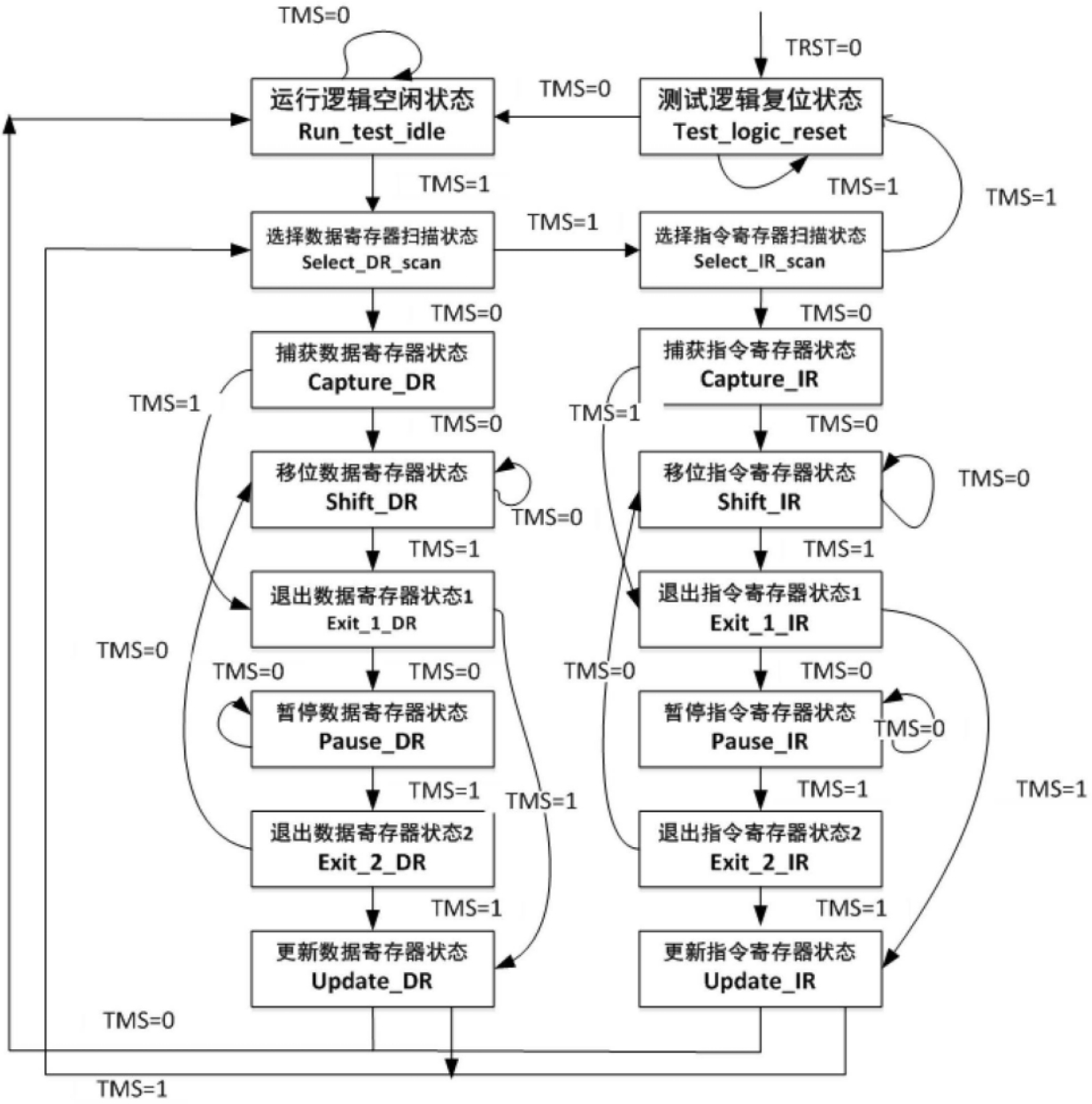

TMS=0
运行逻辑空闲状态
Run_test_idle
TMS=0
TRST=0
测试逻辑复位状态
Test_logic_reset
TMS=1
TMS=1
TMS=1
选择数据寄存器扫描状态
Select_DR_scan
TMS=1
选择指令寄存器扫描状态
Select_IR_scan
TMS=0
TMS=0
捕获数据寄存器状态
Capture_DR
捕获指令寄存器状态
Capture_IR
TMS=1
TMS=1
TMS=0
TMS=0
移位数据寄存器状态
Shift_DR
TMS=0
移位指令寄存器状态
Shift_IR
TMS=0
TMS=1
TMS=1
退出数据寄存器状态1
Exit_1_DR
退出指令寄存器状态1
Exit_1_IR
TMS=0
TMS=0
TMS=0
TMS=0
TMS=0
暂停数据寄存器状态
Pause_DR
暂停指令寄存器状态
Pause_IR
TMS=0
TMS=1
TMS=1
TMS=1
TMS=1
退出数据寄存器状态2
Exit_2_DR
退出指令寄存器状态2
Exit_2_IR
TMS=1
TMS=1
更新数据寄存器状态
Update_DR
更新指令寄存器状态
Update_IR
TMS=0
TMS=1

图2