

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成27年5月7日(2015.5.7)

【公開番号】特開2013-12724(P2013-12724A)

【公開日】平成25年1月17日(2013.1.17)

【年通号数】公開・登録公報2013-003

【出願番号】特願2012-118206(P2012-118206)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 27/04 V

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/08 1 0 2 J

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 8 B

H 0 1 L 27/08 1 0 2 E

【手続補正書】

【提出日】平成27年3月18日(2015.3.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電氣的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電氣的に接続された第 1 のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電氣的に接続された第 2 のトランジスタと、

ゲート電極が前記記憶ノードに電氣的に接続された第 3 のトランジスタと、を有し、

前記第 1 のトランジスタと、前記第 2 のトランジスタは、バンドギャップが 2 . 5 e V 以上の半導体材料をチャネル形成領域に備え、

前記第 3 のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電氣的に接続されたことを特徴とするトリミング回路。

【請求項 2】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電氣的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電氣的に接続された第 1 のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電氣的に接続された第 2 のトランジスタと、

ゲート電極が前記記憶ノードに電氣的に接続された第3のトランジスタと、を有し、
前記第1のトランジスタと、前記第2のトランジスタのオフリーク電流がチャンネル幅 $1\ \mu\text{m}$ あたり $1 \times 10^{-17}\text{ A}$ 以下であって、
前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電氣的に接続されたことを特徴とするトリミング回路。

【請求項3】

請求項1または請求項2において、
前記第1のトランジスタと、前記第2のトランジスタは、チャンネル形成領域に酸化半導体層を備えることを特徴とするトリミング回路。

【請求項4】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電氣的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電氣的に接続された第1のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電氣的に接続された第2のトランジスタと、

ゲート電極が前記記憶ノードに電氣的に接続された第3のトランジスタと、を有し、
前記第1のトランジスタと、前記第2のトランジスタのオフリーク電流がチャンネル幅 $1\ \mu\text{m}$ あたり $1 \times 10^{-17}\text{ A}$ 以下であって、

前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電氣的に接続された、前記抵抗素子のトリミング回路において、

前記書き込み端子に前記第1のトランジスタがオン状態となる信号を、前記消去端子に前記第2のトランジスタがオフ状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオン状態となる電位とする第1のステップと、

前記書き込み端子および前記消去端子のそれぞれに、前記第1のトランジスタおよび前記第2のトランジスタがオフ状態となる信号を入力する第2のステップとを含む、前記抵抗素子をトリミングされた状態とすることを特徴とするトリミング回路の駆動方法。

【請求項5】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電氣的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電氣的に接続された第1のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電氣的に接続された第2のトランジスタと、

ゲート電極が前記記憶ノードに電氣的に接続された第3のトランジスタと、を有し、
前記第1のトランジスタと、前記第2のトランジスタのオフリーク電流がチャンネル幅 $1\ \mu\text{m}$ あたり $1 \times 10^{-17}\text{ A}$ 以下であって、

前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電氣的に接続された、前記抵抗素子のトリミング回路において、

前記書き込み端子に前記第1のトランジスタをオフ状態となる信号を、前記消去端子に前記第2のトランジスタがオン状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオフ状態となる電位とする第1のステップと、

前記書き込み端子および前記消去端子のそれぞれに、前記第1のトランジスタおよび前記第2のトランジスタがオフ状態となる信号を入力する第2のステップとを含む、前記抵抗素子を利用可能な状態とすることを特徴とするトリミング回路の駆動方法。

【請求項6】

請求項4または請求項5記載の前記第2のステップに続いて、

前記書き込み端子に前記第1のトランジスタをオン状態となる信号を、前記消去端子に前記第2のトランジスタがオフ状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオン状態となる電位とするか、

前記書き込み端子に前記第 1 のトランジスタがオフ状態となる信号を、前記消去端子に前記第 2 のトランジスタがオン状態となる信号を入力して、前記記憶ノードの電位を前記第 3 のトランジスタがオフ状態となる電位として、前記記憶ノードの電位を前記第 2 のステップと異なる電位とする、第 3 のステップと、

前記書き込み端子および前記消去端子のそれぞれに、前記第 1 のトランジスタおよび前記第 2 のトランジスタがオフ状態となる信号を入力する第 4 のステップと、を含む、

前記抵抗素子のトリミング状態を変更することを特徴とするトリミング回路の駆動方法

。