

(21) 申請案號：103144336

(22) 申請日：中華民國 103 (2014) 年 12 月 18 日

(51) Int. Cl. : H01L21/8239(2006.01)

(30) 優先權：2013/12/27 日本 2013-272190

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72) 發明人：宮入秀和 MIYAIRI, HIDEKAZU (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：43 共 183 頁

(54) 名稱

半導體裝置

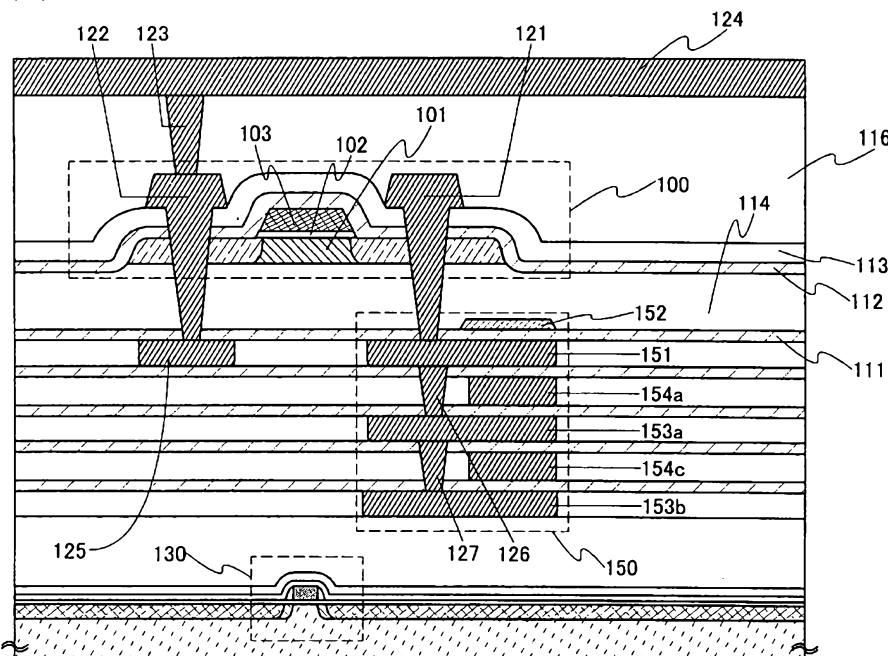
SEMICONDUCTOR DEVICE

(57) 摘要

提供適於微小化之半導體裝置。另一方面，提供高度可靠半導體裝置。提供包括電容器及電晶體之半導體裝置。在半導體裝置中，電晶體包括半導體層，半導體層係位於電容器之上，及電容器包括電連接至電晶體之第一電極。

A semiconductor device that is suitable for miniaturization is provided. Alternatively, a highly reliable semiconductor device is provided. A semiconductor device including a capacitor and a transistor is provided. In the semiconductor device, the transistor includes a semiconductor layer, the semiconductor layer is positioned over the capacitor, and the capacitor includes a first electrode that is electrically connected to the transistor.

圖 2



- 100 . . . 電晶體
- 101 . . . 半導體層
- 102 . . . 閘極絕緣膜
- 103 . . . 閘極電極
- 111 . . . 障壁膜
- 112 . . . 絕緣膜
- 113 . . . 絕緣膜
- 114 . . . 絕緣膜
- 116 . . . 絕緣膜
- 121 . . . 插塞
- 122 . . . 插塞
- 123 . . . 插塞
- 124 . . . 佈線
- 125 . . . 導電層

- 126 . . . 插塞
- 127 . . . 插塞
- 130 . . . 電晶體
- 150 . . . 電容器
- 151 . . . 導電層
- 152 . . . 導電層
- 153a . . . 導電層
- 153b . . . 導電層
- 154a . . . 導電層
- 154c . . . 導電層

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

本申請案係依據 2013 年 12 月 7 日向日本專利局提出申請之日本專利申請案序號 2013-272190，其整個內容以提及之方式併入本文。

【技術領域】

[0001] 本發明關於目標、方法、或製造方法。此外，本發明關於程序、機器、製造、或物質組成。尤其，本發明之一實施例關於半導體裝置、顯示裝置、發光裝置、電力儲存裝置、儲存裝置、其驅動方法、或其製造方法。

[0002] 在本說明書等中，半導體裝置通常表示可利用半導體特性而做動之裝置。電晶體及半導體電路為半導體裝置之實施例。計算裝置、記憶體裝置、成像裝置、電光裝置、電力產生裝置（例如薄膜太陽能電池及有機薄膜太陽能電池）、及電子設備可包括半導體裝置。

【先前技術】

[0003] 使用半導體材料形成電晶體之技術已引起注

意。電晶體應用於廣泛電子裝置，諸如積體電路（IC）或圖像顯示裝置（亦簡稱為顯示裝置）。關於可應用於電晶體之半導體材料，基於矽之半導體材料已廣泛使用，但氧化物半導體已引起注意，做為替代材料。

[0004] 例如，揭露使用氧化鋅或 In-Ga-Zn 基氧化物半導體做為氧化物半導體形成電晶體之技術（詳專利文獻 1 及 2）。

[0005] 近年來，產生積體電路需求，其中諸如微型電晶體之半導體元件高密度整合，具增加之性能及電子設備之尺寸及重量減少。

[參考]

[專利文獻]

[0006]

[專利文獻 1]日本公開專利申請案 No.2007-123861

[專利文獻 2]日本公開專利申請案 No.2007-096055

【發明內容】

[0007] 本發明之一實施例之一目標為提供適於微小化之半導體裝置。另一目標為提供具有減少電路面積之半導體裝置。

[0008] 另一目標為提供高度可靠之半導體裝置。另一目標為提供具有利電氣特性之半導體裝置。另一目標為提供包括具有利保留特性之記憶體元件之半導體裝置。另一目標為提供具新穎結構之半導體裝置。

[0009] 請注意，該些目標之描述不影響其他目標之存在。在本發明之一實施例中，不需要達成所有目標。從說明書、圖式、申請項等描述，其他目標將顯而易見。

解決問題之方法

[0010] 本發明之一實施例為包括電容器及第一電晶體之半導體裝置。第一電晶體包括第一半導體層，第一半導體層位於電容器之上，及電容器包括電連接至第一電晶體之第一電極。在以上結構中，較佳的是電容器包括 m 個導電層（ m 為 3 或更多之自然數）接著 n 個絕緣膜（ n 為自然數）， n 個絕緣膜之第一絕緣膜係提供於 m 個導電層之第一導電層及第二導電層之間，第二絕緣膜係提供於第二導電層及第三導電層之間，及第一導電層電連接至第三導電層。

[0011] 本發明之另一實施例為包括電容器、第一電晶體、及第二電晶體之半導體裝置。第一電晶體包括第一半導體層，電容器包括 n 個絕緣膜（ n 為自然數）及 k 個導電層（ k 為 2 或更多之自然數）， n 個絕緣膜之每一者係提供於 k 個導電層之至少二導電層之間，第一電晶體位於第二電晶體之上，第一半導體層位於電容器之上，電容器中所包括之 n 個絕緣膜位於第一電晶體及第二電晶體之間，及電容器包括連接至第一電晶體之源極及汲極之一者之第一電極。

[0012] 在以上結構中，較佳的是 n 個絕緣膜具有阻

擋氫、水、及氧之至少一者之功能。此外，在以上結構中，較佳的是 n 個絕緣膜包括氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鉍、氧氮化鉍、氧化鉛、及氧氮化鉛之至少一者。

[0013] 在以上結構中，較佳的是電容器及第一電晶體相互重疊。

[0014] 在以上結構中，較佳的是第一開口係提供於第一電晶體之第一半導體層中，及第一電極與第一開口接觸。

[0015] 在以上結構中，較佳的是第一電晶體包括第一導電層及第二導電層，第一導電層及第二導電層與第一半導體層接觸，開口係提供於第一電晶體中所包括之第一半導體層及第一導電層中，及第一電極與提供於第一半導體層及第一導電層中之開口接觸。

[0016] 依據本發明之一實施例，可提供適於微小化之半導體裝置。此外，可提供具有減少電路面積之半導體裝置。

[0017] 可提供高度可靠半導體裝置。可提供具有利電氣特性之半導體裝置。可提供包括具有利保留特性之記憶體元件之半導體裝置。可提供具新穎結構之半導體裝置。

[0018] 請注意，該些效果之描述不影響其他效果之存在。本發明之一實施例不一定達成所有以上效果。從說明書、圖式、申請項等之描述，其他效果將顯而易見。

【圖式簡單說明】

[0019]

圖 1A 及 1B 描繪本發明之一實施例之半導體裝置範例。

圖 2 描繪本發明之一實施例之半導體裝置範例。

圖 3 描繪本發明之一實施例之半導體裝置範例。

圖 4A 及 4B 描繪本發明之一實施例之半導體裝置範例。

圖 5A 及 5B 描繪本發明之一實施例之電晶體之電路圖及俯視圖。

圖 6A 及 6B 描繪本發明之一實施例之半導體裝置範例。

圖 7 描繪本發明之一實施例之半導體裝置範例。

圖 8A 至 8E 描繪本發明之一實施例之半導體裝置之製造方法。

圖 9A 至 9D 描繪本發明之一實施例之半導體裝置之製造方法。

圖 10A 至 10C 描繪本發明之一實施例之半導體裝置之製造方法。

圖 11A 及 11B 描繪本發明之一實施例之半導體裝置之製造方法。

圖 12A 及 12B 描繪本發明之一實施例之半導體裝置之製造方法。

圖 13A 至 13D 描繪本發明之一實施例之半導體裝置之製造方法。

圖 14A 及 14B 描繪本發明之一實施例之半導體裝置之製造方法。

圖 15A 及 15B 描繪本發明之一實施例之半導體裝置之製造方法。

圖 16A 及 16B 描繪本發明之一實施例之半導體裝置範例。

圖 17A 至 17D 描繪本發明之一實施例之半導體裝置範例。

圖 18A 描繪本發明之一實施例之部分電晶體之頻帶結構，及圖 18B 描繪當電晶體開啟時之電流路徑。

圖 19A 至 19C 為氧化物半導體之截面 TEM 圖像及本地傅立葉轉換圖像。

圖 20A 及 20B 顯示氧化物半導體膜之奈米射束電子繞射圖案，及圖 20C 及 20D 描繪透射電子繞射測量設備範例。

圖 21A 顯示透射電子繞射測量之結構分析範例，及圖 21B 及 21C 顯示平面圖 TEM 圖像。

圖 22A 至 22D 為本發明之實施例之電路圖。

圖 23 描繪一實施例之 RF 標籤之組態範例。

圖 24 描繪實施例之 CPU 之結構範例。

圖 25 為實施例之記憶體元件之電路圖。

圖 26A 至 26C 為實施例之顯示裝置之俯視圖及電路

圖。

圖 27A 至 27F 描繪實施例之電子設備。

圖 28A 至 28F 描繪實施例之 RFID 之應用範例。

圖 29 為電路圖，描繪本發明之一實施例之半導體裝置範例。

圖 30A 及 30B 描繪本發明之一實施例之半導體裝置範例。

圖 31 描繪半導體裝置。

圖 32A 及 32B 為本發明之一實施例之半導體裝置範例之俯視圖。

圖 33 描繪本發明之一實施例之半導體裝置範例。

圖 34A 及 34B 描繪本發明之一實施例之半導體裝置範例。

圖 35A 及 35B 各描繪本發明之一實施例之半導體裝置範例。

圖 36A 至 36D 為 CAAC-OS 之截面之球差校正高解析度 TEM 圖像，及 CAAC-OS 之截面示意圖。

圖 37A 至 37D 為 CAAC-OS 之平面之球差校正高解析度 TEM 圖像。

圖 38A 至 38C 顯示 XRD 之 CAAC-OS 及單晶氧化物半導體之結構分析。

圖 39A 及 39B 顯示 CAAC-OS 之電子繞射圖案。

圖 40 顯示由電子放射引發之 In-Ga-Zn 氧化物之結晶部分改變。

圖 41A 及 41B 為示意圖，顯示 CAAC-OS 及 nc-OS 之沉積模型。

圖 42A 至 42C 顯示 InGaZnO₄ 結晶及片件。

圖 43A 至 43D 為示意圖，顯示 CAAC-OS 之沉積模型。

【實施方式】

[0020] 將參照圖式詳細描述實施例。請注意，本發明不侷限於以下描述，熟悉本技藝之人士輕易理解的是可進行各式改變及修改而未偏離本發明之精神及範圍。因此，本發明不應解譯為侷限於下列實施例之內容。

[0021] 請注意，在以下所描述之本發明之結構中，具有類似功能之相同部分於不同圖式中標示相同編號，且該些部分之描述不重複。此外，相同陰影圖案施加於具有類似功能之部分，且在若干狀況下，該些部分未特別標示編號。

[0022] 請注意，在本說明書中所描述之每一圖式中，在若干狀況下，為求清晰，每一組件之尺寸、層厚度、或區誇大。因此，本發明之實施例不侷限於該等比例尺。

[0023] 請注意，在本說明書等中使用諸如「第一」、「第二」等序數以避免組件間混淆，並非限制數量。

[0024] 請注意，在若干狀況下，例如當導電性充分低時，「半導體」包括「絕緣體」之特性。此外，在若干

狀況下，「半導體」及「絕緣體」無法嚴格相互區別，因為「半導體」及「絕緣體」間之邊界不清楚。因此，在若干狀況下，本說明書中「半導體」可稱為「絕緣體」。類似地，在若干狀況下，本說明書中「絕緣體」可稱為「半導體」。

[0025] 此外，在若干狀況下，例如當導電性充分高時，「半導體」包括「導體」之特性。此外，在若干狀況下，「半導體」及「導體」無法嚴格相互區別，因為「半導體」及「導體」間之邊界不清楚。因此，在若干狀況下，本說明書中「半導體」可稱為「導體」。類似地，在若干狀況下，本說明書中「導體」可稱為「半導體」。

[0026] 電晶體為一種半導體元件，可達成電流或電壓放大、控制傳導或非傳導之交換作業等。本說明書中電晶體包括絕緣閘極場效電晶體（IGFET）及薄膜電晶體（TFT）。

[0027] 在本說明書中，「平行」用詞表示二直線間形成之角度大於或等於 -10° 及小於或等於 10° ，因此亦包括角度大於或等於 -5° 及小於或等於 5° 之狀況。「實質上平行」用詞表示二直線間形成之角度大於或等於 -30° 及小於或等於 30° 。「垂直」用詞表示二直線間形成之角度大於或等於 80° 及小於或等於 100° ，因此亦包括角度大於或等於 85° 及小於或等於 95° 之狀況。「實質上垂直」用詞表示二直線間形成之角度大於或等於 60° 及小於或等於 120° 。

130。此外，較佳的是障壁膜 111 提供於電晶體 100 及電晶體 130 之間。電容器 150 包括導電層 151 及導電層 152，並具有障壁膜 111 夾於導電層 151 及導電層 152 間之結構。

[0033] 圖 1B 描繪沿圖 1A 中所描繪之點劃線 A-B 之截面。此處，沿點劃線 A-B 之截面為例如沿實質上垂直於圖 1A 中所描繪之截面之點劃線 A-B 之截面。請注意，例如參照圖 1A 係為圖 1B 中以與圖 1A 中相同陰影等標示但無編號之若干組件。

[0034] 電晶體 130 包括第一半導體材料。電晶體 100 包括第二半導體材料。第一半導體材料及第二半導體材料可為相同材料，但較佳地為不同半導體材料。

[0035] 可用做第一半導體材料或第二半導體材料之半導體範例為半導體材料，諸如矽、鍺、鎵、及砷；包含矽、鍺、鎵、砷、或鋁之複合半導體材料；有機半導體材料；及氧化物半導體材料。

[0036] 此處，描述單晶矽用作第一半導體材料及氧化物半導體用作第二半導體材料之狀況。

[0037] 電晶體 100 包括：包括第二半導體材料之半導體層 101、閘極絕緣膜 102、閘極電極 103、插塞 121、及插塞 122。形成絕緣膜 112 及絕緣膜 113 以覆蓋電晶體 100。插塞 121 與形成於絕緣膜 113、絕緣膜 112、及半導體層 101 中之開口接觸，並電連接至電容器 150。即，插塞 121 穿透絕緣膜 113、絕緣膜 112、及半導體層 101。

[0038] 障壁膜 111 具有抑制障壁膜 111 下層之水及氫向上擴散之功能。障壁膜 111 較佳地具有低氧滲透性。此外，障壁膜 111 可具有開口或插塞用於將障壁膜 111 之上提供之電極或佈線電連接至障壁膜 111 之下提供之電極或佈線。例如，如圖 1A 及 1B 中所描繪，可包括用於電連接插塞 121 及導電層 151 之插塞。此處，「具有抑制水及氫擴散之功能之膜」意即較不可能擴散水及氫並具有較氧化矽等更低水及氫滲透性之膜，通常用作例如絕緣膜。此外，「具有低氧滲透性之膜」意即具有較氧化矽等更低氧滲透性之膜，通常用作絕緣膜。

[0039] 對絕緣膜 112 而言，如同在障壁膜 111 之狀況下，較佳地使用水及氫不易擴散之材料。尤其，對絕緣膜 112 而言，較佳地使用相對不滲透氧之材料。請注意，絕緣膜 112 可具有二或更多層之堆疊層結構。在此狀況下，例如絕緣膜 112 可形成為具有二層結構，其中底層係使用例如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等形成。此外，頂層較佳地係使用水及氫不易擴散之材料形成，如同在障壁膜 111 之狀況下。底絕緣層可為絕緣膜，經此以類似於絕緣膜 114 之方式加熱而釋放氧，使得亦可從半導體層 101 之上經由閘極絕緣膜 102 而供應氧。

[0040] 藉由以包括相對不滲透氧之材料之絕緣膜 112 覆蓋半導體層 101，可避免氧從半導體層 101 釋放至絕緣膜 112 以上之部分。此外，從絕緣膜 114 釋放之氧可侷限

於絕緣膜 112 以下，導致供應至半導體層 101 之氧量增加。

[0041] 相對不滲透水或氫之絕緣膜 112 可抑制水或氫進入，水或氫係氧化物半導體之雜質，使得可抑制電晶體 100 之電氣特性改變，而電晶體 100 具有高可靠性。

[0042] 請注意，可於絕緣膜 112 之下提供絕緣膜，經此藉由類似絕緣膜 114 之加熱而釋放氧，亦從半導體層 101 以上之部分經由閘極絕緣膜 102 而供應氧。

[0043] 電容器 150 及電晶體 100 較佳地相互重疊。增加電容器 150 及電晶體 100 相互重疊之區可減少半導體裝置之面積。

[0044] 圖 1A 及 1B 中所描繪之半導體裝置包括電晶體 100 及電容器 150 間之絕緣膜 114。絕緣膜 114 較佳地包括氧化物。尤其，絕緣膜 114 較佳地包含氧化物材料，部分氧藉由加熱而由此釋放。絕緣膜 114 較佳地包含氧化物，包含超過化學計量組成之氧。在氧化物半導體用作第二半導體材料之狀況下，從絕緣膜 114 釋放之氧供應至氧化物半導體，使得氧化物半導體中之氧空缺可減少。結果，第二電晶體之電氣特性改變可減少，並可改進第二電晶體之可靠性。

[0045] 此處，較佳的是障壁膜 111 之下層中之氫、水等可盡可能減少。另一方面，較佳地減少脫氣。氫或水可能變成造成氧化物半導體之電氣特性改變之因子。藉由障壁膜 111 可抑制氫或水從障壁膜 111 下之層擴散至障壁

膜 111 上之層；然而，氫或水可能經由障壁膜 111 中提供之開口、插塞等，而擴散至障壁膜 111 上之層。

[0046] 為減少障壁膜 111 下之層中所包含之氫及水或減少脫氣，用於移除氫及水或用於減少脫氣之熱處理較佳地在形成障壁膜 111 之前，或在形成開口而於障壁膜 111 中形成導電層等之後立即實施。熱處理較佳地在未不利影響半導體裝置中之導電膜等之耐熱性及電晶體之電氣特性的範圍內，以盡可能高之溫度實施。具體地，溫度可為例如高於或等於 450°C，較佳地高於或等於 490°C，進一步較佳地高於或等於 530°C，或可高於或等於 650°C。較佳的是熱處理可在惰性氣體或減少氣壓下實施 1 小時或更長，較佳地 5 小時或更長，進一步較佳地 10 小時或更長。熱處理之溫度係考量位於障壁膜 111 下之佈線或電極之材料之耐熱性決定；例如，在材料之耐熱性低之狀況下，熱處理之溫度較佳地低於或等於 550°C，低於或等於 600°C，低於或等於 650°C，或低於或等於 800°C。該等熱處理可實施至少一次，但較佳地實施一次以上。

[0047] 較佳的是障壁膜 111 之下提供之絕緣膜的釋放氫量，其係以熱脫附譜（TDS）分析測量，在 400°C 基板表面溫度下為低於或等於 130%，在 300°C 基板表面溫度下較佳地為低於或等於 110%。另一方面，較佳的是由 TDS 分析測量之釋放氫量，在 450°C 基板表面溫度下為低於或等於 130%，在 350°C 基板表面溫度下較佳地為低於或等於 110%。

[0048] 障壁膜 111 本身中所包含之水及氫亦較佳地減少。另一方面，脫氣較佳地減少。例如，障壁膜 111 係較佳地使用在 20°C 至 600°C 基板表面溫度下釋放氫分子量 ($M/z=2$) 小於 $2 \times 10^{15}/\text{cm}^2$ 之材料形成，較佳地小於 $1 \times 10^{15}/\text{cm}^2$ ，及進一步較佳地小於 $5 \times 10^{14}/\text{cm}^2$ ，其係以 TDS 測量。另一方面，障壁膜 111 較佳地使用在 20°C 至 600°C 基板表面溫度下釋放水分子量 ($M/z=18$) 小於 $1 \times 10^{16}/\text{cm}^2$ 之材料形成，較佳地小於 $5 \times 10^{15}/\text{cm}^2$ ，及更佳地小於 $2 \times 10^{12}/\text{cm}^2$ ，其係以 TDS 測量。

[0049] 在單晶矽用於電晶體 130 中之半導體層之狀況下，熱處理亦可充當以氫終止矽之懸鍵之處理（此處理亦稱為氫化處理）。藉由氫化處理，電晶體 130 之閘極絕緣膜或形成於障壁膜 111 下之另一絕緣膜中所包含之部分氫擴散至第一電晶體中之半導體層以終止矽之懸鍵，使得可改進第一電晶體之可靠性。

[0050] 關於障壁膜 111，可使用包含高 k 材料之絕緣膜，諸如氧化鋁、氧化鉛、氧化鋇、氧化鋯、鋯鈦酸鉛 (PZT)、鈦酸鋇 (SrTiO_3)、或 (Ba, Sr) TiO_3 (BST)。障壁膜 111 可為單一層或堆疊層。另一方面，例如可添加氧化鋁、氧化鈹、氧化鋳、氧化鋳、氧化矽、氧化鈦、氧化鎢、氧化釷、氧化鋯、或氧化鎳至絕緣膜。另一方面，絕緣膜可歷經氫化處理成為氧氮化物膜。氧化矽、氧氮化矽、或氮化矽之層可堆疊於絕緣膜之上。氧化鋁特佳，因為其抗水或氫之卓越障壁屬性。

[0051] 障壁膜 111 可為相對不滲透水或氫之材料層及包含絕緣材料之層之堆疊。障壁膜 111 可為例如包含氧化矽或氧氮化矽之層、包含金屬氧化物之層等之堆疊。

[0052] 對障壁膜 111 而言，較佳地使用相對不滲透氧之材料。以上提供之材料具有抗氧以及氫及水之卓越障壁屬性。當絕緣膜 114 加熱至障壁膜 111 下之層時，使用任一材料可抑制氧釋放之擴散。結果，從絕緣膜 114 釋放並可能供應至之電晶體 100 之半導體層的氧量可增加。

[0053] 以此方式，基於障壁膜 111，障壁膜 111 之下提供各層中所包含之氫或水之濃度減少或氫或水移除，並可避免氫或水擴散進入電晶體 100。因而，絕緣膜 114 或電晶體 100 中各層中所包含之氫或水量極低。電晶體 100 中之絕緣膜 114 及半導體層 101 或閘極絕緣膜 102 中所包含之氫濃度可減少至例如低於 $5 \times 10^{18} \text{ cm}^{-3}$ ，較佳地低於 $1 \times 10^{18} \text{ cm}^{-3}$ ，進一步較佳地低於 $3 \times 10^{17} \text{ cm}^{-3}$ 。

[0054] 以上結構使可於第一及第二電晶體中獲得高可靠性，結果，可獲得極高度可靠半導體裝置。

[0055] 請注意，可定位導電層 152 以與電晶體 100 之通道區重疊。圖 34A 及 34B 描繪該等狀況之範例。圖 34B 為沿圖 34A 中所描繪之點劃線 A-B 之截面。請注意，導電層 152 亦可做為電晶體 100 之閘極電極。例如，可藉由供應某電位至閘極電極而控制電晶體 100 之閾值電壓。

[0056] 圖 2、圖 3、及圖 4A 及 4B 中描繪可用於本發

明之一實施例之半導體裝置之堆疊層結構範例。如圖 2 中所描繪，電容器 150 可包括堆疊，其包括三或更多導電層。導電層 151、導電層 153a、及導電層 153b 經由插塞 121、插塞 126、及插塞 127 而電連接，並形成電容器 150 之一電極。儘管未描繪，導電層 152、導電層 154a、及導電層 154c 電連接並形成電容器 150 之另一電極。

[0057] 另一方面，如圖 3 中所描繪，導電層可形成於插塞 126 及插塞 127 之兩側。導電層 151、導電層 153a、及導電層 153b 經由插塞 121、插塞 126、及插塞 127 而電連接，並形成電容器 150 之一電極。儘管未描繪，導電層 152、導電層 152b、導電層 154a、導電層 154b、導電層 154c、及導電層 154d 電連接並形成電容器 150 之另一電極。

[0058] 再另一方面，如圖 4A 中所描繪，電晶體 100 可包括與半導體層 101 接觸之導電層 104a 及導電層 104b。圖 4B 為沿圖 4A 中所描繪之點劃線 A-B 之截面。導電層 104a 及導電層 104b 做為源極電極及汲極電極。此外，電晶體 100 可包括導電層 105。導電層 105 可做為電晶體 100 之第二閘極。低於或高於源極電極之電壓的電壓可施加於導電層 105，使得電晶體之閾值電壓可以正或負方向偏移。例如，當電晶體之閾值電壓以正方向偏移時，可獲得常關型電晶體，其於閘極電壓為 0 V 時處於非導電狀態（關閉狀態）。請注意，施加於導電層 105 之電壓可為可變或固定。在可變電壓施加於導電層 105 之狀況下，

控制電壓之電路可連接至導電層 105。

[0059] 此外，導電層 105 可連接至閘極電極 103。

[0060]

[結構範例]

圖 5A 為本發明之一實施例之半導體裝置之電路圖範例。圖 5A 中之半導體裝置包括電晶體 100、電晶體 130、電容器 150、佈線 BL、佈線 WL、及佈線 CL。

[0061] 電晶體 130 之源極或汲極之一者電連接至佈線 BL，另一者電連接至佈線 SL，及電晶體 130 之閘極電連接至電晶體 100 之源極及汲極之一者及電容器 150 之一電極。電晶體 100 之源極及汲極之另一者電連接至佈線 BL，及電晶體 100 之閘極電連接至佈線 WL。電容器 150 之另一電極電連接至佈線 CL。佈線 BG 電連接至電晶體 100 之第二閘極。請注意，連接電晶體 130 之閘極、電晶體 100 之源極及汲極之一者、及電容器 150 之一電極之節點稱為節點 FN。

[0062] 當電晶體 100 處於開啟狀態（即開啟）時，圖 5A 中所示之半導體裝置供應相應於佈線 BL 之電位的電位至節點 FN。同時，當電晶體 100 處於（即關閉）時，半導體裝置具有保持節點 FN 電位之功能。換言之，圖 5A 中所示之半導體裝置做為記憶體裝置之記憶體單元。在諸如液晶元件或有機電致發光（EL）元件之顯示元件電連接至節點 FN 之狀況下，圖 5A 中之半導體裝置可做為顯示裝置之像素。

[0063] 可依據供應至佈線 WL 或佈線 BG 之電位選擇電晶體 100 之開啟/關閉狀態。可由供應至佈線 WL 或佈線 BG 之電位控制電晶體 100 之閾值電壓。具小關閉狀態電流之電晶體用作電晶體 100，藉此於電晶體 100 處於非傳導狀態時之節點 FN 電位可長時間保持。因而，可減少半導體裝置之刷新率，導致半導體裝置之低電力消耗。具小關閉狀態電流之電晶體範例為包括氧化物半導體之電晶體。

[0064] 請注意，參考電位、群組電位、或諸如任意固定電位之固定電位供應至佈線 CL。在此狀況下，電晶體 100 之明顯閾值電壓依據節點 FN 電位而異。電晶體 130 之傳導及非傳導狀態回應於明顯閾值電壓之改變而異；因而，可讀取節點 FN 中所保持之電位資料做為資料。

[0065] 為於 85°C 下保持節點 FN 中所保持之電位達 10 年 (3.15×10^{18} 秒)，關閉狀態電流較佳地為電晶體之每飛法拉電容及每微米通道寬度低於 4.3 yA (么安培，其中 1 yA 為 10^{-24} A)。在此狀況下，節點 FN 中可允許電位變化較佳地為 0.5 V 內。另一方面，95°C 下關閉狀態電流較佳地低於 1.5 yA。在本發明之一實施例之半導體裝置中，障壁膜下之層中所包含之氫濃度充分地減少；因而，包括障壁膜上之氧化物半導體之電晶體可具有該極小關閉狀態電流。

[0066] 此外，當電容增加時，節點 FN 中之電位可保

持更長時間。換言之，保留時間可延長。

[0067] 當圖 5A 中所描繪之半導體裝置係以矩陣配置時，可形成記憶體裝置（記憶體單元陣列）。

[0068] 圖 6A 及 6B 描繪半導體裝置之截面結構範例，其中可獲得圖 5A 中所示之電路。圖 6B 為沿圖 6A 中所描繪之點劃線 A-B 之截面。

[0069] 圖 6A 及 6B 中所描繪之半導體裝置包括電晶體 130、電晶體 100、及電容器 150。電晶體 100 係提供於電晶體 130 之上，及至少一障壁膜係提供於電晶體 130 及電晶體 100 之間。半導體裝置可包括複數障壁膜。圖 6A 及 6B 描繪範例，其中半導體裝置包括障壁膜 111a 至 111e。圖 5B 中描繪電晶體 100 之俯視圖。沿圖 5B 中虛線 X-X' 之截面對應於圖 6A 中之電晶體 100。沿圖 5B 中虛線 Y-Y' 之截面對應於圖 6B 中之電晶體 100。

[0070]

[第一電晶體]

電晶體 130 係提供於半導體基板 131 之上，並包括半導體層 132，其為部分半導體基板 131、閘極絕緣膜 134、閘極電極 135、及做為源極及汲極區之低電阻層 133a 及 133b。此外，圖 6A 及 6B 中之半導體裝置可包括電晶體 160。電晶體 160 及電晶體 130 係提供於半導體基板 131 上。

[0071] 電晶體 130 可為 p 通道電晶體或 n 通道電晶體，並可依據電路組態或驅動方法而使用適當電晶體。

[0072] 較佳的是形成通道之半導體層 132 區、其附近區、充當源極及汲極區之低電阻層 133a 及 133b 等包含諸如基於矽之半導體之半導體，更佳地為單晶矽。另一方面，可包含包括鍺 (Ge)、矽鍺 (SiGe)、砷化鎵 (GaAs)、砷化鎵鋁 (GaAlAs) 等之材料。另一方面，可包含具有晶格畸變之矽。另一方面，電晶體 130 可為具 GaAs 及 AlGaAs 等之高電子移動性電晶體 (HEMT)。

[0073] 電晶體 130 可包括充當輕摻雜汲極 (LDD) 區之區 176a 及 176b。

[0074] 除了用於半導體層 132 之半導體材料外，低電阻層 133a 及 133b 包含傳達 n 型導電性之元素，諸如磷，或傳達 p 型導電性之元素，諸如硼。

[0075] 可使用諸如矽之半導體材料形成閘極電極 135，包含傳達 n 型導電性之元素，諸如磷，或傳達 p 型導電性之元素，諸如硼，或導電材料，諸如金屬材料、合金材料、或金屬氧化物材料。特佳的是使用高熔點材料，其具有耐熱性及導電性，諸如鎢或鉬，及特佳的是使用鎢。

[0076] 此處，可使用圖 16A 及 16B 中之電晶體 190 及電晶體 191 取代電晶體 130 及電晶體 160。圖 16B 為沿圖 16A 中所描繪之點劃線 A-B 之截面。在電晶體 190 及電晶體 191 中，其中形成通道之半導體層 132 (部分半導體基板) 具有凸出部、閘極絕緣膜 134、及沿凸出部之頂表面及側表面提供之閘極電極 135。電晶體 190 及電晶體

191 亦稱為 FIN 電晶體，因為它們各利用半導體基板之凸出部。請注意，可提供充當形成凸出部之遮罩之絕緣膜並與凸出部之頂部接觸。儘管此處描述藉由處理部分半導體基板形成凸出部之狀況，可藉由處理 SOI 基板形成具有凸出形狀之半導體層。

[0077] 絕緣膜 136、絕緣膜 137、及絕緣膜 138 以此順序堆疊以覆蓋電晶體 130。

[0078] 在半導體裝置之製造程序中，當實施熱處理以啟動添加至低電阻層 133a 及 133b 傳達導電性之元素時，絕緣膜 136 做為保護膜。絕緣膜 136 不一定提供。

[0079] 在基於矽之半導體材料用於半導體層 132 之狀況下，絕緣膜 137 較佳地包含氫。當包含氫之絕緣膜 137 提供於電晶體 130 之上並實施熱處理時，藉由絕緣膜 137 中所包含之氫終止半導體層 132 中之懸鍵，藉此可改進電晶體 130 之可靠性。

[0080] 絕緣膜 138 做為平面化膜用於排除在絕緣膜 138 下之電晶體 130 等造成之水平差。絕緣膜 138 之頂表面可由平面化處理平面化，其使用化學機械拋光（CMP）方法等以增加平面性。

[0081] 在絕緣膜 136、137、及 138 中，可嵌入電連接至低電阻層 133a、低電阻層 133b 等之插塞 140，及電連接至電晶體 130 之閘極電極 135 等之插塞 139。

[0082]

[電容器]

障壁膜 111 係提供於電晶體 130 及電晶體 100 之間。如圖 6A 及 6B 中所描繪，可使用一障壁膜或二或更多障壁膜。此處，在圖 6A 中之半導體裝置範例中，包括五障壁膜，即障壁膜 111a 至 111e。在障壁膜用作電容器之絕緣膜之狀況下，藉由減少障壁膜之厚度可增加電容。另一方面，藉由減少厚度可減少障壁屬性。因此，提供複數薄障壁膜可增加電容及改進障壁屬性而增加電晶體 100 及 130 之特性。

[0083] 提供導電層 151、導電層 152、導電層 153a、導電層 153b、及導電層 154a 至 154e 且障壁膜位於其間以形成電容器 150。插塞 121、插塞 126、及插塞 127 電連接。插塞 126 係提供於形成於障壁膜 111b、絕緣膜 115b、及障壁膜 111c 中之開口中。導電層 151、導電層 153a、及導電層 153b 經由插塞 127、插塞 126、及插塞 121 而電連接至電晶體 100 之導電層 104a。導電層 151 經形成而嵌入形成於絕緣膜 115a 中之開口中。以類似方式，導電層 154a 及導電層 154b 嵌入形成於絕緣膜 115b 中之開口中，導電層 153a 嵌入形成於絕緣膜 115c 中之開口中，導電層 154c 及導電層 154d 嵌入形成於絕緣膜 115d 中之開口中，及導電層 153b 嵌入形成於絕緣膜 115e 中之開口中。

[0084] 圖 7 描繪沿圖 6A 中之點劃線 C-D 之截面。導電層 154e 電連接至插塞 128。導電層 154b 及導電層 154d 經由插塞 129a 至 129d 而電連接至插塞 128。插塞 128 經

由插塞 141 而連接至佈線 142。

[0085] 提供絕緣膜 114 以覆蓋障壁膜 111、導電層 152、導電層 154e 等。

[0086] 較佳的是藉由上述平面化處理而平面化絕緣膜 114 之頂表面。

[0087] 經由加熱而部分釋放氧之氧化物材料較佳地用於絕緣膜 114。

[0088] 關於經由加熱而釋放氧之氧化物材料，較佳地使用包含超過化學計量組成之氧的氧化物。經由加熱而部分釋放氧之氧化物膜包含超過化學計量組成之氧。請注意，包含超過化學計量組成之氧之氧化物膜為轉換為氧原子之釋放氧量大於或等於 1.0×10^{18} 原子/cm³ 的氧化物膜，較佳地在熱脫附譜（TDS）分析中為大於或等於 3.0×10^{20} 原子/cm³。請注意，在 TDS 分析中，膜表面之溫度較佳地高於或等於 100°C 及低於或等於 700°C，或高於或等於 100°C 及低於或等於 500°C。

[0089] 例如，關於該等材料，較佳地使用包含氧化矽或氧氮化矽之材料。另一方面，可使用金屬氧化物。關於金屬氧化物，可使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈦、或氧氮化鈦。請注意，在本說明書中，「氧氮化矽」係指包含氧高於氮之比例的材料，及「氮氧化矽」係指包含氮高於氧之比例的材料。

[0090]

[第二電晶體]

電晶體 100 之半導體層 101 係提供於絕緣膜 114 之上。

[0091] 電晶體 100 包括與絕緣膜 114 之頂表面接觸之半導體層 101、導電層 104a 及 104b、半導體層 101 上之閘極絕緣膜 102、及與半導體層 101 重疊之閘極電極 103 且閘極絕緣膜 102 位於其間。此外，提供絕緣膜 112、絕緣膜 113、及絕緣膜 116 以覆蓋電晶體 100。此外，電晶體 100 可包括做為第二閘極電極之導電層 105。

[0092] 請注意，半導體層 101 可形成為單一層，但較佳地形成而具半導體層 101a、半導體層 101b、及半導體層 101c 之堆疊層結構，如圖 6A 及 6B 中所描繪之電晶體 100 做為範例。圖 6A 及 6B 中之電晶體 100 包括半導體層 101a、與半導體層 101a 之頂表面接觸之半導體層 101b、與半導體層 101b 之頂表面接觸並於重疊半導體層 101b 之區中相互分離之導電層 104a 及 104b、與半導體層 101b 之頂表面接觸之半導體層 101c、半導體層 101c 上之絕緣膜 102、及重疊半導體層 101b 且閘極絕緣膜 102 及半導體層 101c 位於其間之閘極電極 103。圖 6A 及 6B 中之電晶體 100 包括導電層 105 做為第二閘極電極。導電層 105 可以與部分電容器 150 之導電層 152 相同時間形成。半導體層 101a 係提供於絕緣膜 114 及半導體層 101b 之間。半導體層 101c 係提供於半導體層 101b 及閘極絕緣膜 102 之間。導電層 104a 及導電層 104b 與半導體層 101b

之頂表面及半導體層 101c 之底表面接觸。

[0093] 電晶體 100 係以絕緣膜 112、絕緣膜 113、及絕緣膜 116 覆蓋。

[0094] 如圖 6A 中所描繪，半導體層 101b 之側表面與導電層 104a 及導電層 104b 接觸。半導體層 101b 可由閘極電極 103 之電場電圍繞（其中半導體由導體電場電圍繞之結構稱為圍繞通道（s 通道）結構）。因此，在若干狀況下通道係形成於整個半導體層 101b 中（整體）。在 s 通道結構中，大量電流可於電晶體之源極及汲極之間流動，使得處於開啟狀態之電流（開啟狀態電流）為高。

[0095] s 通道結構適於微型電晶體，因為可獲得高開啟狀態電流。包括微型電晶體之半導體裝置可具有高整合程度及高密度。例如，電晶體之通道長度較佳地小於或等於 40 nm，進一步較佳地小於或等於 30 nm，及仍進一步較佳地小於或等於 20 nm，且電晶體之通道寬度較佳地小於或等於 40 nm，進一步較佳地小於或等於 30 nm，及仍進一步較佳地小於或等於 20 nm。

[0096] 請注意，通道長度係指例如半導體（或當電晶體開啟時電流於半導體中流動之部分）及閘極電極相互重疊之區中或通道係形成於電晶體之俯視圖中之區中，源極（源極區或源極電極）及汲極（汲極區或汲極電極）間之距離。在一電晶體中，所有區中之通道長度不一定相同。換言之，在若干狀況下，一電晶體之通道長度不侷限於一值。因此，在本說明書中，通道長度為最大值、最小



值、或通道形成區中之平均值之任一值。

[0097] 通道寬度係指例如半導體（或當電晶體開啟時電流於半導體中流動之部分）及閘極電極相互重疊之區中或通道形成之區中源極及汲極相對部分之長度。在一電晶體中，所有區中之通道寬度不一定具有相同值。換言之，在若干狀況下，一電晶體之通道寬度未固定於一值。因此，在本說明書中，通道寬度為最大值、最小值、或通道形成區中之平均值之任一值。

[0098] 請注意，在若干狀況下，依據電晶體結構實際形成通道區中之通道寬度（以下稱為有效通道寬度）與電晶體俯視圖中所示之通道寬度（以下稱為明顯通道寬度）不同。例如，在具有三維結構之電晶體中，有效通道寬度大於電晶體俯視圖中所示之明顯通道寬度，且在若干狀況下無法忽略其影響。例如，在具有三維結構之微型電晶體中，形成於半導體頂表面中之通道區比例在若干狀況下高於形成於半導體側表面中之通道區比例。在此狀況下，當實際形成通道大於俯視圖中所示之明顯通道寬度時，獲得有效通道寬度。

[0099] 在具有三維結構之電晶體中，在若干狀況下難以測量有效通道寬度。例如，從設計值估計有效通道寬度，需假設半導體之形狀已知做為假設狀況。因此，在半導體之形狀未準確知道之狀況下，便難以準確測量有效通道寬度。

[0100] 因此，在本說明書中，在電晶體之俯視圖

中，半導體及閘極電極相互重疊區中源極及汲極相對部分之長度的明顯通道寬度在若干狀況下稱為圍繞通道寬度（SCW）。此外，在本說明書中，在簡單使用「通道寬度」用詞之狀況下，可標示圍繞通道寬度及明顯通道寬度。另一方面，在本說明書中，在簡單使用「通道寬度」用詞之狀況下，在若干狀況下可標示有效通道寬度。請注意，藉由獲得及分析截面 TEM 圖像等，可決定通道長度、通道寬度、有效通道寬度、明顯通道寬度、圍繞通道寬度等之值。

[0101] 請注意，在藉由計算獲得電場移動性、電晶體之每通道寬度之電流值等之狀況下，圍繞通道寬度可用於計算。在此狀況下，在若干狀況下獲得之值與在有效通道寬度用於計算之狀況下獲得之值不同。

[0102] 請注意，至少部分（或全部）導電層 104a（及/或導電層 104b）係提供於諸如半導體層 101b（及/或半導體層 101a）之半導體層之至少部分（或全部）表面、側表面、頂表面、及/或底表面上。

[0103] 另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）與諸如半導體層 101b（及/或半導體層 101a）之半導體層之至少部分（或全部）表面、側表面、頂表面、及/或底表面接觸。另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）與至少部分（或全部）諸如半導體層 101b（及/或半導體層 101a）之半導體層接觸。

[0104] 另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）電連接至諸如半導體層 101b（及/或半導體層 101a）之半導體層之至少部分（或全部）表面、側表面、頂表面、及/或底表面。另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）電連接至至少部分（或全部）諸如半導體層 101b（及/或半導體層 101a）之半導體層。

[0105] 另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）經提供而接近諸如半導體層 101b（及/或半導體層 101a）之半導體層之至少部分（或全部）表面、側表面、頂表面、及/或底表面。另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）經提供而接近至少部分（或全部）諸如半導體層 101b（及/或半導體層 101a）之半導體層。

[0106] 另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）係置於諸如半導體層 101b（及/或半導體層 101a）之半導體層之至少部分（或全部）表面、側表面、頂表面、及/或底表面之側面。另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）係置於至少部分（或全部）諸如半導體層 101b（及/或半導體層 101a）之半導體層之側面。

[0107] 另一方面，至少部分（或全部）導電層 104a（及/或導電層 104b）係傾斜地提供於諸如半導體層 101b（及/或半導體層 101a）之半導體層之至少部分（或全

部) 表面、側表面、頂表面、及/或底表面之上。另一方面，至少部分(或全部)導電層 104a(及/或導電層 104b)係傾斜地提供於至少部分(或全部)諸如半導體層 101b(及/或半導體層 101a)之半導體層之上。

[0108] 另一方面，至少部分(或全部)導電層 104a(及/或導電層 104b)係提供於諸如半導體層 101b(及/或半導體層 101a)之半導體層之至少部分(或全部)表面、側表面、頂表面、及/或底表面之上。另一方面，至少部分(或全部)導電層 104a(及/或導電層 104b)係提供於至少部分(或全部)諸如半導體層 101b(及/或半導體層 101a)之半導體層之上。

[0109] 半導體層 101 於通道形成之區中可包含半導體，諸如基於矽之半導體。特佳的是半導體層 101 包含具有較矽更寬頻帶間隙之半導體。半導體層 101 較佳地係使用氧化物半導體形成。較佳地使用具有較矽更寬頻帶間隙及更低載子密度之半導體材料，因為電晶體之關閉狀態洩漏電流可減少。

[0110] 將該等材料用於半導體層使其可提供高度可靠電晶體，其中電氣特性改變受抑制。

[0111] 請注意，之後於以下描述之實施例中描述可用於半導體層之氧化物半導體之較佳模式及形成方法細節。

[0112] 請注意，在本說明書等中，在實質上純化氧化物半導體層之狀況下，其載子密度低於 $1 \times 10^{17}/\text{cm}^3$ ，低

於 $1 \times 10^{15}/\text{cm}^3$ ，或低於 $1 \times 10^{13}/\text{cm}^3$ ，特佳地低於 $8 \times 10^{11}/\text{cm}^3$ ，仍進一步較佳地低於 $1 \times 10^{11}/\text{cm}^3$ ，再進一步較佳地低於 $1 \times 10^{10}/\text{cm}^3$ ，並為 $1 \times 10^{-9}/\text{cm}^3$ 或更高。基於高度純化固有氧化物半導體層，電晶體可具有穩定電特性。

[0113] 當具有 In : Ga : Zn=1 : 1 : 1 或 3 : 1 : 2 之原子比的 In-Ga-Zn 基氧化物用於半導體層 101b 時，例如具有 In : Ga : Zn=1 : 3 : 2、1 : 3 : 4、1 : 3 : 6、1 : 6 : 4、1 : 6 : 8、1 : 6 : 10、或 1 : 9 : 6 之原子比的 In-Ga-Zn 基氧化物可用於半導體層 101a 或半導體層 101c。請注意，每一半導體層 101b、半導體層 101a、及半導體層 101c 之原子比可於任一上述原子比之 $\pm 20\%$ 的範圍內變化做為誤差。對半導體層 101a 及半導體層 101c 而言，可使用具相同組成之材料或具不同組成之材料。

[0114] 此外，當 In-M-Zn 基氧化物用於半導體層 101b 時，包含滿足下列狀況之原子比之金屬元素的氧化物較佳地用於形成成為半導體層 101b 之半導體膜之靶材。假設氧化物中金屬元素之原子比為 In : M : Zn= x_1 : y_1 : z_1 ， x_1/y_1 大於或等於 1/3 及小於或等於 6，較佳地大於或等於 1 及小於或等於 6，及 z_1/y_1 大於或等於 1/3 及小於或等於 6，較佳地大於或等於 1 及小於或等於 6。請注意，當 z_1/y_1 小於或等於 6 時，之後描述之 CAAC-OS 膜輕易形成。靶材中金屬元素之原子比之典型範例為 In : M : Zn=1 : 1 : 1，In : M : Zn=3 : 1 : 2 等。

[0115] 當 In-M-Zn 基氧化物用於半導體層 101a 及半

導體層 101c 時，包含滿足下列狀況之原子比之金屬元素之氧化物較佳地用於形成成為半導體層 101a 及半導體層 101c 之氧化物半導體膜之靶材。假設氧化物中金屬元素之原子比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ ， x_2/y_2 小於 x_1/y_1 ，及 z_2/y_2 大於或等於 $1/3$ 及小於或等於 6 ，較佳地大於或等於 1 及小於或等於 6 。請注意，當 z_2/y_2 小於或等於 6 時，之後描述之 CAAC-OS 膜輕易形成。靶材中金屬元素之原子比之典型範例為 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ ， $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 6$ ， $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 8$ 等。

[0116] 在藉由濺鍍法形成氧化物半導體之狀況下，可形成具有與使用靶材不同原子比之膜。尤其對鋅而言，在若干狀況下，沉積膜中鋅之原子比小於靶材之原子比。具體來說，膜具有靶材中鋅之 40 原子%至 90 原子%原子比之鋅之原子比。

[0117] 導電層 104a 及導電層 104b 之一者做為源極電極及另一者做為汲極電極。

[0118] 插塞 121 經由形成於導電層 104a、半導體層 101a、半導體層 101b、半導體層 101c、絕緣膜 114、及障壁膜 111 中之開口而電連接至導電層 151。導電層 104a 經由插塞 121 而電連接至導電層 151。

[0119] 導電層 104a 及導體層 104b 各經形成而具有單一層結構或包括諸如鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉍、及鎢之任一金屬及包含任一該些金屬做為其主組件之合金的堆疊層結構。例如，可提供包含矽之鋁膜

之單一層結構、其中鋁膜堆疊於鈦膜上之二層結構、其中鋁膜堆疊於鎢膜上之二層結構、其中銅膜堆疊於銅-鎂-鋁合金膜上之二層結構、其中銅膜堆疊於鈦膜上之二層結構、其中銅膜堆疊於鎢膜上之二層結構、其中鈦膜或氮化鈦膜、鋁膜或銅膜、及鈦膜或氮化鈦膜以此順序堆疊之三層結構、其中鉬膜或氮化鉬膜、鋁膜或銅膜、及鉬膜或氮化鉬膜以此順序堆疊之三層結構等。請注意，可使用包含氧化銻、氧化錫、或氧化鋅之透明導電材料。

[0120] 可以單一層或使用例如氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鎳、Ga-Zn 基金屬氧化物、氮化矽等之一或更多項之堆疊形成閘極絕緣膜 102。

[0121] 可使用高 k 材料形成閘極絕緣膜 102，諸如矽酸鉛 (HfSiO_x)、添加氮之矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加氮之鋁鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、或氧化鈮。

[0122] 可使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎳、氧化鋅、氧化鎳、氧化鈮、氧化鈳、氧化釩、氧化鈷、氧化鈹、氧化鈳、氧化鈹等之氧化物絕緣膜；氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等之氮化物絕緣膜；或任一以上材料混合之膜形成閘極絕緣膜 102。

[0123] 關於閘極絕緣膜 102，類似於絕緣膜 114，較佳地使用包含超過化學計量組成之氧之氧化物絕緣膜。

[0124] 當特定材料用於閘極絕緣膜時，在特定狀況下於閘極絕緣膜中捕獲電子，並可增加閾值電壓。例如，類似於氧化矽及氧化鉛之堆疊層膜，部分閘極絕緣膜使用

具有大量電子捕獲狀態之材料，諸如氧化鉛、氧化鋁、及氧化鉍，且閘極電極之電位高於源極電極或汲極電極之電位的狀態在較高溫度下（高於半導體裝置之操作溫度或儲存溫度之溫度，或 125°C 或更高及 450°C 或更低之溫度，典型地 150°C 或更高及 300°C 或更低之溫度）保持達 1 秒或更多，典型地 1 分鐘或更多。因而，電子從半導體層移動至閘極電極，及若干電子由電子捕獲狀態捕獲。

[0125] 在所需電子量以此方式由電子捕獲狀態捕獲之電晶體中，閾值電壓以正方向偏移。藉由控制閘極電極之電壓，可控制捕獲之電子量，因而可控制閾值電壓。此外，可於電晶體之製造程序中實施捕獲電子處理。

[0126] 例如，較佳地於工廠運送之前的任何步驟實施處理，諸如在形成金屬絲連接至電晶體之源極電極或汲極電極之後，在先前程序（晶圓處理）之後，在晶圓切割步驟之後，在封裝之後等。在任一狀況下，較佳的是於捕獲電子程序後，半導體裝置未暴露於 125°C 或更高溫度達 1 小時或更多。

[0127] 可使用例如選自鋁、鉻、銅、鉍、鈦、鉬、及鎢之金屬；包含任一該些金屬做為組件之合金；包含該些金屬組合之合金等形成閘極電極 103。此外，可使用選自錳及銨之一或更多金屬。另一方面，以摻雜諸如磷之雜質元素或諸如矽酸鎳之矽化物之多晶矽為典型之半導體可用於閘極電極 103。此外，閘極電極 103 可具有單一層結構或二或更多層之堆疊層結構。例如，可提供包含矽之鋁

膜之單一層結構、其中鈦膜堆疊於鋁膜上之二層結構、其中鈦膜堆疊於氮化鈦膜上之二層結構、其中鎢膜堆疊於氮化鈦膜上之二層結構、其中鎢膜堆疊於氮化鉭膜或氮化鎢膜上之二層結構、其中鈦膜、鋁膜、及鈦膜以此順序堆疊之三層結構等。另一方面，可使用合金膜，或包含鋁及選自鈦、鉭、鎢、鉬、鉻、釵、及鈳之一或更多金屬的氮化物膜。

[0128] 亦可使用透光導電材料形成閘極電極 103，諸如氧化銦錫、包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、包含氧化鈦之氧化銦錫、氧化銦鋅、或添加氧化矽之氧化銦錫。亦可具有使用以上透光導電材料及以上金屬形成之堆疊層結構。

[0129] 此外，閘極電極 103 及閘極絕緣膜 102 之間可提供 In-Ga-Zn 基氧氮化物半導體膜、In-Sn 基氧氮化物半導體膜、In-Ga 基氧氮化物半導體膜、In-Zn 基氧氮化物半導體膜、Sn 基氧氮化物半導體膜、In 基氧氮化物半導體膜、金屬氮化物（諸如 InN 或 ZnN）膜等。該些膜各具有高於或等於 5 eV 之功函數，較佳地高於或等於 5.5 eV，其高於氧化物半導體之電子親和力。因而，包括氧化物半導體之電晶體之閾值電壓可以正方向偏移，可達成所謂常關型交換元件。例如，關於 In-Ga-Zn 基氧氮化物半導體膜，使用具有至少較半導體層 101 之氮濃度高的 In-Ga-Zn 基氧氮化物半導體膜，具體地 In-Ga-Zn 基氧氮化物半導體膜具有高於或等於 7 原子%之氮濃度。

[0130] 對絕緣膜 112 而言，如同在障壁膜 111 之狀況，較佳地使用不輕易擴散水或氫之材料。尤其，對絕緣膜 112 而言，較佳地使用相對不滲透氧之材料。

[0131] 藉由以包括相對不滲透氧之材料之絕緣膜 112 覆蓋半導體層 101，可避免氧從半導體層 101 釋放至絕緣膜 112 以上之部分。此外，從絕緣膜 114 釋放之氧可侷限於絕緣膜 112 以下，導致供應至半導體層 101 之氧量增加。

[0132] 相對不滲透水或氫之絕緣膜 112 可抑制水或氫從外部進入氧化物半導體層 101，其為氧化物半導體之雜質；因此，可抑制電晶體 100 之電氣特性改變，且電晶體可具有高可靠性。

[0133] 請注意，類似於絕緣膜 114，藉由加熱而釋放氧之絕緣膜可提供於絕緣膜 112 之下，而亦經由閘極絕緣膜 102 從半導體層 101 以上之部分供應氧。

[0134] 如圖 6B 中所描繪，提供閘極電極 103 以便面對沿通道寬度方向之電晶體截面中半導體層 101b 之頂表面及側表面。因而，不僅在半導體層 101b 之頂表面附近，亦在其側表面附近形成通道，且有效通道寬度增加，此導致電晶體開啟狀態之電流增加（即開啟狀態電流）。尤其，在半導體層 101b 之寬度極小之狀況下（例如，小於或等於 50 nm，較佳地小於或等於 30 nm，更佳地小於或等於 20 nm），通道形成之區於半導體層 101b 內部延伸，使得開啟狀態電流隨著電晶體小型化而增加。

[0135] 圖 17A 及 17B 描繪半導體裝置中所包括之電晶體 100 之範例。圖 17A 及 17B 中所描繪之電晶體 100 與圖 6A 及 6B 中所描繪之電晶體 100 不同，主要在於半導體層 101c 經提供而與導電層 104a 及 104b 之底表面接觸。此處，圖 17B 為沿圖 17A 中所描繪之點劃線 A-B 之截面。

[0136] 該等結構致能用於半導體層 101a、半導體層 101b、及半導體層 101c 之膜成功地形成而未與空氣接觸，因此可減少每一介面之缺陷。

[0137] 電晶體 100 可具有圖 35A 中所描繪之結構。在圖 35A 中，於半導體層 101a 及半導體層 101b 形成後，形成半導體層 101c，使得半導體層 101c 覆蓋半導體層 101a 及半導體層 101b 之側表面。另一方面，電晶體 100 可具有圖 35B 中所描繪之結構。關於圖 35A 及圖 35B 間之不同點，閘極電極 103 於圖 35A 中重疊導電層 104a 及導電層 104b，反之，閘極電極 103 於圖 35B 之截面中未重疊導電層 104a 及導電層 104b。

[0138] 圖 6A 及 6B 及圖 17A 及 17B 各描繪半導體層 101a 及半導體層 101c 與半導體層 101b 接觸之結構；然而，可採用無半導體層 101a 及半導體層 101c 之一或二者之結構。

[0139] 請注意，圖 6B 中之結構為範例，其中閘極絕緣膜 102 之邊緣部實質上對齊半導體層 101c 之邊緣部，且閘極電極 103 位於閘極絕緣膜內側；另一方面，可採用

圖 17C 中電晶體 100 之範例中所描繪之結構，其中閘極絕緣膜 102、半導體層 101c、及閘極電極 103 之邊緣部實質上相互對齊。再另一方面，可採用圖 17D 中電晶體 100 之範例中所描繪之結構，其中閘極絕緣膜 102、半導體層 101c、及閘極電極 103 之邊緣部未對齊。

[0140] 以上為電晶體 100 之描述。

[0141] 覆蓋電晶體 100 之絕緣膜 116 做為平面化層，其覆蓋在下之層之不平坦表面形狀。當形成絕緣膜 116 時，絕緣膜 113 可做為保護層。不一定提供絕緣膜 113。

[0142] 電連接至導電層 104b 之插塞 123、插塞 122 等嵌入絕緣膜 112、絕緣膜 113、及絕緣膜 116 中。

[0143] 電連接至插塞 123 之佈線 124 等係提供於絕緣膜 116 之上。

[0144] 此處，圖 6A 中之佈線 124 對應於圖 5A 中之佈線 BL。以類似方式，圖 6B 中之佈線 166 對應於佈線 BG，及圖 7 中之佈線 142 對應於佈線 CL。儘管未描繪，連接至圖 6A 及 6B 中之閘極電極 103 之佈線對應於佈線 WL。此外，電晶體 130 之低電阻層 133b 對應於佈線 SL。包括電晶體 130 之閘極電極 135 之節點、做為電容器 150 之第一電極之插塞 121、及電晶體 100 之導電層 104a 對應於圖 5A 中所描繪之節點 FN。

[0145] 在圖 6A 及 6B 之結構中，較佳的是提供於包含氫之絕緣膜 136 上之絕緣膜 137 包含與障壁膜 111 相同

材料。此結構可有效地避免包含氫之絕緣膜 136 中剩餘之水或氫向上擴散。在此狀況下，用於移除水或氫之熱處理可總共實施兩次或更多次：在形成絕緣膜 137 之前、形成絕緣膜 137 之後、及形成障壁膜 111 之前。

[0146] 此處，諸如佈線 124、佈線 142、及佈線 166 之佈線可使用導電材料形成，諸如金屬材料、合金材料、或金屬氧化物材料。特佳的是使用高熔點材料，其具有耐熱性及導電性，諸如鎢或鉬，特佳的是使用鎢。

[0147] 可使用任何導電材料，諸如金屬材料、合金材料、及金屬氧化物材料形成導電層，諸如導電層 125、導電層 151、導電層 152、導電層 153a、導電層 153b、及導電層 154a 至 154e；及插塞，諸如插塞 121 至 123、插塞 126 至 128、插塞 129a 至 129d、插塞 139 至 141、插塞 164、及插塞 165。特佳的是使用高熔點材料，其具有耐熱性及導電性，諸如鎢或鉬，特佳的是使用鎢。可使用包括諸如氮化鈦或鈦之材料及另一材料之堆疊。例如，使用氮化鈦或鈦可改進與開口之附著力。此外，於絕緣膜中提供導電層，諸如導電層 125、導電層 151、導電層 152、導電層 153a、導電層 153b、及導電層 154a 至 154e；插塞，諸如插塞 121 至 123、插塞 126 至 128、插塞 129a 至 129d、插塞 139 至 141、插塞 164、及插塞 165 等，且其頂表面較佳地平面化。

[0148] 此處，插塞 121 與電晶體 100 之半導體層 101 及導電層 104a 以及導電層 151 接觸。插塞 121 與電晶體

100 之半導體層 101 及導電層 104a 接觸，藉此插塞 121 做為連接至電晶體 100 之源極區或汲極區之佈線。此外，插塞 121 連接至導電層 151，藉此插塞 121 做為連接至電容器 150 之一電極之佈線。插塞 121 穿透電晶體 100 以達到充當電容器 150 之一電極之導電層 151，使得一插塞可充當電容器 150 之電極及連接至電晶體 100 之源極區或汲極區之佈線。

[0149] 以類似方式，插塞 122 與電晶體 100 之半導體層 101 及導電層 104b 以及導電層 125 接觸。插塞 122 與電晶體 100 之半導體層 101 及導電層 104b 接觸，藉此插塞 122 做為連接至電晶體 100 之源極區或汲極區之佈線。此外，插塞 122 連接至導電層 125，藉此插塞 122 做為連接至電晶體 130 之源極區或汲極區之佈線。插塞 122 穿透電晶體 100 以達到導電層 125，使得一插塞可充當連接至電晶體 130 之源極區或汲極區之佈線，及連接至電晶體 100 之源極電極或汲極電極之佈線。

[0150] 其次，參照圖 30A 及 30B 描述其中使用插塞 121 及插塞 122 而減少電路面積之範例。圖 31 中結構顯示其中未提供插塞 121 及插塞 122 之範例。對障壁膜 211a 而言，參照障壁膜 111 之描述。對絕緣膜 215a 而言，參照絕緣膜 115a 之描述。導電層 104a 及電容器 150 間之接點 221 係形成於半導體層 101b 外側，此造成元件面積增加。以類似方式，導電層 104b 及連接至電晶體 130 之源極區或汲極區之導電層間之接點 222 係形成於半

導體層 101b 外側，此造成元件面積增加。

[0151] 圖 30A 描繪使用之結構範例，其中插塞 121 穿透電晶體 100 而連接至電容器 150 之一電極，及插塞 122 穿透電晶體 100 而連接至電連接至電晶體 130 之源極電極或汲極電極之導電層 251a。對障壁膜 211a 至 211f 而言，參照障壁膜 111 之描述。對絕緣膜 215a 至 215f 而言，參照絕緣膜 115a 之描述。對導電層 251 而言，參照導電層 151 之描述。對導電層 251a 而言，參照導電層 125 之描述。請注意，圖 30B 描繪二結構之狀況，每一者與圖 30A 中結構相同且並排配置。儘管圖 30A 及 30B 中未提供導電層 104a 及導電層 104b，但係可提供。

[0152] 在圖 31 中，提供二接點，即導電層 104a 及電容器 150 間之接點 221，及插塞 321 及導電層 104a 間之接點 223，反之，在圖 30A 及 30B 中，插塞 121 可充當二接點。以類似方式，在圖 31 中，提供二接點，即導電層 104b 及導電層 251a 間之接點 222，及插塞 322 及導電層 104b 間之接點 224，反之，在圖 30A 及 30B 中，插塞 122 可充當二接點。以此方式，使用插塞 121 及插塞 122 致能形成具有實質上與圖 30A 及 30B 中每一結構中之電晶體 100 相同寬度的電容器 150，結果由元件佔據之面積可減少。

[0153] 其次，圖 32A 中描繪圖 30A 及 30B 之截面圖中所描繪之層 281 至 287 之俯視圖。圖 32B 中描繪圖 31 之截面圖中所描繪之層 291 至 295 之俯視圖。每一俯視圖

顯示記憶體單元之最小結構單元。俯視圖顯示使用圖 30A 及 30B 中之任一結構使其可減少約圖 31 中之結構面積的一半之面積。

[0154] 此外，如同在圖 33 中半導體裝置之截面中，可形成用於平面化之絕緣膜 261，接著可形成插塞 121 及插塞 122。

[0155] 本發明之一實施例之半導體裝置包括電晶體 130 及第一電晶體 130 上之電晶體 100。由於該些電晶體堆疊，元件佔據之面積可減少。此外，提供插塞 121 及插塞 122 致能元件佔據之面積減少。因此，可提供具減少電路面積及具有有利特性之半導體裝置。此外，例如在本發明之一實施例施加於包括記憶體裝置等之半導體裝置之狀況下，甚至可基於小電路面積而增加記憶體電容，並可提供具有有利保留特性之記憶體的半導體裝置。此外，電晶體 130 及電晶體 100 間提供之障壁膜 111 可抑制諸如水及氫之雜質從在下之層擴散至電晶體 100 側。此外，提供做為第一電極之佈線部及做為第二電極之佈線部且其間具障壁膜 111 以形成電容器 150；因而，可輕易形成電容器 150 而無形成電容器 150 之額外步驟。

[0156] 以上為結構範例之描述。

[0157]

[製造方法範例]

以下參照圖 8A 至 8E、圖 9A 至 9D、圖 10A 至 10C、圖 11A 及 11B、及圖 12A 及 12B 描述以上結構範例描述

之半導體裝置之製造方法範例。

[0158] 首先，準備半導體基板 131。關於半導體基板 131，可使用例如單晶矽基板（包括 p 型半導體基板或 n 型半導體基板）、包含碳化矽或氮化鎵之複合半導體基板等。SOI 基板可用作半導體基板 131。以下描述單晶矽用於半導體基板 131 之狀況。

[0159] 其次，於半導體基板 131 中形成元件隔離層（未描繪）。元件隔離層可藉由矽局部氧化（LOCOS）法、淺凹槽隔離（STI）法、台面隔離等形成。

[0160] 在 p 通道電晶體及 n 通道電晶體形成於相同基板上之狀況下，可於部分半導體基板 131 中形成 n 井或 p 井。例如，可藉由添加諸如硼之傳達 p 型導電性之雜質元素至 n 型半導體基板 131 而形成 p 井，且 n 通道電晶體及 p 通道電晶體可形成於相同基板上。

[0161] 其次，於半導體基板 131 上形成成為閘極絕緣膜 134 之絕緣膜。例如，氧化半導體基板 131 之表面，藉此形成氧化矽膜。另一方面，可形成絕緣膜做為以下列方式形成之氧化矽膜及氧氮化矽膜之堆疊，氧化矽膜係由熱氧化形成，接著由氮化處理氮化氧化矽膜。再另一方面，可使用氧化矽、氧氮化矽、諸如氧化鉭、氧化鉛、氧化矽酸鉛、氧化鋇、氧化鋁、或氧化鈦之高介電常數材料（亦稱為高 k 材料）之金屬氧化物、諸如氧化釷之稀土氧化物等形成絕緣膜。

[0162] 可藉由濺鍍法、化學氣相沉積（CVD）法

(包括熱 CVD 法、金屬有機 CVD (MOCVD) 法、電漿增強 CVD (PECVD) 法等)、分子束磊晶 (MBE) 法、原子層沉積 (ALD) 法、脈衝雷射沉積 (PLD) 法等形成絕緣膜。

[0163] 其次，形成成為閘極電極 135 之導電膜。較佳的是使用選自鉭、鎢、鈦、鉬、鉻、鈮等金屬、或包括任一金屬做為其主組件之合金材料或複合材料形成導電膜。另一方面，可使用添加諸如磷之雜質的多晶矽。仍另一方面，可使用包括金屬氮化物膜及任一以上金屬膜之堆疊層結構。關於金屬氮化物，可使用氮化鎢、氮化鉬、或氮化鈦。當提供金屬氮化物膜時，金屬膜之黏合性可增加；因而，可避免分離。

[0164] 可藉由濺鍍法、蒸發法、CVD 法 (包括熱 CVD 法、MOCVD 法、PECVD 法等) 等形成導電膜。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法以便減少電漿損害。

[0165] 其次，藉由光刻程序等於導電膜之上形成抗蝕遮罩，並移除導電膜之不必要部分。接著，移除抗蝕遮罩。以此方式，可形成閘極電極 135。

[0166] 此處，描述膜處理方法。在精細處理膜之狀況下，可使用各種精細處理技術。例如，可使用一種方法，其中藉由光刻程序等形成之抗蝕遮罩歷經縮小處理。另一方面，可使用一種方法，其中藉由光刻程序等形成仿真體圖案，仿真體圖案配置側壁，接著移除，並使用剩餘

側壁做為抗蝕遮罩而蝕刻膜。為達成高長寬比，異向性乾式蝕刻較佳地用於蝕刻膜。另一方面，可使用無機膜或金屬膜形成之硬遮罩。

[0167] 隨著光用以形成抗蝕遮罩，可使用具 i 線之光（具 365 nm 波長）、具 g 線之光（具 436 nm 波長）、具 h 線之光（具 405 nm 波長）、或其中 i 線、g 線、及 h 線混合之光。另一方面，可使用紫外光、KrF 雷射光、ArF 雷射光等。藉由液浸曝光技術可實施曝光。關於曝光之光，可使用極紫外光（EUV）或 X 射線。可使用電子束取代曝光之光。較佳的是使用極紫外燈（EUV）、X 射線、或電子束，因為可實施極微細處理。請注意，在藉由掃描諸如電子束之束實施曝光之狀況下，不需要光遮罩。

[0168] 可於充當抗蝕遮罩之抗蝕膜形成之前，形成具有增進處理之膜及抗蝕膜間之附著力功能的有機樹脂膜。藉由旋塗法等之膜下覆蓋步驟，可形成有機樹脂膜以平面化表面，因而可減少有機樹脂膜上之抗蝕遮罩的厚度變化。在特別微細程序中，較佳地針對曝光之光而使用做為防反射膜之材料形成有機樹脂膜。該等充當防反射膜之有機樹脂膜範例包括底部防反射塗裝（BARC）膜。有機樹脂膜可於與抗蝕遮罩移除之相同時間或抗蝕遮罩移除之後移除。

[0169] 在閘極電極 135 形成後，可形成覆蓋閘極電極 135 之側表面的側壁。側壁可以下列方式形成：形成較閘極電極 135 厚之絕緣膜並歷經異向性蝕刻，使得閘極電

極 135 之側表面上僅剩餘部分絕緣膜。

[0170] 圖 8A 描繪範例，其中在側壁形成時未實施閘極絕緣膜之蝕刻。然而，可於與側壁形成之相同時間實施成為閘極絕緣膜 134 之絕緣膜。在此狀況下，於閘極電極 135 及側壁以下提供閘極絕緣膜 134。

[0171] 其次，諸如磷之傳達 n 型導電性之元素，或諸如硼之傳達 p 型導電性之元素添加至半導體基板 131 之未提供閘極電極 135（及側壁）之區。圖 8A 描繪此階段之示意截面圖。

[0172] 其次，形成絕緣膜 136，接著實施第一熱處理以啟動傳達導電性之上述元素。

[0173] 可形成絕緣膜 136 而具有單一層結構或使用例如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等堆疊層結構。可藉由濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成絕緣膜 136。尤其，較佳的是藉由 CVD 法形成絕緣膜，進一步較佳地為電漿 CVD 法，因為可進一步改進覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法以便減少電漿損害。

[0174] 第一熱處理可於高於或等於 400°C 及低於基板之應變點的溫度下，於諸如稀有氣體或氮氣之惰性氣體或減壓氣體中實施。

[0175] 在此階段，形成電晶體 130。此外，可以類似於形成電晶體 130 之方式形成電晶體 160。

[0176] 其次，形成絕緣膜 137 及絕緣膜 138。

[0177] 可使用可用於絕緣膜 136 之任一材料形成絕緣膜 137，且較佳地使用包含氧及氫之氮化矽（ SiNOH ）形成，因為藉由加熱而釋放之氫量可增加。另一方面，可使用可用於絕緣膜 136 之任一材料形成絕緣膜 138，且較佳地使用具高階段覆蓋之氧化矽形成，其係藉由以氧、氧化亞氮等使四乙基原矽酸酯（TEOS）、矽烷等起反應而予形成。

[0178] 例如，可藉由濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成絕緣膜 137 及 138。尤其，較佳的是藉由 CVD 法形成絕緣膜，進一步較佳地為電漿 CVD 法，因為可進一步改進覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法以便減少電漿損害。

[0179] 其次，藉由 CMP 法等平面化絕緣膜 138 之頂表面。關於絕緣膜 138，可使用平面化膜。此時，CMP 法等不一定用於平面化。可藉由例如氣壓 CVD 法、塗裝法等形式形成平面化膜。可藉由氣壓 CVD 法形成之膜的範例為硼矽酸磷玻璃（BPSG）膜。此外，可藉由塗裝法形成之膜的範例為氫倍半矽氧烷（HSQ）膜。

[0180] 之後，實施第二熱處理使得半導體層 132 中之懸鍵藉由從絕緣膜 137 釋放氫而終止。藉由第二熱處理，從各層釋放水及氫；因而，水含量及氫含量可減少。

[0181] 可在上述做為堆疊層結構之範例的狀況下實

施第二熱處理。例如，可使用針對第一熱處理等描述之狀況。

[0182] 其次，於絕緣膜 136、絕緣膜 137、及絕緣膜 138 中形成達到低電阻層 133a 及 133b、閘極電極 135 等之開口（詳圖 8B）。之後，形成成為插塞 139 等之導電膜 181 以填充開口（詳圖 8C）。接著，於導電膜 181 上實施平面化處理，使得暴露絕緣膜 138 之頂表面，藉此形成插塞 139、插塞 140 等（詳圖 8D）。可藉由濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成導電膜 181。

[0183] 其次，絕緣膜 115e 沉積於絕緣膜 138 之上，並形成開口。之後，形成導電膜以填充開口並歷經平面化處理，使得暴露絕緣膜 115e 之頂表面，藉此形成導電層 144、導電層 153b 等（詳圖 8E）。在圖 6A 及 6B 中所描繪之範例中，導電層 153b 做為電容器之電極。

[0184] 其次，形成障壁膜 111e 及形成絕緣膜 115d（詳圖 9A）。接著，於絕緣膜 115d 中形成開口。之後，形成導電膜以填充開口並歷經平面化處理，使得暴露絕緣膜 115e 之頂表面，藉此形成導電層 154d、導電層 154e 等（詳圖 9B）。在圖 6A 及 6B 中之範例中，導電層 154d 及導電層 154e 做為電容器之電極。接著，沉積障壁膜 111（詳圖 9C）。

[0185] 隨後，於障壁膜 111d、115d、及 111e 中形成開口。之後，形成成為插塞 127 等之導電膜以填充開口並

歷經平面化處理，使得暴露障壁膜 111d 之頂表面，藉此形成插塞 127、插塞 145 等（詳圖 9D）。

[0186] 其次，形成絕緣膜 115c（詳圖 10A）。接著，於絕緣膜 115c 中形成開口。之後，形成導電膜以填充開口並歷經平面化處理，使得暴露絕緣膜 115c 之頂表面，藉此形成導電層 146、導電層 153a 等（詳圖 10B）。導電層 153a 做為電容器之電極。

[0187] 其次，使用類似於圖 9A 至 9D 中所描繪之方法形成導電層 154a、導電層 154b、插塞 126、及插塞 147，並沉積障壁膜 111a。接著，於與導電層 143 接觸之障壁膜 111a 之區中形成開口，接著沉積導電膜。之後，形成抗蝕遮罩，並藉由蝕刻移除導電膜之不必要部分。接著，移除抗蝕遮罩，藉此可形成做為第二閘極電極之導電層 152、導電層 154e、及導電層 105（詳圖 10C）。

[0188] 此處，在圖 9D 中，障壁膜 111d 已歷經平面化處理。如圖 9A 至 9D 及圖 10A 至 10C 中所描繪，障壁膜 111d 可用作電容器之絕緣膜。另一方面，可以從圖 13A 至圖 14B 之程序取代從圖 9D 至圖 10C 之程序。在障壁膜 111d 移除後可再次實施沉積。圖 13A 至 13D 及圖 14A 及 14B 中描繪其範例。例如，在藉由 CMP 法等實施平面化處理之狀況下，有時在膜等表面上造成損害等。在此狀況下，如以下所描述，移除損害之膜或膜之表面區，沉積用於電容器之絕緣膜，藉此可改進電容特性。

[0189] 如參照圖 9D 所描述，圖 13A 描繪導電膜成為

障壁膜 111d 之狀態，插塞 127 等已歷經平面化處理。之後，如圖 13B 中所描繪，藉由蝕刻等移除障壁膜 111d。之後，形成障壁膜 111f。其次，形成抗蝕遮罩並實施蝕刻，藉此於位於諸如插塞 127 及插塞 145 之插塞上之障壁膜 111 之區中形成開口。之後，移除抗蝕遮罩（圖 13C）。

[0190] 其次，形成絕緣膜 115c。之後，形成抗蝕遮罩並實施蝕刻，藉此於絕緣膜 115c 中形成開口。接著，形成導電層 146、導電層 153a 等以填充開口（詳圖 14A）。

[0191] 其次，沉積障壁膜 111c，接著沉積絕緣膜 115b。之後，使用類似於形成導電層 154c、導電層 154d、障壁膜 111f、插塞 127、及插塞 145 之方法形成導電層 154a、導電層 154b、障壁膜 111g、插塞 126、及插塞 147。

[0192] 其次，沉積絕緣膜 115a。之後，藉由類似於形成導電層 146 及導電層 153a 之方法形成導電層 125 及導電層 151。接著，沉積障壁膜 111a。隨後，於障壁膜 111a 中提供開口，形成導電膜，接著使用抗蝕遮罩等形成導電層 105、導電層 152、及導電層 154e（詳圖 14B）。以上描述以從圖 13A 至圖 14B 之程序取代從圖 9D 至圖 10C 之程序的狀況。

[0193] 可使用類似於絕緣膜 136 等之材料形成絕緣膜 115a 至 115e。

[0194] 例如可藉由濺鍍法、CVD 法（包括熱 CVD

法、MOCVD 法、PECVD 法等)、MBE 法、ALD 法、PLD 法等形成障壁膜 111a 至 111g。尤其，較佳的是藉由 CVD 法形成絕緣膜，進一步較佳地為電漿 CVD 法，因為可進一步改進覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法以便減少電漿損害。障壁膜 111 之描述可參照可用於障壁膜 111a 至 111g 之材料。

[0195] 在絕緣膜 115e 形成後，較佳地實施第三熱處理。藉由第三熱處理，水及氫從各層釋放；因而，水及氫之含量可減少。在障壁膜 111e 形成前不久實施第三熱處理以徹底移除來自障壁膜 111e 之下層之氫及水，接著形成障壁膜 111e 之狀況下，可於之後步驟中抑制水及氫擴散及釋放至障壁膜 111e 之下側。

[0196] 可在上述堆疊層結構中做為範例之狀況下實施第三熱處理。例如，可使用針對第一熱處理描述之狀況。請注意，在絕緣膜 115a 至 115d 之每一者沉積後，可實施類似於第三熱處理之熱處理。

[0197] 在此階段，形成電容器 150。電容器 150 包括部分做為第一電極之導電層 152 及 154a 至 154e；部分做為第二電極之導電層 151、153a、及 153b；及障壁膜 111a 至 111e，每一者位於以上層之任二者之間。

[0198] 其次，沉積絕緣膜 114。可藉由例如濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成絕緣膜 114。尤其，較佳的是藉由 CVD 法形成絕緣膜，進一步較佳地為電漿

CVD 法，因為可進一步改進覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法以便減少電漿損害。

[0199] 為使絕緣膜 114 包含過度氧，絕緣膜 114 可沉積於例如氧氣中。另一方面，藉由將氧導入已沉積之絕緣膜 114 中，可形成包含過度氧之區。二方法可組合。

[0200] 例如，氧（至少包括氧自由基、氧原子、及氧離子之任一者）被導入已沉積之絕緣膜 114，藉此形成包含過度氧之區。氧可藉由離子注入法、離子摻雜法、電漿浸沒離子注入法、電漿處理等導入。

[0201] 包含氧之氣體可用於氧導入處理。關於包含氧之氣體，可使用氧、一氧化二氮、二氧化氮、二氧化碳、一氧化碳等。此外，稀有氣體可包括於包含氧之氣體中用於氧導入處理。此外，可包括氫等。例如，可使用二氧化碳、氫、及氫之混合氣體。

[0202] 在絕緣膜 114 形成後，可使用 CMP 法等將絕緣膜 114 歷經平面化處理，以改進其頂表面之平面性。

[0203] 其次，成為半導體層 101a 之半導體膜及成為半導體層 101b 之半導體膜以此順序沉積。半導體膜較佳地成功形成而未與空氣接觸。可藉由濺鍍法、CVD 法、MBE 法、PLD 法、ALD 法等形成成為半導體層 101a 之半導體膜及成為半導體層 101b 之半導體膜。

[0204] 請注意，在藉由 MOCVD 法形成之 In-Ga-Zn 氧化物層用作成為半導體層 101a 之半導體及成為半導體層 101b 之半導體之狀況下，三甲基銻、三甲基鎵、二甲

基鋅等可用作源極氣體。源極氣體不侷限於以上組合，可使用三乙基銻等取代三甲基銻。另一方面，可使用三乙基鎘等取代三甲基鎘。再另一方面，可使用二乙基鋅等取代二甲基鋅。

[0205] 在半導體膜形成後，較佳地實施第四熱處理。熱處理可以高於或等於 250°C 及低於或等於 650°C 之溫度，較佳地高於或等於 300°C 及低於或等於 500°C，於惰性氣體、包含 10 ppm 或更多之氧化氣體或減少壓力狀態之氣體中實施。另一方面，可以下列方式實施熱處理，於惰性氣體中實施熱處理，接著於包含 10 ppm 或更多之氧化氣體之氣體中實施另一熱處理，以便補償脫附氧。請注意，可直接於半導體膜形成後，或在半導體膜被處理為島形半導體層 101a 及 101b 後實施熱處理。經由熱處理，氧可從絕緣膜 114 及氧化物膜供應至半導體膜；因而，半導體膜中之氧空缺可減少。

[0206] 接著，藉由類似於上述之方法形成抗蝕遮罩，並藉由蝕刻移除不必要部分。接著，移除抗蝕遮罩。以此方式，可形成包括島形半導體層 101a 及 101b 之堆疊層結構（詳圖 11A）。請注意，在若干狀況下，於半導體膜之蝕刻中蝕刻部分絕緣膜 114 以減少未被半導體層 101a 及半導體層 101b 覆蓋之部分絕緣膜 114 之厚度。為此原因，絕緣層 114 較佳地形成而具有大厚度以便不被蝕刻移除。

[0207] 之後，形成導電膜 104（詳圖 11B）。可藉由

濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成導電膜 104。尤其，較佳的是藉由 CVD 法形成絕緣膜，進一步較佳地為電漿 CVD 法，因為可進一步改進覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法以便減少電漿損害。

[0208] 其次，形成抗蝕遮罩及藉由蝕刻移除導電膜 104 之不必要部分。之後，移除抗蝕遮罩，使得形成導電層 104a 及導電層 104b。此處，在若干狀況下，於導電膜之蝕刻中蝕刻半導體層 101b 及絕緣膜 114 之部分上部，以減少未與半導體層 101b 重疊之導電層 104a 及導電層 104b 部分之厚度。為此原因，預先考量蝕刻深度，成為半導體層 101b 等之半導體膜較佳地形成具有大厚度。

[0209] 其次，沉積閘極絕緣膜 102 及半導體層 101c，形成抗蝕遮罩，實施蝕刻，接著移除抗蝕遮罩。之後，沉積成為閘極電極 103 之導電膜（詳圖 12A）。接著，形成抗蝕遮罩，藉由蝕刻處理導電膜，及移除抗蝕遮罩，藉此形成閘極電極 103。可藉由濺鍍法、CVD 法、MBE 法、PLD 法、ALD 法等形成成為半導體層 101c 之半導體膜。

[0210] 請注意，在藉由 MOCVD 法形成之 In-Ga-Zn 氧化物層用作成為半導體層 101c 之半導體之狀況下，三甲基銻、三甲基鎵、二甲基鋅等可用作源極氣體。源極氣體不侷限於以上組合，且可使用三乙基銻等取代三甲基銻。另一方面，可使用三乙基鎵等取代三甲基鎵。再另一

方面，可使用二乙基鋅等取代二甲基鋅。

[0211] 在此階段，形成電晶體 100。

[0212] 其次，形成絕緣膜 112。可藉由例如濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成絕緣膜 112。尤其，較佳的是藉由 CVD 法形成絕緣膜，進一步較佳地為電漿 CVD 法，因為可進一步改進覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法，以便減少電漿損害。

[0213] 在形成絕緣膜 112 後，較佳地實施第五熱處理。經由熱處理，氧可從絕緣膜 114 等供應至半導體層 101，以減少半導體層 101 中之氧空缺。此時，從絕緣膜 114 釋放之氧由障壁膜 111 及絕緣膜 112 阻擋，未擴散進入障壁膜 111 之下層及絕緣膜 114 之上層；因此，可有效地限制氧。因而，可增加供應至半導體層 101 之氧量，使得半導體層 101 中之氧空缺可有效地減少。

[0214] 此外，絕緣膜 112 可具有二或更多層之堆疊層結構。在此狀況下，例如絕緣膜 112 可經形成而具有二層結構，其中底層係使用例如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等形成。此外，頂層較佳地使用水及氫不輕易擴散之材料形成，如同在障壁膜 111 之狀況。底絕緣層可為絕緣膜，以類似於絕緣膜 114 之方式，藉由加熱而釋放氧，使得亦可從半導體層 101 以上經由閘極絕緣膜 102 而供應氧。

[0215] 其次，形成絕緣膜 113。絕緣膜 113 經形成而

具有使用例如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等之單一層結構或堆疊層結構。可藉由例如濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成絕緣膜 113。尤其，較佳的是藉由 CVD 法形成絕緣膜 113，更佳地為電漿 CVD 法，因為可有利地覆蓋。較佳的是使用熱 CVD 法、MOCVD 法、或 ALD 法，以便減少電漿損害。

[0216] 隨後，如圖 12B 中所描繪，於絕緣膜 113、絕緣膜 112、閘極絕緣膜 102、導電層 104a、導電層 104b、半導體層 101b、半導體層 101a、及絕緣膜 114 中形成開口。其次，形成導電膜以填充開口，並使用抗蝕遮罩移除不必要部分，及移除抗蝕遮罩，藉此形成插塞 121 及插塞 122。此處，插塞 121 穿透絕緣膜 113、絕緣膜 112、閘極絕緣膜 102、半導體層 101c、導電層 104a、半導體層 101b、半導體層 101a、絕緣膜 114、及障壁膜 111a，並連接至導電層 151。導電層 104a 與插塞 121 之側表面接觸，藉此插塞 121 及導電層 104a 相互連接。以類似方式，插塞 122 穿透絕緣膜 113、絕緣膜 112、閘極絕緣膜 102、半導體層 101c、導電層 104b、半導體層 101b、半導體層 101a、絕緣膜 114、及障壁膜 111a，並連接至導電層 125。導電層 104b 與插塞 122 之側表面接觸，藉此插塞 122 及導電層 104b 相互連接。

[0217] 其次，形成絕緣膜 116。絕緣膜 116 可經形成

而具有使用例如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等之單一層結構或堆疊層結構。可藉由例如濺鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法、PLD 法等形成絕緣膜 116。在使用諸如有機樹脂之有機絕緣材料形成絕緣膜 116 之狀況下，可使用諸如旋塗法之塗裝法。在形成絕緣膜 116 後，其頂表面較佳地歷經平面化處理。絕緣膜 138 之材料及形成方法可用於絕緣膜 116。

[0218] 隨後，藉由類似於上述之方法於絕緣膜 116 中形成達到插塞 122 等之插塞 123。

[0219] 導電膜係形成於絕緣膜 116 之上。接著，藉由類似於上述之方法形成抗蝕遮罩，並藉由蝕刻移除導電膜之不必要部分。之後，移除抗蝕遮罩。以此方式，可形成佈線 124 等（詳圖 12B）。

[0220] 經由以上步驟，可製造本發明之一實施例之半導體裝置。

[0221] 請注意，經由下列程序形成半導體層 101a 及半導體層 101b，可獲得圖 15A 中所描繪之結構：形成導電膜 104，形成抗蝕遮罩，蝕刻導電膜 104，接著蝕刻成為半導體層 101a 之半導體層及成為半導體層 101b 之半導體層。之後，再次處理導電膜 104 以形成導電層 104a，並形成導電層 104b。接著，實施從圖 12A 至圖 13D 之程序，使得電晶體 100 可具有圖 15B 中所描繪之結構。

[0222] 此外，關於具有與圖 15B 中所描繪之電晶體

之電晶體 100 之氧化物半導體。

[0228] 此處，描述圖 6A 及 6B 中所描繪之範例，其中三層形成之堆疊，即半導體層 101a、101b、及 101c 形成之堆疊，用作氧化物半導體；然而，可用於電晶體 100 之氧化物半導體可為單一層形成。另一方面，可採用未提供之半導體層 101a、半導體層 101b、及半導體層 101c 之一或二者之結構。

[0229] 半導體層 101b 為例如包含銦之氧化物半導體。藉由包含例如銦，半導體層 101b 可具有高載子移動性（電子移動性）。半導體層 101b 較佳地包含元素 M。元素 M 較佳地為鋁、鎵、釷、錫等。可用作元素 M 之其他元素為硼、矽、鈦、鐵、鎳、鍺、釷、鋳、鋁、鐳、鈾、釷、鈾、鈾、鎢等。請注意，二或更多以上元素可組合使用做為元素 M。元素 M 為具有例如與氧高鍵合能之元素。元素 M 為與氧鍵合能高於與銦鍵合能之元素。元素 M 為例如可增加氧化物半導體能隙之元素。此外，半導體層 101b 較佳地包含鋅。當氧化物半導體包含鋅時，例如氧化物半導體易於結晶化。

[0230] 請注意，半導體層 101b 不侷限於包含銦之氧化物半導體。半導體層 101b 可為例如不包含銦但包含鋅之氧化物半導體，諸如氧化鋅錫或氧化鎵錫；包含鎵之氧化物半導體；或包含錫之氧化物半導體。

[0231] 對半導體層 101b 而言，使用具寬能隙之氧化物。半導體層 101b 之能隙為例如 2.5 eV 或更大及 4.2 eV

或更小，較佳地為 2.8 eV 或更大及 3.8 eV 或更小，更佳地為 3 eV 或更大及 3.5 eV 或更小。

[0232] 例如，半導體層 101a 及半導體層 101c 各為包括氧以外之半導體層 101b 中所包括之一或更多種元素之氧化物半導體。由於半導體層 101a 及半導體層 101c 各使用氧以外之半導體層 101b 中所包括之一或更多種元素形成，不可能形成半導體層 101a 及半導體層 101b 間之介面及半導體層 101b 及半導體層 101c 間之介面之介面狀態。

[0233] 較佳的是半導體層 101a、半導體層 101b、及半導體層 101c 各較佳地包含銦。在當半導體層 101a 為 In-M-Zn 氧化物之狀況下，當 In 及 M 總和假設為 100 原子%時，In 及 M 之比例較佳地分別設定為小於 50 原子%及大於或等於 50 原子%，進一步較佳地分別為小於 25 原子%及大於或等於 75 原子%。在半導體層 101b 為 In-M-Zn 氧化物之狀況下，當 In 及 M 總和假設為 100 原子%時，In 及 M 之比例較佳地分別設定為大於或等於 25 原子%及小於 75 原子%，進一步較佳地分別為大於或等於 34 原子%及小於 66 原子%。在半導體層 101c 為 In-M-Zn 氧化物之狀況下，當 In 及 M 總和假設為 100 原子%時，In 及 M 之比例較佳地分別設定為小於 50 原子%及大於或等於 50 原子%，進一步較佳地分別為小於 25 原子%及大於或等於 75 原子%。請注意，半導體層 101c 可為與半導體層 101a 種類相同之氧化物。

[0234] 關於半導體層 101b，使用具有較半導體層 101a 及半導體層 101c 更高電子親和性之氧化物。例如，對半導體層 101b 而言，使用具有較半導體層 101a 及半導體層 101c 之每一者之電子親和性高的氧化物，大於或等於 0.07 eV 及小於或等於 1.3 eV，較佳地大於或等於 0.1 eV 及小於或等於 0.7 eV，進一步較佳地大於或等於 0.15 eV 及小於或等於 0.4 eV。請注意，電子親和性係指真空能階間之能隙及傳導帶之底部。

[0235] 請注意，氧化銦鎵具有小電子親和力及高氧阻擋屬性。因此，半導體層 101c 較佳地包括氧化銦鎵。鎵之原子百分比 $[Ga / (In + Ga)]$ 為例如高於或等於 70%，較佳地高於或等於 80%，進一步較佳地高於或等於 90%。

[0236] 當電場施加於閘極電極時，於半導體層 101b 中形成通道，其具有半導體層 101a、101b、及 101c 間最高電子親和性。

[0237] 圖 18A 描繪能帶結構。在圖 18A 中，描繪真空能階（標示為「真空能階」）、各層之傳導帶之底部能量（標示為「 E_c 」）、及價帶之頂部能量（標示為「 E_v 」）。

[0238] 此處，半導體層 101a 及半導體層 101b 之混合區可能存在於半導體層 101a 及半導體層 101b 之間。此外，半導體層 101b 及半導體層 101c 之混合區可能存在於半導體層 101b 及半導體層 101c 之間。混合區具有低密度介面狀態。為此原因，包括半導體層 101a、101b、及

101c 之堆疊具有頻帶結構，其中在每一介面及介面附近之能量持續地改變（連續介面）。

[0239] 請注意，圖 18A 描繪半導體層 101a 之 E_c 及半導體層 101c 之 E_c 相互相等之狀況；然而，其可相互不同。例如，半導體層 101c 之 E_c 可高於半導體層 101a 之 E_c 。

[0240] 此時，電子主要並非在半導體層 101a 及半導體層 101c 而係在半導體層 101b 中移動（詳圖 18B）。如上述，當半導體層 101a 及半導體層 101b 間之介面之介面狀態密度及半導體層 101b 及半導體層 101c 間之介面之介面狀態密度降低時，電晶體之開啟狀態電流可增加且半導體層 101b 之電子移動不中斷。

[0241] 請注意，在電晶體具有 s 通道結構之狀況下，於半導體層 101b 之整個區中形成通道。因此，隨著半導體層 101b 之厚度增加，通道區之尺寸增加。即，半導體層 101b 愈厚，電晶體之開啟狀態電流愈大。例如，半導體層 101b 可具有具大於或等於 20 nm 厚度之區，較佳地大於或等於 40 nm，進一步較佳地大於或等於 60 nm，及仍進一步較佳地大於或等於 100 nm。請注意，存在半導體裝置產量減少之可能性；因此，例如半導體層 101b 包括例如小於或等於 300 nm 厚度之區，較佳地小於或等於 200 nm，及進一步較佳地小於或等於 150 nm。

[0242] 再者，半導體層 101c 之厚度較佳地儘量小，以增加電晶體之開啟狀態電流。例如，半導體層 101c 可

包括小於 10 nm 厚度之區，較佳地小於或等於 5 nm，及進一步較佳地小於或等於 3 nm。同時，半導體層 101c 具有阻擋鄰近絕緣體中所包括之氧以外元素（諸如氫及矽）進入通道形成之半導體層 101b 之功能。為此原因，較佳的是半導體層 101c 具有某厚度。例如，半導體層 101c 可包括大於或等於 0.3 nm 厚度之區，較佳地大於或等於 1 nm，及進一步較佳地大於或等於 2 nm。半導體層 101c 較佳地具有氧阻擋屬性，以抑制從絕緣膜 102 等釋放之氧向外擴散。

[0243] 為改進可靠性，較佳地，半導體層 101a 之厚度大及半導體層 101c 之厚度小。例如，半導體層 101a 可包括大於或等於 10 nm 厚度之區，較佳地大於或等於 20 nm，進一步較佳地大於或等於 40 nm，及仍進一步較佳地大於或等於 60 nm。當半導體層 101a 之厚度大時，從鄰近絕緣體及半導體層 101a 間之介面至通道形成之半導體層 101b 之距離可為大。由於半導體裝置之產量可能減少，半導體層 101a 具有例如小於或等於 200 nm 厚度之區，較佳地小於或等於 120 nm，更佳地小於或等於 80 nm。

[0244] 當氧化物半導體膜包含大量氫時，氫及氧化物半導體相互鍵合，使得部分氫充當施體及造成做為載子之電子產生。結果，電晶體之閾值電壓以負方向偏移。因此，較佳的是在氧化物半導體膜形成後，實施脫水處理（脫氫處理）以從氧化物半導體膜移除氫或濕氣，使得氧

化物半導體膜高度純化而包含儘量少雜質。

[0245] 請注意，在若干狀況下，氧化物半導體膜中之氧亦藉由脫水處理（脫氫處理）而減少。因此，較佳的是添加氧至氧化物半導體膜以填充由脫水處理（脫氫處理）增加之氧空缺。在本說明書等中，供應氧至氧化物半導體膜可表示為氧添加處理，及使氧化物半導體膜之氧含量超過化學計量組成之處理可表示為造成超氧狀態之處理。

[0246] 以此方式，藉由脫水處理（脫氫處理）從氧化物半導體膜移除氫或濕氣，及藉由氧添加處理填充其中氧空缺，藉此氧化物半導體膜可成為 i 型（固有）氧化物半導體膜或極接近 i 型氧化物半導體膜之實質上 i 型（固有）氧化物半導體膜。請注意，「實質上固有」表示氧化物半導體膜包含源自施體之極少（接近零）載子，及具有低於或等於 $1 \times 10^{17}/\text{cm}^3$ 載子密度，低於或等於 $1 \times 10^{16}/\text{cm}^3$ 、低於或等於 $1 \times 10^{15}/\text{cm}^3$ 、低於或等於 $1 \times 10^{14}/\text{cm}^3$ 或低於或等於 $1 \times 10^{13}/\text{cm}^3$ 、特佳地低於 $8 \times 10^{11}/\text{cm}^3$ 、仍進一步較佳地低於 $1 \times 10^{11}/\text{cm}^3$ 、再進一步較佳地低於 $1 \times 10^{10}/\text{cm}^3$ 、及 $1 \times 10^{-9}/\text{cm}^3$ 或更高。

[0247] 因而，包括 i 型或實質上 i 型氧化物半導體膜之電晶體可具有極有利關閉狀態電流特性。例如，當包括氧化物半導體膜之電晶體處於關閉狀態時，汲極電流於室溫（約 25°C ）可小於或等於 $1 \times 10^{-18}\text{A}$ ，較佳地小於或等於 $1 \times 10^{-21}\text{A}$ ，進一步較佳地小於或等於 $1 \times 10^{-24}\text{A}$ ；或於 85°C

下小於或等於 $1 \times 10^{-15} \text{A}$ ，較佳地小於或等於 $1 \times 10^{-18} \text{A}$ ，進一步較佳地小於或等於 $1 \times 10^{-21} \text{A}$ 。請注意，n 通道電晶體之關閉狀態係指閘極電壓充分低於閾值電壓之狀態。具體地，當閘極電壓低於閾值電壓達 1V 或更多、2V 或更多、或 3V 或更多時，電晶體處於關閉狀態。

[0248] 以下描述氧化物半導體膜之結構。

[0249] 氧化物半導體膜分為非單晶氧化物半導體膜及單晶氧化物半導體膜。另一方面，氧化物半導體分為例如結晶氧化物半導體及非結晶氧化物半導體。非單晶氧化物半導體膜之範例包括 c 軸對齊結晶氧化物半導體 (CAAC-OS) 膜、多晶氧化物半導體膜、微晶氧化物半導體膜、及非結晶氧化物半導體膜。此外，結晶氧化物半導體之範例包括單晶氧化物半導體、CAAC-OS、多晶氧化物半導體、及微晶氧化物半導體。

[0250] 首先，描述 CAAC-OS 膜。請注意，CAAC-OS 可稱為包括 c 軸對齊奈米晶體 (CANC) 之氧化物半導體。

[0251] CAAC-OS 膜為具有複數 c 軸對齊結晶部分 (亦稱為片件) 之氧化物半導體膜。

[0252] 在 CAAC-OS 膜之明場圖像及繞射圖案之組合分析圖像 (亦稱為高解析度 TEM 圖像) 中，其係使用透射電子顯微鏡 (TEM) 獲得，可觀察複數片件。然而，在高解析度 TEM 圖像中，未清楚地觀察到片件間之邊界，即晶粒邊界。因而，在 CAAC-OS 膜中，幾乎不可能發生

因晶粒邊界而減少電子移動性。

[0253] 依據沿實質上平行於樣本表面（截面 TEM 圖像）之方向觀察之 CAAC-OS 膜之 TEM 圖像，金屬原子係以層級方式配置於結晶部分中。每一金屬原子層具有反映其上形成 CAAC-OS 膜之表面（以下，其上形成 CAAC-OS 膜之表面稱為形成表面）或 CAAC-OS 膜之頂表面之不平坦的形態，並平行於 CAAC-OS 膜之形成表面或頂表面配置。

[0254] 另一方面，依據以實質上垂直於樣本表面之方向觀察之 CAAC-OS 膜的 TEM 圖像（計畫 TEM 圖像），金屬原子係以三角形或六邊形組態配置於結晶部分中。然而，不同結晶部分間之金屬原子存在不規則配置。

[0255] 圖 19A 為 CAAC-OS 膜之截面 TEM 圖像。圖 19B 為放大圖 19A 之圖像所獲得之截面 TEM 圖像。在圖 19B 中，為易於理解而強調原子配置。

[0256] 圖 19C 為圖 19A 中由 A 及 O 間及 O 及 A'間之圓（直徑約 4 nm）圍繞之每一區之傅立葉轉換圖像。可於 19C 中每一區中觀察 C 軸對齊。A 及 O 間之 c 軸方向與 O 及 A'間之 c 軸方向不同，表示 A 及 O 間之區中晶粒與 O 及 A'間之區中晶粒不同。此外，A 及 O 間 c 軸角度持續地及逐漸地改變，從 14.3° 、 16.6° 至 26.4° 。類似地，O 及 A'間 c 軸角度持續地改變，從 -18.3° 、 -17.6° 至 -15.9° 。

[0257] 請注意，在 CAAC-OS 膜之電子繞射圖案中，

顯示斑點（亮點）對齊。例如，當於 CAAC-OS 膜之頂表面上實施具電子束之電子繞射時，觀察斑點（詳圖 20A），其中電子束具有例如 1 nm 或更多及 30 nm 或更少之直徑（該電子繞射亦稱為奈米射束電子繞射）。

[0258] 從截面 TEM 圖像及計畫 TEM 圖像之結果，於 CAAC-OS 膜之結晶部分中發現對齊。

[0259] CAAC-OS 膜中所包括之大部分結晶部分各置入一側小於 100 nm 之管。因而，存在 CAAC-OS 膜中所包括之結晶部分之狀況置入一管，其一側小於 10 nm、小於 5 nm、或小於 3 nm。請注意，當 CAAC-OS 膜中所包括之複數結晶部分相互連接時，在若干狀況下形成一大結晶區。例如，在若干狀況下於計畫 TEM 圖像中觀察具 2500 nm² 或更多，5 μm² 或更多，或 1000 μm² 或更多之面積的結晶區。

[0260] CAAC-OS 膜歷經以 X 射線繞射（XRD）設備之結構分析。例如，當藉由面外方法分析包括 InGaZnO₄ 結晶之 CAAC-OS 膜時，當繞射角度（2θ）約 31°時峰值頻繁地出現。此峰值係源自 InGaZnO₄ 結晶之（009）平面，表示 CAAC-OS 膜中之結晶具有 c 軸對齊，及 c 軸係以實質上垂直於 CAAC-OS 膜之形成表面或頂表面之方向對齊。

[0261] 另一方面，當藉由 X 射線以實質上垂直 c 軸之方向進入樣本之面內方法分析 CAAC-OS 膜時，當 2θ 約 56°時，峰值頻繁地出現。此峰值係源自 InGaZnO₄ 結晶之

(110) 平面。此處，在樣本繞樣本表面之法線向量為軸 (ϕ 軸) 旋轉且 2θ 固定約 56° 之狀況下實施分析 (ϕ 掃描)。在樣本為 InGaZnO_4 之單晶氧化物半導體膜之狀況下，出現六峰值。六峰值係源自等同於 (110) 平面之結晶平面。另一方面，在 CAAC-OS 膜之狀況下，甚至當 2θ 固定約 56° 實施 ϕ 掃描時，未清楚觀察到峰值。

[0262] 依據以上結果，在具有 c 軸對齊之 CAAC-OS 膜中，雖然結晶部分間 a 軸及 b 軸之方向不同， c 軸係以平行於形成表面之法線向量或頂表面之法線向量之方向對齊。因而，以截面 TEM 圖像中所觀察之層級方式配置的每一金屬原子層對應於平行於結晶之 a - b 平面的平面。

[0263] 請注意，結晶部分係與 CAAC-OS 膜之沉積同時形成，或經由諸如熱處理之結晶化處理形成。如上述，結晶之 c 軸沿平行於形成表面之法線向量或頂表面之法線向量的方向對齊。因而，例如在藉由蝕刻等改變 CAAC-OS 膜形狀之狀況下， c 軸可能不一定平行於 CAAC-OS 膜之形成表面之法線向量或頂表面之法線向量。

[0264] 此外，CAAC-OS 膜中 c 軸對齊結晶部分之分佈不一定均勻。例如，在從膜之頂表面附近發生導致 CAAC-OS 膜之結晶部分之結晶生長之狀況下，頂表面附近 c 軸對齊結晶部分之比例在若干狀況下高於形成表面附近。此外，當雜質添加至 CAAC-OS 膜時，在若干狀況下，添加雜質之區改變，且 CAAC-OS 膜中 c 軸對齊結晶部分之比例隨區而異。

[0265] 請注意，當藉由面外方法分析具 InGaZnO_4 結晶之 CAAC-OS 膜時，除了約 31° 之 2θ 峰值外，亦可以約 36° 觀察 2θ 之峰值。約 36° 之 2θ 峰值表示部分 CAAC-OS 膜中包括具有無 c 軸對齊之結晶。較佳的是在 CAAC-OS 膜中， 2θ 峰值出現在約 31° ，且 2θ 峰值未出現在約 36° 。

[0266] CAAC-OS 膜為具有低雜質濃度之氧化物半導體膜。雜質為氧化物半導體膜之主組件以外元素，諸如氫、碳、矽、或過渡金屬元素。尤其，具有較氧化物半導體膜中所包括之金屬元素更高對氧鍵合力之元素，諸如矽，藉由剝奪氧之氧化物半導體膜而干擾氧化物半導體膜之原子配置，並造成結晶度減少。此外，諸如鐵或鎳之重金屬、氫、二氧化碳等具有大原子半徑（分子半徑），因而干擾氧化物半導體膜之原子配置，並於包含於氧化物半導體膜中時造成結晶度減少。請注意，氧化物半導體膜中所包含之雜質可能充當載子捕獲或載子產生源。

[0267] CAAC-OS 膜為具有低密度缺陷狀態之氧化物半導體膜。在若干狀況下，當氫被捕獲其中時，氧化物半導體膜中之氧空缺充當載子捕獲或充當載子產生源。

[0268] 雜質濃度低且缺陷狀態密度低（氧量空缺小）之狀態稱為「高度純化固有」或「實質上高度純化固有」狀態。高度純化固有或實質上高度純化固有氧化物半導體膜具有少載子產生源，因而可具有低載子密度。因而，包括氧化物半導體膜之電晶體鮮少具有負閾值電壓（為鮮開型）。高度純化固有或實質上高度純化固有氧化

物半導體膜具有低密度缺陷狀態，因而具有少載子捕獲。因此，包括氧化物半導體膜之電晶體具有少變化電氣特性及高可靠性。氧化物半導體膜中載子捕獲所捕獲之電荷花費長時間釋放，並可能具有相似固定電荷。因而，在若干狀況下，包括具有高雜質濃度及高密度缺陷狀態之氧化物半導體膜的電晶體具有不穩定電氣特性。

[0269] 基於使用電晶體中之 CAAC-OS 膜，因以可見光或紫外光放射，電晶體之電氣特性變化小。

[0270] 圖 36A 顯示從實質上平行於樣本表面之方向觀察之 CAAC-OS 膜之截面之高解析度 TEM 圖像範例。以球面像差校正器功能獲得高解析度 TEM 圖像。球面像差校正器功能獲得之高解析度 TEM 圖像特別稱為球差校正高解析度 TEM 圖像。可以例如「JEOL Ltd.」製造之 JEM-ARM200F 原子解析度解析電子顯微鏡獲得球差校正高解析度 TEM 圖像。

[0271] 圖 36B 為圖 36A 中區 (1) 之放大球差校正高解析度 TEM 圖像。圖 36B 顯示金屬原子係以層級方式配置於片件中。每一金屬原子層具有反映其上形成 CAAC-OS 膜之表面 (以下，該表面稱為形成表面) 或 CAAC-OS 膜之頂表面之不平坦的組態，並平行於 CAAC-OS 膜之形成表面或頂表面配置。

[0272] 如圖 36B 中所示，CAAC-OS 具有特性原子配置。圖 36C 中特性原子配置係以輔助線標示。圖 36B 及 36C 證實片件之尺寸約為 1 nm 至 3 nm，且片件傾斜造成

之空間尺寸約為 0.8 nm。因此，片件亦可稱為奈米晶體 (nc)。

[0273] 此處，依據球差校正高解析度 TEM 圖像，基板 5120 上之 CAAC-OS 之片件 5100 之示意配置，係以其中磚或塊堆疊之結構描繪 (詳圖 36D)。如圖 36C 中所觀察之片件傾斜部分對應於圖 36D 中所示之區 5161。

[0274] 圖 37A 顯示從實質上垂直於樣本表面之方向觀察之 CAAC-OS 之平面之球差校正高解析度 TEM 圖像。圖 37B、37C、及 37D 分別為圖 37A 中區 (1)、(2)、及 (3) 之放大球差校正高解析度 TEM 圖像。圖 37B、37C、及 37D 表示金屬原子係以三角形、四邊形、或六邊形組態配置於片件中。然而，不同片件間之金屬原子存在不規則配置。

[0275] 其次，描述由 X 射線繞射 (XRD) 分析之 CAAC-OS。例如，當以面外方法分析包括 InGaZnO_4 結晶之 CAAC-OS 結構時，如圖 38A 中所示，峰值出現於約 31° 之繞射角度 (2θ)。此峰值源自 InGaZnO_4 結晶之 (009) 平面，此表示 CAAC-OS 中之結晶具有 c 軸對齊，且 c 軸係以實質上垂直於 CAAC-OS 之形成表面或頂表面之方向對齊。

[0276] 請注意，在由面外方法之 CAAC-OS 的結構分析中，除了約 31° 之 2θ 峰值以外，當 2θ 約 36° 時可出現另一峰值。約 36° 之 2θ 峰值表示部分 CAAC-OS 中包括具有無 c 軸對齊之結晶。較佳的是在由面外方法分析之

CAAC-OS 中，當 2θ 約 31° 時峰值出現，但當 2θ 約 36° 時峰值未出現。

[0277] 另一方面，在藉由面內方法之 CAAC-OS 之結構分析中，其中 X 射線以實質上垂直於 c 軸之方向入射於樣本上，當 2θ 約 56° 時峰值出現。此峰值係源自 InGaZnO_4 結晶之 (110) 平面。在 CAAC-OS 之狀況下，當 2θ 固定約 56° 且樣本使用樣本表面之法線向量為軸 (ϕ 軸) 旋轉時實施分析 (ϕ 掃描)，如圖 38B 中所示，未清楚觀察到峰值。相反地，在 InGaZnO_4 之單晶氧化物半導體之狀況下，當 2θ 固定約 56° 實施 ϕ 掃描時，如圖 38C 中所示，觀察到源自等同於 (110) 平面之結晶平面的六峰值。因此，使用 XRD 之結構分析顯示 a 軸及 b 軸之方向與 CAAC-OS 中不同。

[0278] 其次，描述藉由電子繞射之 CAAC-OS 分析。例如，當具 300 nm 探針直徑之電子束以平行於樣本表面之方向入射於包括 InGaZnO_4 結晶之 CAAC-OS 上時，可能獲得圖 39A 中所示之繞射圖案 (亦稱為選擇面積透射電子繞射圖案)。在此繞射圖案中，包括源自 InGaZnO_4 結晶之 (009) 平面的斑點。因而，電子繞射亦表示 CAAC-OS 中所包括之片件具有 c 軸對齊，且 c 軸係以實質上垂直於 CAAC-OS 之形成表面或頂表面之方向對齊。同時，圖 39B 顯示以下列方式獲得之繞射圖案，其中具 300 nm 探針直徑之電子束以垂直於樣本表面之方向入射於相同樣本上。如圖 39B 中所示，觀察到環形繞射圖案。因而，電子

繞射亦表示 CAAC-OS 中所包括之片件之 a 軸及 b 軸不具有規則對齊。圖 39B 中第一環被認為是源自 InGaZnO_4 結晶之 (010) 平面、(100) 平面等。圖 39B 中第二環被認為是源自 (110) 平面等。

[0279] 其次，描述多晶氧化物半導體膜。

[0280] 在以 TEM 獲得之圖像中，可於多晶氧化物半導體膜中發現例如結晶晶粒。在大部分狀況下，在例如以 TEM 獲得之圖像中，多晶氧化物半導體膜中結晶晶粒之尺寸為大於或等於 2 nm 及小於或等於 300 nm，大於或等於 3 nm 及小於或等於 100 nm，或大於或等於 5 nm 及小於或等於 50 nm。再者，在以 TEM 獲得之圖像中，在若干狀況下可於多晶氧化物半導體膜中發現結晶間之邊界。

[0281] 多晶氧化物半導體膜可包括複數結晶晶粒，且複數結晶晶粒中結晶之對齊可不同。多晶氧化物半導體膜歷經以 XRD 設備之結構分析。例如，當藉由面外方法分析包括 InGaZnO_4 結晶之多晶氧化物半導體膜時，在若干狀況下於約 31° 、 36° 等出現 2θ 峰值。

[0282] 在若干狀況下，多晶氧化物半導體膜具有高結晶度及因而具有高電子移動性。因此包括多晶氧化物半導體膜之電晶體具有高場效移動性。請注意，存在雜質被隔離於多晶氧化物半導體膜中結晶間之晶粒邊界之狀況。再者，多晶氧化物半導體膜之晶粒邊界成為缺陷狀態。由於多晶氧化物半導體膜之晶粒邊界可充當載子捕獲或載子產生源，包括多晶氧化物半導體膜之電晶體在若干狀況下

較包括 CAAC-OS 膜之電晶體具有更大電氣特性變化及更低可靠性。

[0283] 其次，描述微晶氧化物半導體膜。

[0284] 在以 TEM 獲得之圖像中，在若干狀況下於微晶氧化物半導體中無法清楚發現結晶部分。在大部分狀況下，微晶氧化物半導體中結晶部分大於或等於 1 nm 及小於或等於 100 nm，或大於或等於 1 nm 及小於或等於 10 nm。具大於或等於 1 nm 及小於或等於 10 nm 之尺寸，或大於或等於 1 nm 及小於或等於 3 nm 之尺寸之微晶具體地稱為奈米晶體 (nc)。包括奈米晶體之氧化物半導體膜稱為 nc-OS (奈米晶體氧化物半導體) 膜。在以 TEM 獲得之圖像中，在若干狀況下於 nc-OS 膜中無法清楚發現結晶晶粒。請注意，存在奈米晶體之源頭與 CAAC-OS 中片件之源頭相同的可能性。因此，在下列描述中，nc-OS 之結晶部分可稱為片件。

[0285] 在 nc-OS 膜中，微觀區 (例如，具大於或等於 1 nm 及小於或等於 10 nm 尺寸之區，尤其是具大於或等於 1 nm 及小於或等於 3 nm 尺寸之區) 具有定期原子序。請注意，nc-OS 膜中不同結晶部分間無結晶方位規則。因而，未觀察整個膜之方位。因此，在若干狀況下，nc-OS 膜無法依據分析方法與非結晶氧化物半導體區別。例如，當 nc-OS 膜歷經以使用具有較結晶部分 (片件) 尺寸更大直徑之 X 射線之 XRD 設備藉由面外方法之結構分析時，顯示結晶平面之峰值未出現。此外，當 nc-OS 膜歷

經使用具大於片件尺寸之探針直徑（例如 50 nm 或更大）之電子束之電子繞射（該電子繞射亦稱為選擇面積電子繞射）時，觀察到光環圖案之繞射圖案。同時，當施用具有接近或小於片件尺寸之探針直徑之電子束時，nc-OS 膜之奈米射束電子繞射圖案中出現斑點。此外，在 nc-OS 膜之奈米射束電子繞射圖案中，在若干狀況下顯示圓形（環）圖案中之高亮度區。而且在 nc-OS 層之奈米射束電子繞射圖案中，在若干狀況下於環形區中顯示複數斑點（詳圖 20B）。

[0286] 由於如上述片件（奈米晶體）間之結晶方位無規則，nc-OS 亦可稱為包括隨機對齊奈米晶體（RANC）之氧化物半導體或包括非對齊奈米晶體（NANC）之氧化物半導體。

[0287] 相較於非結晶氧化物半導體膜，nc-OS 膜為具有高規則之氧化物半導體膜。因此，nc-OS 膜具有較非結晶氧化物半導體膜更低密度缺陷狀態。請注意，nc-OS 膜中不同結晶部分間之結晶方位無規則。然而，nc-OS 膜中不同結晶部分間之結晶方位無規則；因此，nc-OS 膜具有較 CAAC-OS 膜更高密度缺陷狀態。

[0288] 因而，nc-OS 膜可具有較 CAAC-OS 膜更高載子密度。具有高載子密度之氧化物半導體膜可具有高電子移動性。因而，包括 nc-OS 膜之電晶體可具有高場效移動性。nc-OS 膜具有較 CAAC-OS 膜更高缺陷狀態密度，因而可具有大量載子捕獲。結果，包括 nc-OS 膜之電晶體較

包括 CAAC-OS 膜之電晶體具有更大電氣特性變化及更低可靠性。相較於 CAAC-OS 膜，nc-OS 膜可輕易形成，因為甚至當包括相對大量雜質時，可形成 nc-OS 膜；因而依據目的，在若干狀況下可有利地使用 nc-OS 膜。因此，在若干狀況下可以高產量製造包括包括 nc-OS 膜之電晶體的半導體裝置。

[0289] 其次，描述非結晶氧化物半導體膜。

[0290] 非結晶氧化物半導體膜具有無序原子配置及無結晶部分。例如，非結晶氧化物半導體膜不具有如石英中之特定狀態。

[0291] 在以 TEM 獲得之圖像中，於非結晶氧化物半導體膜中無法發現結晶部分。

[0292] 當非結晶氧化物半導體膜歷經以 XRD 設備藉由面外方法之結構分析時，顯示結晶平面之峰值未出現。非結晶氧化物半導體膜之電子繞射圖案中顯示光環圖案。此外，非結晶氧化物半導體膜之奈米射束電子繞射圖案中顯示光環圖案但未顯示斑點。

[0293] 非結晶氧化物半導體膜包含諸如氫之高濃度雜質。此外，非結晶氧化物半導體膜具有高密度缺陷狀態。

[0294] 具有高雜質濃度及高密度缺陷狀態之氧化物半導體膜具有許多載子捕獲或許多載子產生源。

[0295] 因此，非結晶氧化物半導體膜具有較 nc-OS 膜更高載子密度。因此，包括非結晶氧化物半導體膜之電

晶體傾向於常開型。因而，在若干狀況下，該等非結晶氧化物半導體層可施加於需為常開型之電晶體。由於非結晶氧化物半導體膜具有高密度缺陷狀態，載子捕獲可能增加。結果，包括非結晶氧化物半導體膜之電晶體具有較包括 CAAC-OS 膜或 nc-OS 膜之電晶體更大電氣特性變化及更低可靠性。

[0296] 請注意，氧化物半導體膜可具有具有 nc-OS 膜及非結晶氧化物半導體膜間之實體屬性之結構。具有該等結構之氧化物半導體膜特別稱為非結晶型氧化物半導體（OS 型）膜。

[0297] 在 OS 型膜之高解析度 TEM 圖像中，可見到空洞。此外，在高解析度 TEM 圖像中，存在清楚觀察到結晶部分之區及未觀察到結晶部分之區。在非結晶型 OS 膜中，發生藉由用於 TEM 觀察之輕量電子束之結晶化，且有時發現結晶部分之生長。相反地，在具有良好品質之 nc-OS 膜中較少見到藉由用於 TEM 觀察之輕量電子束之結晶化。

[0298] 請注意，可使用高解析度 TEM 圖像測量 OS 型膜及 nc-OS 膜中結晶部分尺寸。例如， InGaZnO_4 結晶具有層級結構，其中二 Ga-Zn-O 層係包括於 In-O 層之間。 InGaZnO_4 結晶之單元胞具有一結構，其中三 In-O 層及六 Ga-Zn-O 層之九層為 c 軸方向之層級。因此，該些鄰近層間之間隔等同於 (009) 平面上之晶格間隔（亦稱為 d 值）。該值從結晶結構分析計算為 0.29 nm。因

而，其間間隔從 0.28 nm 至 0.30 nm 之每一晶格邊緣對應於 InGaZnO_4 結晶之 a-b 平面，集中在高解析度 TEM 圖像中之晶格邊緣。

[0299] OS 型具有不穩定結構，因為其包括空洞。為驗證相較於 CAAC-OS 及 nc-OS，OS 型具有不穩定結構，以下描述由電子放射造成之結構改變。

[0300] 準備 OS 型（樣本 A）、nc-OS（樣本 B）、及 CAAC-OS（樣本 C），做為歷經電子放射之樣本。每一樣本為 In-Ga-Zn 氧化物。

[0301] 首先，獲得每一樣本之高解析度截面 TEM 圖像。高解析度截面 TEM 圖像顯示所有樣本具有結晶部分。

[0302] 請注意，哪一部分被視為結晶部分係決定如下。已知 InGaZnO_4 結晶之單元胞具有一結構，其中包括三 In-O 層及六 Ga-Zn-O 層之九層以 c 軸方向堆疊。鄰近層間之距離等同於 (009) 平面上之晶格間隔（亦稱為 d 值）。該值從結晶結構分析計算為 0.29 nm。因此，晶格邊緣間之晶格間隔大於或等於 0.28 nm 及小於或等於 0.30 nm 之部分被視為 InGaZnO_4 之結晶部分。每一晶格邊緣對應於 InGaZnO_4 結晶之 a-b 平面。

[0303] 圖 40 顯示每一樣本中結晶部分之平均尺寸改變（22 點至 45 點）。請注意，結晶部分尺寸對應於晶格邊緣長度。圖 40 表示 OS 型中結晶部分尺寸隨累積電子劑量增加而增加。具體來說，如圖 40 中 (1) 所示，在 TEM

觀察開始，約 1.2 nm 之結晶部分（亦稱為初始核），在 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 累積電子劑量下生長至約 2.6 nm 尺寸。相反地，nc-OS 及 CAAC-OS 中結晶部分尺寸顯示從電子放射開始至 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 累積電子劑量之小改變。具體來說，如圖 40 中（2）及（3）所示，nc-OS 及 CAAC-OS 中平均結晶尺寸分別為約 1.4 nm 及約 2.1 nm，與累積電子劑量無關。

[0304] 以此方式，OS 型中結晶部分生長係由電子放射引發。相反地，在 nc-OS 及 CAAC-OS 中，結晶部分生長幾乎不由電子放射引發。因此，相較於 nc-OS 及 CAAC-OS，OS 型具有不穩定結構。

[0305] OS 型具有較 nc-OS 及 CAAC-OS 更低密度，因為其包括空洞。具體來說，OS 型之密度較具有相同組成之單晶氧化物半導體之密度高於或等於 78.6% 及低於 92.3%。每一 nc-OS 及 CAAC-OS 之密度較具有相同組成之單晶氧化物半導體之密度高於或等於 92.3% 及低於 100%。請注意，難以沉積具有較單晶氧化物半導體層之密度低於 78% 之密度的氧化物半導體層。

[0306] 氧化物半導體膜之密度可能隨其結構而異。例如，若決定氧化物半導體膜之組成，可從氧化物半導體膜之密度及具有與氧化物半導體膜相同組成之單晶氧化物半導體膜之密度間之比較，估計氧化物半導體膜之結構。例如，OS 型膜之密度較具有相同組成之單晶氧化物半導體之密度高於或等於 78.6% 及低於 92.3%。例如，每一

nc-OS 膜及 CAAC-OS 膜之密度較具有相同組成之單晶氧化物半導體之密度高於或等於 92.3%及低於 100%。請注意，難以沉積其密度較單晶氧化物半導體膜之密度低於 78%之氧化物半導體膜。

[0307] 提供以上描述之特定範例。例如，在具 In : Ga : Zn=1 : 1 : 1 原子比之氧化物半導體膜之狀況下，具菱形結晶結構之單晶 InGaZnO_4 之密度為 6.357g/cm^3 。因而，例如在具 In : Ga : Zn=1 : 1 : 1 原子比之氧化物半導體膜之狀況下，OS 型膜之密度為高於或等於 5.0g/cm^3 及低於 5.9g/cm^3 。此外，例如在具 In : Ga : Zn=1 : 1 : 1 原子比之氧化物半導體膜之狀況下，nc-OS 膜或 CAAC-OS 膜之密度為高於或等於 5.9g/cm^3 及低於 6.3g/cm^3 。

[0308] 請注意，在若干狀況下具相同組成之單晶不存在。在該等狀況下，藉由以特定比例組合單晶與不同組成，可計算對應於具所欲組成之單晶密度之密度。可使用相對於具不同組成之單晶之組合比的加權平均來計算具所欲組成之單晶密度。請注意，對於密度計算而言，較佳的是組合儘量少種單晶。

[0309] 其次，描述單晶氧化物半導體膜。

[0310] 單晶氧化物半導體膜具有較低雜質濃度及較低密度缺陷狀態（小氧量空缺）。因而，載子密度可減少。因此，包括單晶氧化物半導體膜之電晶體不可能為常開型。再者，由於單晶氧化物半導體膜具有較低雜質濃度及較低密度缺陷狀態，載子捕獲可能減少。因而，包括單

晶氧化物半導體膜之電晶體具有小改變之電氣特性，因此具有高可靠性。

[0311] 請注意，當氧化物半導體膜具有少缺陷時，其密度增加。當氧化物半導體膜具有高結晶度時，其密度增加。當氧化物半導體膜具有諸如氫之較低雜質濃度時，其密度增加。單晶氧化物半導體膜具有較 CAAC-OS 膜更高密度。CAAC-OS 膜具有較微晶氧化物半導體膜更高密度。多晶氧化物半導體膜具有較微晶氧化物半導體膜更高密度。微晶氧化物半導體膜具有較非結晶氧化物半導體膜更高密度。

[0312] 請注意，氧化物半導體膜可為包括二或更多種例如非結晶氧化物半導體膜、微晶氧化物半導體膜、及 CAAC-OS 膜之堆疊膜。

[0313]

<沉積模型>

以下描述 CAAC-OS 及 nc-OS 之沉積模型範例。

[0314] 圖 41A 為藉由濺鍍法沉積 CAAC-OS 之沉積室內部示意圖。

[0315] 靶材 5130 附著至背板。提供複數磁鐵以面對靶材 5130，且背板位於其間。複數磁鐵產生磁場。利用磁鐵之磁場增加處理速度之濺鍍法稱為磁控管濺鍍法。

[0316] 基板 5120 經配置而面對靶材 5130，且距離 d （亦稱為靶材-基板距離（T-S 距離））大於或等於 0.01 m 及小於或等於 1 m，較佳地大於或等於 0.02 m 及小於或

等於 0.5 m。沉積室主要係以沉積氣體（例如氧氣、氬氣、或包含 5 vol%或更高氧之混合氣體）填充，且沉積室中之壓力經控制而高於或等於 0.01 Pa 及低於或等於 100 Pa，較佳地高於或等於 0.1 Pa 及低於或等於 10 Pa。此處，藉由施加恆定值或更高電壓至靶材 5130 而開始放電，並觀察電漿。磁場於靶材 5130 附近形成高密度電漿區。在高密度電漿區中，沉積氣體離子化，使得產生離子 5101。離子 5101 之範例包括氧陽離子 (O^+) 及氬陽離子 (Ar^+)。

[0317] 此處，靶材 5130 具有多晶結構，其包括複數結晶晶粒且至少一結晶晶粒中存在裂解平面。圖 42A 顯示靶材 5130 中所包括之 $InGaZnO_4$ 結晶結構做為範例。請注意，圖 42A 顯示當 c 軸處於向上方向時，從平行於 b 軸之方向觀察 $InGaZnO_4$ 結晶之結構。圖 42A 表示 Ga-Zn-O 層中之氧原子位於接近鄰近 Ga-Zn-O 層中之氧原子。氧原子具有負電荷，藉此二 Ga-Zn-O 層間產生斥力。結果， $InGaZnO_4$ 結晶於二鄰近 Ga-Zn-O 層間具有裂解平面。

[0318] 高密度電漿區中產生之離子 5101 藉由電場而朝向靶材 5130 加速，接著與靶材 5130 碰撞。此時，平板形（片件形）濺鍍粒子片件 5100a 及片件 5100b 分離並從裂解平面濺鍍。請注意，片件 5100a 及片件 5100b 之結構可由離子 5101 碰撞之撞擊扭曲。

[0319] 片件 5100a 為具有三角形平面之平板形（片件形）濺鍍粒子，例如正三角形平面。片件 5100b 為具有

六邊形平面之平板形（片件形）濺鍍粒子，例如正六邊形平面。請注意，諸如片件 5100a 及片件 5100b 之平板形（片件形）濺鍍粒子統稱為片件 5100。片件 5100 之平面形狀不侷限於三角形或六邊形。例如，平面可具有由二或更多三角形組合形成之形狀。例如，四邊形（例如菱形）可由組合二個三角形（例如正三角形）形成。

[0320] 片件 5100 之厚度係依據沉積氣體種類等決定。片件 5100 之厚度較佳地均勻；其原因之後描述。此外，相較於具大厚度之晶粒形狀，濺鍍粒子較佳地具有具小厚度之片件形狀。例如，片件 5100 之厚度為大於或等於 0.4 nm 及小於或等於 1 nm，較佳地大於或等於 0.6 nm 及小於或等於 0.8 nm。此外，例如片件 5100 之寬度為大於或等於 1 nm 及小於或等於 3 nm，較佳地大於或等於 1.2 nm 及小於或等於 2.5 nm。片件 5100 對應於圖 40 中（1）之描述中之初始核。例如，當離子 5101 與包括 In-Ga-Zn 氧化物之靶材 5130 碰撞時，包括如圖 42B 中所示之 Ga-Zn-O 層、In-O 層、及 Ga-Zn-O 層之三層的片件 5100 分離。請注意，圖 42C 顯示從平行於 c 軸之方向觀察之分離片件 5100 之結構。片件 5100 具有奈米尺寸夾層結構，包括二 Ga-Zn-O 層（麵包片）及 In-O 層（填料）。

[0321] 當通過電漿時，片件 5100 可接收電荷，使得其側表面帶負電或正電。在片件 5100 中，氧原子位於其側表面上可帶負電。以此方式，當側表面帶電具相同極性

時，電荷相互排斥，因此片件 5100 可保持平板形狀。在 CAAC-OS 為 In-Ga-Zn 氧化物之狀況下，存在鍵合至銦原子之氧原子帶負電之可能性。存在鍵合至銦原子、鎵原子、或鋅原子之氧原子帶負電之另一可能性。此外，當通過電漿時，片件 5100 可藉由與銦原子、鎵原子、鋅原子、氧原子等鍵合而生長。圖 40 中 (2) 及 (1) 間之尺寸差異對應於電漿中之生長量。此處，在基板 5120 之溫度約室溫之狀況下，基板 5120 上之片件 5100 幾乎不生長；因而，形成 nc-OS (詳圖 41B)。當基板 5120 具有大尺寸時，nc-OS 可沉積，因為 nc-OS 之沉積可於室溫實施。請注意，為片件 5100 在電漿中生長，有效地增加濺鍍中沉積電力。高沉積電力可使片件 5100 之結構穩定。

[0322] 如圖 41A 及 41B 中所示，片件 5100 在電漿中像風箏一樣飛行並擺動直至基板 5120。由於片件 5100 帶電，當片件 5100 接近已沉積之另一片件 5100 之區時，便產生斥力。此處，在基板 5120 之上，沿平行於基板 5120 之頂表面之方向產生磁場 (亦稱為水平磁場)。基板 5120 及靶材 5130 之間提供電位差，因此電流從基板 5120 流向靶材 5130。因而，藉由磁場及電流效果，片件 5100 於基板 5120 之頂表面上提供力 (勞倫茲力)。此可由佛萊民左手規則說明。

[0323] 片件 5100 之質量大於原子。因此，為將片件 5100 移動至基板 5120 之頂表面上，重要的是從外部施加若干力至片件 5100。一種力可為由磁場及電流之動作產

生之力。為施加充分力至片件 5100，使得片件 5100 移動至基板 5120 之頂表面上，較佳的是於頂表面上提供沿平行於基板 5120 之頂表面之方向的磁場為 10 G 或更高之區，較佳地 20 G 或更高，進一步較佳地 30 G 或更高，仍進一步較佳地 50 G 或更高。另一方面，較佳的是於頂表面上提供沿平行於基板 5120 之頂表面之方向的磁場為 1.5 倍或更高，較佳地兩倍或更高，進一步較佳地 3 倍或更高，仍進一步較佳地 5 倍或更高，如同沿垂直於基板 5120 之頂表面之方向的磁場一般高。

[0324] 此時，磁鐵及基板 5120 相對移動或旋轉。藉此，基板 5120 之頂表面上水平磁場之方向持續改變。因此，藉由接收各式方向之力，片件 5100 可於基板 5120 之頂表面上以各式方向移動。

[0325] 此外，如圖 41A 中所示，當基板 5120 加熱時，片件 5100 及基板 5120 間之電阻因摩擦等而低。結果，片件 5100 於基板 5120 之頂表面上滑動。片件 5100 之滑動係於平面面對基板 5120 之狀態中造成。接著，當片件 5100 達到已沉積之另一片件 5100 之側表面時，片件 5100 之側表面鍵合。此時，片件 5100 之側表面上之氧原子釋放。基於釋放氧原子，在若干狀況下填充 CAAC-OS 中氧空缺；因而，CAAC-OS 具有低密度缺陷狀態。請注意，基板 5120 之頂表面之溫度為例如高於或等於 100°C 及低於 500°C，高於或等於 150°C 及低於 450°C，或高於或等於 170°C 及低於 400°C。因此，甚至當基板 5120 具有

大尺寸時，可沉積 CAAC-OS。

[0326] 此外，片件 5100 於基板 5120 上加熱，藉此原子重新配置，並可減少由離子 5101 碰撞造成之結構畸變。結構畸變減少之片件 5100 為實質上單晶。甚至當片件 5100 於鍵合之後加熱，片件 5100 本身幾乎不發生膨脹及收縮，此係由片件 5100 成為實質上單晶造成。因而，可避免因片件 5100 間之空間膨脹而形成諸如晶粒邊界之缺陷，因此可避免裂縫產生。

[0327] CAAC-OS 不具有單晶氧化物半導體之板形結構，但具有片件 5100（奈米晶體）堆疊磚或塊之群組配置。此外，片件 5100 之間不存在晶粒邊界。因此，甚至當 CAAC-OS 中因沉積期間加熱、沉積之後加熱或彎曲而發生諸如收縮之形變時，可減輕局部應力或釋放畸變。因此，此結構適於彈性半導體裝置。請注意，nc-OS 具有片件 5100（奈米晶體）隨機堆疊之配置。

[0328] 當以離子 5101 濺鍍靶材 5130 時，除了片件 5100 外，可分離氧化鋅等。氧化鋅較片件 5100 輕，因而在片件 5100 之前達到基板 5120 之頂表面。結果，氧化鋅形成氧化鋅層 5102，具厚度大於或等於 0.1 nm 及小於或等於 10 nm，大於或等於 0.2 nm 及小於或等於 5 nm，或大於或等於 0.5 nm 及小於或等於 2 nm。圖 43A 至 43D 為截面示意圖。

[0329] 如圖 43A 中所描繪，片件 5105a 及片件 5105b 沉積於氧化鋅層 5102 之上。此處，片件 5105a 及

片件 5105b 之側表面相互接觸。此外，片件 5105c 沉積於片件 5105b 之上，接著於片件 5105b 之上滑動。此外，連同氧化鋅一起從靶材分離之複數粒子 5103 藉由加熱基板 5120 而結晶化，於片件 5105a 之另一側表面上形成區 5105a1。請注意，複數粒子 5103 可包含氧、鋅、銦、鎵等。

[0330] 接著，如圖 43B 中所描繪，區 5105a1 生長至部分片件 5105a 而形成片件 5105a2。此外，片件 5105c 之側表面與片件 5105b 之另一側表面接觸。

[0331] 其次，如圖 43C 中所描繪，片件 5105d 沉積於片件 5105a2 及片件 5105b 之上，接著在片件 5105a2 及片件 5105b 之上滑動。此外，片件 5105e 於氧化鋅層 5102 之上朝片件 5105c 之另一側表面滑動。

[0332] 接著，如圖 43D 中所描繪，片件 5105d 經配置使得片件 5105d 之側表面與片件 5105a2 之側表面接觸。此外，片件 5105e 之側表面與片件 5105c 之另一側表面接觸。連同氧化鋅一起從靶材 5130 分離之複數粒子 5103 藉由加熱基板 5120 而結晶化，形成片件 5105d 之另一側表面上之區 5105d1。

[0333] 如上述，沉積片件經配置而相互接觸，造成於片件之側表面接著生長，藉此於基板 5120 上形成 CAAC-OS。因此，CAAC-OS 之每一片件較 nc-OS 之片件大。圖 40 中 (3) 及 (2) 間之尺寸差異對應於沉積後之生長量。

[0334] 當片件間之空間極小時，片件可形成大片件。大片件具有單晶結構。例如，從上面看時，片件之尺寸可大於或等於 10 nm 及小於或等於 200 nm，大於或等於 15 nm 及小於或等於 100 nm，或大於或等於 20 nm 及小於或等於 50 nm。在此狀況下，在用於微細電晶體之氧化物半導體中，通道形成區可置入大片件。因此，具有單晶結構之區可用作通道形成區。此外，當片件尺寸增加時，具有單晶結構之區可用作電晶體之通道形成區、源極區、及汲極區。

[0335] 以此方式，當電晶體之通道形成區等形成於具有單晶結構之區中時，在若干狀況下電晶體之頻率特性可增加。

[0336] 如該等模型中所示，片件 5100 被視為沉積於基板 5120 上。因而，甚至當形成表面不具有結晶結構時，可沉積 CAAC-OS；因此，在此狀況下生長機制與磊晶生長不同。此外，形成 CAAC-OS 不需雷射結晶化，且甚至在大尺寸玻璃基板等上可形成均勻膜。例如，甚至當基板 5120 之頂表面（形成表面）具有非結晶結構時（例如頂表面係非結晶氧化矽形成），可形成 CAAC-OS。

[0337] 此外，發現在 CAAC-OS 之形成中，依據基板 5120 之頂表面形狀，其係形成表面，甚至形成表面具有不平坦時，配置片件 5100。例如，在基板 5120 之頂表面在原子能階為平坦之狀況下，配置片件 5100 使得平面平行於面朝下之 a-b 平面。在片件 5100 之厚度均勻之狀況

下，形成具均勻厚度、平坦度、及高結晶度之層。藉由堆疊 n 層（ n 為自然數），可獲得 CAAC-OS。

[0338] 在基板 5120 之頂表面具有不平坦之狀況下，形成 CAAC-OS，其中堆疊 n 層（ n 為自然數）之每一層中沿不平坦配置片件 5100。由於基板 5120 具有不平坦，在若干狀況下，CAAC-OS 中片件 5100 之間輕易產生間隙。請注意，因分子間力，片件 5100 經配置使得甚至在不平坦表面上，片件間之間隙儘量小。因此，甚至當形成表面具有不平坦時，可形成具高結晶度之 CAAC-OS。

[0339] 由於 CAAC-OS 膜係依據該等模型而沉積，濺鍍粒子較佳地具有具小厚度之片件形狀。請注意，當濺鍍粒子具有具大厚度之晶粒形狀時，面對基板 5120 之平面改變，此可導致形成厚度或結晶對齊不均勻之膜。

[0340] 依據上述沉積模型，甚至在具非結晶結構之膜形成表面上，可形成具高結晶度之 CAAC-OS。

[0341] 在氧化物半導體膜具有複數結構之狀況下，在若干狀況下可使用奈米射束電子繞射分析結構。

[0342] 圖 20C 描繪透射電子繞射測量設備，包括電子槍室 610、電子槍室 610 以下之光學系統 612、光學系統 612 以下之樣本室 614、樣本室 614 以下之光學系統 616、光學系統 616 以下之觀察室 620、安裝於觀察室 620 中之相機 618、及觀察室 620 以下之膜室 622。相機 618 經提供而面對觀察室 620 內部。請注意，不一定提供膜室 622。

[0343] 圖 20D 描繪圖 20C 中所描繪之透射電子繞射測量設備之內部結構。在透射電子繞射測量設備中，樣本室 614 中所提供之物質 628 係以從電子槍室 610 中所提供之電子槍噴出之電子，經由光學系統 612 照射。通過物質 628 之電子經由光學系統 616 進入觀察室 620 中所提供之螢光板 632。在螢光板 632 上，相應於進入電子強度之圖案出現，其允許測量透射電子繞射圖案。

[0344] 相機 618 係朝螢光板 632 設定，使得可拍攝螢光板 632 上之圖案。由通過相機 618 之鏡頭中心、螢光板 632 之中心及螢光板 632 之上表面之直線形成之角度為例如 15° 或更多及 80° 或更小、 30° 或更多及 75° 或更小、或 45° 或更多及 70° 或更小。隨著角度減少，由相機 618 拍攝之透射電子繞射圖案之畸變變大。請注意，若預先獲得角度，便可修正所獲得透射電子繞射圖案之畸變。請注意，膜室 622 可配置相機 618。例如，相機 618 可設定於膜室 622 中，以便與電子 624 之入射方向相對。在此狀況下，可從螢光板 632 之背表面拍攝具較少畸變之透射電子繞射圖案。

[0345] 樣本室 614 中提供用於固定做為樣本之物質 628 之固定部。固定部傳輸電子通過物質 628。固定部可具有例如沿 X、Y、及 Z 軸方向移動物質 628 之功能。固定部之移動功能可具有於下列範圍移動物質之準確性，例如 1 nm 至 10 nm、5 nm 至 50 nm、10 nm 至 100 nm、50 nm 至 500 nm、及 100 nm 至 1 μm 。較佳地決定範圍成為

物質 628 之結構的最佳範圍。

[0346] 將描述上述透射電子繞射測量設備測量物質之透射電子繞射圖案之方法。

[0347] 例如，如圖 20D 中所描繪，可藉由改變電子 624 之放射位置，其係物質中之奈米射束（或藉由掃描），而觀察物質之結構改變。此時，當物質 628 為 CAAC-OS 膜時，可觀察圖 20A 中所示之繞射圖案。當物質 628 為 nc-OS 膜時，可觀察圖 20B 中所示之繞射圖案。

[0348] 甚至當物質 628 為 CAAC-OS 膜時，在若干狀況下，部分觀察類似於 nc-OS 膜等之繞射圖案。因此，CAAC-OS 膜是否有利可由於預定面積中觀察 CAAC-OS 膜之繞射圖案之區的比例決定（亦稱為 CAAC 比例）。在高品質 CAAC-OS 膜之狀況下，例如，CAAC 比例大於或等於 50%，較佳地大於或等於 80%，進一步較佳地大於或等於 90%，仍進一步較佳地高於或等於 95%。請注意，CAAC 區以外之區之比例稱為非 CAAC 比例。

[0349] 例如，藉由掃描包括沉積後獲得之 CAAC-OS 膜（表示為「做為濺鍍」）之樣本頂表面，及包括歷經於包含氧之氣體中在 450°C 之熱處理之 CAAC-OS 膜之樣本頂表面，而獲得透射電子繞射圖案。此處，以下列方式獲得 CAAC 比例，以 5 nm/秒之速率掃描 60 秒而觀察繞射圖案，獲得之繞射圖案轉換為每 0.5 秒之靜態圖像。請注意，關於電子束，使用具 1 nm 探針直徑之奈米射束。以上測量係於六樣本上實施。CAAC 比例係使用六樣本之平

均值計算。

[0350] 圖 21A 顯示每一樣本中之 CAAC 比例。沉積後獲得之 CAAC-OS 膜之 CAAC 比例為 75.7% (非 CAAC 比例為 24.3%)。歷經於 450°C 之熱處理之 CAAC-OS 膜之 CAAC 比例為 85.3% (非 CAAC 比例為 14.7%)。該些結果顯示於 450°C 之熱處理後獲得之 CAAC 比例高於沉積後所獲得者。即，以高溫 (例如高於或等於 400°C) 之熱處理減少非 CAAC 比例 (增加 CAAC 比例)。此外，以上結果亦表示甚至當熱處理之溫度低於 500°C，CAAC-OS 膜可具有高 CAAC 比例。

[0351] 此處，與 CAAC-OS 膜之繞射圖案不同的大部分繞射圖案類似於 nc-OS 膜之繞射圖案。此外，無法於測量區中觀察到非結晶氧化物半導體膜。因此，以上結果建議具有類似 nc-OS 膜之結構之區，因鄰近區之結構影響而藉由熱處理重新配置，藉此該區成為 CAAC。

[0352] 圖 21B 及 21C 分別為沉積後獲得之 CAAC-OS 膜及歷經於 450°C 之熱處理之 CAAC-OS 膜之平面 TEM 圖像。圖 21B 及 21C 間之比較顯示，歷經於 450°C 之熱處理之 CAAC-OS 膜具有更均勻膜品質。即，高溫熱處理改進 CAAC-OS 膜之膜品質。

[0353] 基於該等測量方法，在若干狀況下可分析具有複數結構之氧化物半導體膜之結構。

[0354] 例如，藉由下列方法形成 CAAC-OS 膜。

[0355] 例如，藉由濺鍍法，使用多晶氧化物半導體

濺鍍靶材形成 CAAC-OS 膜。關於濺鍍法，可使用 RE 濺鍍法、DC 濺鍍法、AC 濺鍍法等。為改進氧化物半導體膜之膜厚度均勻性、膜組成、及結晶度，較佳地使用 DC 濺鍍法或 AC 濺鍍法，而非 RF 濺鍍法。

[0356] 藉由增加沉積期間之基板溫度，在濺鍍粒子達到基板表面後，極可能發生濺鍍粒子遷移。具體來說，沉積期間之基板溫度為高於或等於 100°C 及低於或等於 740°C，較佳地高於或等於 200°C 及低於或等於 500°C。藉由增加沉積期間之基板溫度，當平板形或片件形濺鍍粒子達到基板時，基板表面上發生遷移，使得濺鍍粒子之平面附著至基板。此時，濺鍍粒子帶正電，藉此濺鍍粒子附著至基板同時相互排斥；因而，濺鍍粒子未隨機相互重疊，並可沉積具均勻厚度之 CAAC-OS 膜。

[0357] 藉由減少沉積期間進入 CAAC-OS 膜之雜質量，可避免結晶狀態因雜質破裂。例如，存在於沉積室中之雜質（例如氫、水、二氧化碳、或氮）濃度可減少。此外，沉積氣體中之雜質濃度可減少。具體來說，使用其露點為 -80°C 或更低，較佳地 -100°C 或更低之沉積氣體。

[0358] 此外，較佳的是沉積氣體中氧之比例增加及電力最佳化，以便減少沉積之電漿損害。沉積氣體中氧之比例為高於或等於 30 vol%，較佳地 100 vol%。

[0359] 另一方面，藉由下列方法形成 CAAC-OS 膜。

[0360] 首先，形成第一氧化物半導體膜至大於或等於 1 nm 及小於 10 nm 之厚度。第一氧化物半導體膜係藉

由濺鍍法形成。具體來說，基板溫度設定至高於或等於 100°C 及低於或等於 500°C，較佳地高於或等於 150°C 及低於或等於 450°C，且沉積氣體中氧之比例設定至高於或等於 30 vol%，較佳地 100 vol%。

[0361] 其次，實施熱處理使得第一氧化物半導體膜成為具高結晶度之第一 CAAC-OS 膜。熱處理之溫度為高於或等於 350°C 及低於或等於 740°C，較佳地高於或等於 450°C 及低於或等於 650°C。熱處理時間為長於或等於 1 分鐘及短於或等於 24 小時，較佳地長於或等於 6 分鐘及短於或等於 4 小時。可於惰性氣體或氧化氣體中實施熱處理。較佳的是於惰性氣體中實施熱處理，接著於氧化氣體中實施熱處理。惰性氣體中之熱處理可短時間減少第一氧化物半導體膜中之雜質濃度。同時，惰性氣體中之熱處理可產生第一氧化物半導體膜中之氧空缺。在該等狀況下，氧化氣體中之熱處理可減少氧空缺。請注意，熱處理可於減少壓力下實施，諸如 1000 Pa 或更低，100 Pa 或更低，10 Pa 或更低，或 1 Pa 或更低。減少壓力下之熱處理可短時間減少第一氧化物半導體膜中之雜質濃度。

[0362] 第一氧化物半導體膜在厚度大於或等於 1 nm 及小於 10 nm 之狀況下較在厚度大於或等於 10 nm 之狀況下更易結晶化。

[0363] 其次，當第一氧化物半導體膜經形成至大於或等於 10 nm 及小於或等於 50 nm 厚度時，第二氧化物半導體膜具有相同組成。第二氧化物半導體膜係藉由濺

鍍法形成。具體來說，基板溫度設定至高於或等於 100 °C 及低於或等於 500 °C，較佳地高於或等於 150 °C 及低於或等於 450 °C，且沉積氣體中氧之比例設定至高於或等於 30 vol%，較佳地 100 vol%。

[0364] 其次，實施熱處理使得使用第一 CAAC-OS 膜實施第二氧化物半導體膜之固相生長，藉以形成具有高結晶度之第二 CAAC-OS 膜。熱處理之溫度為高於或等於 350 °C 及低於或等於 740 °C，較佳地高於或等於 450 °C 及低於或等於 650 °C。熱處理時間為長於或等於 1 分鐘及短於或等於 24 小時，較佳地長於或等於 6 分鐘及短於或等於 4 小時。可於惰性氣體或氧化氣體中實施熱處理。較佳的是於惰性氣體中實施熱處理，接著於氧化氣體中實施熱處理。惰性氣體中之熱處理可短時間減少第二氧化物半導體膜中之雜質濃度。同時，惰性氣體中之熱處理可產生第二氧化物半導體膜中之氧空缺。在該等狀況下，氧化氣體中之熱處理可減少氧空缺。請注意，熱處理可於減少壓力下實施，諸如 1000 Pa 或更低，100 Pa 或更低，10 Pa 或更低，或 1 Pa 或更低。減少壓力下之熱處理可短時間減少第二氧化物半導體膜中之雜質濃度。

[0365] 如上述，可形成具大於或等於 10 nm 總厚度之 CAAC-OS 膜。

[0366] 至少部分本實施例可適當地以本說明書中所描述之任一實施例之組合實施。

[0367]

(實施例 3)

在本實施例中，參照圖式描述包括本發明之一實施例之電晶體之電路範例。

[0368]

[電路組態範例]

當電晶體、佈線、或電極間之連接從實施例 1 中所描述者改變時，可形成各式電路。以下顯示可藉由使用本發明之一實施例之半導體裝置達成之電路組態範例。

[0369]

[CMOS 電路]

圖 22A 中電路圖顯示所謂 CMOS 電路之組態，其中 p 通道電晶體 2200 及 n 通道電晶體 2100 相互串聯連接，且其中其閘極相互連接。請注意，包括第二半導體材料之電晶體於圖中標示「OS」。

[0370]

[類比開關]

圖 22B 中電路圖顯示組態，其中電晶體 2100 及 2200 之源極相互連接及電晶體 2100 及 2200 之汲極相互連接。基於該等組態，電晶體可做為所謂類比開關。

[0371]

[記憶體裝置範例]

圖 22C 中顯示半導體裝置（記憶體裝置）之範例，其包括本發明之一實施例之電晶體，甚至當未供電時，其可保持儲存資料，並具有不限數量之寫入週期。

[0372] 圖 22C 中所描繪之半導體裝置包括使用第一半導體材料之電晶體 3200、包括第二半導體材料之電晶體 3300、及電容器 3400。請注意，以上實施例中所描述之電晶體可用作電晶體 3300。

[0373] 在本實施例中，例如電晶體 3300 為通道係形成於包括氧化物半導體之半導體層中之電晶體。由於電晶體 3300 之關閉狀態電流小，儲存資料可長期保持。換言之，因為可提供半導體記憶體裝置其中不必要刷新作業或刷新作業頻率極低，電力消耗可充分減少。

[0374] 在圖 22C 中，第一佈線 3001 電連接至電晶體 3200 之源極電極。第二佈線 3002 電連接至電晶體 3200 之汲極電極。第三佈線 3003 電連接至電晶體 3300 之源極電極及汲極電極之一者。第四佈線 3004 電連接至電晶體 3300 之閘極電極。電晶體 3200 之閘極電極及電晶體 3300 之源極電極及汲極電極之另一者電連接至電容器 3400 之一電極。第五佈線 3005 電連接至電容器 3400 之另一電極。

[0375] 圖 22C 中半導體裝置具有特徵，電晶體 3200 之閘極電極之電位可保持，因而致能資料之寫入、保持、及讀取如下。

[0376] 描述資料之寫入及保持。首先，第四佈線 3004 之電位設定為電晶體 3300 開啟之電位，使得電晶體 3300 開啟。因此，第三佈線 3003 之電位供應至電晶體 3200 之閘極電極及電容器 3400。即，預定電荷供應至電晶體

3200 之閘極電極（寫入）。此處，供應提供不同電位位準之二種電荷（以下稱為低位準電荷及高位準電荷）之一者。之後，第四佈線 3004 之電位設定為電晶體 3300 關閉之電位，使得電晶體 3300 關閉。因而，供應至電晶體 3200 之閘極電極之電荷保持（保持）。

[0377] 由於電晶體 3300 之關閉狀態電流極小，電晶體 3200 之閘極電極之電荷長期保持。

[0378] 其次，描述資料之讀取。適當電位（讀取電位）供應至第五佈線 3005，同時預定電位（恆定電位）供應至第一佈線 3001，藉此第二佈線 3002 之電位隨電晶體 3200 之閘極電極中所保持之電荷量而異。這是因為在使用 n 通道電晶體做為電晶體 3200 之狀況下，於高位準電荷提供至電晶體 3200 之閘極電極時之明顯閾值電壓 V_{th_H} 低於於低位準電荷提供至電晶體 3200 之閘極電極時之明顯閾值電壓 V_{th_L} 。此處，明顯閾值電壓係指第五佈線 3005 之電位，其需開啟電晶體 3200。因而，第五佈線 3005 之電位設定為 V_{th_H} 及 V_{th_L} 間之電位 V_0 ，藉此可決定供應至電晶體 3200 之閘極電極之電荷。例如，在寫入中高位準電荷供應至電晶體 3200 之閘極電極且第五佈線 3005 之電位為 $V_0 (>V_{th_H})$ 之狀況下，電晶體 3200 開啟。在寫入中低位準電荷供應至電晶體 3200 之閘極電極且第五佈線 3005 之電位為 $V_0 (<V_{th_L})$ 之狀況下，電晶體 3200 保持關閉。因而，可藉由決定第二佈線 3002 之電位讀取電晶體 3200 之閘極電極中所保持之資料。

[0379] 請注意，在記憶體單元排列之狀況下，僅需讀取所欲記憶體單元之資料。在未讀取資料之狀況下，可以電晶體 3200 關閉之電位（即低於 V_{th_H} 之電位）供應第五佈線 3005，不論閘極電極之狀態。另一方面，可以電晶體 3200 開啟之電位（即高於 V_{th_L} 之電位）供應第五佈線 3005，不論閘極電極之狀態。

[0380] 圖 22D 中所描繪之半導體裝置與圖 22C 中所描繪之半導體裝置主要不同在於未提供電晶體 3200。亦在此狀況下，可以類似於圖 22C 中所描繪之半導體裝置之方式實施資料之寫入及保持作業。

[0381] 其次，描述資料之讀取。當電晶體 3300 開啟時，第三佈線 3003 處於浮動狀態並與電容器 3400 相互電連接，且電荷於第三佈線 3003 及電容器 3400 之間重新分佈。結果，第三佈線 3003 之電位改變。第三佈線 3003 之電位改變量隨電容器 3400 之一電極之電位（或電容器 3400 中所累積之電荷）而異。

[0382] 例如，在電荷重新分佈後，第三佈線 3003 之電位為 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ ，其中 V 為電容器 3400 之一電極之電位， C 為電容器 3400 之電容， C_B 為第三佈線 3003 之電容組件，及 V_{B0} 為電荷重新分佈前第三佈線 3003 之電位。因而，可發現假定記憶體單元處於二狀態之任一者，其中電容器 3400 之一電極之電位為 V_1 及 V_0 ($V_1 > V_0$)，在保持電位 V_1 之狀況下第三佈線 3003 之電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) 高於在保持電位 V_0 之狀況

下第三佈線 3003 之電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)。

[0383] 接著，藉由比較第三佈線 3003 之電位與預定電位，可讀取資料。

[0384] 在此狀況下，包括第一半導體材料之電晶體可用於驅動記憶體單元之驅動電路，及包括第二半導體材料之電晶體可堆疊於驅動電路之上，做為電晶體 3300。

[0385] 當包括具有經形成而包括氧化物半導體之通道形成區及具有極小關閉狀態電流的電晶體時，本實施例中所描述之半導體裝置可極長時間保持儲存資料。換言之，刷新作業變得不必要或刷新作業頻率可極低，導致充分減少電力消耗。再者，甚至當未供應電力時，儲存資料可長期保持（請注意，電位較佳地固定）。

[0386] 此外，在本實施例中所描述之半導體裝置中，寫入資料不需高電壓且無元件衰退問題。不同於習知非揮發性記憶體，例如不需要注入電子至浮動閘極或從浮動閘極提取電子；因而，不造成諸如閘極絕緣膜衰退之問題。即，揭露之本發明之半導體裝置不具有資料可重寫次數限制，其為習知非揮發性記憶體之問題，並可大幅改進其可靠性。此外，資料依據電晶體狀態（開啟或結束）寫入，藉此可輕易達成高速作業。

[0387] 至少部分本實施例可適當地以本說明書中所描述之任一其他實施例之組合實施。

[0388]

（實施例 4）

在本實施例中，參照圖式描述包括本發明之一實施例之電晶體之半導體裝置範例。圖 29 為本發明之一實施例之半導體裝置之電路圖範例。

[0389] 圖 29 中半導體裝置包括電容器 660a、電容器 660b、電晶體 661a、電晶體 661b、電晶體 662a、電晶體 662b、反相器 663a、反相器 663b、佈線 BL、佈線 BLB、佈線 WL、佈線 CL、及佈線 GL。

[0390] 圖 29 中半導體裝置為記憶體單元，其中反相器 663a 及反相器 663b 於環中連接以形成正反器。反相器 663b 之輸出信號輸出之節點為節點 VN1，及反相器 663a 之輸出信號輸出之節點為節點 VN2。記憶體單元係以矩陣提供，藉此可形成記憶體裝置（記憶體單元陣列）。

[0391] 電晶體 662a 之源極及汲極之一者電連接至佈線 BL，其源極及汲極之另一者電連接至節點 VN1，及其閘極電連接至佈線 WL。電晶體 662b 之源極及汲極之一者電連接至節點 VN2，其源極及汲極之另一者電連接至佈線 BLB，及其閘極電連接至佈線 WL。

[0392] 電晶體 661a 之源極及汲極之一者電連接至節點 VN1，其源極及汲極之另一者電連接至電容器 660a 之一電極，及其閘極電連接至佈線 GL。電晶體 661a 之源極及汲極之另一者及電容器 660a 之一電極間之節點為節點 NVN1。電晶體 661b 之源極及汲極之一者電連接至節點 VN2，其源極及汲極之另一者電連接至電容器 660b 之一電極，及其閘極電連接至佈線 GL。電晶體 661b 之源極及

汲極之另一者及電容器 660b 之一電極間之節點為節點 NVN2。

[0393] 電容器 660a 之另一電極電連接至佈線 CL。電容器 660b 之另一電極電連接至佈線 CL。

[0394] 藉由供應至佈線 WL 之電位可控制電晶體 662a 及電晶體 662b 之傳導及非傳導狀態。藉由供應至佈線 GL 之電位可控制電晶體 661a 及電晶體 661b 之傳導及非傳導狀態。

[0395] 以下描述圖 29 中所描繪之記憶體單元之寫入、保持、及讀取作業。

[0396] 在資料寫入之狀況下，首先相應於資料 0 或資料 1 之電位施加於佈線 BL 及佈線 BLB。

[0397] 例如，在資料 1 寫入之狀況下，高位準電源電位 (VDD) 施加於佈線 BL 及接地電位施加於佈線 BLB。接著，高於或等於 VDD 及電晶體 662a 及 662b 之閾值電壓之總和的電位 (VH) 施加於佈線 WL。

[0398] 其次，佈線 WL 之電位設定為低於電晶體 662a 及 662b 之閾值電壓，藉此寫入至正反器之資料 1 保持。

[0399] 在資料讀取之狀況下，首先，佈線 BL 及佈線 BLB 預先設定為 VDD。接著，VH 施加於佈線 WL。因此，佈線 BL 之電位保持 VDD，但佈線 BLB 之電位經由電晶體 662a 及反相器 663a 放電至接地電位。佈線 BL 及佈線 BLB 間之電位差由感應放大器 (未描繪) 放大，使

得可讀取保持之資料 1。

[0400] 在資料 0 寫入之狀況下，佈線 BL 設定為接地電位及佈線 BLB 設定為 VDD；接著，VH 施加於佈線 WL。其次，佈線 WL 之電位設定為低於電晶體 662a 及 662b 之閾值電壓，藉此寫入至正反器之資料 0 保持。在資料讀取之狀況下，佈線 BL 及佈線 BLB 預先設定為 VDD，且 VH 施加於佈線 WL，藉此佈線 BLB 之電位保持 VDD，但佈線 BL 之電位經由電晶體 662b 及反相器 663b 放電為接地電位。佈線 BL 及佈線 BLB 間之電位差由感應放大器放大，使得可讀取保持之資料 0。

[0401] 因此，圖 29 中半導體裝置充當所謂靜態隨機存取記憶體 (SRAM)。SRAM 不需刷新作業，因為 SRAM 使用正反器保持資料。因此，保持資料中之電力消耗可減少。此外，SRAM 不需正反器中之電容器，因此適於需要高速作業之應用。

[0402] 在圖 29 之半導體裝置中，節點 VN1 之資料可經由電晶體 661a 而寫入至節點 NVN1。類似地，節點 VN2 之資料可經由電晶體 661b 寫入至節點 NVN2。藉由關閉電晶體 661a 或電晶體 661b 而保持寫入資料。例如，甚至在電源電位之供應停止之狀況下，在若干狀況下節點 VN1 及節點 VN2 之資料可保持。

[0403] 不同於習知 SRAM，其中在電源電位之供應停止後，資料立即丟失，圖 29 中半導體裝置甚至在電源電位之供應停止後可保持資料。因此，藉由適當供應或停

止電源電位可減少半導體裝置之電力消耗。例如，圖 29 中半導體裝置用於 CPU 之記憶體區，藉此可減少 CPU 之電力消耗。

[0404] 請注意，資料保持於節點 NVN1 及節點 NVN2 中之時間長度取決於電晶體 661a 及電晶體 661b 之關閉狀態電流。因此，具小關閉狀態電流之電晶體較佳地用作每一電晶體 661a 及電晶體 661b，以便長時間保持資料。另一方面，電容器 660a 及電容器 660b 之電容較佳地增加。

[0405] 例如，實施例 1 中所描述之電晶體 100 及電容器 150 用作電晶體 661a 及電容器 660a，藉此資料可長期保持於節點 NVN1 中。類似地，電晶體 100 及電容器 150 用作電晶體 661b 及電容器 660b，藉此資料可長期保持於節點 NVN2 中。因此，電晶體 661a 及電晶體 661b 參照電晶體 100 之描述。此外，電容器 660a 及電容器 660b 參照電容器 150 之描述。

[0406] 如以上實施例中所描述，當插塞 121 及插塞 122 用於電晶體 100 中時，包括電晶體 100 及電容器 150 之元件所佔據面積可減少。以上實施例中所描述之電晶體 100 或電容器 150 可用作圖 29 中電晶體 661a、電晶體 661b、電容器 660a、及電容器 660b。因此，在若干狀況下，相較於習知 SRAM，可形成圖 29 中半導體裝置而未顯著增加佔據面積。電晶體 662a、電晶體 662b、反相器 663 中所包括之電晶體、及反相器 663b 中所包括之電晶體參照電晶體 130 之描述。

[0407] 如上述，本發明之一實施例之半導體裝置具有高性能佔據面積。此外，可以高產量製造半導體裝置。

[0408] 本實施例可適當地與本說明書中任一其他實施例之組合。

[0409]

(實施例 5)

在本實施例中，參照圖 23 描述包括以上實施例中所描述之電晶體或以上實施例中所描述之記憶體裝置的 RF 標籤。

[0410] 本實施例之 RF 標籤包括記憶體電路，將必需資料儲存於記憶體電路中，及藉由使用非接觸式方式而傳輸及接收資料至/自外部，例如無線通訊。基於該些特徵，RF 標籤可用於個別認證系統，其中例如藉由讀取個別資訊而識別靶材等。請注意，RF 裝置需具有極高可靠性以使用於此目的。此處，RF 標籤可為 RFID 標籤，其識別提供至物件之稱為 ID 的識別資訊。

[0411] 參照圖 23 描述 RF 標籤之組態。圖 23 為方塊圖，描繪 RF 標籤之組態範例。

[0412] 如圖 23 中所示，RF 標籤 800 包括天線 804，其接收從連接至通訊裝置 801（亦稱為詢問器、讀取器/撰寫器等）之天線 802 傳輸之無線電信號 803。RF 標籤 800 包括整流器電路 805、恆壓電路 806、解調電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、及 ROM 811。可使用例如氧化物半導體之致能夠低反向電流之材

料形成具有解調電路 807 中所包括之整流功能之電晶體。此可抑制整流功能因產生反向電流而變弱及避免從解調電路之輸出飽和之現象。換言之，至解調電路之輸入及從解調電路之輸出可具有接近線性關係之關係。請注意，資料傳輸方法可概分為下列三方法：電磁耦合法其中提供一對線圈以便相對並藉由互感而相互通訊；電磁感應法其中使用感應場而實施通訊；及無線電波法其中使用無線電波實施通訊。任一該些方法可用於本實施例中所描述之 RF 標籤 800。

[0413] 其次，描述每一電路之組態。天線 804 與連接至通訊裝置 801 之天線 802 交換無線電信號 803。整流器電路 805 藉由整流，例如藉由在天線 804 接收無線電信號產生之輸入交變信號之半波電壓倍增器整流，並以之後階段於整流器電路 805 中提供之電容器使整流信號平滑，而產生輸入電位。請注意，在整流器電路 805 之輸入側或輸出側可提供限制器電路。若輸入交變信號之振幅高及內部產生電壓高，限制器電路控制電力使得高於或等於某電力之電力於之後階段不輸入電路。

[0414] 恆壓電路 806 從輸入電位產生穩定電源電壓並供應至每一電路。請注意，恆壓電路 806 可包括重置信號產生電路。重置信號產生電路為藉由利用穩定電源電壓上升而產生邏輯電路 809 之重置信號的電路。

[0415] 解調電路 807 藉包封檢測解調輸入交變信號並產生解調信號。調變電路 808 依據從天線 804 輸出之資

料實施調變。

[0416] 邏輯電路 809 分析及處理解調信號。記憶體電路 810 保持輸入資料並包括列解碼器、行解碼器、記憶體區等。ROM 811 依據處理儲存識別號碼 (ID) 等並輸出。

[0417] 請注意，可視需要適當決定是否提供每一上述電路。

[0418] 此處，以上實施例中所描述之記憶體電路可用作記憶體電路 810。由於甚至當未供電時，本發明之一實施例之記憶體電路可保持資料，記憶體電路可有利地用於 RF 標籤。此外，本發明之一實施例之記憶體電路需要資料寫入所需電力 (電壓) 顯著低於習知非揮發性記憶體中所需電力 (電壓)；因而，可避免資料讀取極資料寫入中最大通訊範圍間之差異。此外，可抑制由資料寫入中電力短缺造成之故障或不正確寫入。

[0419] 由於本發明之一實施例之記憶體電路可用作非揮發性記憶體，其亦可用作 ROM 811。在此狀況下，較佳的是製造商分別準備寫入資料之命令至 ROM 811，使得使用者無法自由地重寫資料。由於製造商在運送前提供識別號碼，接著展開產品運送，而非將識別號碼置入所有製造之 RF 標籤，可僅將識別號碼置入將運送之良好產品。因而，運送之產品之識別號碼串聯，且相應於運送之產品之客戶管理輕易實施。

[0420] 至少部分本實施例可適當地以本說明書中所

描述之任一其他實施例之組合實施。

[0421]

(實施例 6)

在本實施例中描述 CPU，其中至少可使用任一以上實施例中所描述之電晶體並包括以上實施例中所描述之記憶體裝置。

[0422] 圖 24 為方塊圖，描繪至少部分包括以上實施例中所描述之任一電晶體做為組件之 CPU 之組態範例。

[0423] 圖 24 中所描繪之 CPU 於基板 1190 上包括算術邏輯單元 (ALU) 1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198 (匯流排 I/F)、可重寫 ROM 1199、及 ROM 介面 (ROM I/F) 1189。半導體基板、SOI 基板、玻璃基板等用作基板 1190。可於分離晶片上提供 ROM 1199 及 ROM 介面 1189。不用說，圖 24 中 CPU 僅為範例，其中組態簡化且實際 CPU 依據應用可具有各式組態。例如，CPU 可具有下列組態：包括圖 24 中所描繪之 CPU 或計算電路之結構視為一核心；包括複數核心；及核心平行操作。CPU 於內部計算電路中或資料匯流排中可處理之位元數量可為例如 8、16、32、或 64。

[0424] 經由匯流排介面 1198 輸入至 CPU 之指令輸入至指令解碼器 1193，並於其中解碼，接著輸入至 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、及

時序控制器 1195。

[0425] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、及時序控制器 1195 依據解碼之指令實施各式控制。具體來說，ALU 控制器 1192 產生用於控制 ALU 1191 作業之信號。當 CPU 執行程式時，中斷控制器 1194 處理來自外部輸入/輸出裝置或週邊電路之中斷要求，取決於其優先性或遮罩狀態。暫存器控制器 1197 產生暫存器 1196 之位址，並依據 CPU 之狀態而讀取/寫入資料自/至暫存器 1196。

[0426] 時序控制器 1195 產生用於控制 ALU 1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、及暫存器控制器 1197 之作業時序之信號。例如，時序控制器 1195 包括內部時鐘產生器，用於依據參考時鐘信號 CLK1 而產生內部時鐘信號 CLK2，並供應內部時鐘信號 CLK2 至以上電路。

[0427] 在圖 24 中所描繪之 CPU 中，於暫存器 1196 中提供記憶體單元。對暫存器 1196 之記憶體單元而言，可使用以上實施例中所描述之任一電晶體。

[0428] 在圖 24 中所描繪之 CPU 中，暫存器控制器 1197 依據來自 ALU 1191 之指令而選擇保持暫存器 1196 中資料之作業。即，暫存器控制器 1197 選擇資料係由正反器保持或由暫存器 1196 中所包括之記憶體單元中之電容器保持。當選擇資料由正反器保持時，電源電壓便供應至暫存器 1196 中之記憶體單元。當選擇資料由電容器保

持時，資料便於電容器中重寫，且電源電壓停止供應至暫存器 1196 中之記憶體單元。

[0429] 圖 25 為可用於暫存器 1196 之記憶體元件之電路圖範例。記憶體元件 1200 包括電路 1201，其中當電源停止時儲存資料為揮發性；電路 1202，其中甚至當電源停止時儲存資料為非揮發性；開關 1203；開關 1204；邏輯元件 1206；電容器 1207；及具有選擇功能之電路 1220。電路 1202 包括電容器 1208、電晶體 1209、及電晶體 1210。請注意，記憶體元件 1200 可視需要而進一步包括另一元件，諸如二極體、電阻器、或電感器。電晶體 1209 較佳地為其中通道係形成於氧化物半導體層中之電晶體。

[0430] 此處，以上實施例中所描述之記憶體裝置可用作電路 1202。當停止供應電源電壓至記憶體元件 1200 時，接地電位（0 V）或電路 1202 中電晶體 1209 關閉之電位持續輸入至電晶體 1209 之閘極。例如，電晶體 1209 之閘極經由諸如電阻器之負載而接地。

[0431] 此處顯示一範例，其中開關 1203 為具有一導電性類型之電晶體 1213（例如 n 通道電晶體）及開關 1204 為具有相對於該一導電性類型之導電性類型之電晶體 1214（例如 p 通道電晶體）。開關 1203 之第一端子對應於電晶體 1213 之源極及汲極之一者，開關 1203 之第二端子對應於電晶體 1213 之源極及汲極之另一者，且開關 1203 之第一端子及第二端子間之傳導或非傳導（即電晶

體 1213 之開啟/關閉狀態) 係由輸入至電晶體 1213 之閘極之控制信號 RD 選擇。開關 1204 之第一端子對應於電晶體 1214 之源極及汲極之一者，開關 1204 之第二端子對應於電晶體 1214 之源極及汲極之另一者，且開關 1204 之第一端子及第二端子間之傳導或非傳導(即電晶體 1214 之開啟/關閉狀態) 係由輸入至電晶體 1214 之閘極之控制信號 RD 選擇。

[0432] 電晶體 1209 之源極及汲極之一者電連接至電容器 1208 之一對電極之一者及電晶體 1210 之閘極。此處，連接部稱為節點 M2。電晶體 1210 之源極及汲極之一者電連接至可供應低電源電位之佈線(例如 GND 線)，其另一者電連接至開關 1203 之第一端子(電晶體 1213 之源極及汲極之一者)。開關 1203 之第二端子(電晶體 1213 之源極及汲極之另一者)電連接至開關 1204 之第一端子(電晶體 1214 之源極及汲極之一者)。開關 1204 之第二端子(電晶體 1214 之源極及汲極之另一者)電連接至可供應電源電位 VDD 之佈線。開關 1203 之第二端子(電晶體 1213 之源極及汲極之另一者)、開關 1204 之第一端子(電晶體 1214 之源極及汲極之一者)、邏輯元件 1206 之輸入端子、及電容器 1207 之一對電極之一者相互電連接。此處，連接部稱為節點 M1。電容器 1207 之一對電極之另一者可供應予恆定電位。例如，電容器 1207 之一對電極之另一者可供應予低電源電位(例如 GND) 或高電源電位(例如 VDD)。電容器 1207 之一對電極之另

一者電連接至可供應低電源電位（例如 GND 線）之佈線。電容器 1208 之一對電極之另一者可供應予恆定電位。例如，電容器 1207 之一對電極之另一者可供應予低電源電位（例如 GND）或高電源電位（例如 VDD）。電容器 1208 之一對電極之另一者電連接至可供應低電源電位（例如 GND 線）之佈線。

[0433] 只要積極地利用電晶體之寄生電容、佈線等，不一定提供電容器 1207 及電容器 1208。

[0434] 控制信號 WE 輸入至電晶體 1209 之第一閘極（第一閘極電極）。關於每一開關 1203 及開關 1204，由與控制信號 WE 不同之控制信號 RD 選擇第一端子及第二端子間之傳導狀態或非傳導狀態。當一開關之第一端子及第二端子處於傳導狀態，則另一開關之第一端子及第二端子處於非傳導狀態。

[0435] 相應於電路 1201 中所保持之資料的信號輸入至電晶體 1209 之源極及汲極之另一者。圖 25 描繪範例，其中從電路 1201 輸出之信號輸入至電晶體 1209 之源極及汲極之另一者。從開關 1203 之第二端子（電晶體 1213 之源極及汲極之另一者）輸出之信號的邏輯值由邏輯元件 1206 反相，且反相信號經由電路 1220 輸入至電路 1201。

[0436] 在圖 25 之範例中，從開關 1203 之第二端子（電晶體 1213 之源極及汲極之另一者）輸出之信號經由邏輯元件 1206 及電路 1220 輸入至電路 1201；然而，本發明之一實施例不侷限於此。從開關 1203 之第二端子

(電晶體 1213 之源極及汲極之另一者) 輸出之信號其邏輯值可未反相即輸入至電路 1201。例如，在電路 1201 包括節點其中藉由反相從輸入端子輸入之信號邏輯值所獲得之信號保持之狀況下，從開關 1203 之第二端子(電晶體 1213 之源極及汲極之另一者) 輸出之信號可輸入至該節點。

[0437] 在圖 25 中，除了電晶體 1209 外，記憶體元件 1200 中所包括之電晶體均可為電晶體其中通道係形成於使用氧化物半導體以外之半導體形成之層中或在基板 1190 中。例如，電晶體可為其通道係形成於矽層或矽基板中之電晶體。另一方面，其中通道係形成於氧化物半導體層中之電晶體可用於記憶體元件 1200 中之所有電晶體。再另一方面，在記憶體元件 1200 中，除了電晶體 1209 外，可包括通道係形成於氧化物半導體層中之電晶體，且通道係形成於包括氧化物半導體以外之半導體之層或基板 1190 中之電晶體可用於其他電晶體。

[0438] 關於圖 25 中之電路 1201，例如可使用正反器電路。關於邏輯元件 1206，例如可使用反相器或時脈反相器。

[0439] 在記憶體元件 1200 未供應予電源電壓期間，本發明之一實施例之半導體裝置可藉由電路 1202 中所提供之電容器 1208 而保持電路 1201 中所儲存之資料。

[0440] 通道係形成於氧化物半導體膜中之電晶體的關閉狀態電流極小。例如，通道係形成於氧化物半導體膜

中之電晶體的關閉狀態電流顯著小於通道係形成於具有結晶度之矽中之電晶體的關閉狀態電流。因而，當電晶體用作電晶體 1209 時，電容器 1208 中所保持之信號長期保持，在電源電壓未供應至記憶體元件 1200 之期間亦然。記憶體元件 1200 因此可保持儲存之內容（資料），在電源電壓停止供應之期間亦然。

[0441] 由於記憶體元件以開關 1203 及開關 1204 實施預充電作業，在重新開始供應電源電壓後，電路 1201 再次保持原始資料所需時間可縮短。

[0442] 在電路 1202 中，由電容器 1208 保持之信號輸入至電晶體 1210 之閘極。因而，在電源電壓重新開始供應至記憶體元件 1200 後，由電容器 1208 保持之信號可轉換為將從電路 1202 讀取相應於電晶體 1210 之狀態（開啟狀態或關閉狀態）者。結果，甚至當相應於由電容器 1208 保持之信號之電位若干程度改變時，可準確讀取原始信號。

[0443] 藉由將上述記憶體元件 1200 用於記憶體裝置中，諸如處理器中所包括之暫存器或快取記憶體，記憶體裝置中之資料可避免因停止供應電源電壓而丟失。此外，在重新開始供應電源電壓後不久，記憶體裝置可返回至停止電源前之相同狀態。因而，可於處理器中所包括之處理器或一或複數邏輯電路中短時間停止電源，導致降低電力消耗。

[0444] 儘管記憶體元件 1200 用於本實施例中之 CPU

中，記憶體元件 1200 亦可用於 LSI 中，諸如數位信號處理器（DSP）、客製 LSI、或可程控邏輯裝置（PLD）、及射頻識別（RF-ID）。

[0445] 至少部分本實施例可適當地以本說明書中所描述之任一其他實施例之組合實施。

[0446]

（實施例 7）

在本實施例中，描述本發明之一實施例之顯示面板之結構範例。

[0447]

[結構範例]

圖 26A 為本發明之一實施例之顯示面板之俯視圖。圖 26B 為電路圖，描繪可用於液晶元件用於本發明之一實施例之顯示面板中之像素中之狀況下的像素電路。圖 26C 為電路圖，描繪可用於有機 EL 元件用於本發明之一實施例之顯示面板中之像素中之狀況下的像素電路。

[0448] 可依據以上實施例形成像素部中之電晶體。電晶體可輕易形成為 n 通道電晶體，因而可使用 n 通道電晶體形成之部分驅動電路可形成於與像素部之電晶體相同基板上。基於以此方式將以上實施例中所描述之電晶體用於像素部或驅動電路，可提供高度可靠顯示裝置。

[0449] 圖 26A 描繪主動矩陣顯示裝置之方塊圖範例。像素部 701、第一掃描線驅動電路 702、第二掃描線驅動電路 703、及信號線驅動電路 704 係形成於顯示裝置

之基板 700 上。在像素部 701 中，配置從信號線驅動電路 704 延伸之複數信號線及配置從第一掃描線驅動電路 702 及第二掃描線驅動電路 703 延伸之複數掃描線。請注意，包括顯示元件之像素係提供於各區中之矩陣中，其中掃描線及信號線相互交叉。顯示裝置之基板 700 經由諸如彈性印刷電路（FPC）之連接部而連接至時序控制電路（亦稱為控制器或控制器 IC）。

[0450] 在圖 26A 中，第一掃描線驅動電路 702、第二掃描線驅動電路 703、及信號線驅動電路 704 係形成於形成像素部 701 之基板 700 上。結果，諸如驅動電路之外部提供之組件數量可減少，使得可達成成本減少。此外，若驅動電路係提供於基板 700 外部，佈線將需延伸且佈線連接數量將增加。當驅動電路係提供於基板 700 之上時，佈線連接之數量可減少。結果，可達成可靠性或產量改進。

[0451]

[液晶面板]

圖 26B 描繪像素之電路組態範例。此處，描繪可用於 VA 液晶顯示面板之像素中之像素電路。

[0452] 此像素電路可施加於一像素包括複數像素電極層之結構。像素電極層連接至不同電晶體，且電晶體可以不同閘極信號驅動。因此，可獨立控制施加於多域像素中個別像素電極層之信號。

[0453] 電晶體 716 之閘極佈線 712 及電晶體 717 之

閘極佈線 713 分離，使得可供應不同閘極信號。相反地，做為資料線之源極或汲極電極層 714 係由電晶體 716 及 717 共用。以上實施例所描述之電晶體 100 可適當用作每一電晶體 716 及 717。因而，可提供高度可靠液晶顯示面板。

[0454] 描述電連接至電晶體 716 之第一像素電極層及電連接至電晶體 717 之第二像素電極層之形狀。第一像素電極層及第二像素電極層係由隙縫分離。第一像素電極層具有 V 形，及第二像素電極層經提供以便圍繞第一像素電極層。

[0455] 電晶體 716 之閘極電極連接至閘極佈線 712，且電晶體 717 之閘極電極連接至閘極佈線 713。當不同閘極信號供應至閘極佈線 712 及閘極佈線 713 時，電晶體 716 及電晶體 717 之作業時序可改變。結果，可控制液晶之對齊。

[0456] 此外，可使用電容器佈線 710、做為電介質之閘極絕緣膜、及電連接至第一像素電極層或第二像素電極層之電容器電極形成儲存電容器。

[0457] 多域像素包括第一液晶元件 718 及第二液晶元件 719。第一液晶元件 718 包括第一像素電極層、逆電極層、及其間液晶層。第二液晶元件 719 包括第二像素電極層、逆電極層、及其間液晶層。

[0458] 請注意，本發明之像素電路不侷限於圖 26B 中所示者。例如，開關、電阻器、電容器、電晶體、感測

器、邏輯電路等可添加至圖 26B 中所示之像素。

[0459]

[有機 EL 面板]

圖 26C 顯示像素之電路組態之另一範例。此處，顯示使用有機 EL 元件之顯示面板之像素結構。

[0460] 在有機 EL 元件中，藉由施加電壓至發光元件，電子從一對電極之一者注入及電洞從一對電極之另一者注入包含發光有機複合物之層；因而，電流流動。電子及電洞重新組合，因而發光有機複合物激發。發光有機複合物從激發狀態返回接地狀態，藉以發光。依據該等機制，此發光元件稱為電流激發發光元件。

[0461] 圖 26C 顯示可使用之像素電路範例。在本範例中，一像素包括二個 n 通道電晶體。請注意，本發明之一實施例之金屬氧化物膜可用於 n 通道電晶體之通道形成區。數位時間灰度驅動可用於像素電路。

[0462] 描述可應用像素電路之組態及採用數位時間灰度驅動之像素之作業。

[0463] 像素 720 包括交換電晶體 721、驅動電晶體 722、發光元件 724、及電容器 723。交換電晶體 721 之閘極電極層連接至掃描線 726，交換電晶體 721 之第一電極（源極電極層及汲極電極層之一者）連接至信號線 725，及交換電晶體 721 之第二電極（源極電極層及汲極電極層之另一者）連接至驅動電晶體 722 之閘極電極層。驅動電晶體 722 之閘極電極層經由電容器 723 連接至電源線

727，驅動電晶體 722 之第一電極連接至電源線 727，及驅動電晶體 722 之第二電極連接至發光元件 724 之第一電極（像素電極）。發光元件 724 之第二電極對應於共同電極 728。共同電極 728 電連接至相同基板之上提供之共同電位線。

[0464] 關於交換電晶體 721 及驅動電晶體 722，可適當使用以上實施例中所描述之電晶體 100。以此方式，可提供高度可靠有機 EL 顯示面板。

[0465] 發光元件 724 之第二電極（共同電極 728）之電位設定為低電源電位。請注意，低電源電位低於供應至電源線 727 之高電源電位。例如，低電源電位可為 GND、0V 等。高電源電位及低電源電位設定為高於或等於發光元件 724 之正向閾值電壓，且之間電位差施加於發光元件 724，藉此電流供應至發光元件 724，導致發光。發光元件 724 之正向電壓係指獲得所欲亮度之電壓，包括至少正向閾值電壓。

[0466] 請注意，驅動電晶體 722 之閘極電容可用作電容器 723 之替代，使得可省略電容器 723。驅動電晶體 722 之閘極電容可形成於通道形成區及閘極電極層之間。

[0467] 其次，描述輸入至驅動電晶體 722 之信號。在電壓輸入電壓驅動法之狀況下，充分開啟或關閉驅動電晶體 722 之視訊信號輸入至驅動電晶體 722。為使驅動電晶體 722 於線性區作業，高於電源線 727 之電壓的電壓施加於驅動電晶體 722 之閘極電極層。請注意，高於或等於

電源線電壓及驅動電晶體 722 之閾值電壓 V_{th} 總和之電壓施加於信號線 725。

[0468] 在實施類比灰度驅動之狀況下，大於或等於發光元件 724 之正向電壓及驅動電晶體 722 之閾值電壓 V_{th} 總和之電壓施加於驅動電晶體 722 之閘極電極層。使驅動電晶體 722 於飽和區作業之視訊信號輸入，使得電流供應至發光元件 724。為使驅動電晶體 722 於飽和區作業，電源線 727 之電位設定高於驅動電晶體 722 之閘極電位。當使用類比視訊信號時，依據視訊信號可供應電流至發光元件 724 及實施類比灰度驅動。

[0469] 請注意，像素電路之組態不侷限於圖 26C 中所示者。例如，開關、電阻器、電容器、感測器、電晶體、邏輯電路等可添加至圖 26C 中所示之像素電路。

[0470] 在以上實施例中所描述之電晶體用於圖 26A 至 26C 中所示之電路之狀況下，源極電極（第一電極）電連接至低電位側及汲極電極（第二電極）電連接至高電位側。此外，第一閘極電極之電位可藉由控制電路等及上述電位控制做為範例，例如低於施加於源極電極之電位的電位可經由未描繪之佈線而輸入至第二閘極電極。

[0471] 至少部分本實施例可適當地以本說明書中所描述之任一其他實施例之組合實施。

[0472]

（實施例 8）

本發明之一實施例之半導體裝置可用於顯示裝置、個

人電腦、或配置記錄媒體之圖像再生裝置（典型地為再生諸如數位影音光碟（DVD）之記錄媒體內容並具有顯示器顯示再生圖像之裝置）。可配置本發明之一實施例之半導體裝置之其他電子設備範例為行動電話、包括可攜式遊戲機之遊戲機、可攜式資料終端機、電子書閱讀器、諸如錄影機及數位相機之相機、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（例如汽車音頻系統及數位音頻播放器）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、及販賣機。圖 27A 至 27F 描繪該些電子設備之特定範例。

[0473] 圖 27A 描繪可攜式遊戲機，其包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907、觸控筆 908 等。儘管圖 27A 中可攜式遊戲機具有二顯示部 903 及 904，可攜式遊戲機中所包括之顯示部數量不侷限於此。

[0474] 圖 27B 描繪可攜式資料終端機，其包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、接合部 915、操作鍵 916 等。第一顯示部 913 係提供於第一外殼 911 中，及第二顯示部 914 係提供於第二外殼 912 中。第一外殼 911 及第二外殼 912 以接合部 915 相互連接，且第一外殼 911 及第二外殼 912 間之角度可以接合部 915 改變。第一顯示部 913 上顯示之圖像可依據第一外殼 911 及第二外殼 912 間之接合部 915 之角度切換。具位置輸入功能之顯示裝置可用作第一顯示部 913 及第二顯

示部 914 之至少一者。請注意，藉由於顯示裝置中提供觸控面板，可添加位置輸入功能。另一方面，藉由於顯示裝置之像素部中提供稱為光感測器之光電轉換元件，可添加位置輸入功能。

[0475] 圖 27C 描繪膝上型個人電腦，其包括外殼 921、顯示部 922、鍵盤 923、指向裝置 924 等。

[0476] 圖 27D 描繪電冰箱-冰櫃，其包括外殼 931、冰箱門 932、冷凍室門 933 等。

[0477] 圖 27E 描繪錄影機，其包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、鏡頭 945、接合部 946 等。操作鍵 944 及鏡頭 945 係提供於第一外殼 941 中，顯示部 943 係提供於第二外殼 942 中。第一外殼 941 及第二外殼 942 以接合部 946 相互連接，且第一外殼 941 及第二外殼 942 間之角度可以接合部 946 改變。顯示部 943 上顯示之圖像可依據第一外殼 941 及第二外殼 942 間之接合部 946 之角度切換。

[0478] 圖 27F 描繪小客車，其包括車體 951、輪 952、儀表板 953、燈 954 等。

[0479] 至少部分本實施例可適當地以本說明書中所描述之任一其他實施例之組合實施。

[0480]

(實施例 9)

在本實施例中，參照圖 28A 至 28F 描述本發明之一實施例之 RFID 應用範例。RFID 廣泛使用並可提供用於諸

如鈔票、錢幣、證券、無記名債券、文件（例如駕駛執照或居留證，詳圖 28A）、包裝容器（例如包裝紙或瓶，詳圖 28C）、記錄媒體（例如 DVD 或錄影帶，詳圖 28B）、車輛（例如腳踏車，詳圖 28D）、個人用品（例如袋子或眼鏡）、食品、植物、動物、人體、服裝、日用品、諸如醫藥和化學品之醫療用品、及電子設備（例如液晶顯示裝置、EL 顯示裝置、電視機、或行動電話）之產品，或產品標籤（詳圖 28E 及 28F）。

[0481] 本發明之一實施例之 RFID 4000 藉由附著至其表面或嵌入其中而固定至產品。例如，RFID 4000 藉由嵌入書本或嵌入包裝之有機樹脂而固定至每一產品。由於本發明之一實施例之 RFID 4000 可減少尺寸、厚度、及重量，可固定至產品而不破壞產品設計。此外，鈔票、錢幣、證券、無記名債券、文件等可藉由配置本發明之一實施例之 RFID 4000 而具有識別功能，並可利用識別功能以避免偽造。再者，藉由提供本發明之一實施例之 RFID 用於包裝容器、記錄媒體、個人用品、食品、服裝、日用品、電子設備等，可改進諸如檢查系統之系統效率。藉由配置本發明之一實施例之 RFID，車輛亦可針對防賊等具有較高安全性。

[0482] 如上述，藉由將本發明之一實施例之 RFID 用於本實施例中所描述之每一應用，諸如資料寫入或讀取之作業電力可減少，導致最大通訊距離增加。再者，甚至在不供應電力之狀態下，資料可極長期保持；因而，RFID

可較佳地用於不頻繁地寫入或讀取資料之應用。

[0483] 至少部分本實施例可適當地以本說明書中所描述之任一其他實施例之組合實施。

【符號說明】

[0484]

624：電子

628：物質

100：電晶體

101：半導體層

101a：半導體層

101b：半導體層

101c：半導體層

102：閘極絕緣膜

103：閘極電極

104a：導電層

104b：導電層

105：導電層

111：障壁膜

111a：障壁膜

111b：障壁膜

111c：障壁膜

111d：障壁膜

111e：障壁膜

111f：障壁膜
111g：障壁膜
112：絕緣膜
113：絕緣膜
114：絕緣膜
115a：絕緣膜
115b：絕緣膜
115c：絕緣膜
115d：絕緣膜
115e：絕緣膜
116：絕緣膜
121：插塞
122：插塞
123：插塞
124：佈線
125：導電層
126：插塞
127：插塞
128：插塞
129a：插塞
129b：插塞
129c：插塞
129d：插塞
130：電晶體

131 : 半導體基板

132 : 半導體層

133a : 低電阻層

133b : 低電阻層

134 : 閘極絕緣膜

135 : 閘極電極

136 : 絕緣膜

137 : 絕緣膜

138 : 絕緣膜

139 : 插塞

140 : 插塞

141 : 插塞

142 : 佈線

143 : 導電層

144 : 導電層

145 : 插塞

146 : 導電層

147 : 插塞

150 : 電容器

151 : 導電層

152 : 導電層

152b : 導電層

153a : 導電層

153b : 導電層



154a : 導電層

154b : 導電層

154c : 導電層

154d : 導電層

154e : 導電層

160 : 電晶體

164 : 插塞

165 : 插塞

166 : 佈線

176a : 區

176b : 區

171a : 低電阻區

171b : 低電阻區

181 : 導電膜

190 : 電晶體

191 : 電晶體

211a : 障壁膜

211b : 障壁膜

211c : 障壁膜

211d : 障壁膜

211e : 障壁膜

211f : 障壁膜

215a : 絕緣膜

215b : 絕緣膜

215c : 絕緣膜

215d : 絕緣膜

215e : 絕緣膜

215f : 絕緣膜

251 : 導電層

251a : 導電層

251b : 導電層

251c : 導電層

251d : 導電層

251e : 導電層

261 : 絕緣膜

281 : 層

282 : 層

283 : 層

284 : 層

285 : 層

286 : 層

287 : 層

288 : 層

289 : 層

290 : 層

291 : 層

292 : 層

293 : 層

- 294 : 層
- 295 : 層
- 321 : 插塞
- 322 : 插塞
- 610 : 電子槍室
- 612 : 光學系統
- 614 : 樣本室
- 616 : 光學系統
- 618 : 相機
- 620 : 觀察室
- 622 : 膜室
- 632 : 螢光板
- 660a : 電容器
- 660b : 電容器
- 661a : 電晶體
- 661b : 電晶體
- 662a : 電晶體
- 662b : 電晶體
- 663a : 反相器
- 663b : 反相器
- 700 : 基板
- 701 : 像素部
- 702 : 掃描線驅動電路
- 703 : 掃描線驅動電路

- 704 : 信號線驅動電路
- 710 : 電容器佈線
- 712 : 閘極佈線
- 713 : 閘極佈線
- 714 : 汲極電極層
- 716 : 電晶體
- 717 : 電晶體
- 718 : 液晶元件
- 719 : 液晶元件
- 720 : 像素
- 721 : 交換電晶體
- 722 : 驅動電晶體
- 723 : 電容器
- 724 : 發光元件
- 725 : 信號線
- 726 : 掃描線
- 727 : 電源線
- 728 : 共同電極
- 800 : RF 標籤
- 801 : 通訊裝置
- 802 : 天線
- 803 : 無線電信號
- 804 : 天線
- 805 : 整流器電路



- 806 : 恆壓電路
- 807 : 解調電路
- 808 : 調變電路
- 809 : 邏輯電路
- 810 : 記憶體電路
- 811 : ROM
- 901 : 外殼
- 902 : 外殼
- 903 : 顯示部
- 904 : 顯示部
- 905 : 麥克風
- 906 : 揚聲器
- 907 : 操作鍵
- 908 : 觸控筆
- 911 : 外殼
- 912 : 外殼
- 913 : 顯示部
- 914 : 顯示部
- 915 : 接合部
- 916 : 操作鍵
- 921 : 外殼
- 922 : 顯示部
- 923 : 鍵盤
- 924 : 指向裝置

- 931 : 外殼
- 932 : 冰箱門
- 933 : 冷凍室門
- 941 : 外殼
- 942 : 外殼
- 943 : 顯示部
- 944 : 操作鍵
- 945 : 鏡頭
- 946 : 操作鍵
- 951 : 車體
- 952 : 輪
- 953 : 儀表板
- 954 : 燈
- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器
- 1195 : 時序控制器
- 1196 : 暫存器
- 1197 : 暫存器控制器
- 1198 : 匯流排介面
- 1199 : ROM

1200 : 記憶體元件
1201 : 電路
1202 : 電路
1203 : 開關
1204 : 開關
1206 : 邏輯元件
1207 : 電容器
1208 : 電容器
1209 : 電晶體
1210 : 電晶體
1213 : 電晶體
1214 : 電晶體
1220 : 電路
2100 : 電晶體
2200 : 電晶體
3001 : 佈線
3002 : 佈線
3003 : 佈線
3004 : 佈線
3005 : 佈線
3200 : 電晶體
3300 : 電晶體
3400 : 電容器
4000 : RFID

5100：片件

5100a：片件

5100b：片件

5101：離子

5102：氧化鋅層

5103：粒子

5105a：片件

5105a1：區

5105a2：片件

5105b：片件

5105c：片件

5105d：片件

5105d1：區

5105e：片件

5120：基板

5130：靶材

5161：區



發明摘要

※申請案號：103144336

※申請日：103年12月18日

※IPC分類：H01L 21/8239 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

● 【中文】

提供適於微小化之半導體裝置。另一方面，提供高度可靠半導體裝置。提供包括電容器及電晶體之半導體裝置。在半導體裝置中，電晶體包括半導體層，半導體層係位於電容器之上，及電容器包括電連接至電晶體之第一電極。

● 【英文】

A semiconductor device that is suitable for miniaturization is provided. Alternatively, a highly reliable semiconductor device is provided. A semiconductor device including a capacitor and a transistor is provided. In the semiconductor device, the transistor includes a semiconductor layer, the semiconductor layer is positioned over the capacitor, and the capacitor includes a first electrode that is electrically connected to the transistor.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

- 100：電晶體
- 101：半導體層
- 102：閘極絕緣膜
- 103：閘極電極
- 111：障壁膜
- 112：絕緣膜
- 113：絕緣膜
- 114：絕緣膜
- 116：絕緣膜
- 121：插塞
- 122：插塞
- 123：插塞
- 124：佈線
- 125：導電層
- 126：插塞
- 127：插塞
- 130：電晶體
- 150：電容器
- 151：導電層
- 152：導電層
- 153a：導電層
- 153b：導電層
- 154a：導電層
- 154c：導電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種半導體裝置，包含：

第一電晶體；

該第一電晶體上之電容器；以及

該電容器上之第二電晶體，該第二電晶體與至少部分該電容器重疊，

其中，該第二電晶體包括氧化物半導體層，且

其中，該電容器包括電極，其電連接至該第二電晶體。

2.一種半導體裝置，包含：

第一電晶體；

該第一電晶體上之電容器；以及

該電容器上之第二電晶體，

其中，該電容器包括 n 個絕緣膜及 k 個導電層，

其中， n 為自然數及 k 為 2 或更多之自然數，

其中，該 n 個絕緣膜之每一者在該 k 個導電層之至少二導電層之間，

其中，該第二電晶體包括氧化物半導體層，且

其中，該電容器包括電極，其電連接至該第二電晶體之源極及汲極之一者。

3.一種半導體裝置，包含：

第一電晶體；

該第一電晶體上之電容器；以及

該電容器上之第二電晶體，

其中，該電容器包括 m 個導電層及 n 個絕緣膜，

其中， m 為 3 或更多之自然數，且 n 為自然數，

其中，該 n 個絕緣膜之第一絕緣膜在該 m 個導電層之第一導電層及第二導電層之間，

其中，該 n 個絕緣膜之第二絕緣膜在該 m 個導電層之該第二導電層及第三導電層之間，且

其中，該第一導電層電連接至該第三導電層及該第二電晶體。

4.如申請專利範圍第 1 項之半導體裝置，其中，該第一電晶體包括單晶矽。

5.如申請專利範圍第 1 項之半導體裝置，

其中，該氧化物半導體層包括開口，且

其中，該電極於該開口中與該氧化物半導體層接觸。

6.如申請專利範圍第 1 項之半導體裝置，

其中，該第二電晶體包括與該氧化物半導體層接觸之第一導電層及第二導電層，

其中，開口係在該氧化物半導體層及該第一導電層中，且

其中，該電極於該開口中與該氧化物半導體層及該第一導電層接觸。

7.如申請專利範圍第 2 項之半導體裝置，其中，該第一電晶體包括單晶矽。

8.如申請專利範圍第 2 項之半導體裝置，

其中，該氧化物半導體層包括開口，且

其中，該電極於該開口中與該氧化物半導體層接觸。

9.如申請專利範圍第 2 項之半導體裝置，

其中，該第二電晶體包括與該氧化物半導體層接觸之第一導電層及第二導電層，

其中，開口係在該氧化物半導體層及該第一導電層中，且

其中，該電極於該開口中與該氧化物半導體層及該第一導電層接觸。

10.如申請專利範圍第 2 項之半導體裝置，其中，該 n 個絕緣膜具有阻擋氫、水、及氧之至少一者之功能。

11.如申請專利範圍第 2 項之半導體裝置，其中，該 n 個絕緣膜包括氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈣、及氧氮化鈣之至少一者。

12.如申請專利範圍第 2 項之半導體裝置，其中，該電容器及該第二電晶體相互重疊。

13.如申請專利範圍第 3 項之半導體裝置，其中，該第一電晶體包括單晶矽。

14.如申請專利範圍第 3 項之半導體裝置，其中，該第二電晶體包括氧化物半導體層。

15.如申請專利範圍第 3 項之半導體裝置，其中，該第三導電層藉由插塞電連接至該第二電晶體。

16.如申請專利範圍第 15 項之半導體裝置，

其中，該第二電晶體之半導體層包括開口，且

其中，該插塞於該開口中與該半導體層接觸。

17.如申請專利範圍第 15 項之半導體裝置，

其中，該第二電晶體包括與該第二電晶體之半導體層接觸之源極電極或汲極電極，

其中，開口係在該半導體層及該源極電極或該汲極電極中，且

其中，該插塞在該開口中與該半導體層及該源極電極或該汲極電極接觸。

18.如申請專利範圍第 3 項之半導體裝置，其中，該 n 個絕緣膜具有阻擋氫、水、及氧之至少一者之功能。

19.如申請專利範圍第 3 項之半導體裝置，其中，該 n 個絕緣膜包括氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鉛、及氧氮化鉛之至少一者。

20.如申請專利範圍第 3 項之半導體裝置，其中，該電容器及該第二電晶體相互重疊。

圖式

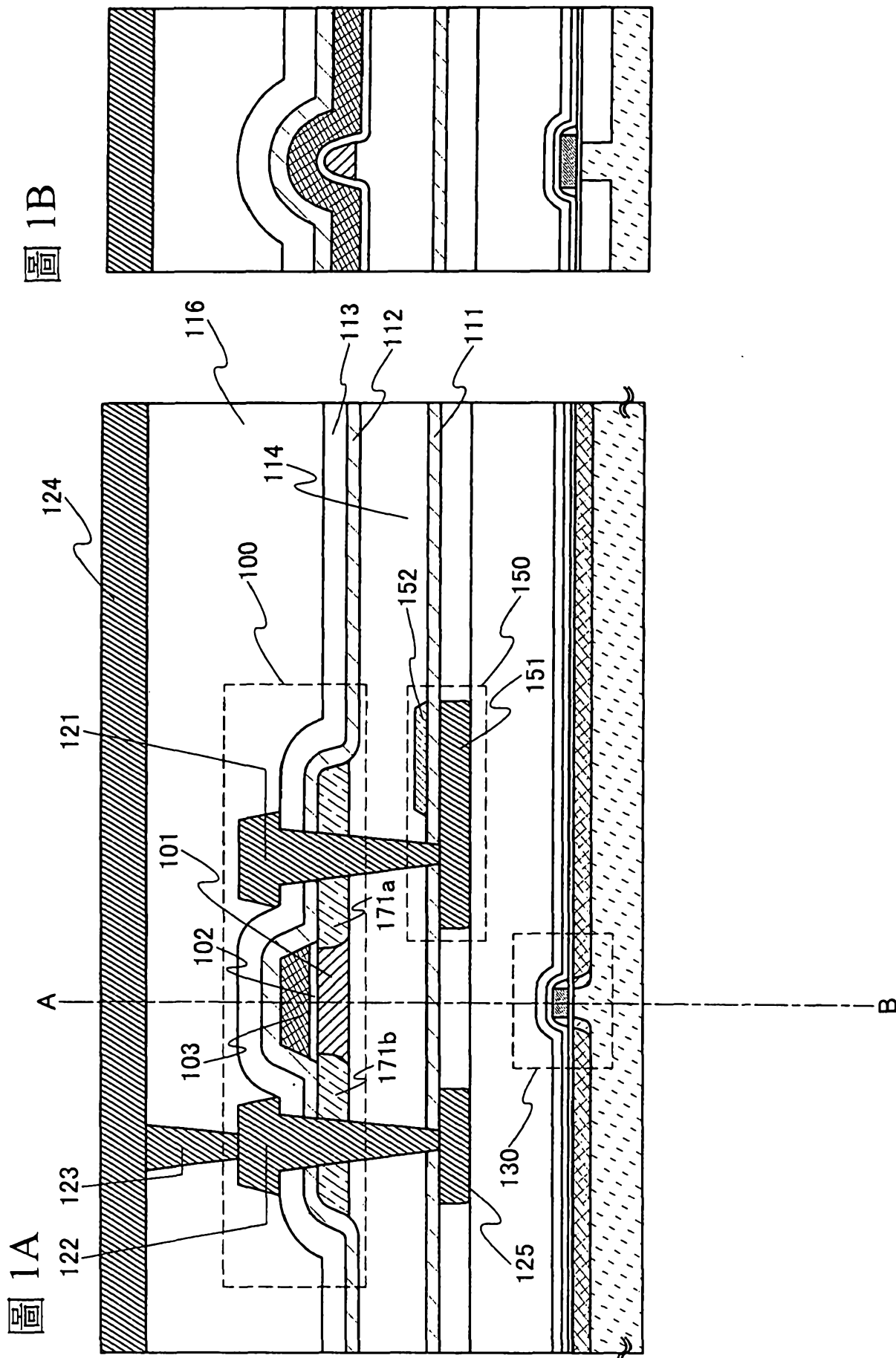


圖 1A

圖 1B

圖 2

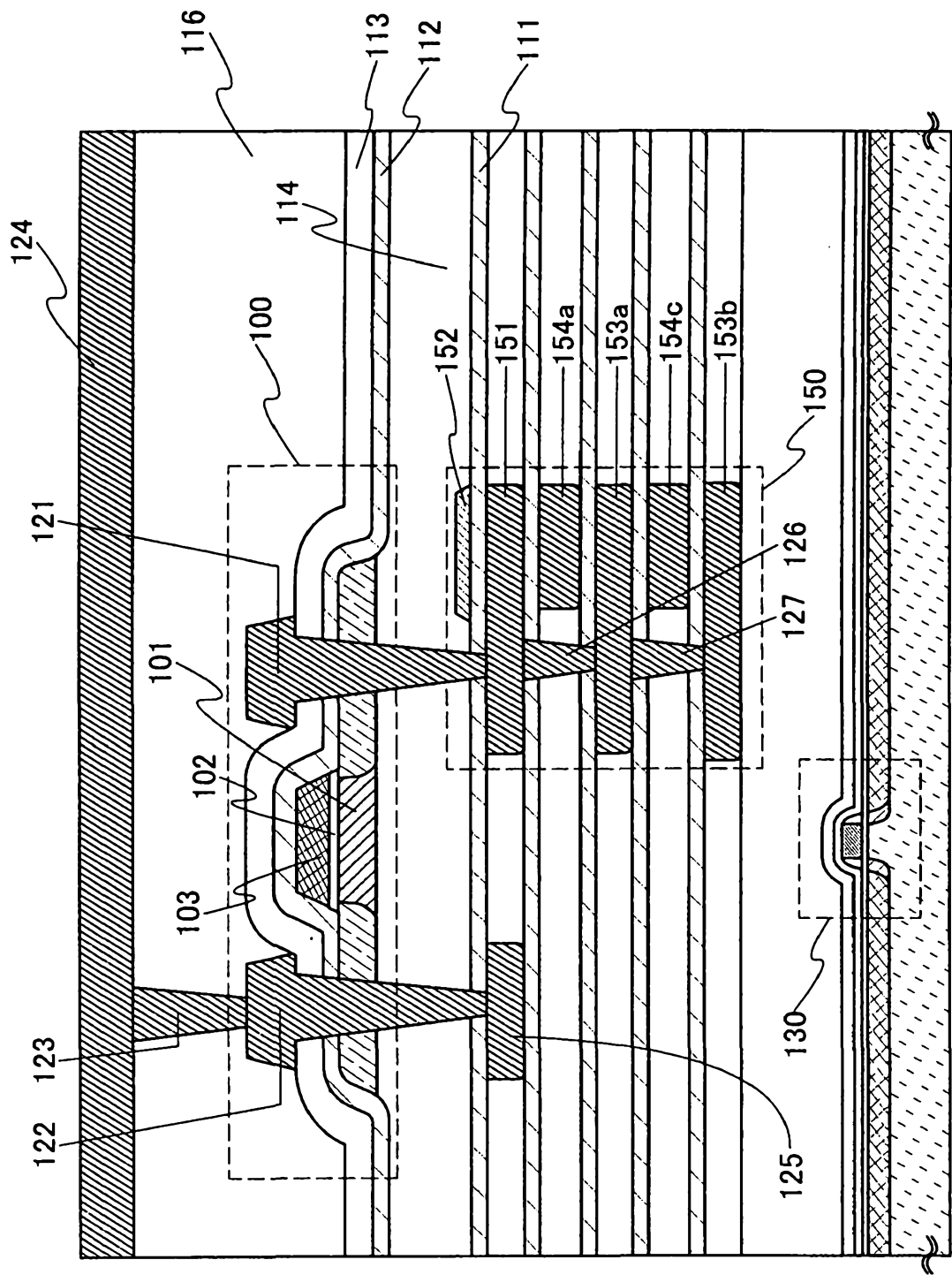
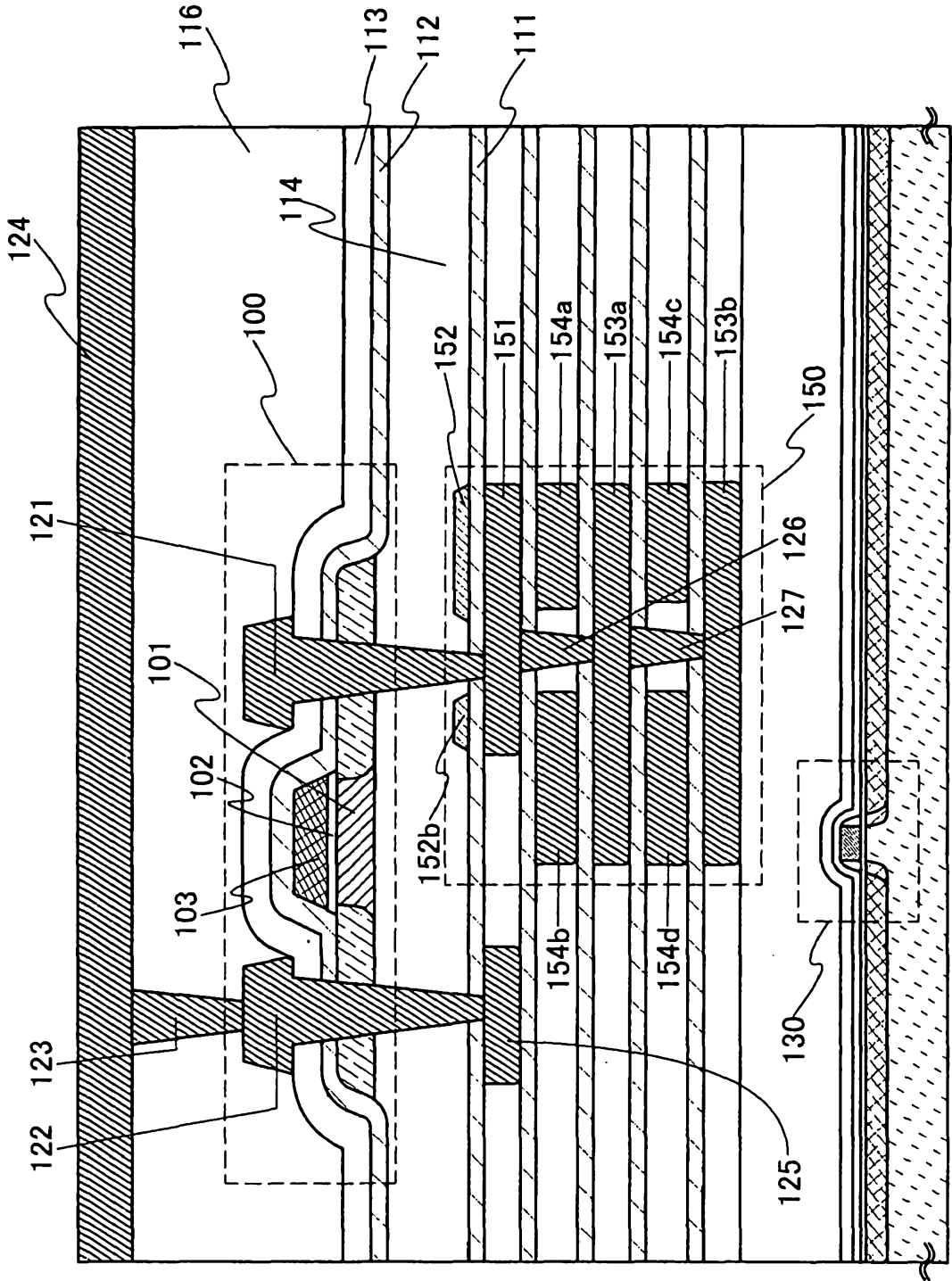


圖 3



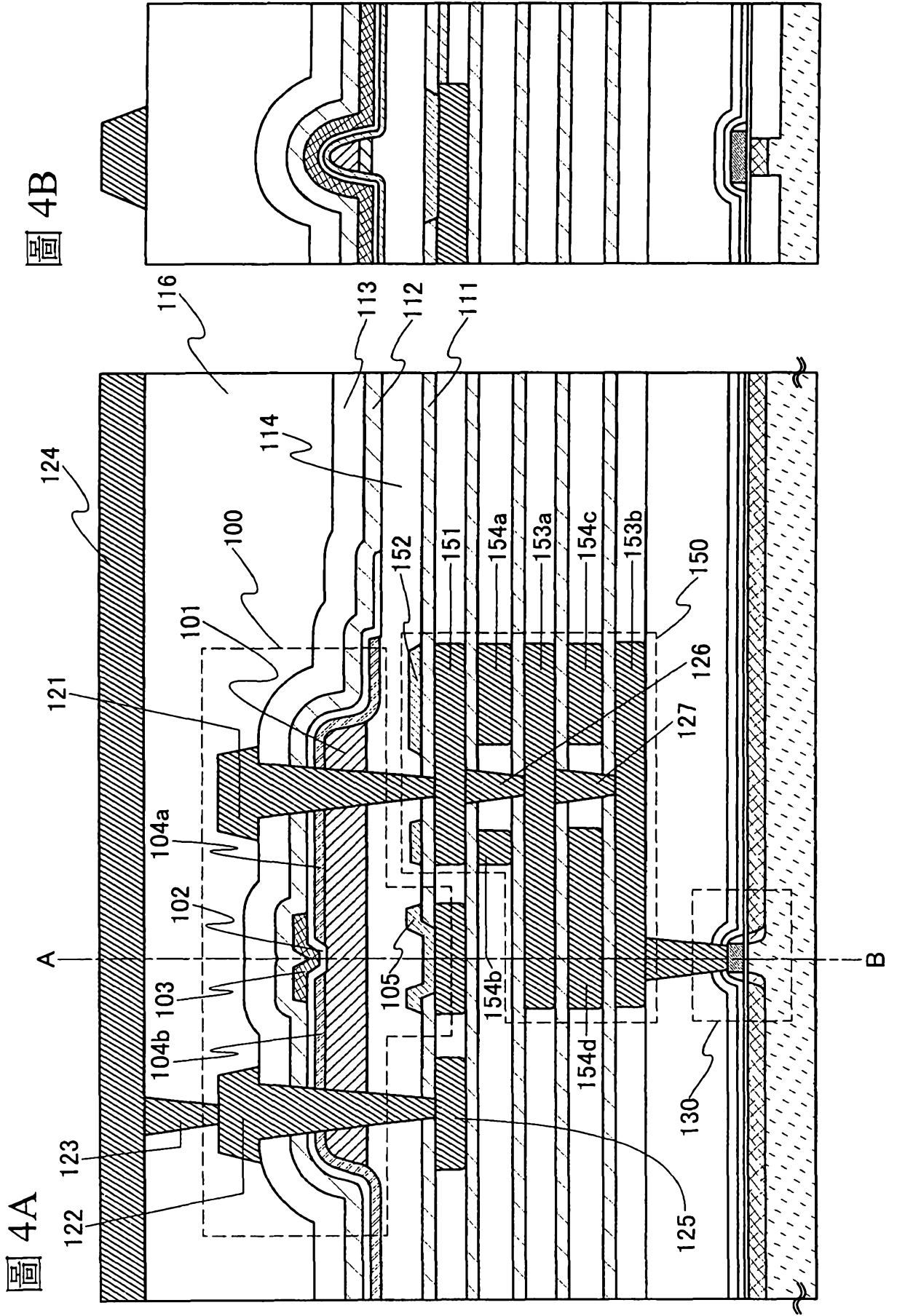


圖 4A

圖 4B

圖 5A

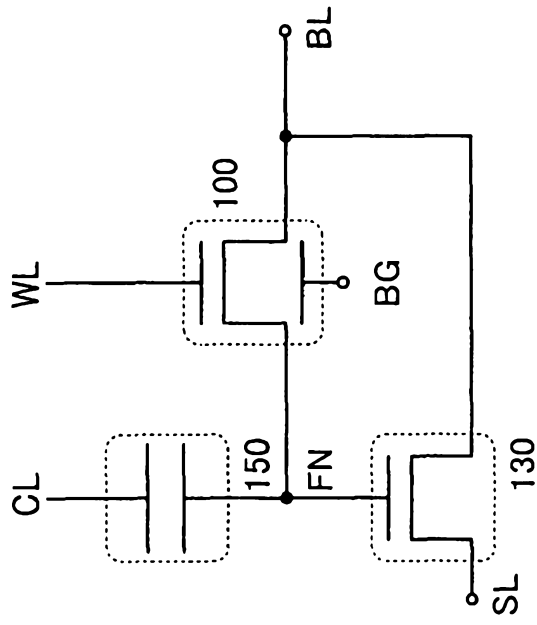


圖 5B

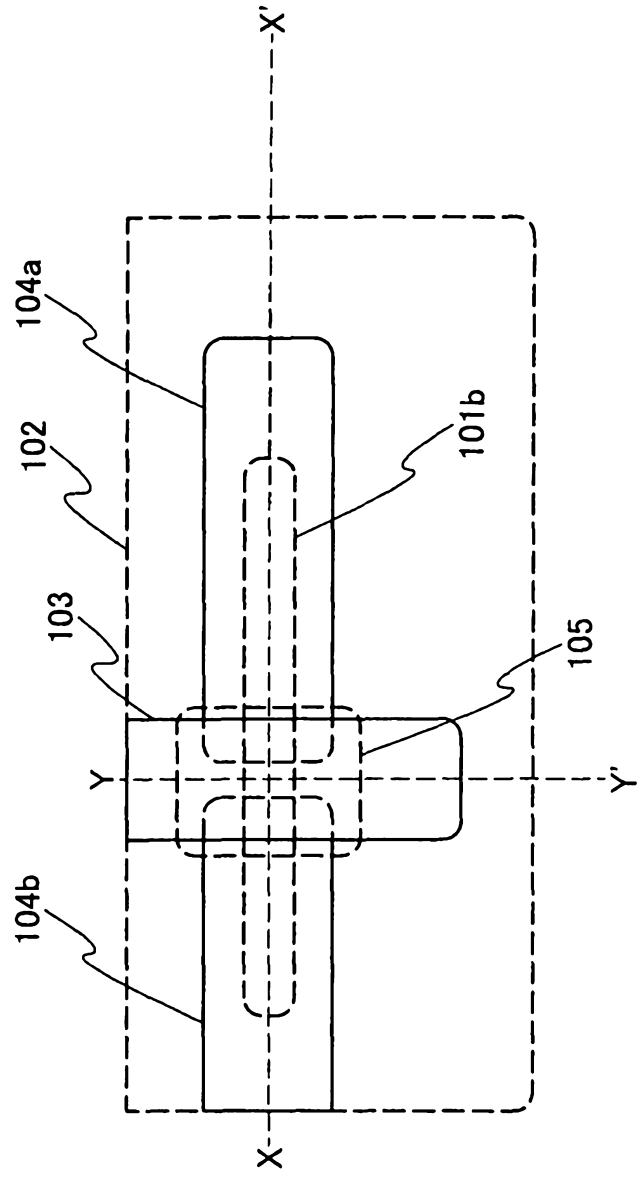


圖 6A

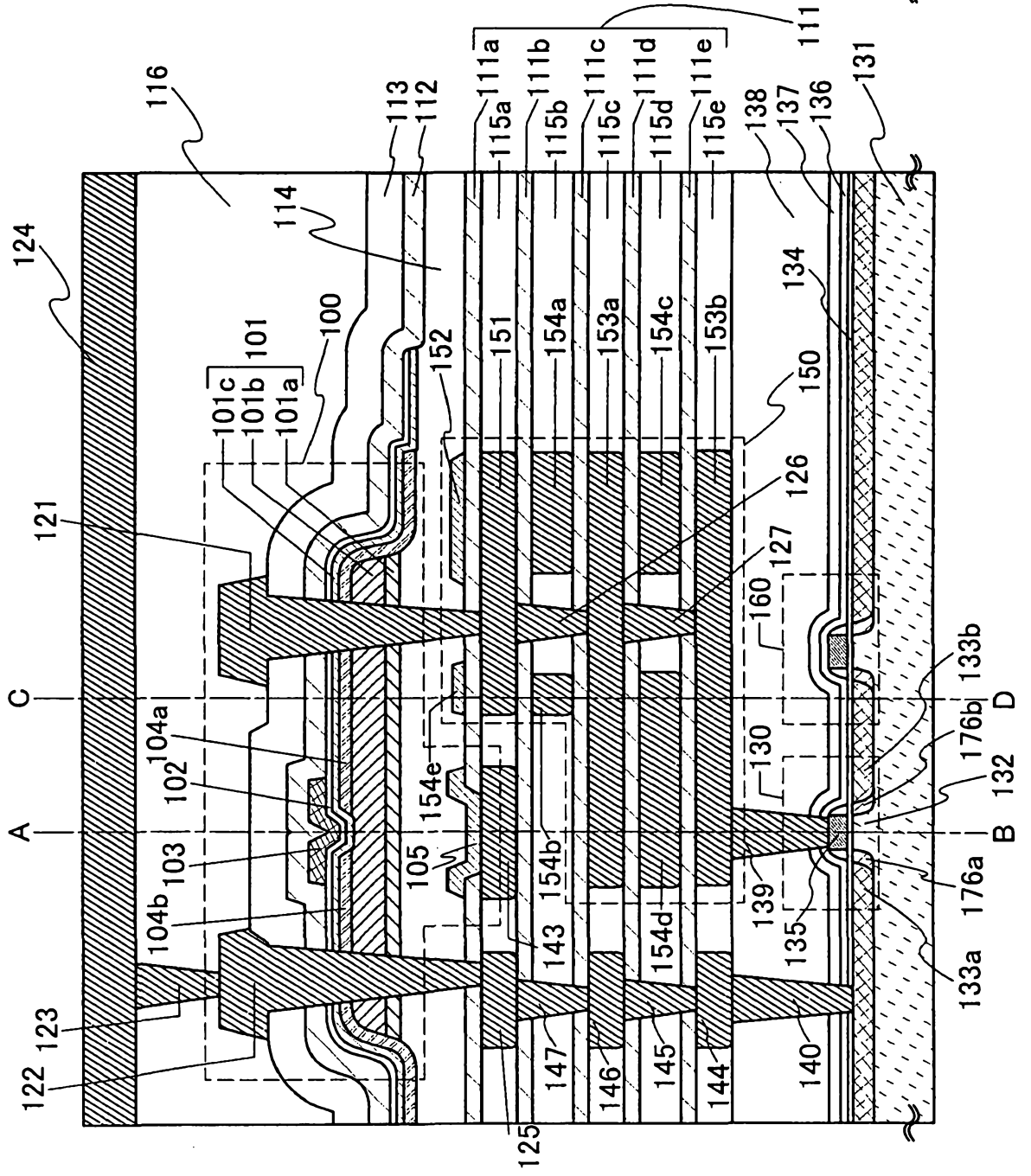


圖 6B

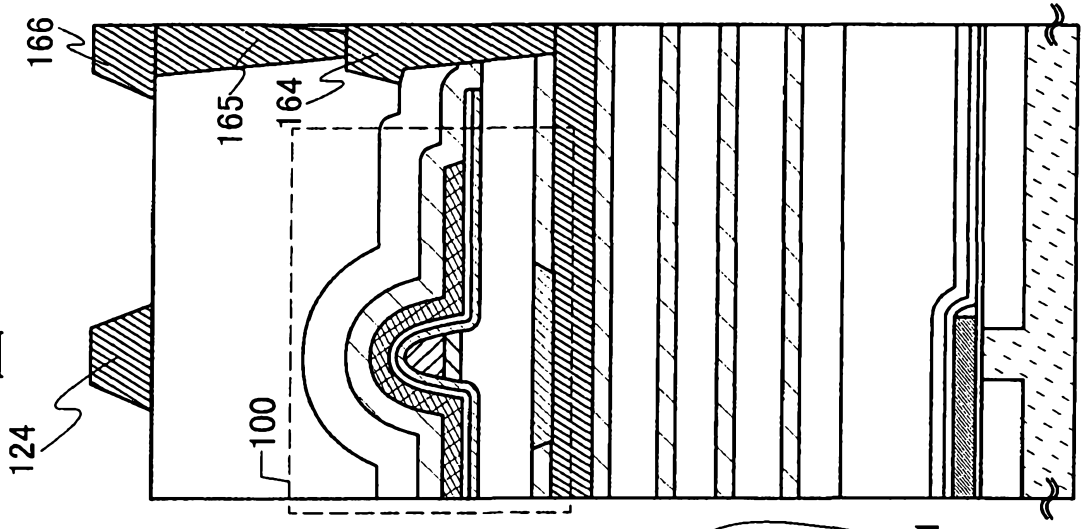
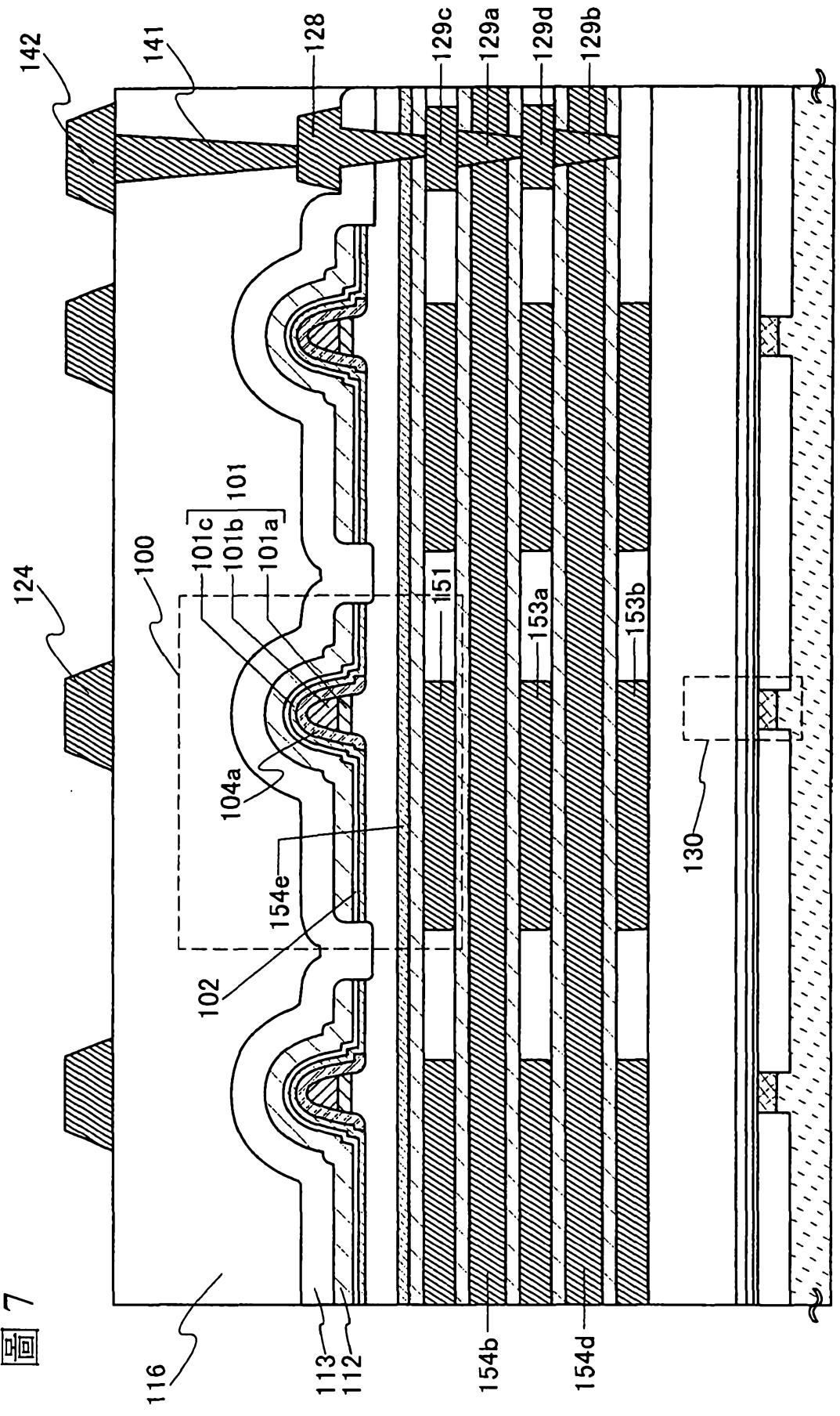


圖 7



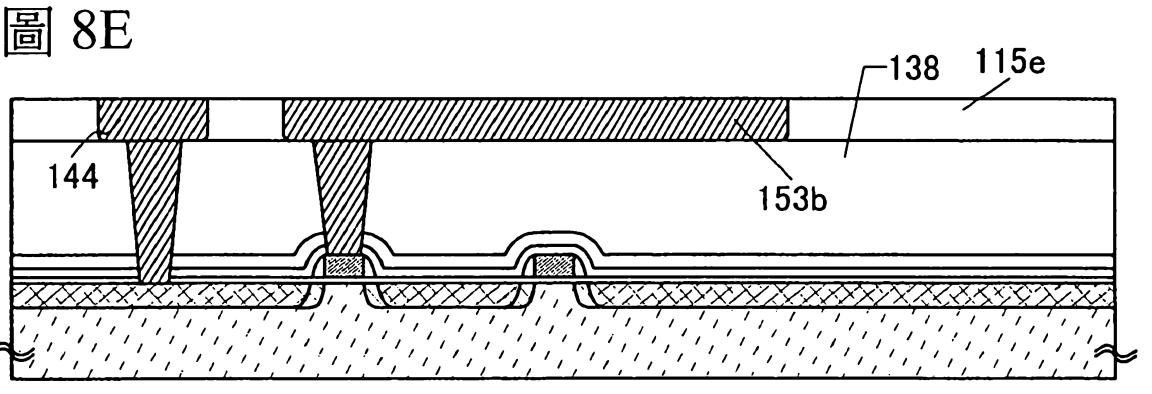
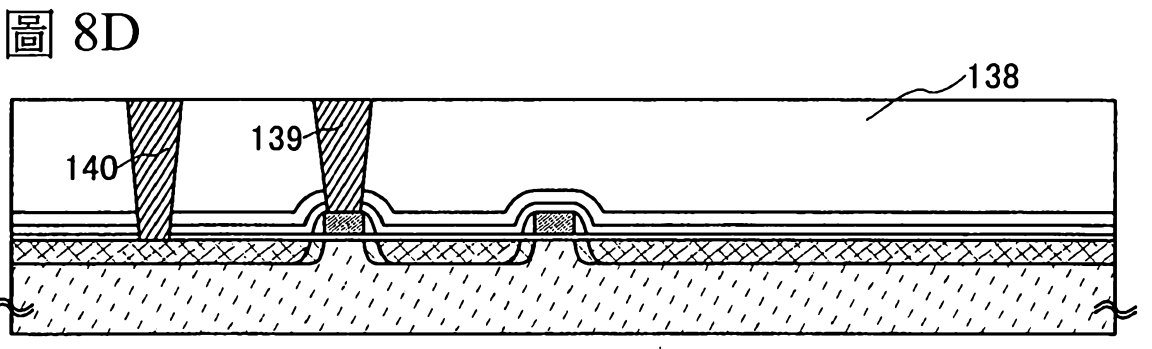
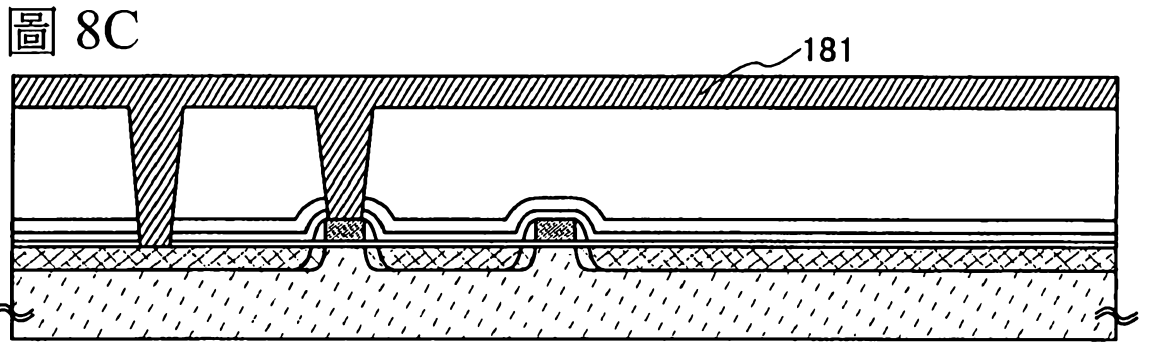
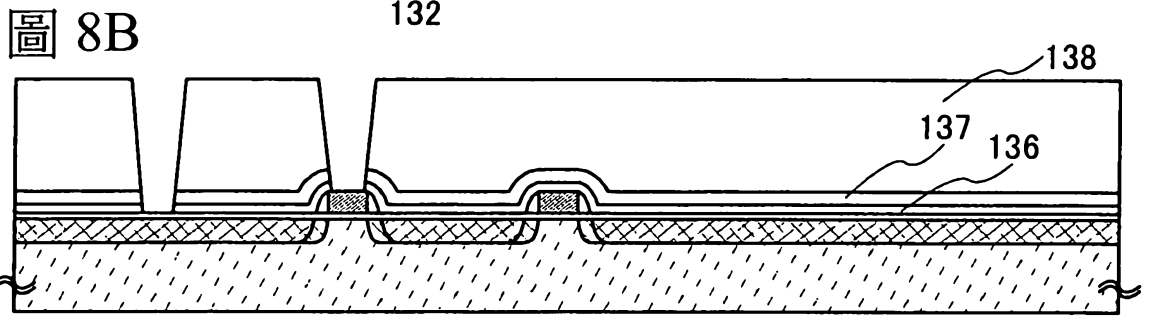
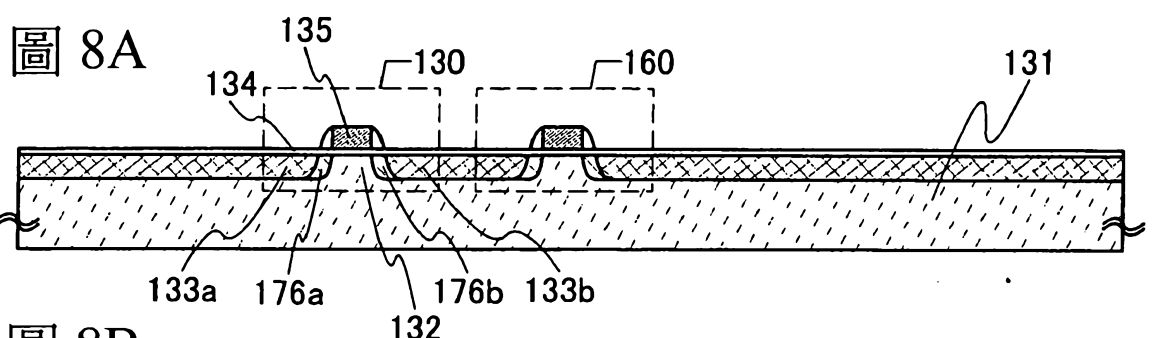


圖 9A

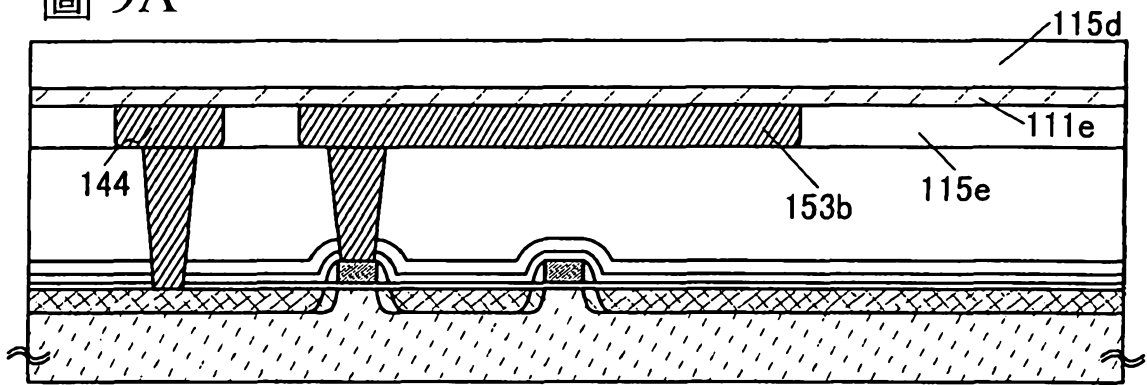


圖 9B

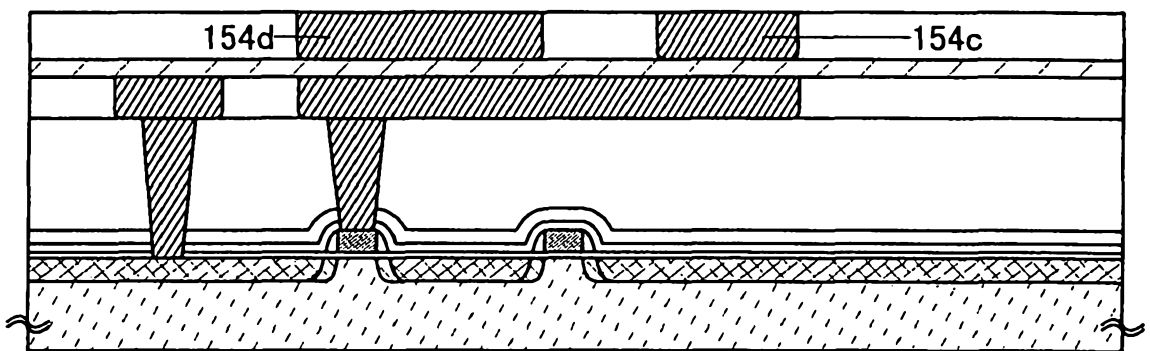


圖 9C

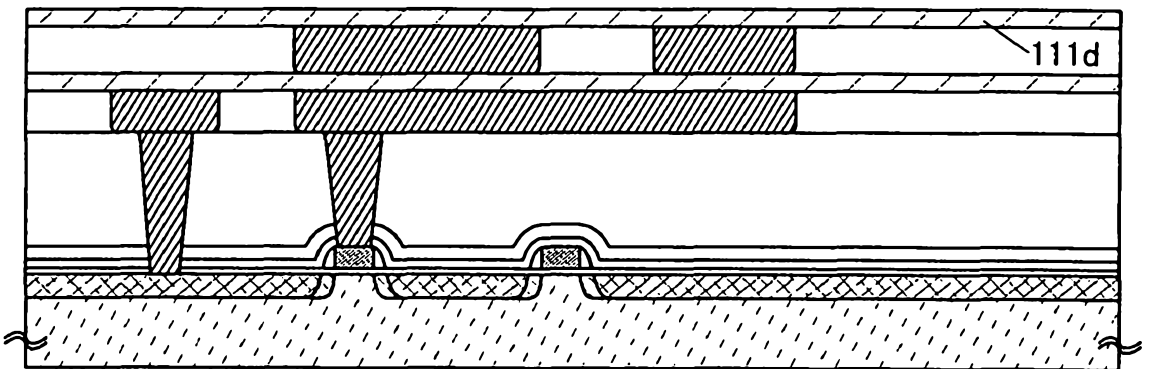


圖 9D

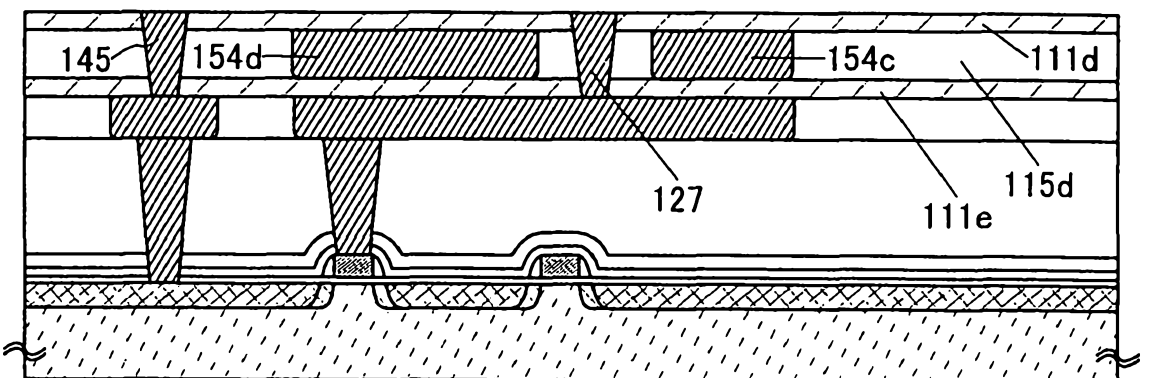


圖 10A

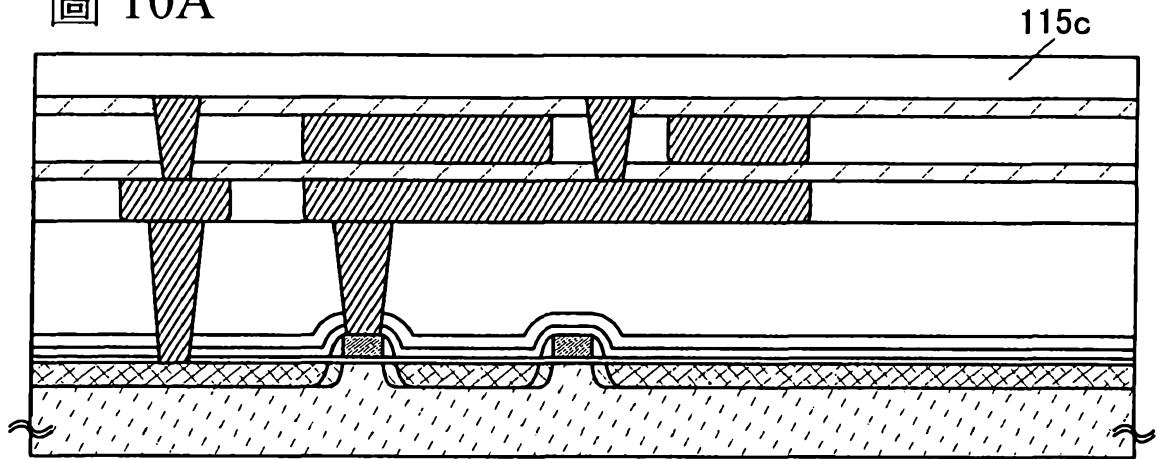


圖 10B

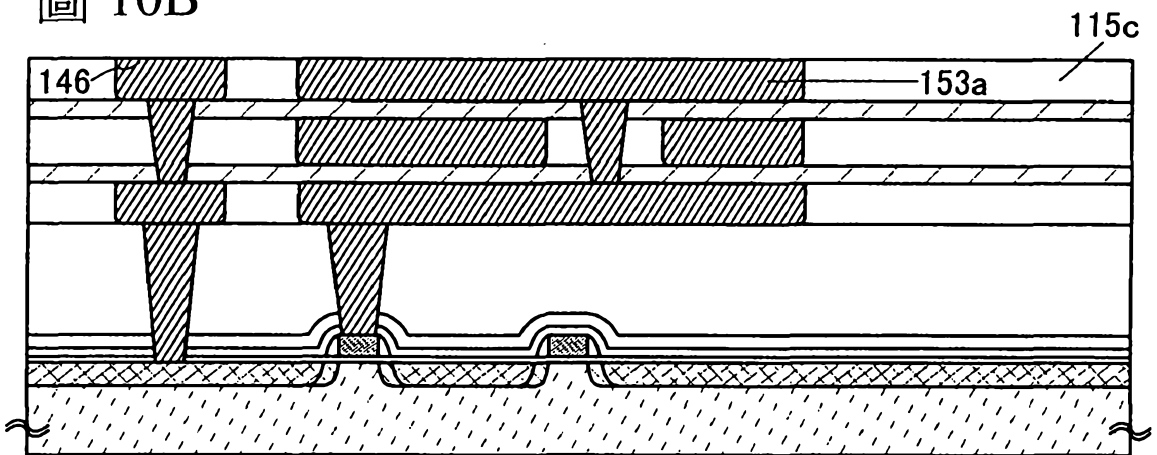


圖 10C

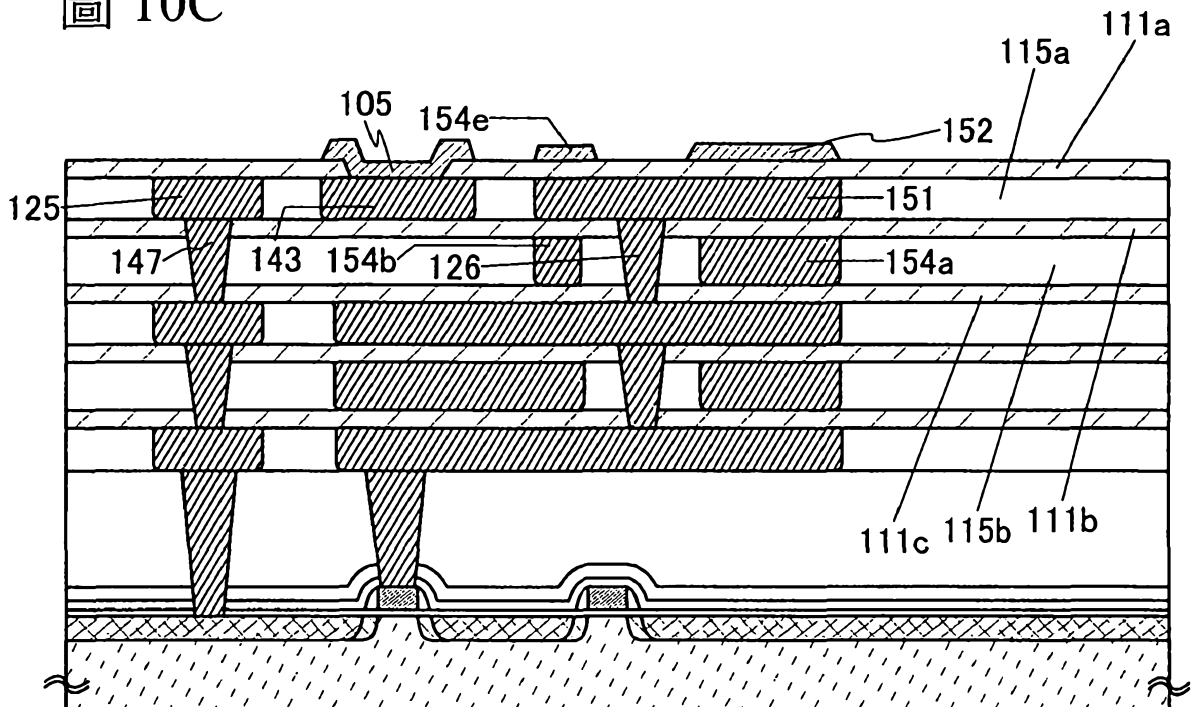


圖 11A

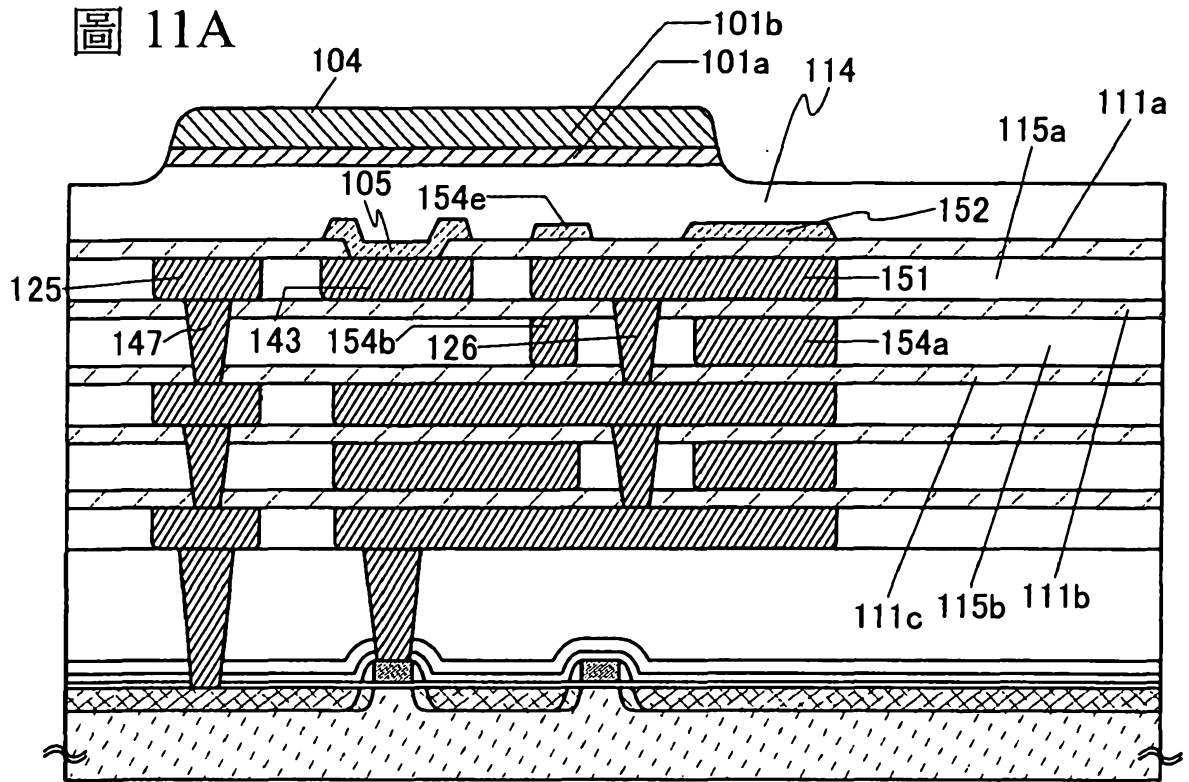


圖 11B

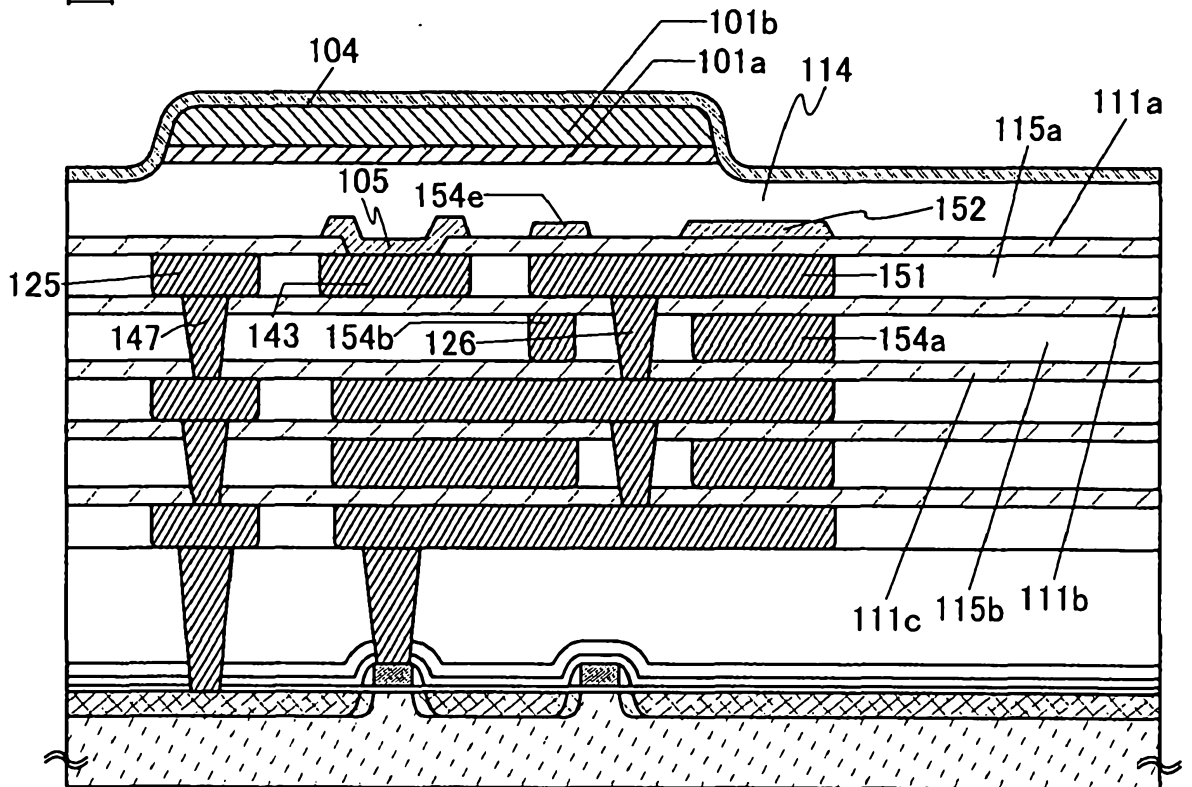


圖 12A

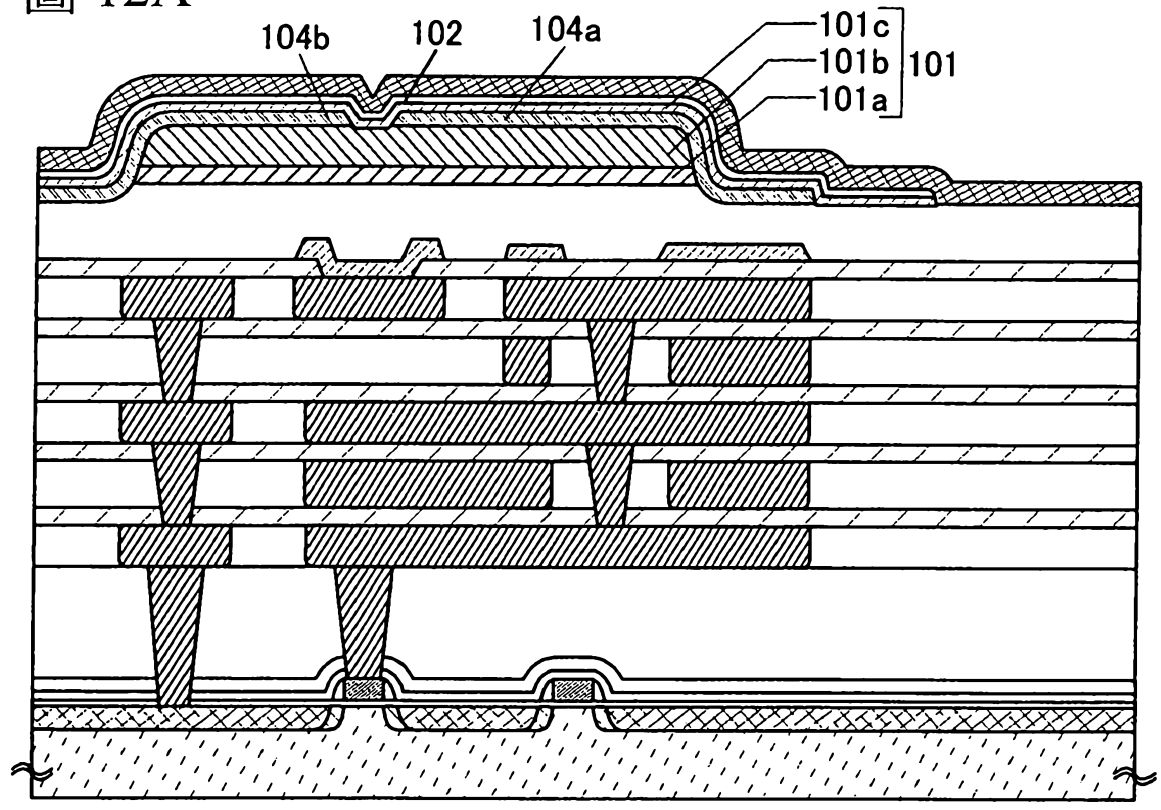


圖 12B

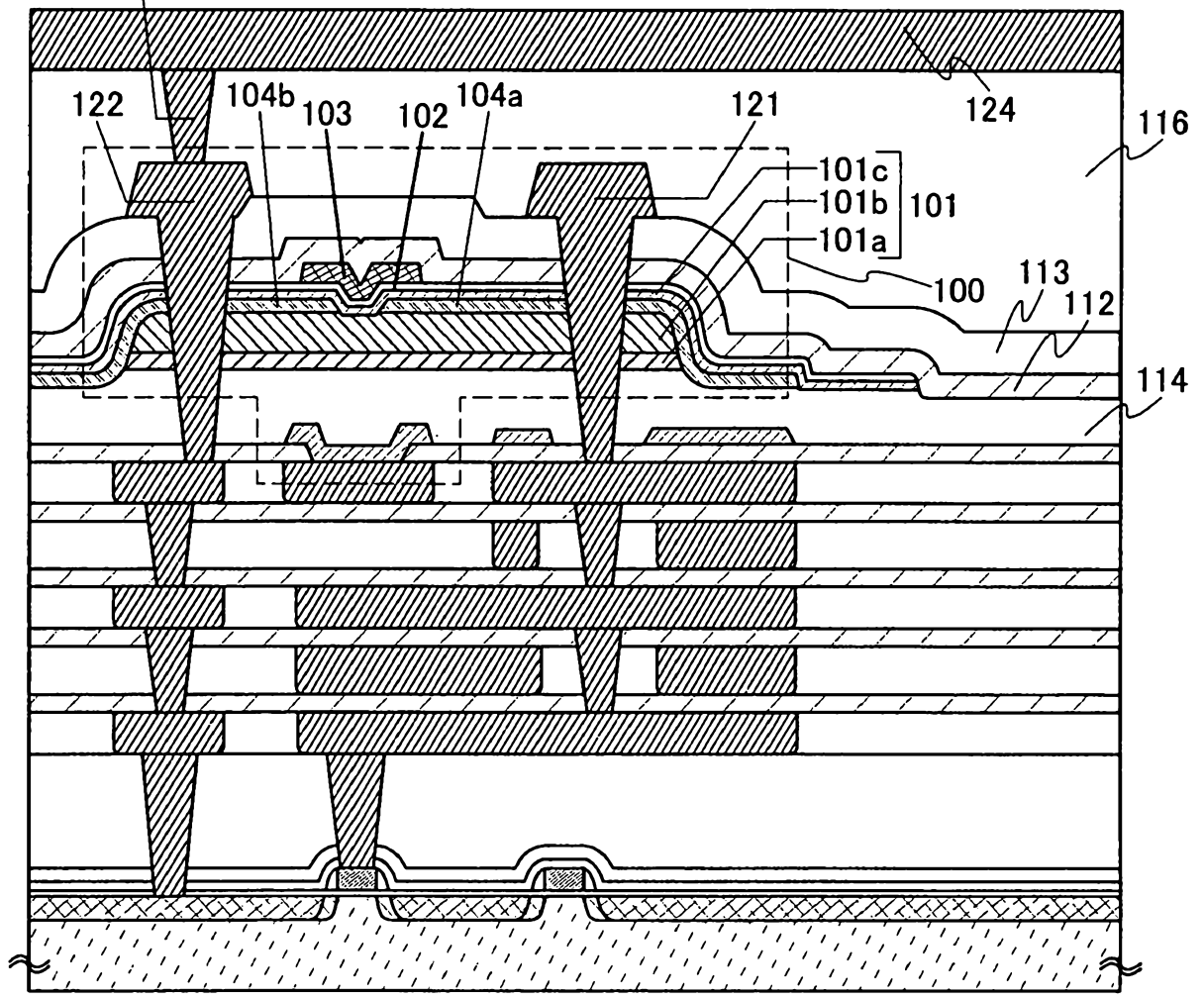


圖 13A

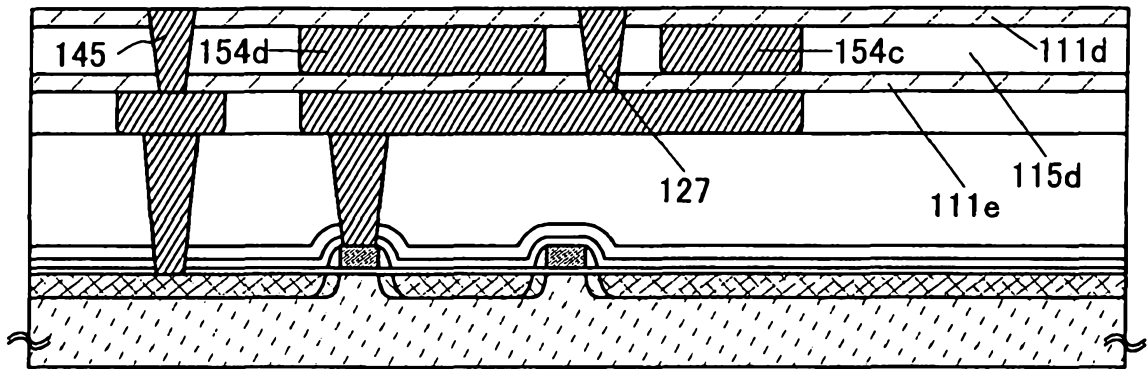


圖 13B

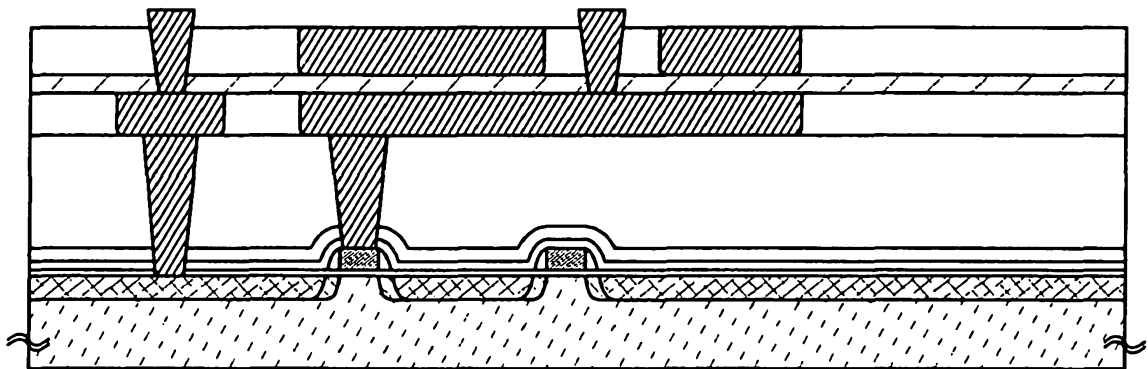


圖 13C

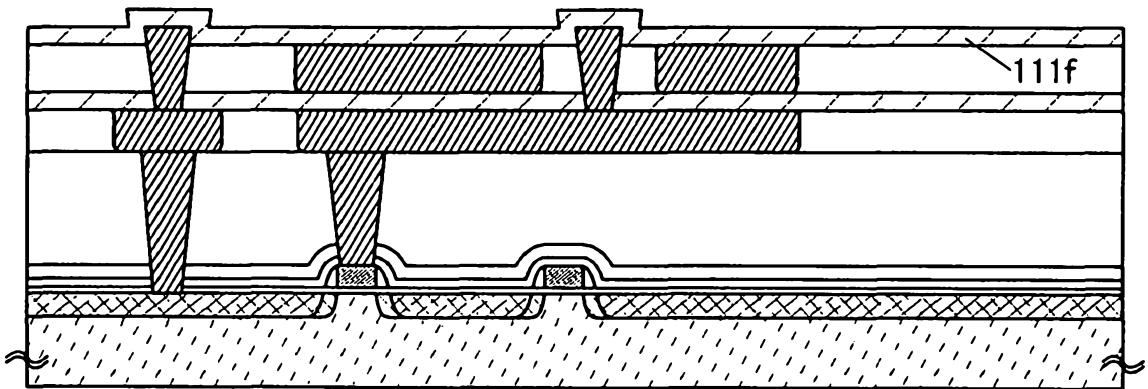


圖 13D

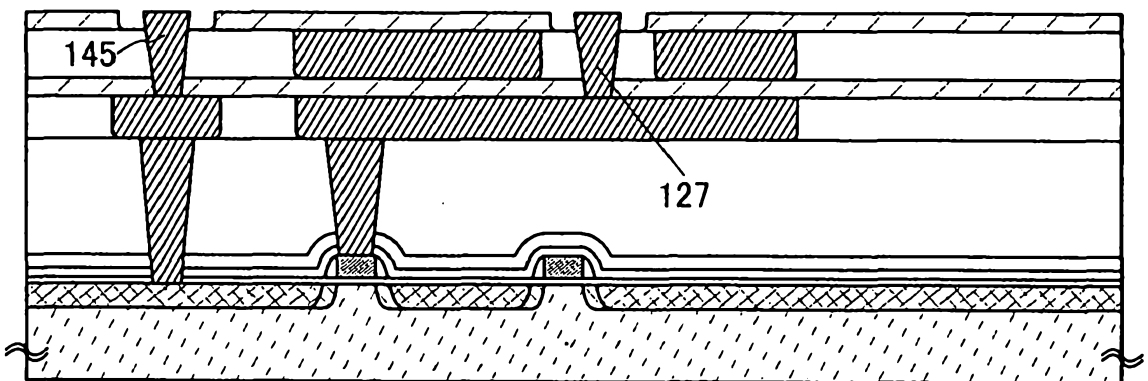


圖 14A

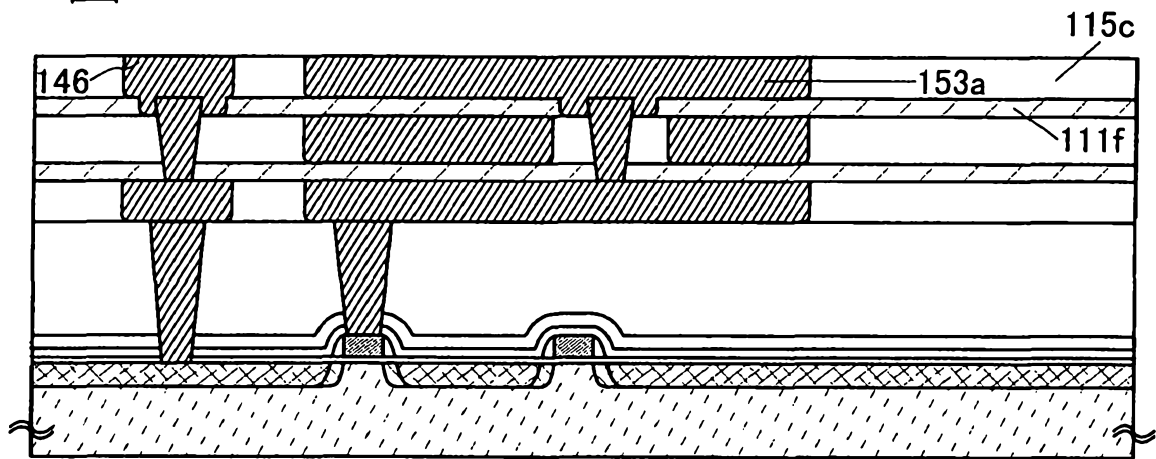


圖 14B

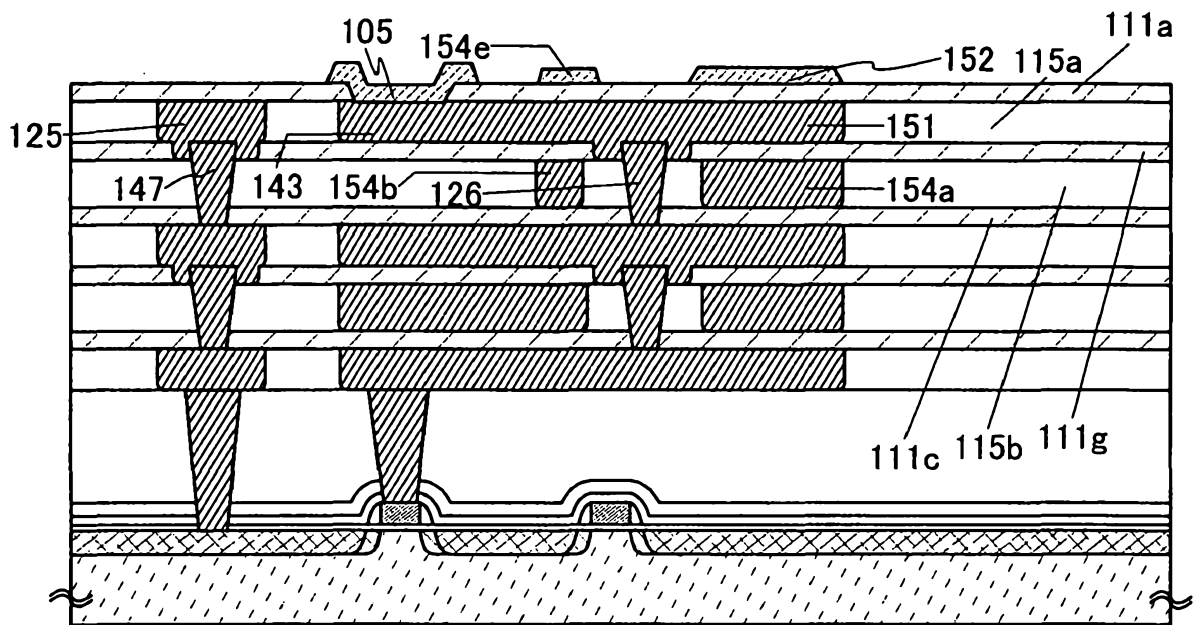


圖 15A

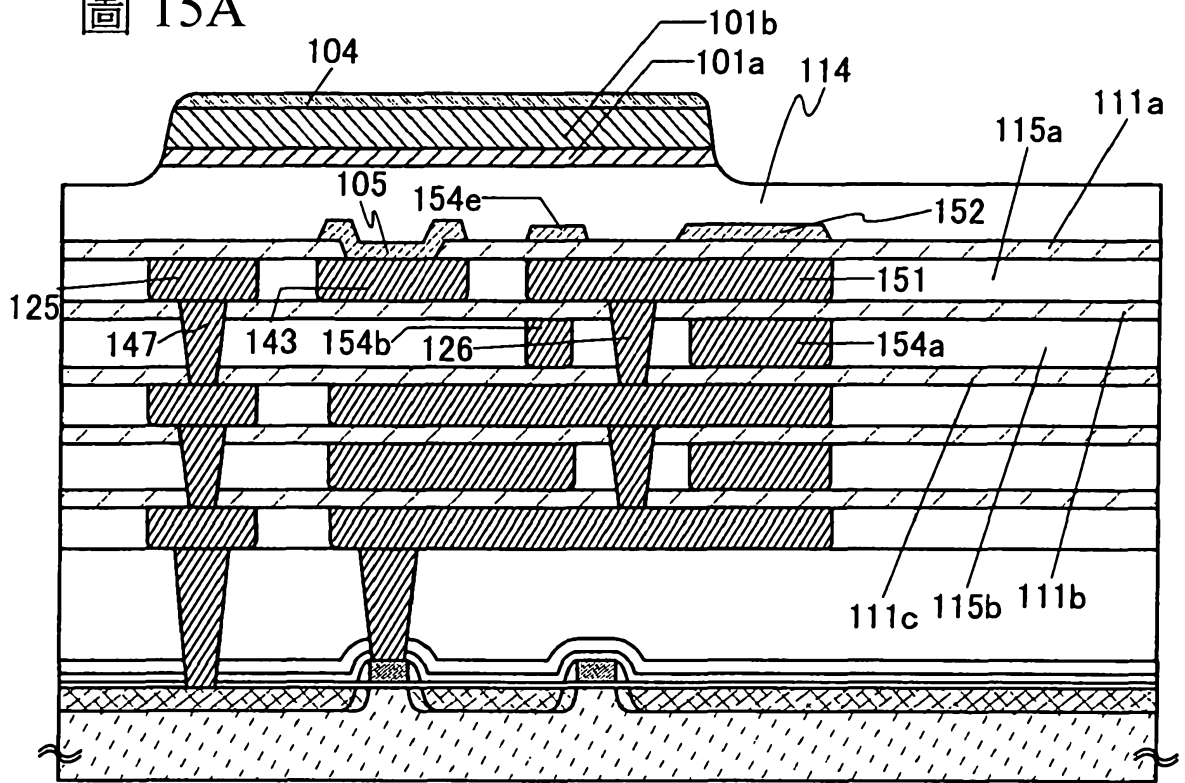


圖 15B

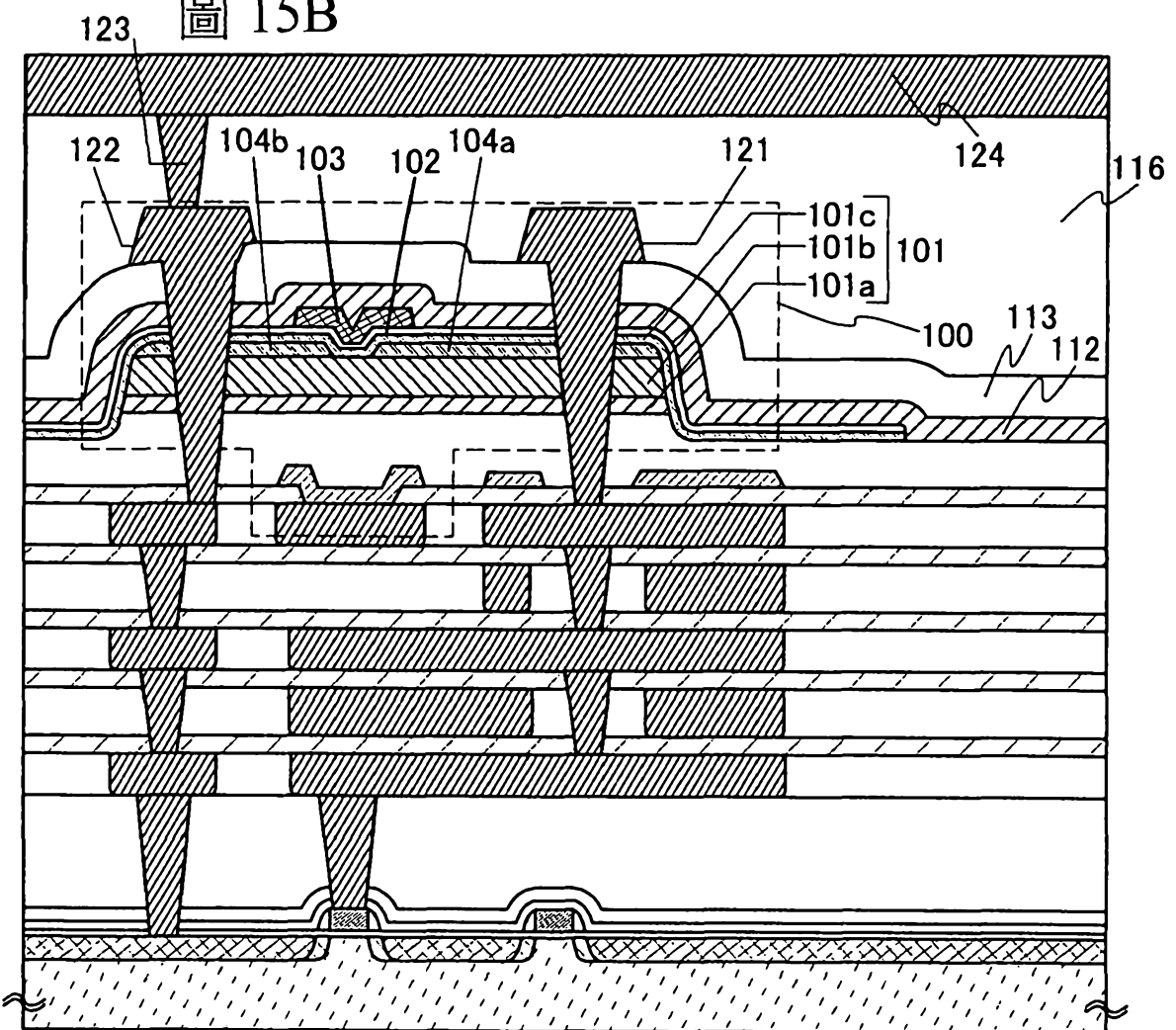


圖 16A

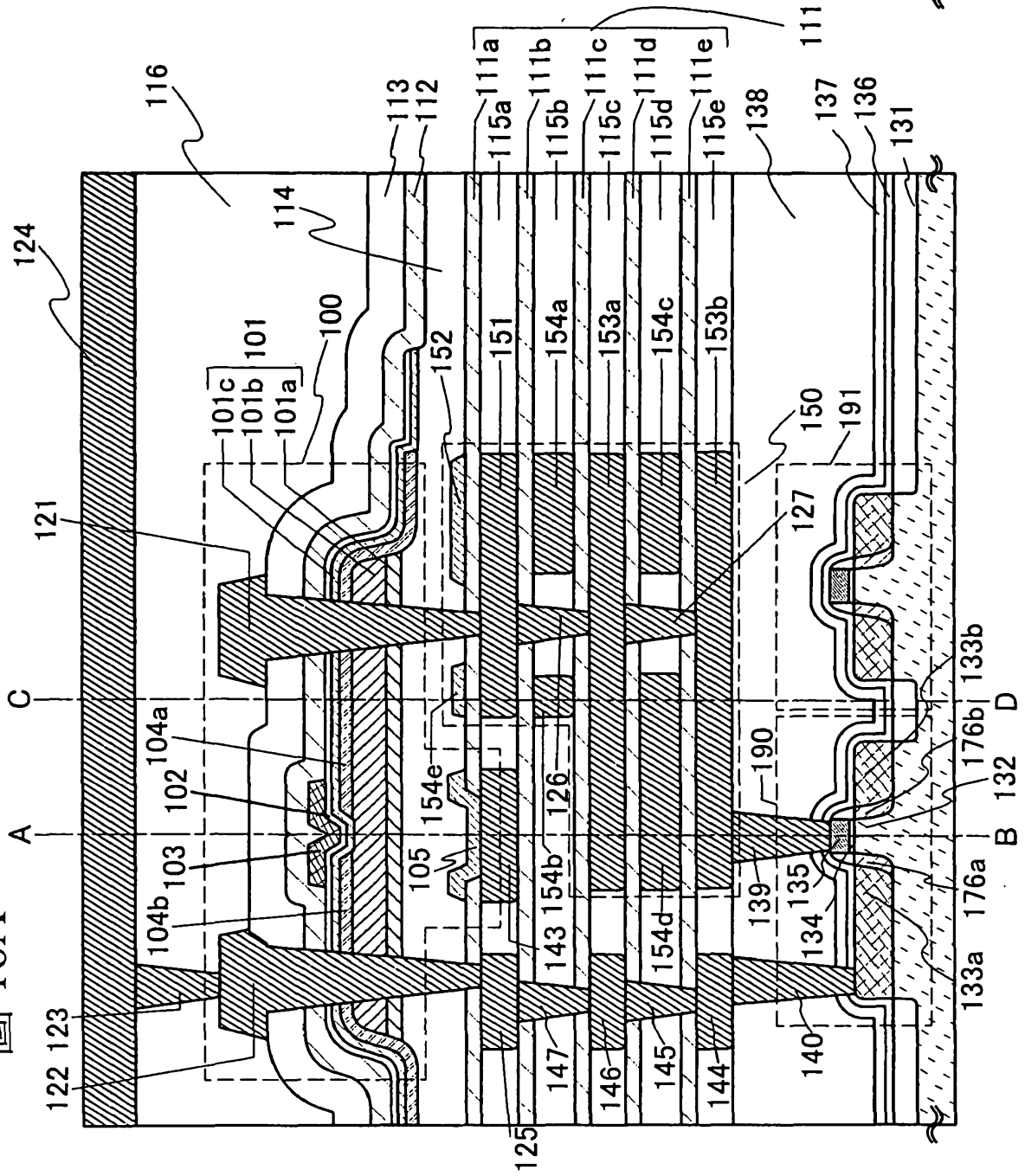


圖 16B

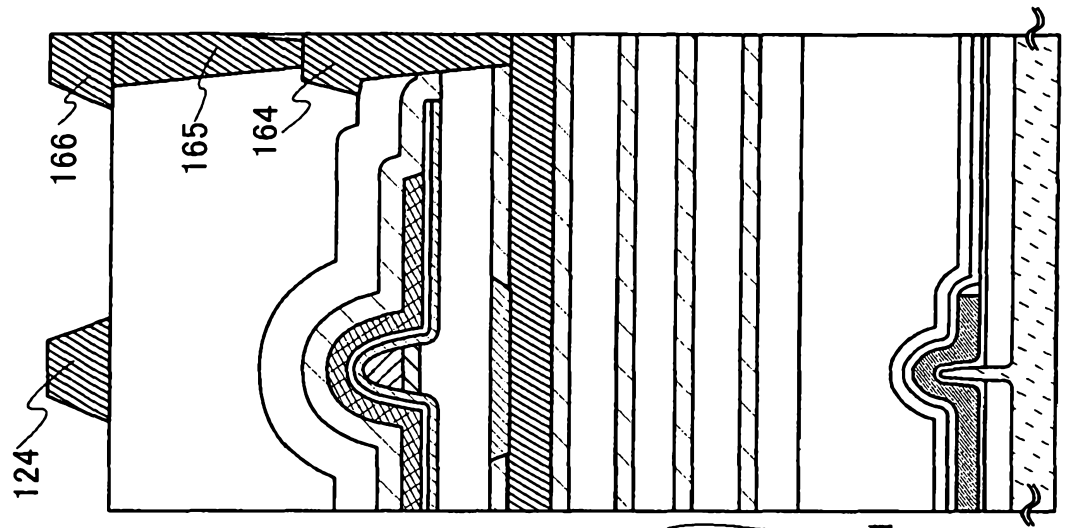


圖 17A

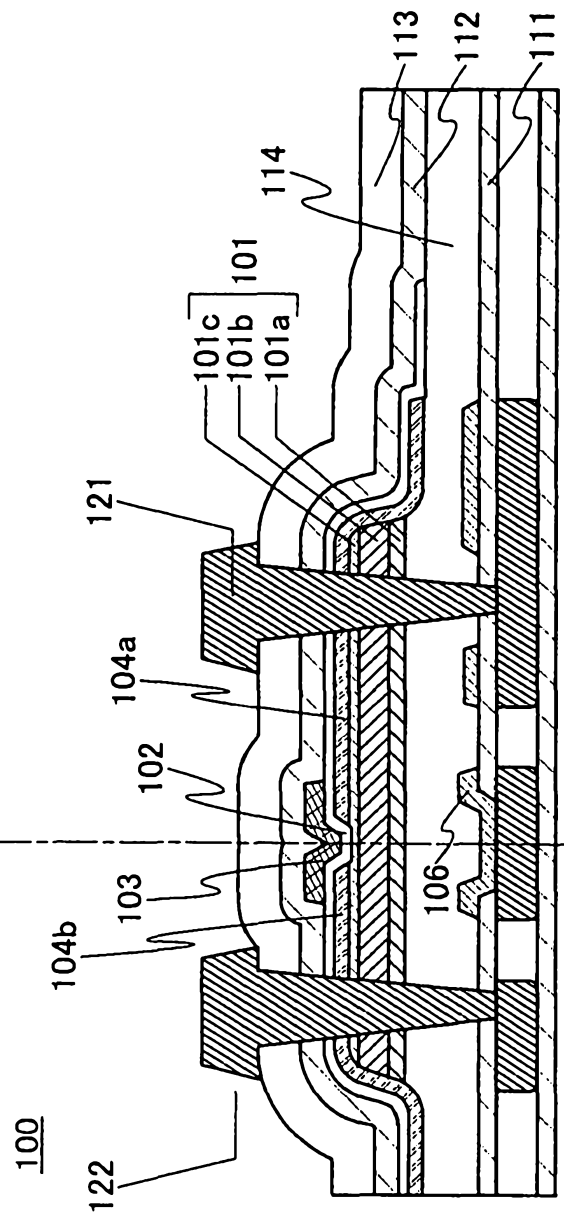


圖 17B

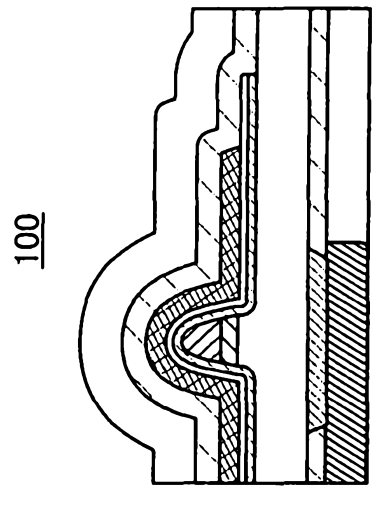


圖 17C

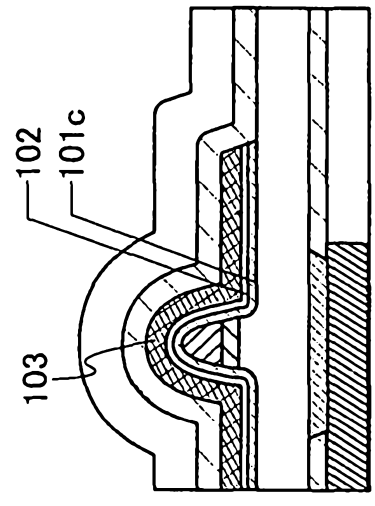


圖 17D

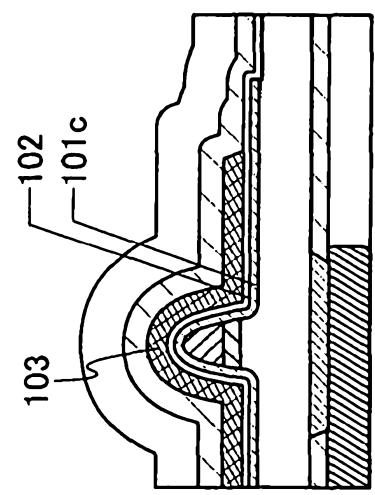


圖 18A

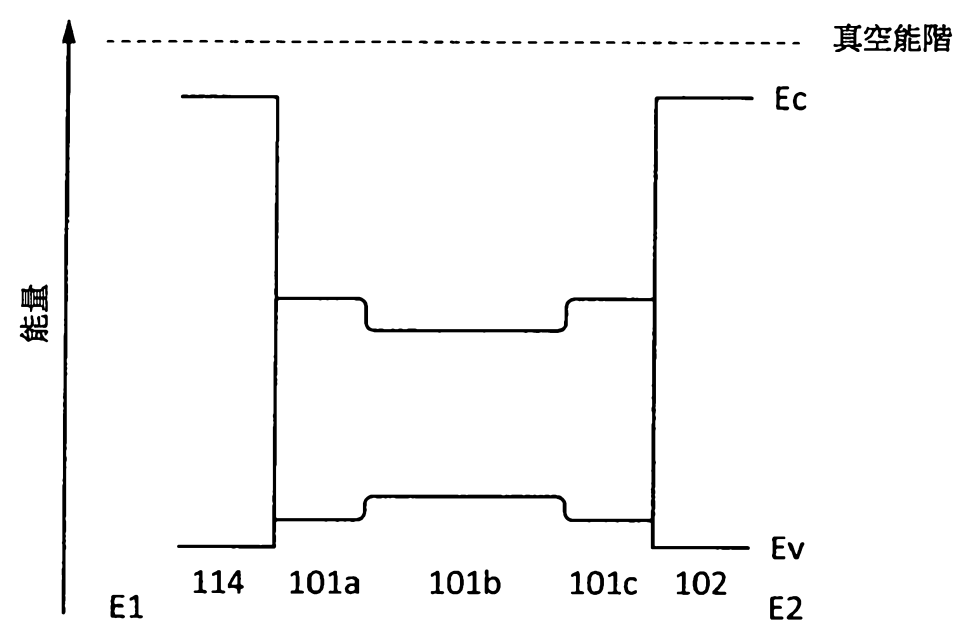


圖 18B

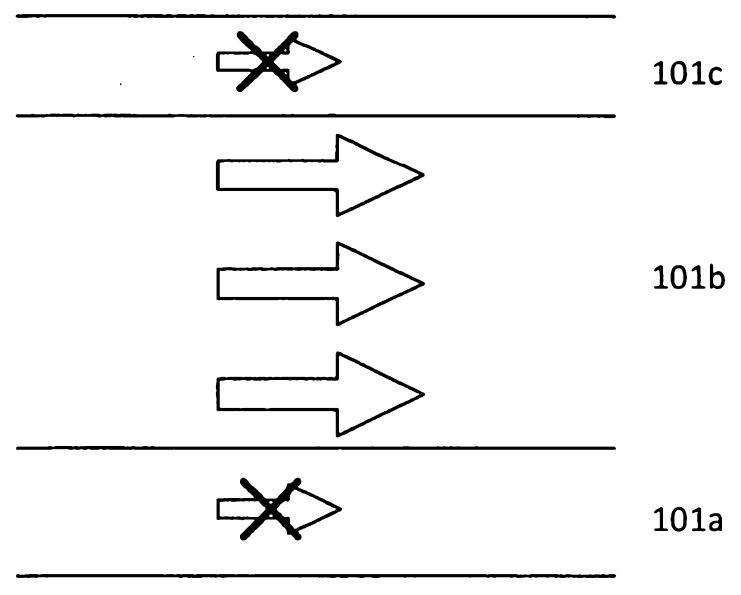


圖 23

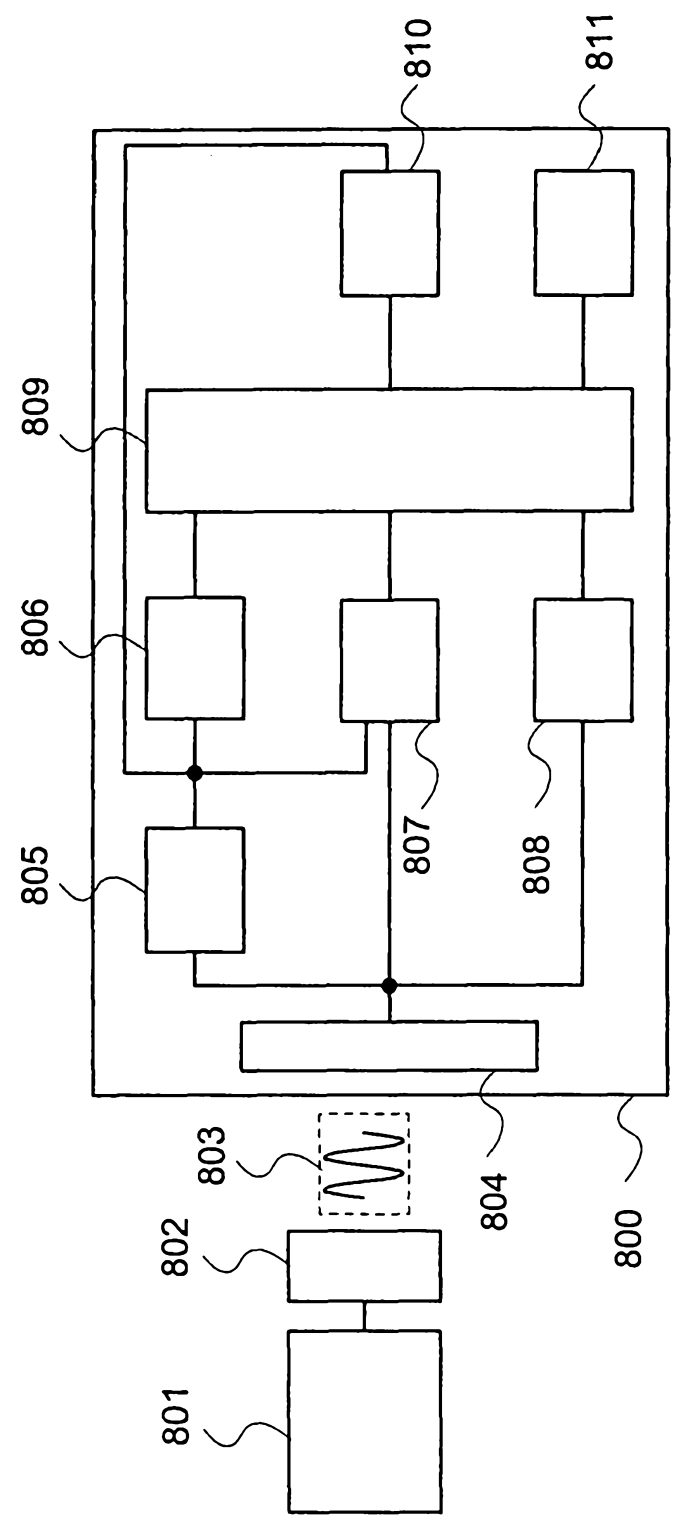


圖 24

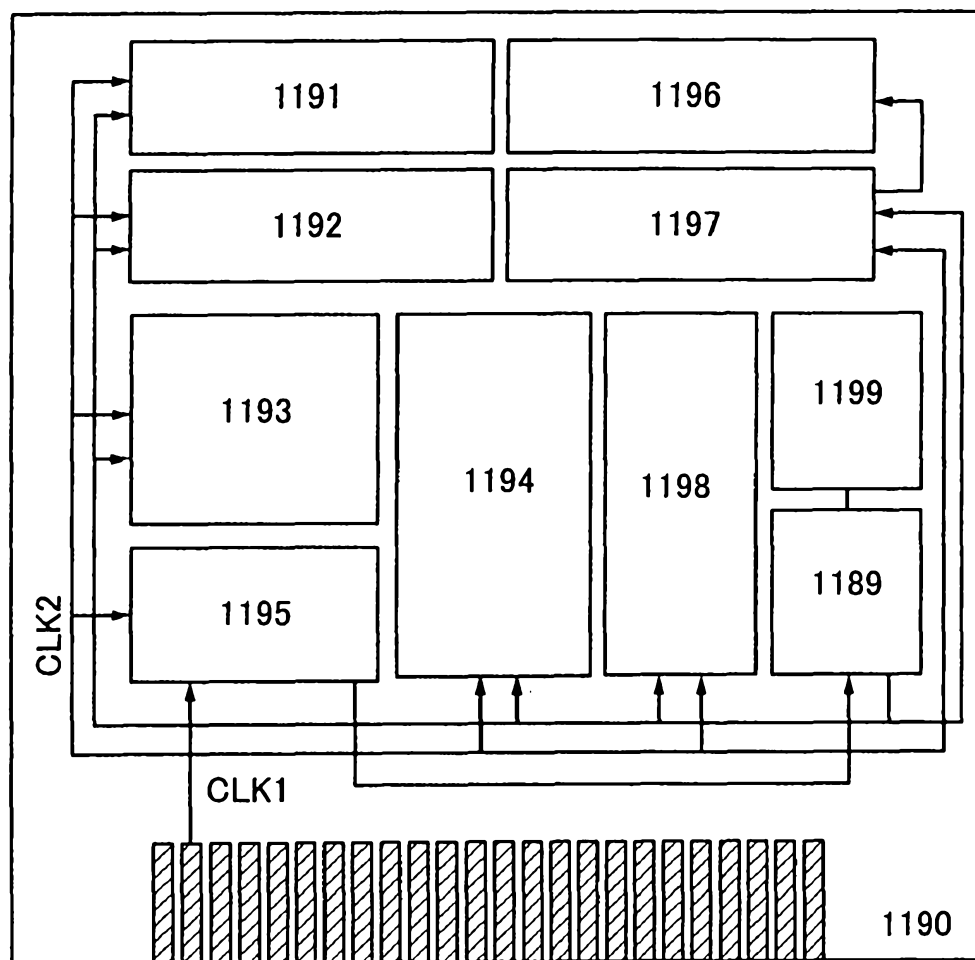


圖 25

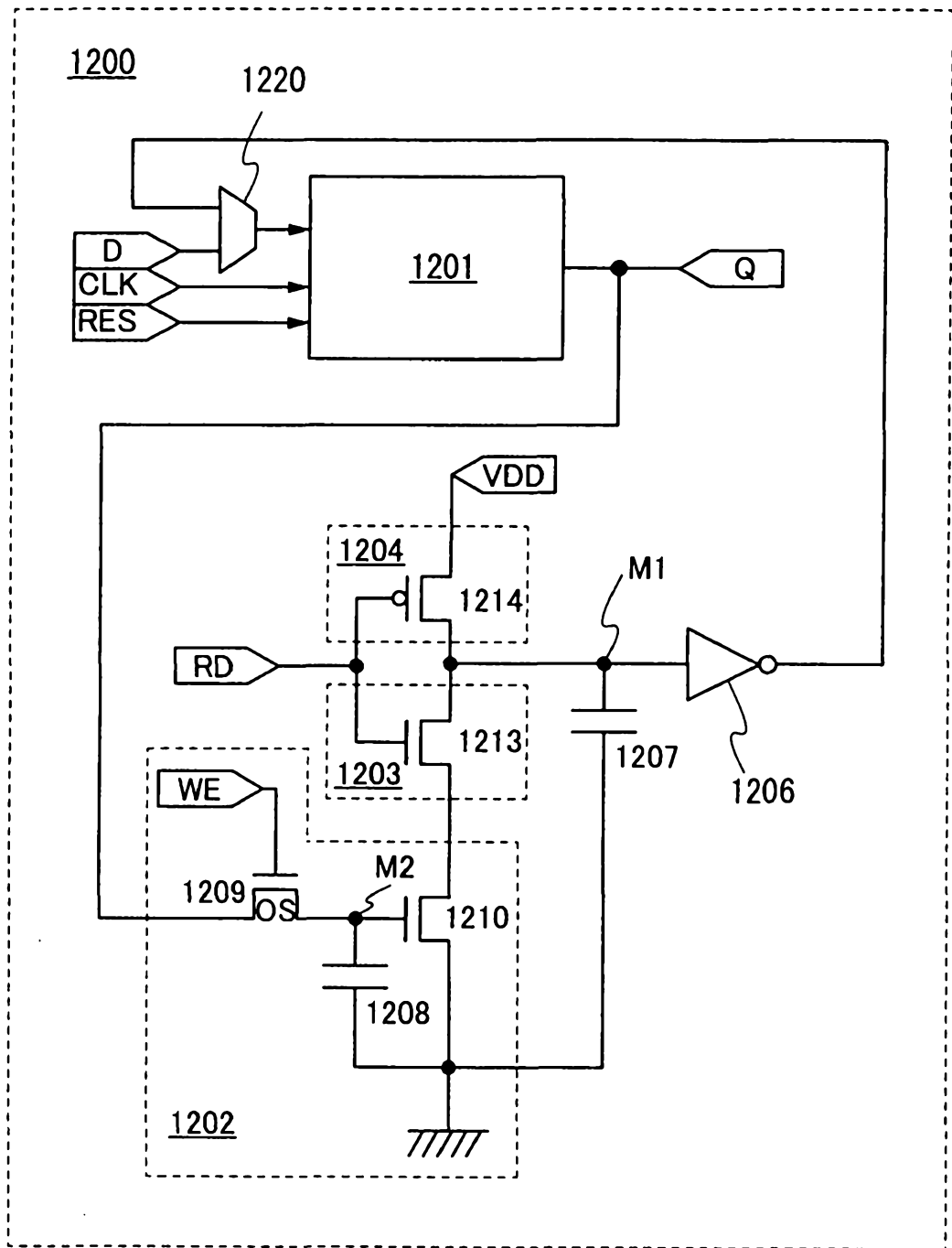


圖 26A

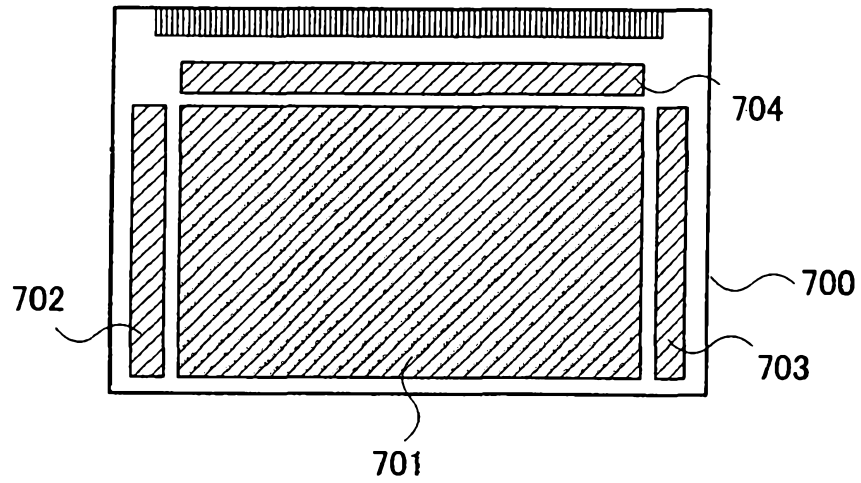


圖 26B

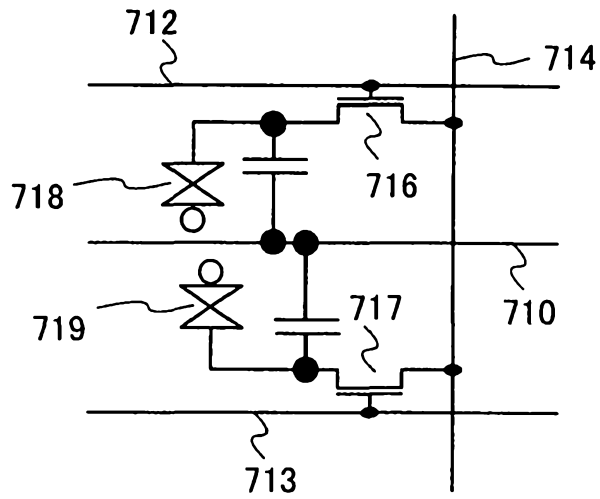


圖 26C

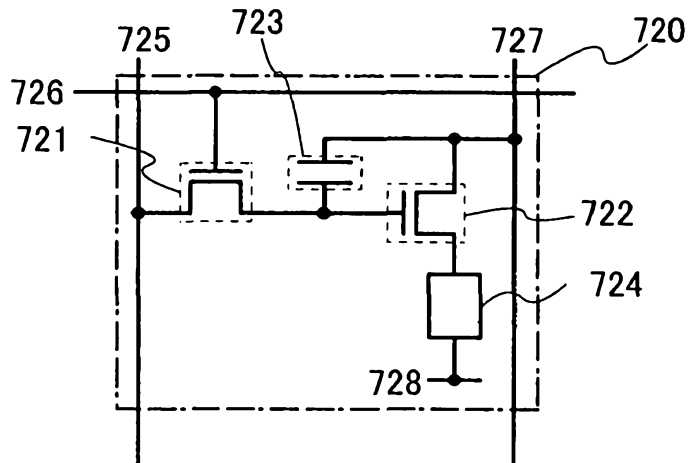


圖 27A

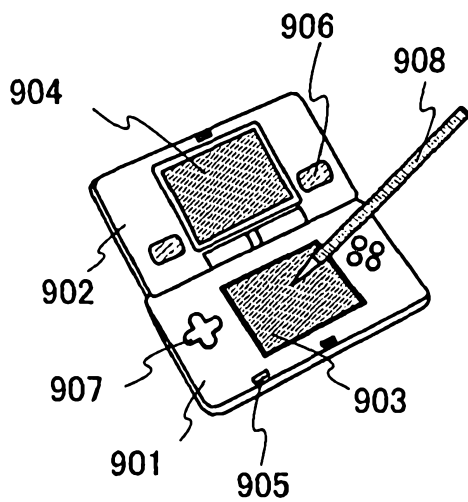


圖 27B

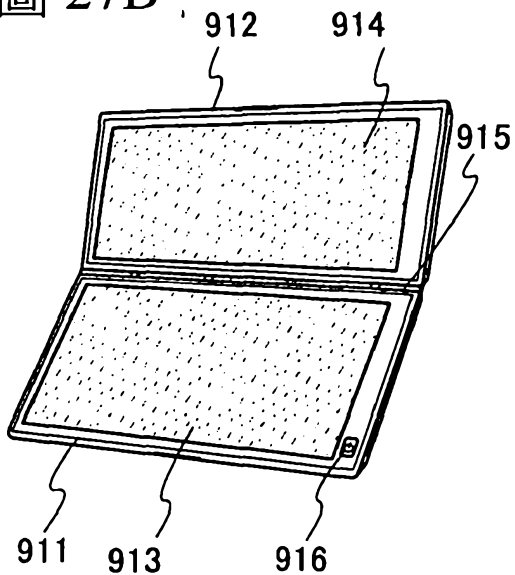


圖 27C

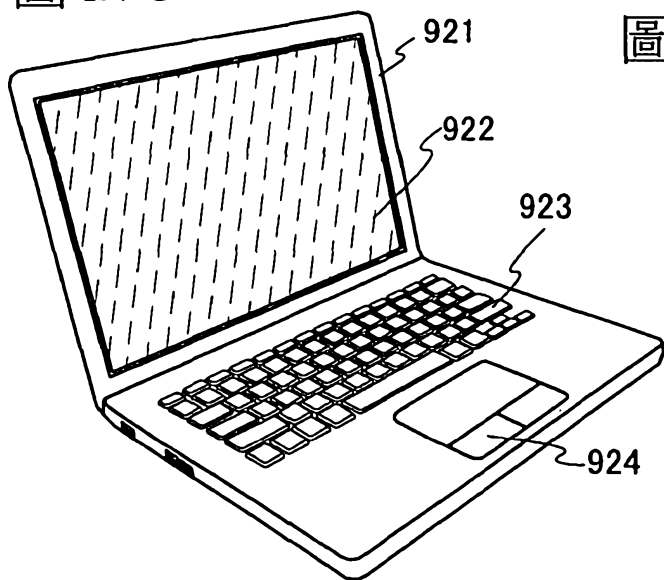


圖 27D

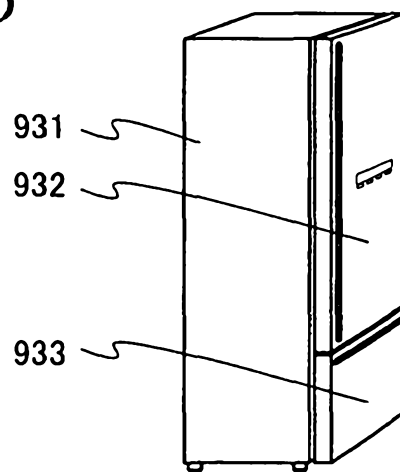


圖 27E

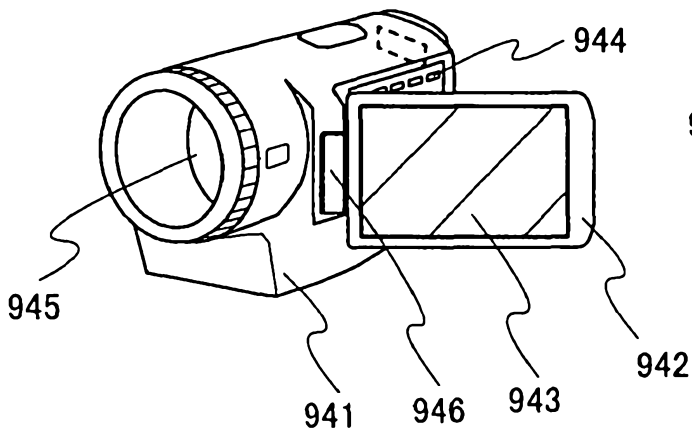


圖 27F

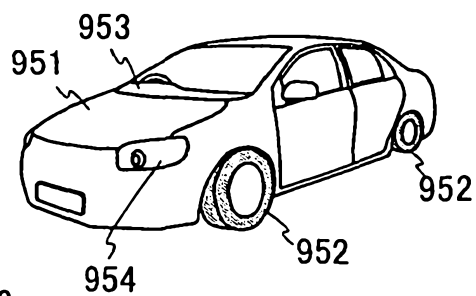


圖 28A

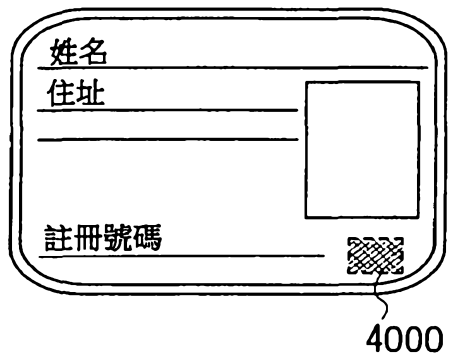


圖 28B

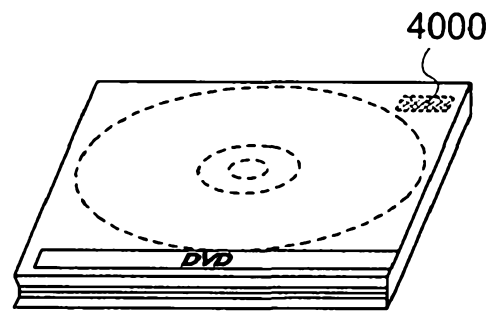


圖 28C

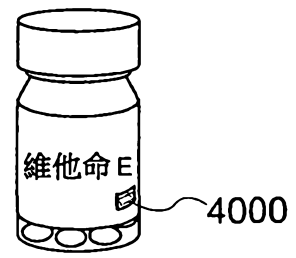


圖 28D

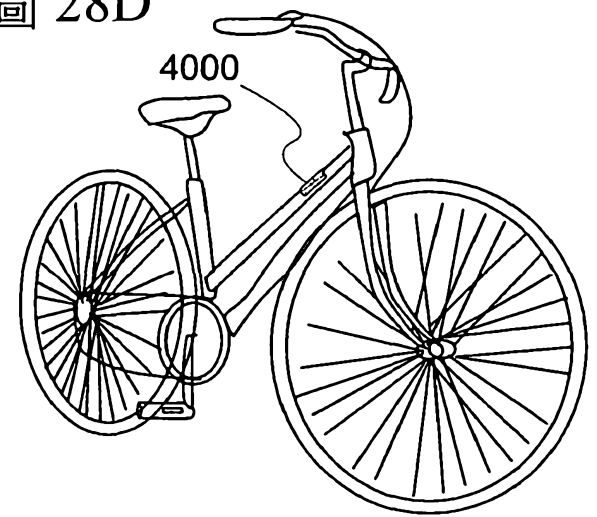


圖 28E

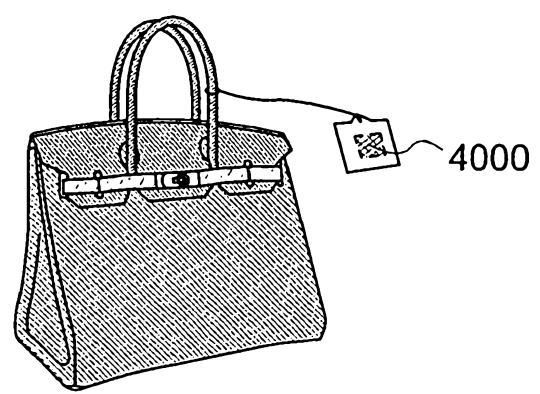


圖 28F

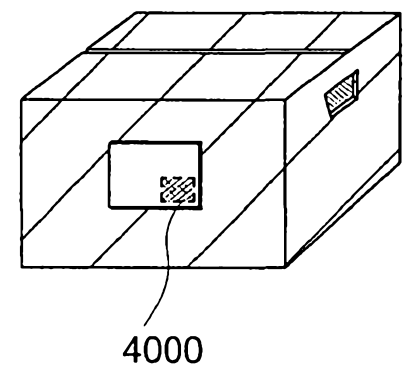


圖 29

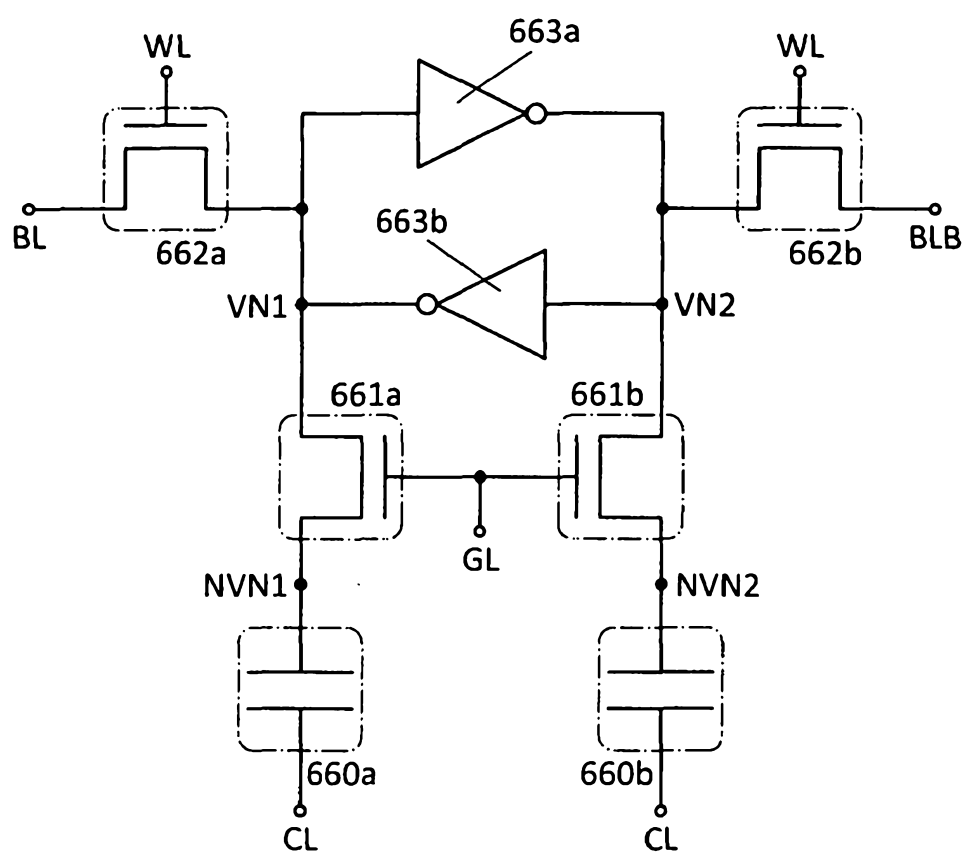


圖 30A

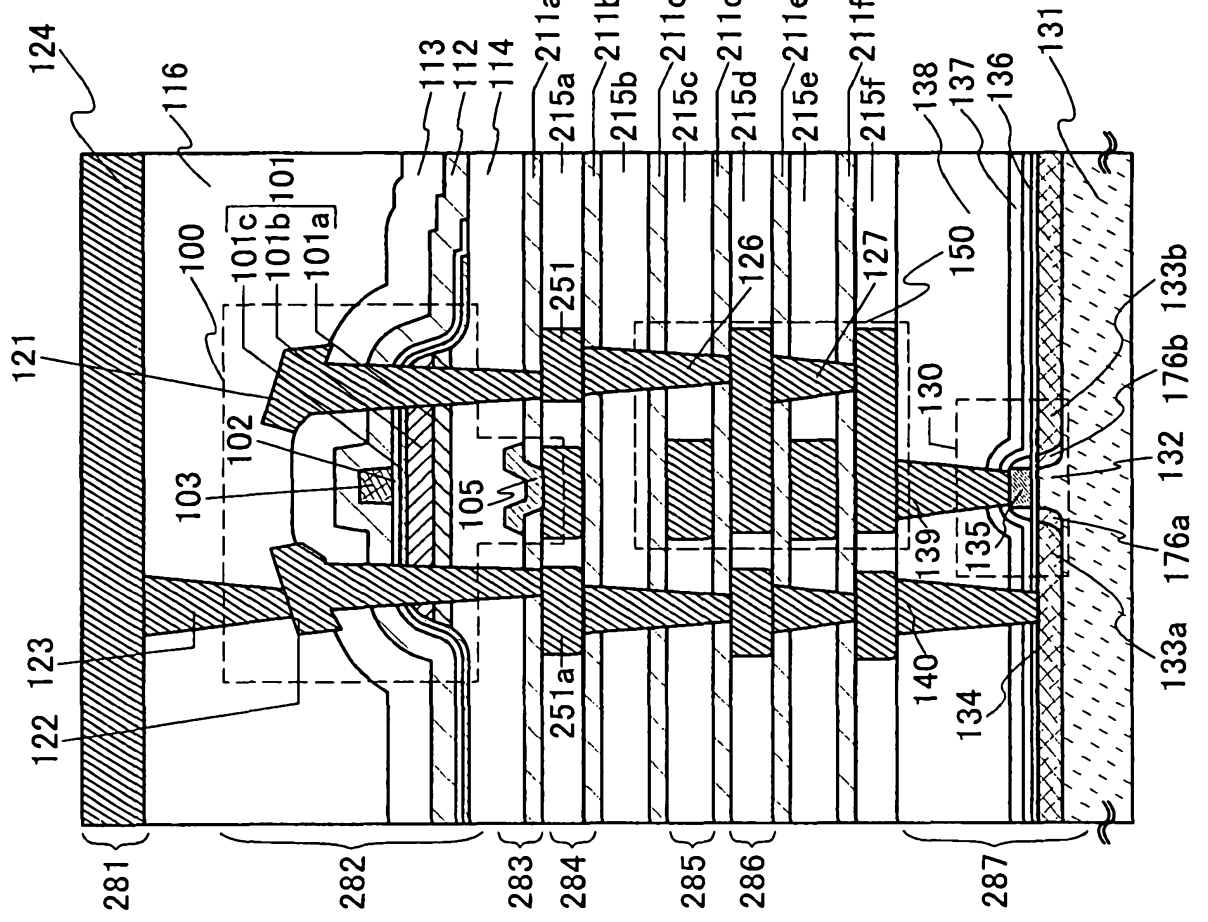


圖 30B

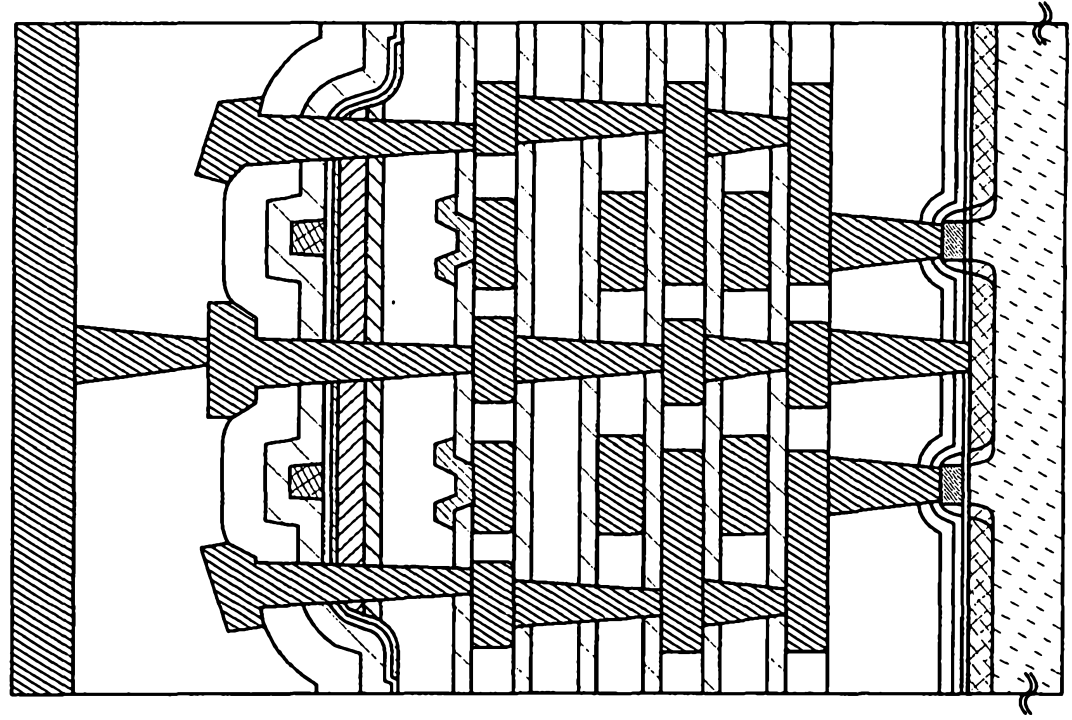


圖 31

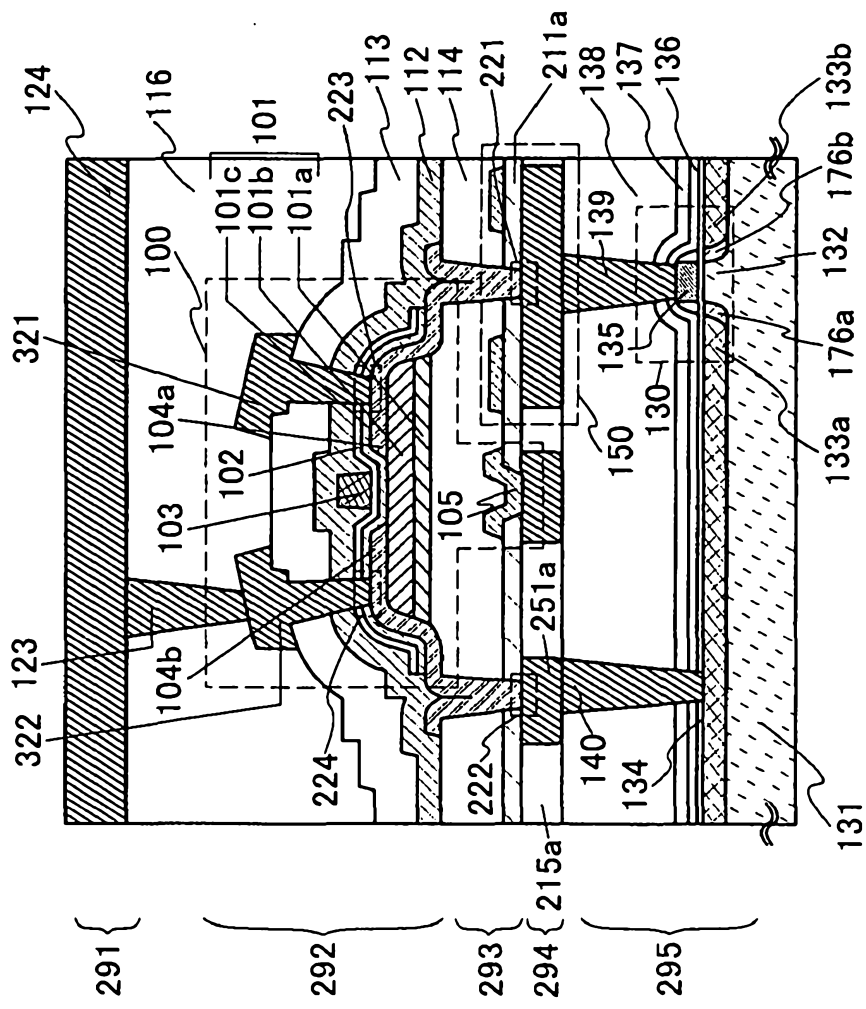


圖 32A

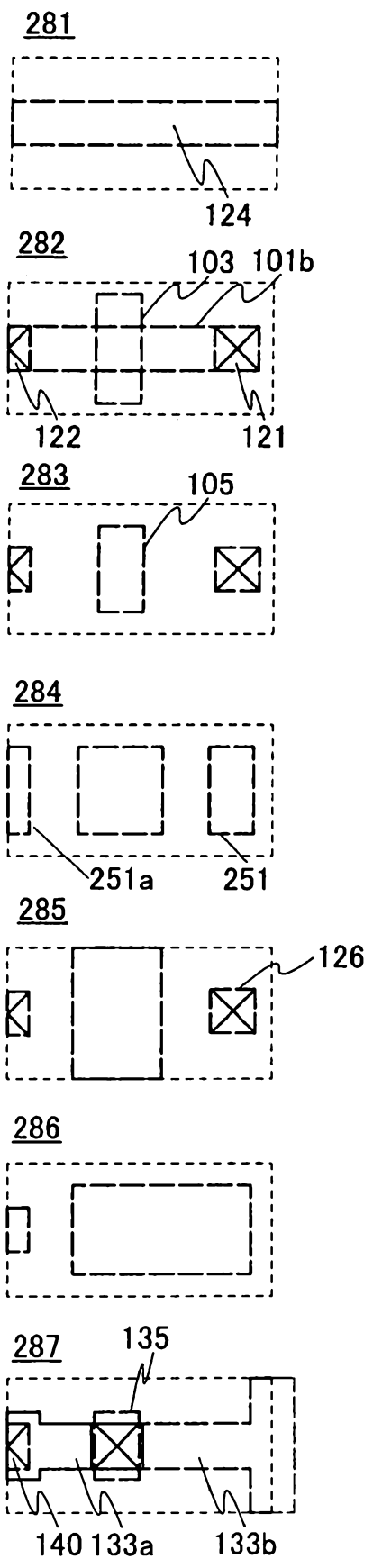


圖 32B

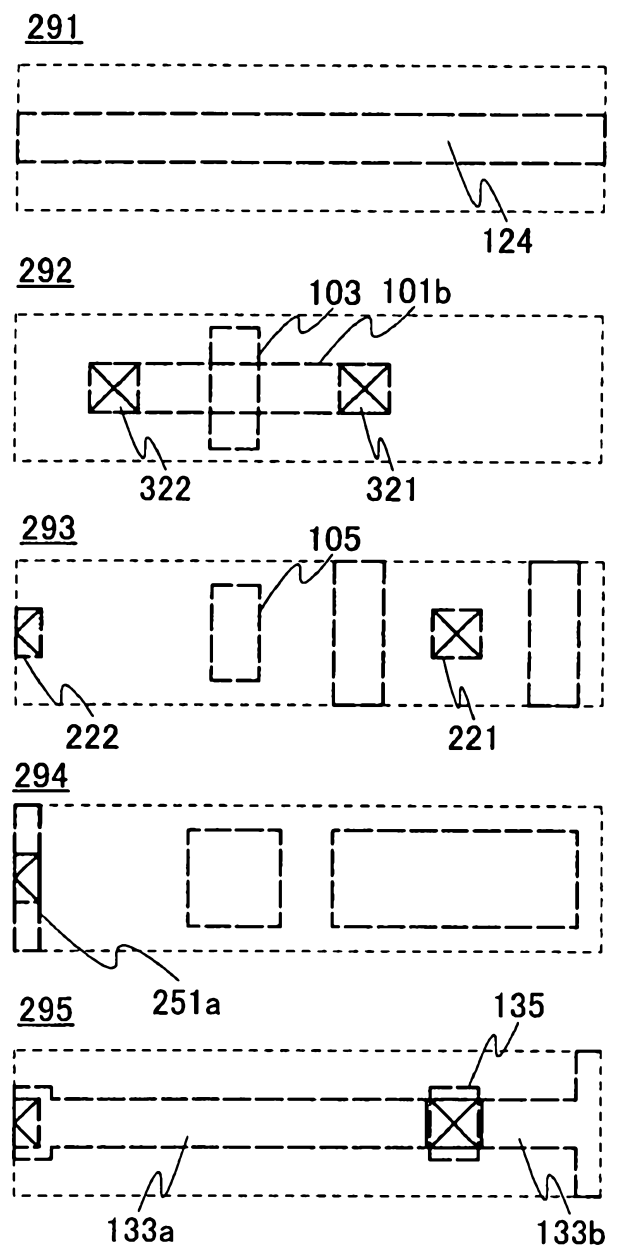


圖 33

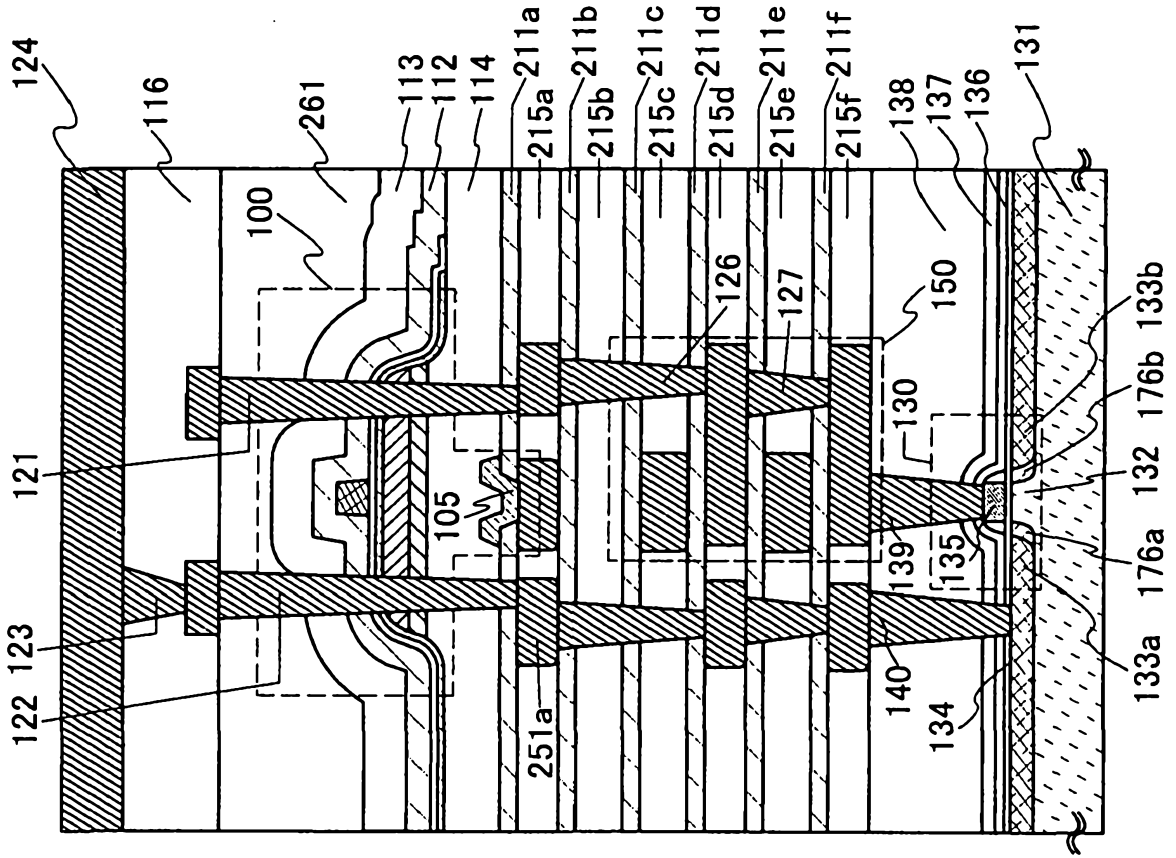


圖 34A

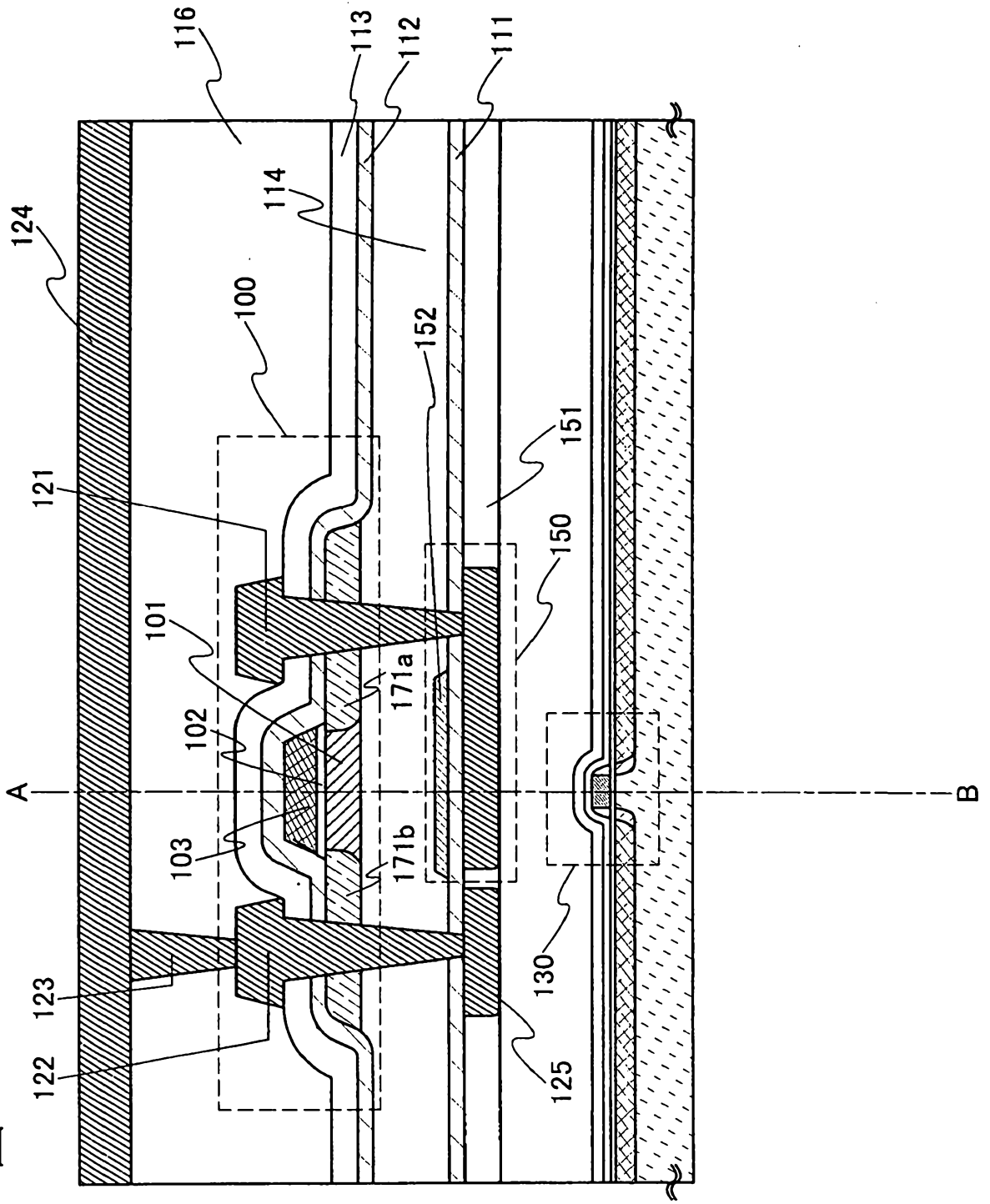


圖 34B

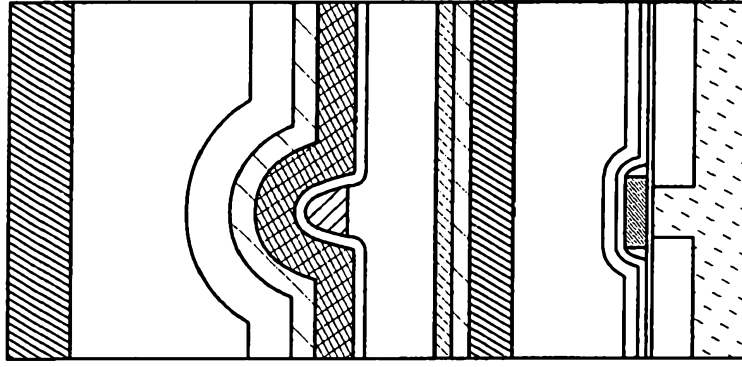


圖 35A

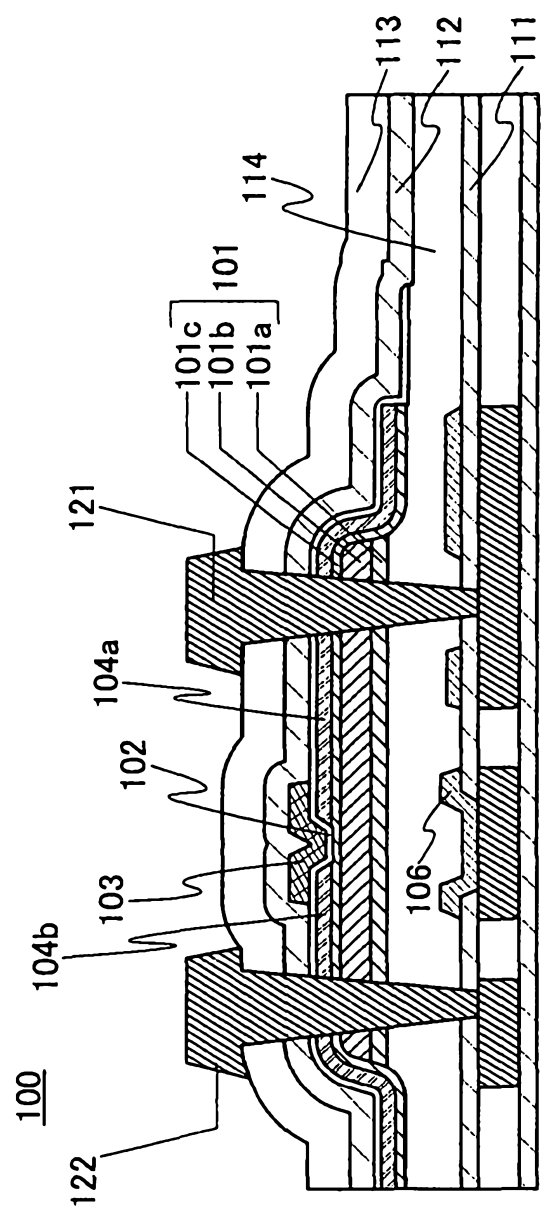


圖 35B

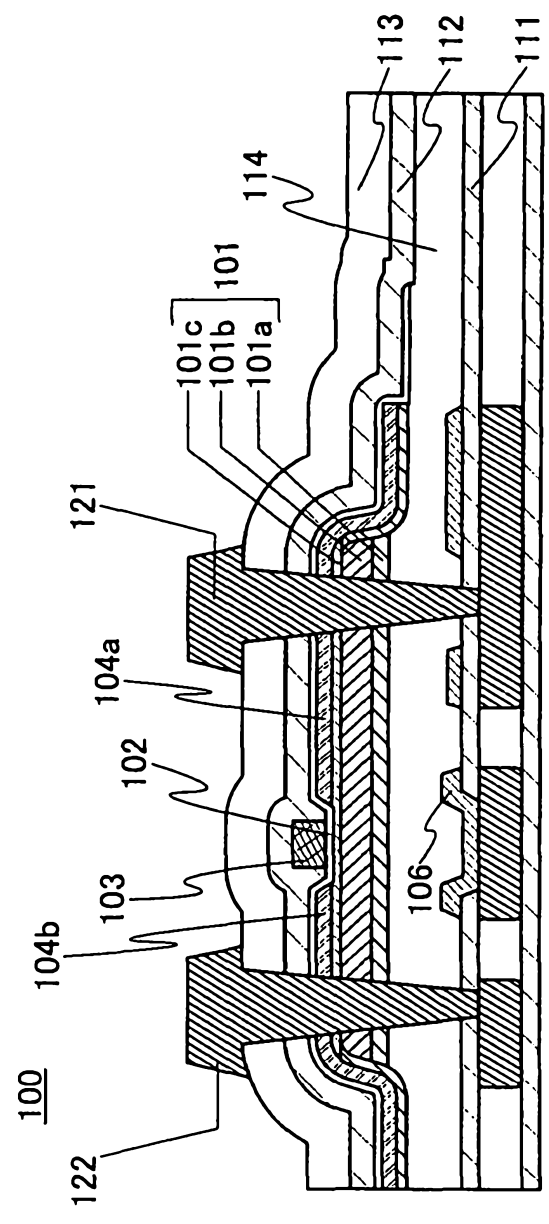


圖 38A

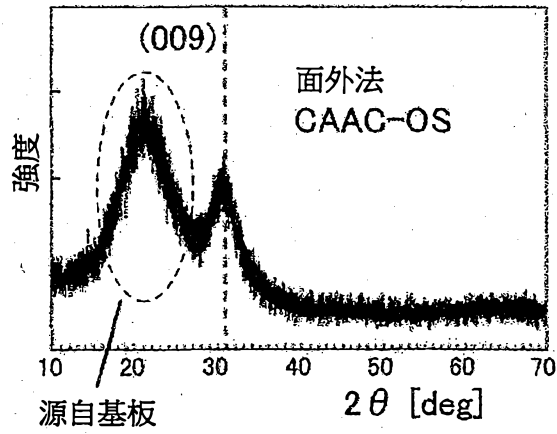


圖 38B

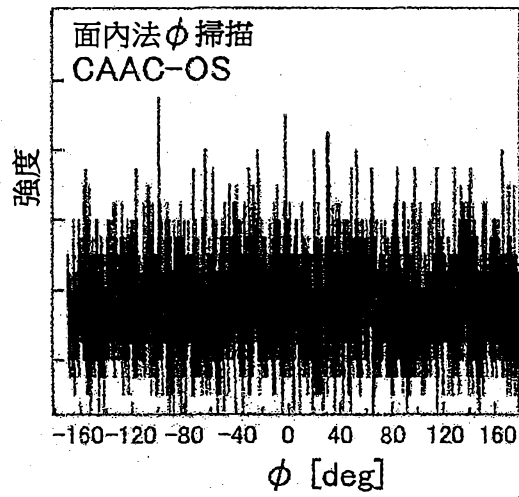


圖 38C

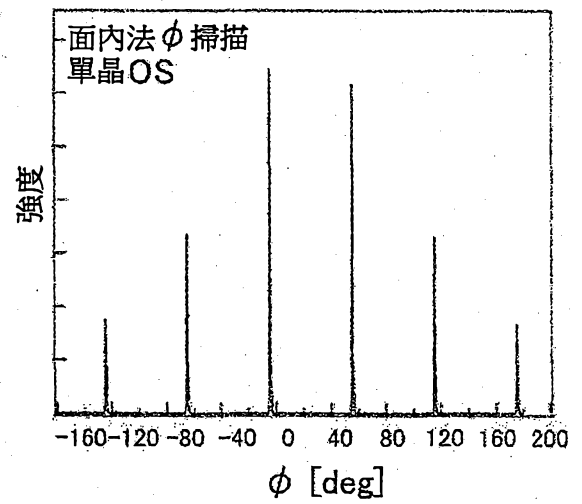


圖 40

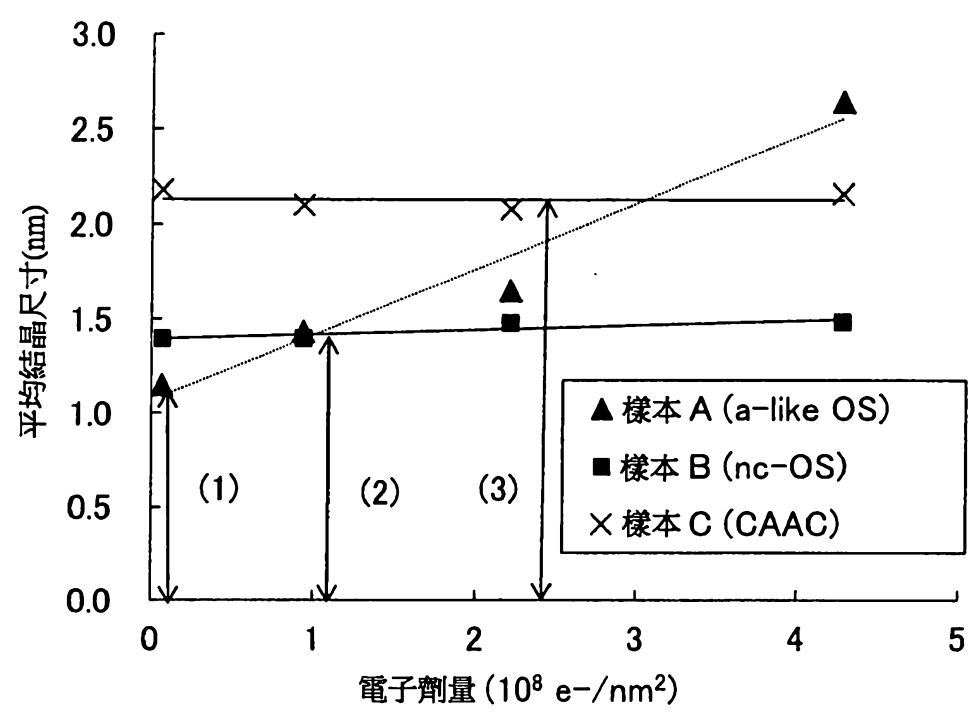


圖 41A

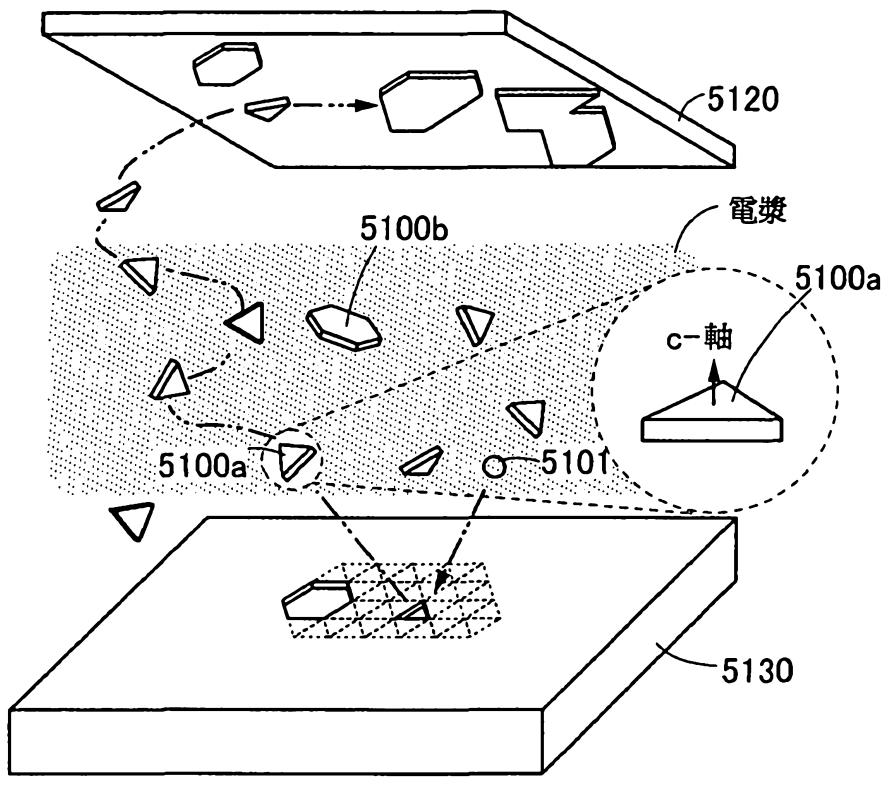


圖 41B

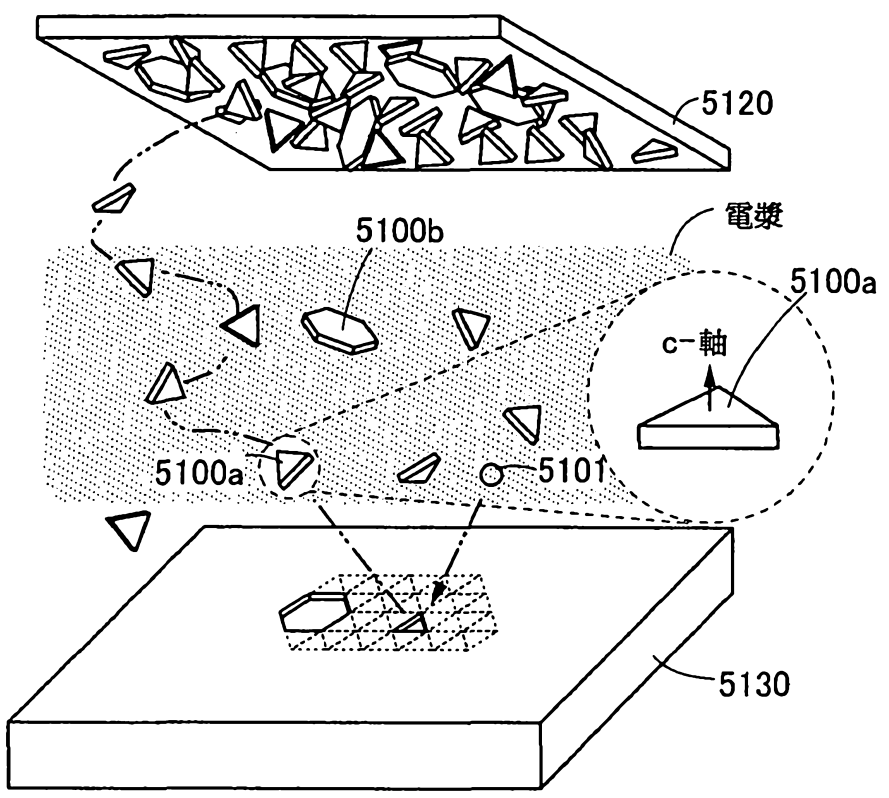


圖 43A

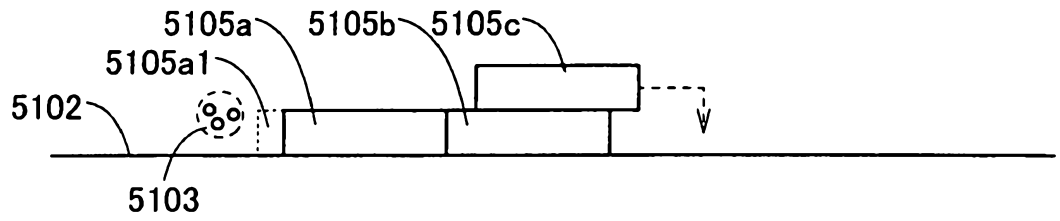


圖 43B

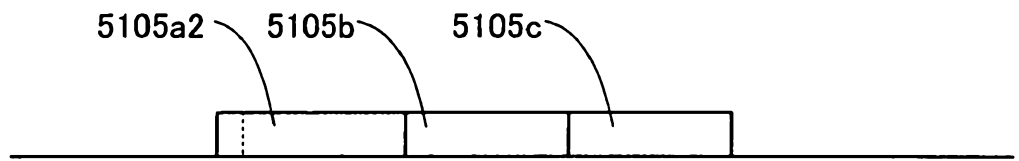


圖 43C

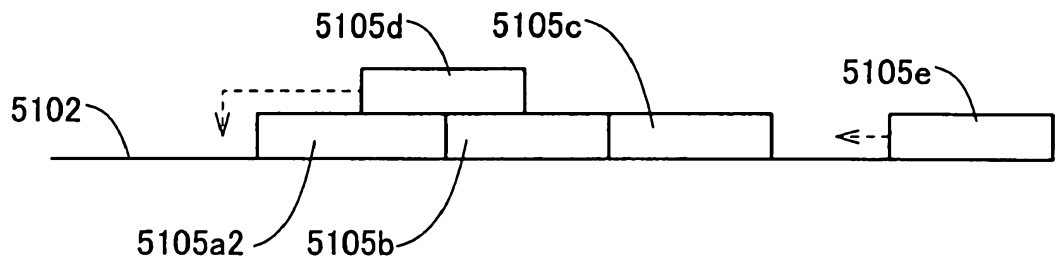


圖 43D

