



(12) 发明专利申请

(10) 申请公布号 CN 118975133 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202380030275.7

(22) 申请日 2023.02.24

(30) 优先权数据

2022-061318 2022.03.31 JP

(85) PCT国际申请进入国家阶段日

2024.09.25

(86) PCT国际申请的申请数据

PCT/JP2023/006631 2023.02.24

(87) PCT国际申请的公布数据

W02023/189052 JA 2023.10.05

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 梅木真也

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 许静 范胜杰

(51) Int.Cl.

H03K 17/567 (2006.01)

H01L 21/8234 (2006.01)

H01L 27/06 (2006.01)

H01L 29/12 (2006.01)

H01L 29/739 (2006.01)

H01L 29/78 (2006.01)

H01L 29/861 (2006.01)

H01L 29/868 (2006.01)

H02M 7/48 (2007.01)

H03K 17/12 (2006.01)

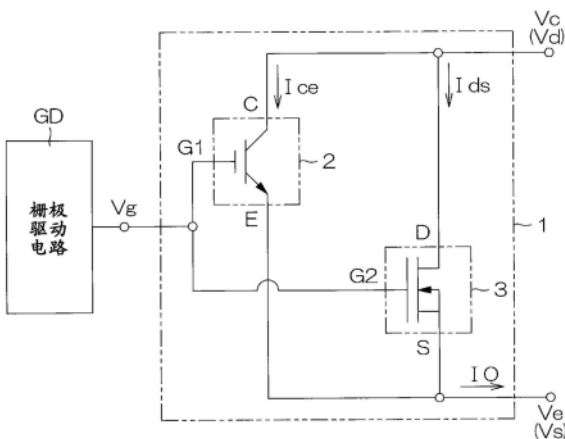
权利要求书2页 说明书21页 附图22页

(54) 发明名称

半导体模块

(57) 摘要

一种半导体模块,包含IGBT装置和MISFET装置,该MISFET装置与所述IGBT装置构成并联电路。所述半导体模块在小于所述IGBT装置的内建电压的电压范围内生成所述MISFET装置的漏极电流,在所述内建电压以上的电压范围内生成所述IGBT装置的集电极电流和所述MISFET装置的漏极电流。



1. 一种半导体模块, 包含:
IGBT装置; 以及
MISFET装置, 其与所述IGBT装置构成并联电路,
在小于所述IGBT装置的内建电压的电压范围内生成所述MISFET装置的漏极电流, 在所述内建电压以上的电压范围内生成所述IGBT装置的集电极电流以及所述MISFET装置的漏极电流。
2. 根据权利要求1所述的半导体模块, 其中,
所述IGBT装置具有第一击穿电压,
所述MISFET装置具有所述第一击穿电压以上的第二击穿电压。
3. 根据权利要求2所述的半导体模块, 其中,
所述第一击穿电压为500V以上且1500V以下,
所述第二击穿电压为500V以上且3000V以下。
4. 根据权利要求1~3中任一项所述的半导体模块, 其中,
所述IGBT装置包含Si制的第一芯片,
所述MISFET装置包含宽带隙半导体制的第二芯片。
5. 根据权利要求4所述的半导体模块, 其中,
所述宽带隙半导体是SiC。
6. 根据权利要求4或5所述的半导体模块, 其中,
所述第一芯片具有第一芯片面积,
所述第二芯片具有比所述第一芯片面积小的第二芯片面积。
7. 根据权利要求6所述的半导体模块, 其中,
所述第二芯片面积为所述第一芯片面积的0.1倍以上且0.6倍以下。
8. 根据权利要求4~7中任一项所述的半导体模块, 其中,
所述第二芯片比所述第一芯片薄。
9. 根据权利要求4~7中任一项所述的半导体模块, 其中,
所述第二芯片比所述第一芯片厚。
10. 根据权利要求1~9中任一项所述的半导体模块, 其中,
第一特性表示所述IGBT装置单体的单个集电极电流, 第二特性表示所述MISFET装置单体的单个漏极电流, 关于第一特性和第二特性, 在将所述第一特性和所述第二特性的交点处的所述单个漏极电流设定为第一电流值A、将施加所述内建电压时的所述单个漏极电流设定为第二电流值B即 $B < A$ 时, 所述第一电流值A相对于所述第二电流值B的电流比 A/B 为比1大且3以下, 即 $1 < A/B \leq 3$ 。
11. 根据权利要求10所述的半导体模块, 其中,
连结所述第一电流值A和所述第二电流值B的直线的斜率为比1大且30以下。
12. 根据权利要求10或11所述的半导体模块, 其中,
所述第一电流值A与所述第二电流值B的差分值为0.5以上且30以下。
13. 根据权利要求1~12中任一项所述的半导体模块, 其中,
所述MISFET装置由沟槽栅型构成,
所述IGBT装置由沟槽栅型构成。

14. 根据权利要求1~13中任一项所述的半导体模块, 其中,
所述IGBT装置由RC-IGBT装置构成, 其中, 所述RC-IGBT装置一体地包含IGBT以及续流二极管。

15. 根据权利要求1~14中任一项所述的半导体模块, 其中,
所述半导体模块还包含支承电极,
所述IGBT装置配置在所述支承电极之上,
所述MISFET装置配置在所述支承电极之上, 并经由所述支承电极而与所述IGBT装置电连接。

16. 根据权利要求15所述的半导体模块, 其中,
所述半导体模块包含:
布线电极, 其设置成与所述支承电极隔开间隔;
第一导电连接部件, 其与所述MISFET装置以及所述布线电极电连接; 以及
第二导电连接部件, 其与所述IGBT装置以及所述布线电极电连接。
17. 根据权利要求16所述的半导体模块, 其中,
所述第一导电连接部件与所述MISFET装置以及所述布线电极机械连接以及电连接,
所述第二导电连接部件与所述MISFET装置以及所述IGBT装置机械连接以及电连接, 并经由所述第一导电连接部件而与所述布线电极电连接。

半导体模块

技术领域

[0001] 本申请主张了基于2022年3月31日提交的日本专利申请2022-061318号的优先权，本申请的全部内容通过引用并入其中。本发明涉及包含IGBT装置以及与该IGBT装置构成并联电路的MISFET装置的半导体模块。

背景技术

[0002] 专利文献1公开了一种功率晶体管驱动装置，其具有：包含缘栅型双极晶体管和场效应型晶体管的并联电路。场效应晶体管在绝缘栅型双极晶体管被控制为导通状态之后，被控制为导通状态。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1：美国专利申请公开第2018/0138904号说明书

发明内容

[0006] 发明要解决的课题

[0007] 一实施方式提供一种能够提高电气特性的半导体模块。

[0008] 用于解决课题的手段

[0009] 一实施方式提供一种半导体模块，包含：IGBT装置；以及MISFET装置，其与所述IGBT装置构成并联电路，在小于所述IGBT装置的内建电压的电压范围内生成所述MISFET装置的漏极电流，在所述内建电压以上的电压范围内生成所述IGBT装置的集电极电流以及所述MISFET装置的漏极电流。

[0010] 上述的或者其他目的、特征以及效果，通过参照附图说明的实施方式而得以清楚。

附图说明

[0011] 图1是表示一实施方式的半导体模块的电气构造的电路图。

[0012] 图2是表示图1所示的半导体模块的电气特性的曲线图。

[0013] 图3是表示装入在图1所示的半导体模块中的IGBT装置的一结构例的俯视图。

[0014] 图4是沿着图3所示的IV-IV线的概略剖视图。

[0015] 图5是表示图3所示的第一芯片内的布局例的俯视图。

[0016] 图6是表示图5所示的第一活性区的主要部分的剖视图。

[0017] 图7是表示装入在图1所示的半导体模块中的MISFET装置的一结构例的俯视图。

[0018] 图8是沿着图7所示的VIII-VIII线的概略剖视图。

[0019] 图9是表示图7所示的第二芯片内的布局例的俯视图。

[0020] 图10是表示图7所示的第二活性区的主要部分的剖视图。

[0021] 图11A是表示图1所示的半导体模块的第一调整例的电流电压特性的曲线图。

[0022] 图11B是表示图1所示的半导体模块的第二调整例的电流电压特性的曲线图。

- [0023] 图11C是表示图1所示的半导体模块的第三调整例的电流电压特性的曲线图。
- [0024] 图12是表示半导体模块的一结构例的立体图。
- [0025] 图13是表示图12所示的半导体模块的内部构造的俯视图。
- [0026] 图14是表示半导体模块的其他结构例的俯视图。
- [0027] 图15是表示半导体模块的其他结构例的俯视图。
- [0028] 图16是表示IGBT装置的其他结构例的剖视图。
- [0029] 图17是表示MISFET装置的其他结构例的剖视图。
- [0030] 图18是表示MISFET装置的其他结构例的剖视图。
- [0031] 图19是表示MISFET装置的其他结构例的剖视图。
- [0032] 图20是表示MISFET装置的其他结构例的剖视图。

具体实施方式

[0033] 以下,参照附图对实施方式进行详细说明。附图是示意图,并非严格地图示,比例尺等未必一致。另外,对附图之间对应的构造标注相同的附图标记,省略或简化重复的说明。对于省略或简化了说明的构造,应用在省略或简化之前进行的说明。

[0034] 在存在比较对象(comparison target)的说明中使用“大致(substantially)相等”的语句时,该语句除了包含与比较对象数值(方式)相等的数值(方式)以外,还包含以比较对象的数值(方式)为基准的 $\pm 10\%$ 范围的数值误差(方式误差)。在实施方式中,使用“第一”、“第二”、“第三”等语句,但它们是为了明确说明顺序而对各构造的名称标注的记号,并不是为了限定各构造的名称而标注的。

[0035] 图1是表示一实施方式的半导体模块1的电气构造的电路图。参照图1,半导体模块1包含:IGBT装置2(Insulated Gate Bipolar Transistor device)、以及与IGBT装置2一起构成并联开关电路的MISFET装置3(Metal Semiconductor Field Effect Transistor device)。

[0036] IGBT装置2是具有IGBT的双极型的第一半导体开关装置(第一半导体装置),包含:集电极C、发射极E以及第一栅极G1。MISFET装置3是具有MISFET的单极型的第二半导体开关装置(第二半导体装置),包含:漏极D、源极S以及第二栅极G2。

[0037] MISFET装置3的漏极D与IGBT装置2的集电极C电连接。MISFET装置3的源极S与IGBT装置2的发射极E电连接。MISFET装置3的第二栅极G2与IGBT装置2的第一栅极G1电连接。

[0038] IGBT装置2的第一栅极G1以及MISFET装置3的第二栅极G2与栅极驱动电路GD电连接,来自栅极驱动电路GD的栅极信号被输入到第一栅极G1以及第二栅极G2。即,MISFET装置3与IGBT装置2同时被控制。IGBT装置2响应栅极信号而生成集电极电流 I_{ce} ,MISFET装置3响应栅极信号而生成漏极电流 I_{ds} 。

[0039] 栅极驱动电路GD可以是栅极驱动器IC。在图1中,表示了半导体模块1与栅极驱动电路GD电连接的方式,而半导体模块1也可以包含栅极驱动电路GD作为一构成要素。

[0040] 图2是表示图1所示的半导体模块1的电气特性的曲线图。在图2中,纵轴表示集电极电流 I_{ce} (漏极电流 I_{ds}),横轴表示集电极电压 V_{ce} (漏极电压 V_{ds})。图2表示了半导体模块1的输出电流 I_O 的特性。输出电流 I_O 是集电极电流 I_{ce} 和漏极电流 I_{ds} 的相加值。

[0041] 参照图2,半导体模块1在小于IGBT装置2的内建电压 V_{bi} 的电压范围内生成仅由

MISFET装置3的漏极电流 I_{ds} 构成的输出电流 I_O 。另一方面,半导体模块1在IGBT装置2的内建电压 V_{bi} 以上的电压范围内生成包含MISFET装置3的漏极电流 I_{ds} 以及IGBT装置2的集电极电流 I_{ce} 的输出电流 I_O 。

[0042] IGBT装置2是双极型的半导体开关装置,因此,在小于内建电压 V_{bi} 的低电流区具有比较大的损耗,在内建电压 V_{bi} 以上的高电流区具有比较小的损耗。IGBT装置2中的高电流区的损耗降低效应源自于电导调制效应。

[0043] 另一方面,MISFET装置3是与IGBT装置2不同的单极型的半导体开关装置,因此,不具有内建电压 V_{bi} ,不产生电导调制效应。MISFET装置3在低电流区具有比较小的损耗,在高电流区具有比较大的损耗。MISFET装置3的高电流区的损耗通过MISFET装置3的大型化而得到改善,但产生成本和布局变更的问题。

[0044] 根据半导体模块1,在低电流区使用MISFET装置3的漏极电流 I_{ds} ,因此,低电流区中的IGBT装置2的损耗降低。另外,在高电流区使用IGBT装置2的集电极电流 I_{ce} 以及MISFET装置3的漏极电流 I_{ds} ,因此,高电流区中的MISFET装置3的损耗降低。

[0045] 因此,根据半导体模块1,可以在不使MISFET装置3大型化的情况下降低低电流区的损耗和高电流区的损耗两者。因此,可以提供能够提高电气特性的半导体模块1。以下,对装入于半导体模块1的IGBT装置2的方式例子以及装入于半导体模块1的MISFET装置3的方式例子进行说明。

[0046] 图3是表示装入于图1所示的半导体模块1的IGBT装置2的一结构例的俯视图。图4是沿着图3所示的IV-IV线的概略剖视图。图5是表示图3所示的第一芯片10内的布局例的俯视图。图6是表示图5所示的第一活性区17的主要部分的剖视图。

[0047] IGBT装置2具有第一击穿电压 V_{B1} 。第一击穿电压 V_{B1} 是开始反向电压击穿(雪崩击穿)的反向电压。例如,第一击穿电压 V_{B1} 可以为500V以上且1500V以下。第一击穿电压 V_{B1} 可以具有属于500V以上且750V以下、750V以上且1000V以下、1000V以上且1250V以下、以及1250V以上且1500V以下中的任一范围的值。例如,第一击穿电压 V_{B1} 可以为500V以上且700V以下、或者1100V以上且1300V以下。

[0048] 参照图3~图6,在本方式(this embodiment)中,IGBT装置2包含六面体形状(具体而言为长方体形状)的第一芯片10。第一芯片10是Si(硅)单晶制的Si芯片。即,IGBT装置2是“Si-IGBT装置”。第一芯片10具有由Si基板构成的单层构造。

[0049] 第一芯片10具有第一芯片厚度 T_1 。第一芯片厚度 T_1 可以具有50 μm 以上且200 μm 以下的厚度。第一芯片厚度 T_1 可以具有属于50 μm 以上且75 μm 以下、75 μm 以上且100 μm 以下、100 μm 以上且125 μm 以下、125 μm 以上且150 μm 以下、150 μm 以上且175 μm 以下、以及175 μm 以上且200 μm 以下中的任一范围的值。

[0050] 例如,在第一击穿电压 V_{B1} 为500V以上且700V以下时,第一芯片厚度 T_1 可以为60 μm 以上且90 μm 以下。例如,在第一击穿电压 V_{B1} 为1100V以上且1300V以下时,第一芯片厚度 T_1 可以为120 μm 以上且160 μm 以下。

[0051] 第一芯片10具有:一侧的第一主面11、另一侧的第二主面12、以及连接第一主面11和第二主面12的第一~第四侧面13A~13D。第一主面11及第二主面12在从它们的法线方向Z观察的俯视图(以下,简称为“俯视图”)中形成为四边形状(在本方式中为长方形状)。法线方向Z也是第一芯片10的厚度方向。当然,第一主面11以及第二主面12在俯视图中也可以形成

为正方形形状。

[0052] 第一侧面13A及第二侧面13B在沿着第一主面11的第一方向X上延伸,在与第一方向X交叉(具体而言正交)的第二方向Y上对置。第一侧面13A及第二侧面13B形成第一芯片10的长边。第三侧面13C及第四侧面13D在第二方向Y上延伸,在第一方向X上对置。第三侧面13C以及第四侧面13D形成第一芯片10的短边。

[0053] 第一~第四侧面13A~13D在俯视图中可以分别具有0.1mm以上且20mm以下的长度。第一~第四侧面13A~13D的长度可以分别具有属于0.1mm以上且1mm以下、1mm以上且2.5mm以下、2.5mm以上且5mm以下、5mm以上且7.5mm以下、7.5mm以上且10mm以下、10mm以上且12.5mm以下、12.5mm以上且15mm以下、15mm以上且17.5mm以下、以及17.5mm以上且20mm以下中的任一范围的值。

[0054] 第一芯片10在俯视图中具有第一芯片面积S1。第一芯片面积S1是第一侧面13A的长度与第三侧面13C的长度的乘积值(即第二侧面13B的长度与第四侧面13D的长度的乘积值)。

[0055] IGBT装置2包含形成在第一芯片10的内部的n型(第一导电型)的半导体区14。半导体区14形成在第一芯片10内部的整个区域。在本方式中,第一芯片10由n型的Si芯片构成,利用Si芯片形成半导体区14。

[0056] IGBT装置2包含形成于第二主面12的表层部的n型的缓冲区15。在本方式中,缓冲区15在第二主面12的整个区域形成为沿着第二主面12延伸的层状,并从第一~第四侧面13A~13D露出。缓冲区15具有比半导体区14高的n型杂质浓度。有无缓冲区15是任意的,也可以采用不具有缓冲区15的方式。

[0057] IGBT装置2包含形成于第二主面12的表层部的p型(第二导电型)的集电极区16。在本方式中,集电极区16形成于缓冲区15的第二主面12侧的表层部。集电极区16在第二主面12的整个区域形成为沿着第二主面12延伸的层状,并从第二主面12和第一~第四侧面13A~13D露出。

[0058] IGBT装置2包含设置在第一芯片10的第一主面11的第一活性区17(first active region)。第一活性区17是包含IGBT构造18且生成集电极电流 I_{ce} 的区域。第一活性区17在俯视图中具有第一活性面积SA1。

[0059] 例如,第一活性面积SA1在设定了在俯视图中包含IGBT构造18的多边形状的区域(参照图3的双点划线)时,由该多边形状的区域平面面积来定义。在设置有多个第一活性区17时,第一活性面积SA1由多个第一活性区17的总平面面积来定义。

[0060] 第一活性面积SA1根据第一芯片面积S1而取各种值。第一活性面积SA1可以为第一芯片面积S1的30%以上且小于100%。第一活性面积SA1可以具有属于第一芯片面积S1的30%以上且40%以下、40%以上且50%以下、50%以上且60%以下、60%以上且70%以下、70%以上且80%以下、80%以上且90%以下、以及90%以上且小于100%中的任一范围的值。

[0061] IGBT构造18包含在第一活性区17中形成于第一主面11的表层部的p型的基区19。基区19也可以称为“沟道区”。基区19在第一活性区17的整个区域形成为沿着第一主面11延伸的层状。

[0062] IGBT构造18包含在第一活性区17中形成于第一主面11的多个第一沟槽构造20。对

多个第一沟槽构造20赋予栅极电位 V_g 。多个第一沟槽构造20控制沟道的反转和非反转。即, IGBT构造18由沟槽栅型构成。第一沟槽构造20也可以被称为“第一沟槽栅极构造”。

[0063] 多个第一沟槽构造20在第一方向X上隔开间隔地排列, 分别形成为在第二方向Y上延伸的带状。多个第一沟槽构造20以贯穿基区19并到达半导体区14的方式形成于第一主面11。

[0064] 各第一沟槽构造20的深度可以为 $0.5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。各第一沟槽构造20的深度可以具有属于 $0.5\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上且 $7.5\mu\text{m}$ 以下、及 $7.5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下中的任一范围的值。各第一沟槽构造20的深度优选为 $4\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下。

[0065] 各第一沟槽构造20包含: 第一沟槽21、第一绝缘膜22以及第一埋设电极23。第一沟槽21形成于第一主面11, 划分第一沟槽构造20的壁面。第一绝缘膜22呈膜状覆盖第一沟槽21的壁面。第一绝缘膜22可以包含氧化硅膜。第一埋设电极23隔着第一绝缘膜22埋设于第一沟槽21。在本方式中, 第一埋设电极23包含导电性多晶硅。

[0066] IGBT构造18包含: 在基区19的表层部形成于沿着多个第一沟槽构造20的区域的n型的多个发射极区24。各发射极区24具有比半导体区14高的n型杂质浓度。各发射极区24在基区19的表层部形成于相邻的2个第一沟槽构造20之间的区域。各发射极区24与半导体区14一起在基区19内形成IGBT的沟道。

[0067] IGBT构造18包含: 以使多个发射极区24露出的方式形成于第一主面11的多个接触孔25。各接触孔25形成于相邻的2个第一沟槽构造20之间的区域。各接触孔25形成为从基区19的底部向第一主面11侧隔开间隔。各接触孔25可以形成为贯穿发射极区24, 也可以形成为从发射极区24的底部向第一主面11侧隔开间隔。各接触孔25在俯视图中分别形成为沿着第一沟槽构造20延伸的带状。

[0068] IGBT构造18包含: 在基区19的表层部形成于与发射极区24不同的区域的p型的多个第一接触区26。各第一接触区26具有比基区19高的p型杂质浓度。各第一接触区26形成于沿着对应的接触孔25的壁面的区域。各第一接触区26在俯视图中形成为沿着对应的接触孔25延伸的带状。各第一接触区26的底部分别形成于基区19的底部和对应的接触孔25的底壁之间的区域。

[0069] IGBT装置2包含: 覆盖第一主面11的第一层间绝缘膜27。在本方式中, 第一层间绝缘膜27包含第一下侧绝缘膜28以及第一上侧绝缘膜29。第一下侧绝缘膜28与第一绝缘膜22连接, 以使第一埋设电极23露出的方式覆盖第一主面11。第一下侧绝缘膜28可以包含氧化硅膜。第一上侧绝缘膜29以覆盖多个第一沟槽构造20的方式覆盖第一下侧绝缘膜28。第一上侧绝缘膜29可以包含氧化硅膜。第一上侧绝缘膜29比第一下侧绝缘膜28厚。

[0070] 第一层间绝缘膜27包含: 使多个发射极区24露出的多个发射极开口30。以与多个接触孔25连通的方式相对于多个接触孔25以1对1的对应关系形成多个发射极开口30。多个发射极开口30形成为沿着多个接触孔25延伸的带状。

[0071] IGBT装置2包含: 埋设于第一层间绝缘膜27的多个接触电极31。多个接触电极31埋设于多个发射极开口30。各接触电极31从发射极开口30进入到接触孔25内, 在接触孔25内与发射极区24和第一接触区26电连接。

[0072] IGBT装置2包含: 配置在第一层间绝缘膜27之上的第一栅极电极32。从外部对第一

栅极电极32赋予栅极电位 V_g 。第一栅极电极32在俯视图中配置于沿着第三侧面13C的中央部的区域。第一栅极电极32的配置部位是任意的。例如,第一栅极电极32在俯视图中可以配置在沿着第一芯片10的角部的区域或第一芯片10的中央部。

[0073] 第一栅极电极32隔着第一层间绝缘膜27而与第一活性区17外的区域对置。当然,第一栅极电极32也可以隔着第一层间绝缘膜27而与第一活性区17(即多个第一沟槽构造20)对置。第一栅极电极32在俯视图中形成为四边形状。第一栅极电极32在俯视图中可以形成为圆形状或多边形状。

[0074] 第一栅极电极32包含与第一埋设电极23不同的导电材料。第一栅极电极32可以包含Ti系金属膜、Al系金属膜及Cu系金属膜中的至少一种。Ti系金属膜可以包含Ti膜以及TiN膜中的至少一个(以下,在本说明书中相同)。

[0075] Al系金属膜可以包含纯Al膜(纯度为99%以上的Al膜)和Al合金膜中的至少一个(以下,在本说明书中相同)。Cu系金属膜可以包含纯Cu膜(纯度为99%以上的Cu膜)和Cu合金膜中的至少一个(以下,在本说明书中相同)。

[0076] Al合金膜以及Cu合金膜可以包含AlCu合金膜、AlSi合金膜以及AlSiCu合金膜中的至少一个(以下,在本说明书中相同)。在本方式中,栅极电极具有:包含从第一层间绝缘膜27侧起依次层叠的Ti系金属膜以及Al系金属膜的层叠构造。第一栅极电极32也可以被称为“第一栅极金属”。

[0077] IGBT装置2包含:配置在第一层间绝缘膜27之上的第一栅极布线33。第一栅极布线33与第一栅极电极32及多个第一沟槽构造20电连接,并将对第一栅极电极32赋予的栅极电位 V_g 向多个第一沟槽构造20传递。

[0078] 具体而言,第一栅极布线33在俯视图中从第一栅极电极32引出到第一层间绝缘膜27之上,以与多个第一沟槽构造20的两端部交叉(具体而言正交)的方式沿着第一~第三侧面13A~13C呈带状延伸。第一栅极布线33贯穿第一层间绝缘膜27而与多个第一沟槽构造20电连接。第一栅极布线33包含与第一栅极电极32相同的导电材料。

[0079] IGBT装置2包含:配置在第一层间绝缘膜27之上的发射极电极34。从外部向发射极电极34赋予发射极电位 V_e 。发射极电极34以覆盖第一活性区17的方式在第一层间绝缘膜27之上配置于由第一栅极电极32及第一栅极布线33包围的区域。

[0080] 发射极电极34隔着第一层间绝缘膜27与多个第一沟槽构造20对置,贯穿第一层间绝缘膜27与多个发射极区24以及多个第一接触区26电连接。具体而言,发射极电极34经由贯穿第一层间绝缘膜27的多个接触电极31而与多个发射极区24以及多个第一接触区26电连接。

[0081] 发射极电极34包含与第一栅极电极32相同的导电材料。发射极电极34可以被称为“发射极金属”。在本方式中,发射极电极34包含与多个接触电极31不同的导电材料。当然,发射极电极34也可以包含与多个接触电极31相同的导电材料。此时,发射极电极34中的位于多个发射极开口30内的部分可以形成为多个接触电极31。

[0082] 在本方式中,发射极电极34具有与第一活性区17的平面形状大致相似的平面形状。在发射极电极34的平面形状与第一活性区17的平面形状大致相似时,上述的第一活性面积 SA_1 可以由发射极电极34的平面面积来定义。

[0083] IGBT装置2包含覆盖第二主面12的集电极电极35。集电极电极35被赋予集电极电

位Vc。集电极电极35与从第二主面12露出的集电极区16形成欧姆接触。集电极电极35可以与第一芯片10的周缘(第一~第四侧面13A~13D)相连的方式覆盖第二主面12的整个区域。

[0084] 图7是表示装入到图1所示的半导体模块1中的MISFET装置3的一结构例的俯视图。图8是沿着图7所示的VIII-VIII线的概略剖视图。图9是表示图7所示的第二芯片40内的布局例的俯视图。图10是表示图7所示的第二活性区47的主要部分的剖视图。

[0085] MISFET装置3具有第二击穿电压VB2。第二击穿电压VB2是开始反向电压击穿(雪崩击穿)的反向电压。优选的是,第二击穿电压VB2为IGBT装置2的第一击穿电压VB1以上。特别优选的是,第二击穿电压VB2比第一击穿电压VB1高。例如,可以是第二击穿电压VB2为500V以上且3000V以下。

[0086] 第二击穿电压VB2可以具有属于500V以上且750V以下、750V以上且1000V以下、1000V以上且1250V以下、1250V以上且1500V以下、1500V以上且1750V以下、1750V以上且2000V以下、2000V以上且2250V以下、2250V以上且2500V以下、2500V以上且2750V以下、以及2750V以上且3000V以下中的任一范围的值。例如,第二击穿电压VB2可以为500V以上且700V以下、或者1100V以上且1300V以下。

[0087] 参照图7~图10,MISFET装置3包含六面体形状(具体而言为长方体形状)的第二芯片40。第二芯片40由与第一芯片10不同的半导体单晶制的芯片构成。具体而言,第二芯片40由宽带隙半导体的单晶制的宽带隙半导体芯片构成。

[0088] 即,MISFET装置3是“宽带隙半导体-MISFET装置”。宽带隙半导体是具有超过Si的带隙的带隙的半导体。作为宽带隙半导体,示例有GaN(氮化镓)、SiC(碳化硅)以及C(金刚石)。

[0089] 在本方式中,第二芯片40由包含六方晶的SiC单晶作为宽带隙半导体的一例的SiC芯片构成。即,MISFET装置3是“SiC-MISFET装置”。六方晶的SiC单晶具有:包含2H(Hexagonal)-SiC单晶、4H-SiC单晶、6H-SiC单晶等的多种多型(polytype)。在本方式中,表示了第二芯片40包含4H-SiC单晶的例子,但第二芯片40也可以包含其他多型。

[0090] 第二芯片40具有第二芯片厚度T2。第二芯片厚度T2可以为IGBT装置2的第一芯片厚度T1以上。第二芯片厚度T2也可以小于第一芯片厚度T1。第二芯片厚度T2也可以与第一芯片厚度T1大致相等。第二芯片厚度T2可以具有25 μ m以上且200 μ m以下的厚度。

[0091] 第二芯片厚度T2可以具有属于25 μ m以上且50 μ m以下、50 μ m以上且75 μ m以下、75 μ m以上且100 μ m以下、100 μ m以上且125 μ m以下、125 μ m以上且150 μ m以下、150 μ m以上且175 μ m以下以及175 μ m以上且200 μ m以下中的任一范围的值。

[0092] 例如,在第二击穿电压VB2的值为500V以上且700V以下是,第二芯片厚度T2可以具有属于25 μ m以上且50 μ m以下、50 μ m以上且75 μ m以下、75 μ m以上且100 μ m以下、100 μ m以上且125 μ m以下、125 μ m以上且150 μ m以下、及150 μ m以上且175 μ m以下中的任一范围的值。

[0093] 例如,在第二击穿电压VB2的值为1100V以上且1300V以下(3000V以下)时,第二芯片厚度T2可以具有属于50 μ m以上且75 μ m以下、75 μ m以上且100 μ m以下、100 μ m以上且125 μ m以下、125 μ m以上且150 μ m以下、150 μ m以上且175 μ m以下、以及175 μ m以上且200 μ m以下中的任一范围的值。

[0094] 例如,在第二击穿电压VB2的值为1100V以上且1300V以下(3000V以下)时,第二芯

片厚度T2可以具有属于 $150\mu\text{m}$ 以上且 $160\mu\text{m}$ 以下、 $160\mu\text{m}$ 以上且 $170\mu\text{m}$ 以下、以及 $170\mu\text{m}$ 以上且 $180\mu\text{m}$ 以下中的任一范围的值。

[0095] 第二芯片40具有:一侧的第一主面41、另一侧的第二主面42、以及连接第一主面41和第二主面42的第一~第四侧面43A~43D。第一主面41及第二主面42在从它们的法线方向Z观察的俯视图(以下,简称为“俯视图”)中形成为四边形状(在本方式中正方形形状)。法线方向Z也是第二芯片40的厚度方向。当然,第一主面41以及第二主面42在俯视图中可以形成为长方形状。

[0096] 优选的是,由SiC单晶的c面形成第一主面41和第二主面42。此时,优选的是,由SiC单晶的硅面((0001)面)形成第一主面41,由SiC单晶的碳面((000-1)面)形成第二主面42。

[0097] 第一主面41和第二主面42可以具有相对于c面在规定的偏离方向上以规定角度倾斜的偏离角。优选的是,偏离方向为SiC单晶的a轴方向([11-20]方向)。偏离角可以为超过 0° 且 10° 以下。优选的是,偏离角为 5° 以下。

[0098] 第一侧面43A及第二侧面43B在沿着第一主面41的第一方向X上延伸,在与第一方向X交叉(具体而言正交)的第二方向Y上对置。第三侧面43C和第四侧面43D在第二方向Y上延伸,在第一方向X上对置。第一方向X可以是SiC单晶的m轴方向([1-100]方向),第二方向Y可以是SiC单晶的a轴方向。当然,也可以是,第一方向X为SiC单晶的a轴方向,第二方向Y为SiC单晶的m轴方向。

[0099] 第一~第四侧面43A~43D在俯视图中可以分别具有 0.1mm 以上且 20mm 以下的长度。第一~第四侧面43A~43D的长度可以分别具有属于 0.1mm 以上且 1mm 以下、 1mm 以上且 2.5mm 以下、 2.5mm 以上且 5mm 以下、 5mm 以上且 7.5mm 以下、 7.5mm 以上且 10mm 以下、 10mm 以上且 12.5mm 以下、 12.5mm 以上且 15mm 以下、 15mm 以上且 17.5mm 以下、以及 17.5mm 以上且 20mm 以下中的任一范围的值。

[0100] 第二芯片40在俯视图具有第二芯片面积S2。第二芯片面积S2是第一侧面43A的长度与第三侧面43C的长度的乘积值(即第二侧面43B的长度与第四侧面43D的长度的乘积值)。优选的是,第二芯片面积S2小于IGBT装置2的第一芯片面积S1。

[0101] 特别优选的是,第二芯片面积S2为第一芯片面积S1的0.1倍以上且0.6倍以下。此时,第二芯片面积S2可以具有属于第一芯片面积S1的0.1倍以上且0.2倍以下、0.2倍以上且0.3倍以下、0.3倍以上且0.4倍以下、0.4倍以上且0.5倍以下、以及0.5倍以上且0.6倍以下中的任一范围的值。

[0102] MISFET装置3包含:在第二芯片40内形成于第一主面41侧的区域(表层部)的n型的第一半导体区44。第一半导体区44形成为沿着第一主面41延伸的层状,并从第一主面41和第一~第四侧面43A~43D露出。在本方式中,第一半导体区44由宽带隙半导体的外延层(SiC外延层)构成。

[0103] 第一半导体区44可以具有 $1\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下的厚度。第一半导体区44可以具有属于 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下、 $20\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下、 $30\mu\text{m}$ 以上且 $40\mu\text{m}$ 以下、以及 $40\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下中的任一范围的值。优选的是,第一半导体区44的厚度为 $15\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下。

[0104] MISFET装置3包含:在第二芯片40内形成于第二主面42侧的区域(表层部)的n型的第二半导体区45。第二半导体区45形成为沿着第二主面42延伸的层状,并从第二主面42和

第一~第四侧面43A~43D露出。第二半导体区45具有比第一半导体区44高的n型杂质浓度,并与第一半导体区44电连接。在本方式中,第二半导体区45由宽带隙半导体的单晶基板(SiC单晶基板)构成。

[0105] 即,第二芯片40具有包含基板及外延层的层叠构造。第二半导体区45可以具有 $1\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下的厚度。第二半导体区45可以具有属于 $1\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上且 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上且 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上且 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上且 $175\mu\text{m}$ 以下、以及 $175\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下中的任一范围的值。

[0106] 第二半导体区45的厚度可以为 $5\mu\text{m}$ 以上。优选的是,第二半导体区45的厚度为 $10\mu\text{m}$ 以上。第二半导体区45的厚度可以为第一半导体区44的厚度以上。第二半导体区45的厚度可以小于第一半导体区44的厚度。第二半导体区45的厚度可以与第一半导体区44的厚度大致相等,在本方式中,第二半导体区45的厚度比第一半导体区44的厚度大。

[0107] MISFET装置3包含:设置在第二芯片40的第一主面41的第二活性区47(second active region)。第二活性区47是包含MISFET构造48且生成漏极电流 I_{ds} 的区域。第二活性区47在俯视图中具有第二活性面积SA2。

[0108] 例如,第二活性面积SA2在设定了在俯视图中包含MISFET构造48的多边形状的区域(参照图7的双点划线)时,由该多边形状的区域平面面积来定义。在设置有多个第二活性区47时,第二活性面积SA2由多个第二活性区47的总平面面积来定义。

[0109] 第二活性面积SA2根据第二芯片面积S2而取各种值。第二活性面积SA2可以为第二芯片面积S2的30%以上且小于100%。第二活性面积SA2可以具有属于第二芯片面积S2的30%以上且40%以下、40%以上且50%以下、50%以上且60%以下、60%以上且70%以下、70%以上且80%以下、80%以上且90%以下及90%以上且小于100%中的任一范围的值。

[0110] 优选的是,第二活性面积SA2小于IGBT装置2的第一活性面积SA1。特别优选的是,第二活性面积SA2为第一活性面积SA1的0.1倍以上且0.6倍以下。此时,第二活性面积SA2可以具有属于第一活性面积SA1的0.1倍以上且0.2倍以下、0.2倍以上且0.3倍以下、0.3倍以上且0.4倍以下、0.4倍以上且0.5倍以下、以及0.5倍以上且0.6倍以下中的任一范围的值。

[0111] MISFET构造48包含:在第二活性区47中形成于第一主面41的表层部的p型的体区49。体区49也可以称为“沟道区”。体区49在第二活性区47的整个区域形成为沿着第一主面41延伸的层状。

[0112] MISFET构造48包含在第二活性区47中形成于第一主面41的多个第二沟槽构造50。对多个第二沟槽构造50赋予IGBT装置2的栅极电位 V_g 。多个第二沟槽构造50控制沟道的反转和非反转。即,MISFET构造48由沟槽栅型构成。第二沟槽构造50也可以称为“第二沟槽栅极构造”。

[0113] 多个第二沟槽构造50在第一方向X上隔开间隔地排列,分别形成为在第二方向Y上延伸的带状。多个第二沟槽构造50形成为以到达第一半导体区44的方式贯穿体区49,并从第一半导体区44的底部向第一主面41侧隔开间隔。

[0114] 优选的是,多个第二沟槽构造50比IGBT装置2的多个第一沟槽构造20浅。各第二沟槽构造50的深度可以为 $0.1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。各第二沟槽构造50的深度可以具有属于 $0.1\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下中的任一范围的值。优选的是,各第一沟槽构造20

的深度为 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。

[0115] 各第二沟槽构造50包含:第二沟槽51、第二绝缘膜52以及第二埋设电极53。第二沟槽51形成于第一主面41,划分第二沟槽构造50的壁面。第二绝缘膜52呈膜状覆盖第二沟槽51的壁面。第二绝缘膜52可以包含氧化硅膜。第二埋设电极53隔着第二绝缘膜52埋设于第二沟槽51。在本方式中,第二埋设电极53包含导电性多晶硅。

[0116] MISFET构造48包含:在第二活性区47中形成于第一主面41的多个第三沟槽构造60。对多个第三沟槽构造60施加作为源极电位 V_s 的IGBT装置2的发射极电位 V_e 。第三沟槽构造60也可以称为“沟槽源极构造”。

[0117] 多个第三沟槽构造60分别配置于相邻的2个第二沟槽构造50之间的区域。多个第三沟槽构造60在俯视图中在第一方向X上与多个第二沟槽构造50交替地排列,分别形成为在第二方向Y上延伸的带状。多个第三沟槽构造60形成为以到达第一半导体区44的方式贯穿体区49,并从第一半导体区44的底部向第一主面41侧隔开间隔。

[0118] 各第三沟槽构造60具有各第二沟槽构造50的深度以上的深度。在本方式中,各第三沟槽构造60比各第二沟槽构造50深。优选的是,各第三沟槽构造60的深度为各第二沟槽构造50的深度的1.5倍以上且3倍以下。

[0119] 优选的是,各第三沟槽构造60比IGBT装置2的各第一沟槽构造20浅。各第三沟槽构造60的深度可以为 $0.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。各第三沟槽构造60的深度可以具有属于 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、及 $4\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下中的任一范围的值。优选的是,各第三沟槽构造60的深度为 $1\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下。

[0120] 各第三沟槽构造60包含:第三沟槽61、第三绝缘膜62以及第三埋设电极63。第三沟槽61形成于第一主面41,划分第三沟槽构造60的壁面。第三绝缘膜62呈膜状覆盖第三沟槽61的壁面。第三绝缘膜62可以包含氧化硅膜。第三埋设电极63隔着第三绝缘膜62埋设于第三沟槽61。在本方式中,第三埋设电极63包含导电性多晶硅。

[0121] MISFET构造48包含:在体区49的表层部形成于沿着多个第二沟槽构造50的区域的n型的多个源极区64。各源极区64具有比第一半导体区44高的n型杂质浓度。各源极区64在体区49的表层部形成于相邻的第二沟槽构造50及第三沟槽构造60之间的区域。各源极区64与第一半导体区44一起在体区49内形成MISFET的沟道。

[0122] MISFET构造48包含:在第二芯片40内形成于沿着多个第三沟槽构造60的区域的p型的多个阱区65。在本方式中,阱区65具有比体区49高的p型杂质浓度。当然,阱区65的p型杂质浓度也可以比体区49低。

[0123] 多个阱区65在第二芯片40内覆盖第三沟槽构造60的壁面,在第一主面41的表层部与体区49电连接。多个阱区65形成为从第一半导体区44的底部向第一主面41侧隔开间隔,并隔着第一半导体区44的一部分与第二半导体区45对置。多个阱区65与第一半导体区44形成pn结部。

[0124] MISFET构造48包含:在多个阱区65内形成于沿着多个第三沟槽构造60的区域的p型的多个第二接触区66。第二接触区66具有比体区49高的p型杂质浓度。在本方式中,第二接触区66的p型杂质浓度比阱区65高。

[0125] 多个第二接触区66在对应的阱区65内覆盖对应的第三沟槽构造60的壁面。多个第二接触区66从对应的阱区65内沿着对应的第三沟槽构造60的壁面引出至体区49的表层部,

并从第一主面41露出。

[0126] MISFET装置3包含覆盖第一主面41的第二层间绝缘膜67。在本方式中,第二层间绝缘膜67包含第二下侧绝缘膜68和第二上侧绝缘膜69。第二下侧绝缘膜68与第二绝缘膜52以及第三绝缘膜62连接,以使第二埋设电极53以及第三埋设电极63露出的方式覆盖第一主面41。

[0127] 第二下侧绝缘膜68可以包含氧化硅膜。第二上侧绝缘膜69以覆盖多个第二沟槽构造50及多个第三沟槽构造60的方式覆盖第二下侧绝缘膜68。第二上侧绝缘膜69可以包含氧化硅膜。第二上侧绝缘膜69比第二下侧绝缘膜68厚。

[0128] MISFET装置3包含:配置在第二层间绝缘膜67之上的第二栅极电极72。从外部对第二栅极电极72赋予IGBT装置2的栅极电位 V_g 。第二栅极电极72在俯视图中配置于沿着第三侧面43C的中央部的区域。第二栅极电极72的配置部位是任意的。例如,第二栅极电极72在俯视图中可以配置在沿着第二芯片40的角部的区域、第二芯片40的中央部。

[0129] 第二栅极电极72隔着第二层间绝缘膜67而与第二活性区47外的区域对置。当然,第二栅极电极72也可以隔着第二层间绝缘膜67而与第二活性区47(即多个第二沟槽构造50及多个第三沟槽构造60)对置。第二栅极电极72在俯视图中形成为四边形状。第二栅极电极72在俯视图中也可以形成为圆形状或多边形状。

[0130] 第二栅极电极72包含与第二埋设电极53不同的导电材料。第二栅极电极72可以包含Ti系金属膜、Al系金属膜及Cu系金属膜中的至少一种。在本方式中,第二栅极电极72具有:包含从第二层间绝缘膜67侧起依次层叠的Ti系金属膜及Al系金属膜的层叠构造。第二栅极电极72也可以称为“第二栅极金属”。

[0131] MISFET装置3包含:配置在第二层间绝缘膜67之上的第二栅极布线73。第二栅极布线73与第二栅极电极72以及多个第二沟槽构造50电连接,并将对第二栅极电极72赋予的栅极电位 V_g 传递到多个第二沟槽构造50。

[0132] 具体而言,第二栅极布线73在俯视图中从第二栅极电极72引出到第二层间绝缘膜67之上,以与多个第二沟槽构造50的两端部交叉(具体而言正交)的方式沿着第一~第三侧面43A~43C呈带状延伸。第二栅极布线73贯穿第二层间绝缘膜67而与多个第二沟槽构造50电连接。第二栅极布线73包含与第二栅极电极72相同的导电材料。

[0133] MISFET装置3包含配置在第二层间绝缘膜67之上的源极电极74。对源极电极74赋予作为源极电位 V_s 的IGBT装置2的发射极电位 V_e 。源极电极74以覆盖第二活性区47的方式在第二层间绝缘膜67之上配置于由第二栅极电极72及第二栅极布线73包围的区域。源极电极74隔着第二层间绝缘膜67而与多个第二沟槽构造50对置,并贯穿第二层间绝缘膜67而与多个第三沟槽构造60、多个源极区64及多个第二接触区66电连接。

[0134] 源极电极74包含与第二栅极电极72相同的导电材料。源极电极74也可以称为“源极金属”。在本方式中,源极电极74具有与第二活性区47的平面形状大致相似的平面形状。在源极电极74的平面形状与第二活性区47的平面形状大致相似时,上述的第二活性面积 SA_2 可以由源极电极74的平面面积来定义。

[0135] MISFET装置3包含覆盖第二主面42的漏极电极75。对漏极电极75赋予作为漏极电位 V_d 的IGBT装置2的集电极电位 V_c 。漏极电极75与从第二主面42露出的第二半导体区45形成欧姆接触。漏极电极75可以以与第二芯片40的周缘(第一~第四侧面43A~43D)相连的方

式覆盖第二主面42的整个区域。

[0136] 以下,对在半导体模块1中能够适当地抑制低电流区和高电流区双方的损耗的输出电流 I_O 的调整例进行具体说明。通过调整MISFET装置3的第二芯片面积 S_2 相对于IGBT装置2的第一芯片面积 S_1 的芯片面积比 S_2/S_1 ,来调节半导体模块1的输出电流 I_O 。即,通过调整MISFET装置3的第二活性面积 SA_2 相对于IGBT装置2的第一活性面积 SA_1 的活性面积比 SA_2/SA_1 来调节输出电流 I_O 。

[0137] 在MISFET装置3的第二芯片面积 S_2 (第二活性面积 SA_2) 为IGBT装置2的第一芯片面积 S_1 (第一活性面积 SA_1) 以上时,电流生成能力相应地提高,高电流区中的MISFET装置3的损耗增加。例如,在MISFET装置3中生成IGBT装置2的集电极电流 I_{ce} 的最大额定值附近的漏极电流 I_{ds} 时,高电流区中的MISFET装置3的损耗变得极高。这些情况下,缺乏使MISFET装置3与IGBT装置2并联连接的益处。

[0138] 例如,作为一使用方式,半导体模块1可以装入于逆变器、DC/DC转换器、PFC (power factor correction) 电路。在逆变器时,一般使用最大额定值的20% ~ 40%的集电极电流 I_{ce} 。在DC/DC转换器、PFC电路时,一般使用最大额定值的30% ~ 50%的集电极电流 I_{ce} 。

[0139] MISFET装置3以低电流区中的使用为前提,因此,要求高效地生成比上述电流范围更低的电流范围的漏极电流 I_{ds} 。因此,缺乏使MISFET装置3的第二芯片面积 S_2 (第二活性面积 SA_2) 大型化的益处。

[0140] 因此,为了限制MISFET装置3的电流生成能力,优选的是,将MISFET装置3的第二芯片面积 S_2 (第二活性面积 SA_2) 设定为小于IGBT装置2的第一芯片面积 S_1 (第一活性面积 SA_1)。特别优选的是,芯片面积比 S_2/S_1 (活性面积比 SA_2/SA_1) 为0.1以上且0.6以下。

[0141] 并且,MISFET装置3以低电流区中的使用为前提,因此,要求比IGBT装置2小型,另一方面,MISFET装置3与以高电流动作中的使用为前提的IGBT装置2并联连接,因此,要求IGBT装置2的耐压以上的耐压。

[0142] 在本方式中,MISFET装置3具有IGBT装置2的第一击穿电压 V_{B1} 以上的第二击穿电压 V_{B2} 。具有小型且高耐压的条件的MISFET装置3,通过采用宽带隙半导体制 (在本方式中SiC制) 的第二芯片40来实现。

[0143] 图11A是表示图1所示的半导体模块1的第一调整例的电流电压特性的曲线图。图11B是表示图1所示的半导体模块1的第二调整例的电流电压特性的曲线图。图11C是表示图1所示的半导体模块1的第三调整例的电流电压特性的曲线图。在图11A ~ 图11C中,纵轴表示集电极电流 I_{ce} (漏极电流 I_{ds}),横轴表示集电极电压 V_{ce} (漏极电压 V_{ds})。

[0144] 在图11A ~ 图11C中,分别表示第一特性 C_1 、第二特性 C_2 以及第三特性 C_3 。第一特性 C_1 表示使用IGBT装置2单体时的单个集电极电流 I_{ce} 。第二特性 C_2 表示使用MISFET装置3单体时的单个漏极电流 I_{ds} 。第三特性 C_3 表示使用了包含IGBT装置2以及MISFET装置3的并联开关电路时的输出电流 I_O 。输出电流 I_O 是单个集电极电流 I_{ce} 与单个漏极电流 I_{ds} 的相加值。

[0145] 在图11A中,表示了芯片面积比 S_2/S_1 (活性面积比 SA_2/SA_1) 被调整为0.1时的第一 ~ 第三特性 $C_1 \sim C_3$ 。在图11B中,表示了芯片面积比 S_2/S_1 (活性面积比 SA_2/SA_1) 被调整为0.3时的第一 ~ 第三特性 $C_1 \sim C_3$ 。在图11C中,表示了芯片面积比 S_2/S_1 (活性面积比 SA_2/SA_1) 被调整为0.6时的第一 ~ 第三特性 $C_1 \sim C_3$ 。

[0146] 参照图11A~图11C,将第一特性C1以及第二特性C2的交点P的单个漏极电流 I_{ds} (单个集电极电流 I_{ce})设定为第一电流值A,将施加内建电压 V_{bi} 时(具体而言,施加与内建电压 V_{bi} 相等的漏极电压 V_{ds} 时)的单个漏极电流 I_{ds} 设定为第二电流值B($B < A$)。

[0147] 此时优选的是,第一电流值A相对于第二电流值B的电流比 A/B 为比1大且3以下($1 < A/B \leq 3$)。电流比 A/B 可以具有属于比1大且1.25以下、1.25以上且1.5以下、1.5以上且1.75以下、1.75以上且2以下、2以上且2.25以下、2.25以上且2.5以下、2.5以上且2.75以下、以及2.75以上且3以下中的任一范围的值。特别优选的是,电流比 A/B 为1.1以上且2.6以下。

[0148] 优选的是,第一电流值A与第二电流值B的差分值($A-B$)为0.5A以上且30A以下。差分值($A-B$)可以具有属于0.5A以上且1A以下、1A以上且5A以下、5A以上且10A以下、10A以上且15A以下、15A以上且20A以下、20A以上且25A以下、以及25A以上且30A以下中的任一范围的值。

[0149] 优选的是,连结第一电流值A和第二电流值B的直线的斜率为比1大且30以下。连结第一电流值A和第二电流值B的直线的斜率可以具有属于比1大且5以下、5以上且10以下、10以上且15以下、15以上且20以下、20以上且25以下以及25以上且30以下中的任一范围的值。

[0150] 在图11A中,第一电流值A被调整为4.2A,第二电流值B被调整为3.3A。内建电压 V_{bi} 为0.6V,交点P的集电极电压 V_{ce} (漏极电压 V_{ds})为0.9V。电流比 A/B 为1.27。第一电流值A与第二电流值B的差分值($A-B$)为0.9A。连结第一电流值A和第二电流值B的直线的斜率为3。

[0151] 在图11B中,第一电流值A被调整为16A,第二电流值B被调整为10.7A。内建电压 V_{bi} 为0.6V,交点P的集电极电压 V_{ce} (漏极电压 V_{ds})为1.16V。电流比 A/B 为1.5。第一电流值A与第二电流值B的差分值($A-B$)为5.3A。连结第一电流值A和第二电流值B的直线的斜率为9.46。

[0152] 在图11C中,第一电流值A被调整为46A,第二电流值B被调整为22.8A。内建电压 V_{bi} 为0.6V,交点P的集电极电压 V_{ce} (漏极电压 V_{ds})为1.7V。电流比 A/B 为2.02。第一电流值A与第二电流值B的差分值($A-B$)为23.2A。连结第一电流值A和第二电流值B的直线的斜率为21.1。

[0153] 以上,半导体模块1包含IGBT装置2以及MISFET装置3。MISFET装置3与IGBT装置2一起构成并联电路。这样的构造中,半导体模块1在小于IGBT装置2的内建电压 V_{bi} 的电压范围内生成MISFET装置3的漏极电流 I_{ds} ,在内建电压 V_{bi} 以上的电压范围内生成IGBT装置2的集电极电流 I_{ce} 以及MISFET装置3的漏极电流 I_{ds} 。

[0154] 根据该构造,在低电流区中使用MISFET装置3的漏极电流 I_{ds} ,因此,低电流区中的IGBT装置2的损耗降低。另外,在高电流区中使用IGBT装置2的集电极电流 I_{ce} 以及MISFET装置3的漏极电流 I_{ds} ,因此,高电流区中的MISFET装置3的损耗降低。因此,可以提供能够提高电气特性的半导体模块1。

[0155] 优选的是,IGBT装置2具有第一击穿电压 V_{B1} ,MISFET装置3具有第一击穿电压 V_{B1} 以上的第二击穿电压 V_{B2} 。根据该构造,可以将以低电压和低电流环境下的使用为前提的MISFET装置3与以高电压和高电流环境下的使用为前提的IGBT装置2适当地并用。第一击穿电压 V_{B1} 可以为500V以上且1500V以下。第二击穿电压 V_{B2} 可以为500V以上且3000V以下。

[0156] 优选的是,IGBT装置2包含Si制的第一芯片10。根据该构造,可以使用比较廉价的IGBT装置2。优选的是,MISFET装置3包含宽带隙半导体制的第二芯片40。根据宽带隙半导

体,可以同时且容易地实现第二芯片40的高耐压化以及小型化。因此,可以容易地实现适合于IGBT装置2的使用环境的高耐压的MISFET装置3。特别优选的是,宽带隙半导体为SiC。

[0157] 优选的是,第一芯片10具有第一芯片面积S1,第二芯片40具有比第一芯片面积S1小的第二芯片面积S2。根据该构造,能够限制MISFET装置3的电流生成能力。由此,能够适当地降低低电流区中的MISFET装置3的损耗。特别优选的是,第二芯片面积S2为第一芯片面积S1的0.1倍以上且0.6倍以下。第二芯片40可以比第一芯片10薄。第二芯片40也可以比第一芯片10厚。

[0158] 关于表示IGBT装置2单体的单个集电极电流 I_{ce} 的第一特性C1、以及表示MISFET装置3单体的单个漏极电流 I_{ds} 的第二特性C2,在将第一特性C1以及第二特性C2的交点P的单个漏极电流 I_{ds} (单个集电极电流 I_{ce})设定为第一电流值A,将施加内建电压 V_{bi} 时的单个漏极电流 I_{ds} 设定为第二电流值B($B < A$)时,优选的是,第一电流值A相对于第二电流值B的电流比 A/B 为比1大且3以下($1 < A/B \leq 3$)。根据该构造,可以适当地降低低电流区的损耗和高电流区的损耗两者。

[0159] 半导体模块1的方式只要能够构成IGBT装置2以及MISFET装置3的并联开关电路则可以是任意的,并不限定于特定方式。以下,表示半导体模块1的方式例子。图12是表示半导体模块1的一结构例的立体图。图13是表示图12所示的半导体模块1的内部构造的俯视图。

[0160] 参照图12以及图13,在本方式中,半导体模块1具有T0-220的封装方式。半导体模块1包含形成为六面体形状(具体而言长方体形状)的树脂制的封装主体80。封装主体80可以由热固性树脂(例如环氧树脂)构成。封装主体80具有:一侧的第一面81、另一侧的第二面82、以及连接第一面81和第二面82的第一~第四侧壁83A~83D。

[0161] 第一面81及第二面82在从它们的法线方向Z观察的俯视图中形成为四边形状。第一侧壁83A和第二侧壁83B在第一方向X上延伸,在与第一方向X正交的第二方向Y上对置。第三侧壁83C及第四侧壁83D在第二方向Y上延伸,在第一方向X上对置。

[0162] 半导体模块1包含:配置于封装主体80内的金属制的支承电极84。支承电极84可以从第二面82露出。支承电极84包含支承部85和引出部86。支承部85配置在封装主体80内。引出部86从支承部85朝向第三侧壁83C侧引出,贯穿第三侧壁83C而位于封装主体80的外部。引出部86具有圆形的贯穿孔。

[0163] 半导体模块1包含:从封装主体80的内部向外部引出的多个(在本方式中为3个)金属制的布线电极87。多个布线电极87相对于支承电极84配置于第四侧壁83D侧。多个布线电极87分别形成为在第四侧壁83D的正交方向(即第一方向X)上延伸的带状。两侧的布线电极87与支承电极84配置成隔开间隔,并与支承电极84一体地形成中央的布线电极87。与支承电极84连接的布线电极87的配置部位是任意的。

[0164] 多个布线电极87包含:发射极布线电极87e、栅极布线电极87g以及集电极布线电极87c。发射极布线电极87e也可以称为“源极端子”或者“发射极源极端子”。集电极布线电极87c也可以称为“漏极端子”或者“集电极漏极端子”。在本方式中,发射极布线电极87e配置于第二侧壁83B侧,栅极布线电极87g配置于第一侧壁83A侧,集电极布线电极87c配置于发射极布线电极87e以及栅极布线电极87g之间。

[0165] 半导体模块1包含:在封装主体80内配置于支承电极84(支承部85)之上的上述的IGBT装置2。在本方式中,IGBT装置2相对于支承电极84的中央部配置于第一侧壁83A侧的区

域。即,IGBT装置2配置在接近栅极布线电极87g的位置。

[0166] IGBT装置2以使集电极电极35朝向支承电极84的姿势配置在支承电极84之上。另外,IGBT装置2在俯视图中以使第一栅极电极32朝向第四侧壁83D侧的姿势配置在支承电极84之上。集电极电极35与支承电极84电连接。

[0167] IGBT装置2配置成与栅极布线电极87g隔开第一距离,并与发射极布线电极87e隔开比第一距离大的第二距离。在本方式中,IGBT装置2在第一方向X上与栅极布线电极87g对置,在第一方向X上不与发射极布线电极87e对置。IGBT装置2也可以在第一方向X上与集电极布线电极87c对置。

[0168] 半导体模块1包含:在封装主体80内与IGBT装置2隔开间隔地配置在支承电极84(支承部85)之上的上述的MISFET装置3。在本方式中,MISFET装置3相对于IGBT装置2配置在第二侧壁83B侧,并在第二方向Y上与IGBT装置2对置。即,MISFET装置3配置在比IGBT装置2接近发射极布线电极87e的位置。

[0169] MISFET装置3以使漏极电极75朝向支承电极84的姿势配置在支承电极84之上。另外,MISFET装置3在俯视图中以使第二栅极电极72朝向第四侧壁83D侧的姿势配置在支承电极84之上。漏极电极75经由支承电极84而与IGBT装置2的集电极电极35电连接,经由支承电极84而与集电极布线电极87c电连接。

[0170] MISFET装置3配置成与栅极布线电极87g隔开第三距离,并与发射极布线电极87e隔开比第三距离小的第四距离。在本方式中,MISFET装置3在第一方向X上与发射极布线电极87e对置,在第一方向X上不与栅极布线电极87g对置。MISFET装置3也可以在第一方向X上与集电极布线电极87c对置。

[0171] 半导体模块1包含:介于支承电极84(支承部85)与集电极电极35之间的第一导电粘接剂88。第一导电粘接剂88可以包含焊料或金属膏。焊料可以是无铅焊料。金属膏可以包含Au、Ag以及Cu中的至少一个。Ag膏可以由Ag烧结膏构成。Ag烧结膏由在有机溶剂中添加纳米尺寸或微尺寸的Ag粒子的膏构成。

[0172] 半导体模块1包含:介于支承电极84(支承部85)与漏极电极75之间的第二导电粘接剂89。第二导电粘接剂89可以包含焊料或金属膏。焊料可以是无铅焊料。金属膏可以包含Au、Ag以及Cu中的至少一个。Ag膏也可以由Ag烧结膏构成。

[0173] 半导体模块1包含:配置在封装主体80内的多个第一~第四导电连接部件90A~90D。在本方式中,多个第一~第四导电连接部件90A~90D由金属线(即键合线)构成。多个第一~第四导电连接部件90A~90D可以包含金线、铜线以及铝线中的至少一个。当然,多个第一~第四导电连接部件90A~90D中的至少一个或全部可以由金属夹等金属板构成来代替金属线。

[0174] 第一导电连接部件90A与MISFET装置3的源极电极74以及发射极布线电极87e电连接以及机械连接。第二导电连接部件90B与MISFET装置3的第二栅极电极72以及栅极布线电极87g电连接以及机械连接。

[0175] 第三导电连接部件90C与IGBT装置2的发射极电极34以及发射极布线电极87e电连接。具体而言,第三导电连接部件90C包含与IGBT装置2的发射极电极34电连接以及机械连接的第一连接部91、以及与MISFET装置3的源极电极74电连接以及机械连接的第二连接部92,经由第一导电连接部件90A与发射极布线电极87e电连接。

[0176] 更具体而言,第三导电连接部件90C的第二连接部92在源极电极74之上与第一导电连接部件90A接合。即,第三导电连接部件90C通过针脚导线(stitch wire)方式,经由第一导电连接部件90A而与发射极布线电极87e电连接。

[0177] 当然,第三导电连接部件90C可以与发射极电极34以及发射极布线电极87e直接电连接以及机械连接。第四导电连接部件90D与IGBT装置2的第一栅极电极32以及栅极布线电极87g电连接以及机械连接。

[0178] 图14是表示半导体模块1的其他结构例的俯视图。图14具有在第一方式例的半导体模块1中调换了IGBT装置2和MISFET装置3的配置部位的方式。即,在本方式中,IGBT装置2相对于支承电极84的中央部配置于第二侧壁83B侧的区域。另外,IGBT装置2配置在接近发射极布线电极87e的位置。

[0179] IGBT装置2配置成与发射极布线电极87e隔开第一距离,并与栅极布线电极87g隔开比第一距离大的第二距离。在本方式中,IGBT装置2在第一方向X上与发射极布线电极87e对置,在第一方向X上不与栅极布线电极87g对置。IGBT装置2也可以在第一方向X上与集电极布线电极87c对置。

[0180] 在本方式中,MISFET装置3相对于IGBT装置2配置在第一侧壁83A侧,并在第二方向Y上与IGBT装置2对置。即,MISFET装置3配置在比IGBT装置2接近栅极布线电极87g的位置。

[0181] MISFET装置3配置成与发射极布线电极87e隔开第三距离,并与栅极布线电极87g隔开比第三距离小的第四距离。在本方式中,MISFET装置3在第一方向X上与栅极布线电极87g对置,在第一方向X上不与发射极布线电极87e对置。MISFET装置3也可以在第一方向X上与集电极布线电极87c对置。

[0182] 第一导电连接部件90A与IGBT装置2的发射极电极34以及发射极布线电极87e电连接以及机械连接。第二导电连接部件90B与IGBT装置2的第一栅极电极32以及栅极布线电极87g电连接以及机械连接。

[0183] 第三导电连接部件90C与MISFET装置3的源极电极74以及发射极布线电极87e电连接。具体而言,第三导电连接部件90C包含:与MISFET装置3的源极电极74电连接以及机械连接的第一连接部93、与IGBT装置2的发射极电极34电连接以及机械连接的第二连接部94,第三导电连接部件90C经由第一导电连接部件90A与发射极布线电极87e电连接。

[0184] 更具体而言,第三导电连接部件90C的第二连接部94在发射极电极34之上与第一导电连接部件90A接合。即,第三导电连接部件90C通过针脚导线方式,经由第一导电连接部件90A而与发射极布线电极87e电连接。

[0185] 当然,第三导电连接部件90C也可以与源极电极74以及发射极布线电极87e直接电连接以及机械连接。第四导电连接部件90D与MISFET装置3的第二栅极电极72以及栅极布线电极87g电连接以及机械连接。

[0186] 在图14的半导体模块1的情况下,根据IGBT装置2和MISFET装置3的配置部位的不同,有时第三导电连接部件90C的延展方向相对于第一导电连接部件90A的延展方向的弯曲角度比图13的半导体模块1的情况小(陡峭)。因此,优选的是,在考虑了第二导电连接部件90B相对于第一导电连接部件90A的弯曲角度的情况下,IGBT装置2以及MISFET装置3的配置部位为图13的半导体模块1。

[0187] 图15是表示半导体模块1的又一其他结构例的俯视图。半导体模块1包含第一半导

体模块1A和第二半导体模块1B。第一半导体模块1A包含:封装主体80、支承电极84、多个布线电极87、IGBT装置2、第一导电粘接剂88、第一导电连接部件90A以及第二导电连接部件90B。第一导电连接部件90A与发射极电极34以及发射极布线电极87e电连接以及机械连接。第二导电连接部件90B与第一栅极电极32以及栅极布线电极87g电连接以及机械连接。

[0188] 第二半导体模块1B包含:封装主体80、支承电极84、多个布线电极87、MISFET装置3、第二导电粘接剂89、第三导电连接部件90C以及第四导电连接部件90D。第三导电连接部件90C与源极电极74以及发射极布线电极87e电连接以及机械连接。第四导电连接部件90D与第二栅极电极72以及栅极布线电极87g电连接以及机械连接。

[0189] 第二半导体模块1B的发射极布线电极87e与第一半导体模块1A的发射极布线电极87e电连接。第二半导体模块1B的栅极布线电极87g与第一半导体模块1A的栅极布线电极87g电连接。第二半导体模块1B的集电极布线电极87c与第一半导体模块1A的集电极布线电极87c电连接。

[0190] 第一半导体模块1A的“封装主体80”、“支承电极84”以及“多个布线电极87(发射极布线电极87e、栅极布线电极87g以及集电极布线电极87c)”也可以称为“第一封装主体”、“第一电极”以及“多个第一端子(第一发射极端子、第一栅极端子以及第一集电极端子)”。

[0191] 第二半导体模块1B的“封装主体80”、“支承电极84”以及“多个布线电极87(发射极布线电极87e、栅极布线电极87g以及集电极布线电极87c)”也可以称为“第二封装主体”、“第二电极板”以及“多个第二端子(第二发射极端子、第二栅极端子以及第二集电极端子)”。

[0192] 图16是表示IGBT装置2的其他结构例的剖视图。在本方式中,IGBT装置2由RC-IGBT装置(Reverse Conducting-IGBT device)构成,RC-IGBT装置一体地包含IGBT以及续流二极管(pn结二极管)。

[0193] IGBT装置2包含:设置于第一活性区17的一个或多个(优选为多个)IGBT构造18、以及设置于第一活性区17的一个或多个(优选为多个)二极管构造100。例如,第一活性区17的第一活性面积SA1在设定了在俯视图下包含全部IGBT构造18及全部二极管构造100的多边形状的区域时,由该多边形形状的区域平面面积来定义。

[0194] 多个IGBT构造18在俯视图中也可以分别形成为四边形状。多个二极管构造100在俯视图中也可以分别形成为四边形状。多个IGBT构造18也可以在俯视图中在第一方向X及第二方向Y上隔开间隔而排列成矩阵状或交错状。多个二极管构造100也可以与至少一个IGBT构造18相邻的方式在第一方向X及第二方向Y上隔开间隔地排列。多个二极管构造100也可以在第一方向X上与多个IGBT构造18交替地排列。

[0195] 各IGBT构造18包含:基区19、多个第一沟槽构造20、多个发射极区24、多个接触孔25以及多个第一接触区26。这些具体结构的说明如上所述,因此省略。

[0196] 各二极管构造100包含形成于第二主面12的表层部的n型的阴极区101。阴极区101为具有比集电极区16的p型杂质浓度高的n型杂质浓度且集电极区16的一部分的导电型从p型置换为n型的区域。

[0197] 优选的是,阴极区101具有比半导体区14(缓冲区15)高的n型杂质浓度。阴极区101形成为沿着第二主面12延伸的层状,并从第二主面12露出。阴极区101以与半导体区14(缓冲区15)电连接的方式贯穿集电极区16。

[0198] 各二极管构造100包含形成于第一主面11的表层部的p型的阳极区102。阳极区102也可以具有与基区19大致相等的p型杂质浓度。当然,阳极区102的p型杂质浓度既可以比基区19的p型杂质浓度高,也可以比基区19的p型杂质浓度低。

[0199] 阳极区102以在第一芯片10的厚度方向上与阴极区101相对的方式形成为沿着第一主面11延伸的层状,并从第一主面11露出。阳极区102比多个第一沟槽构造20浅。阳极区102也可以具有与基区19大致相等的深度。

[0200] 当然,阳极区102也可以形成得比基区19深。阳极区102与半导体区14形成pn结。由此,形成以阳极区102为阳极,以阴极区101为阴性的pn结二极管。

[0201] 各二极管构造100包含形成于第一主面11的多个第四沟槽构造110。对第四沟槽构造110赋予与第一沟槽构造20(栅极电位 V_g)不同的电位(在本方式中为发射极电位 V_e)。第四沟槽构造110也可以称为“发射极沟槽构造”或“阳极沟槽构造”。

[0202] 多个第四沟槽构造110在第一方向X上隔开间隔地排列,分别形成为在第二方向Y上延伸的带状。多个第四沟槽构造110以贯穿阳极区102到达半导体区14的方式形成于第一主面11。优选的是,各第四沟槽构造110具有与各第一沟槽构造20的深度大致相等的深度。

[0203] 各第四沟槽构造110的深度可以为 $0.5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。各第四沟槽构造110的深度可以具有属于 $0.5\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上且 $7.5\mu\text{m}$ 以下、以及 $7.5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下中的任一范围的值。优选的是,各第四沟槽构造110的深度为 $4\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下。

[0204] 各第四沟槽构造110包含:第四沟槽111、第四绝缘膜112以及第四埋设电极113。第四沟槽111形成于第一主面11,划分第四沟槽构造110的壁面。第四绝缘膜112呈膜状覆盖第四沟槽111的壁面。第四绝缘膜112可以包含氧化硅膜。第四埋设电极113隔着第四绝缘膜112而埋设在第四沟槽111中。在本方式中,第四埋设电极113包含导电性多晶硅。

[0205] 上述的第一层间绝缘膜27包含:使各二极管构造100露出的二极管开口114。二极管开口114在各二极管构造100中使阳极区102以及多个第四沟槽构造110露出。优选的是,二极管开口114使全部第四沟槽构造110露出。

[0206] 上述的发射极电极34在第一层间绝缘膜27之上经由多个接触电极31而与多个发射极区24以及多个第一接触区26电连接。发射极电极34从第一层间绝缘膜27之上进入到二极管开口114。

[0207] 发射极电极34在二极管开口114内与阳极区102以及多个第四沟槽构造110电连接。上述的集电极电极35与从第二主面12露出的集电极区16和阴极区101形成欧姆接触。

[0208] 图17是表示MISFET装置3的其他结构例的剖视图。参照图17,MISFET装置3可以具备:具有与第二沟槽构造50大致相等的深度的第三沟槽构造60。

[0209] 图18是表示MISFET装置3的其他结构例的剖视图。参照图18,MISFET装置3也可以不包含第三沟槽构造60。此时,多个源极区64在体区49的表层部形成于相邻的2个第二沟槽构造50之间的区域。不形成上述的阱区65。

[0210] 上述的多个第二接触区66在体区49的表层部形成于相邻的两个第二沟槽构造50之间的区域。上述的源极电极74贯穿第二层间绝缘膜67而与多个源极区64以及多个第二接触区66电连接。

[0211] 图19是表示MISFET装置3的其他结构例的剖视图。参照图19,MISFET装置3也可以

在第二芯片40的内部包含:具有比第一半导体区44的厚度小的厚度的第二半导体区45。即,第二芯片40可以包含:具有比外延层的厚度小的厚度的半导体基板。

[0212] 图20是表示MISFET装置3的其他结构例的剖视图。参照图20,MISFET装置3可以在第二芯片40的内部不具有第二半导体区45而仅包含第一半导体区44。此时,第一半导体区44从第二芯片40的第一主面41、第二主面42和第一~第四侧面43A~43D露出。即,在本方式中,第二芯片40不具有半导体基板,而具有由外延层构成的单层构造。

[0213] 上述的实施方式还能够以其他方式来实施。在上述实施方式中,表示了第一芯片10由Si芯片构成的例子。但是,第一芯片10也可以由宽带隙半导体芯片的单晶制的宽带隙半导体芯片构成。例如,第一芯片10可以由SiC单晶制的SiC芯片构成。

[0214] 在上述的实施方式中,表示了第二芯片40由宽带隙半导体芯片构成的例子。但是,第二芯片40也可以由Si单晶制的Si芯片构成。

[0215] 在上述的实施方式中,表示了在第一芯片10的内部控制沟道的反转以及非反转的沟槽栅型的IGBT装置2。但是,也可以采用从第一芯片10的第一主面11之上控制沟道的反转和非反转的平面栅型的IGBT装置2。

[0216] 在上述的实施方式中,表示了第二芯片40的内部控制沟道的反转以及非反转的沟槽栅型的MISFET装置3。但是,也可以采用从第二芯片40的第一主面41之上控制沟道的反转和非反转的平面栅型的MISFET装置3。

[0217] 在上述的实施方式中,表示了“第一导电型”为“n型”,“第二导电型”为“p型”的方式。但是,在上述的实施方式中,也可以采用“第一导电型”为“p型”,“第二导电型”为“n型”的方式。此时的具体结构通过上述的说明以及附图中将“n型”替换为“p型”的同时将“p型”替换为“n型”而得到。

[0218] 以下,表示从本说明书以及附图提取的特征例。以下,括号内的字母数字等表示上述的实施方式中的对应构成要素等,而并不意味着将各项目(Clause)的范围限定于实施方式。

[0219] [A1]一种半导体模块(1),包含:IGBT装置(2);以及MISFET装置(3),其与所述IGBT装置(2)构成并联电路,在小于所述IGBT装置(2)的内建电压(V_{bi})的电压范围内生成所述MISFET装置(3)的漏极电流(I_{ds}),在所述内建电压(V_{bi})以上的电压范围内生成所述IGBT装置(2)的集电极电流(I_{ce})以及所述MISFET装置(3)的漏极电流(I_{ds})。

[0220] [A2]根据A1所述的半导体模块(1),其中,所述IGBT装置(2)具有第一击穿电压(V_{B1}),所述MISFET装置(3)具有所述第一击穿电压(V_{B1})以上的第二击穿电压(V_{B2})。

[0221] [A3]根据A2所述的半导体模块(1),其中,所述第一击穿电压(V_{B1})为500V以上且1500V以下,所述第二击穿电压(V_{B2})为500V以上且3000V以下。

[0222] [A4]根据A1~A3中任一项所述的半导体模块(1),其中,所述IGBT装置(2)包含Si制的第一芯片(10),所述MISFET装置(3)包含宽带隙半导体制的第二芯片(40)。

[0223] [A5]根据A4所述的半导体模块(1),其中,所述宽带隙半导体为SiC。

[0224] [A6]根据A4或A5所述的半导体模块(1),其中,所述第一芯片(10)具有第一芯片面积(S_1),所述第二芯片(40)具有比所述第一芯片面积(S_1)小的第二芯片面积(S_2)。

[0225] [A7]根据A6所述的半导体模块(1),其中,所述第二芯片面积(S_2)为所述第一芯片面积(S_1)的0.1倍以上且0.6倍以下。

[0226] [A8]根据A4~A7中任一项所述的半导体模块(1),其中,所述第二芯片(40)比所述第一芯片(10)薄。

[0227] [A9]根据A4~A7中任一项所述的半导体模块(1),其中,所述第二芯片(40)比所述第一芯片(10)厚。

[0228] [A10]根据A1~A9中任一项所述的半导体模块(1),其中,第一特性(C1)表示所述IGBT装置(2)单体的单个集电极电流(I_{ce}),第二特性(C2)表示所述MISFET装置(3)单体的单个漏极电流(I_{ds}),关于第一特性(C1)和第二特性(C2),在将所述第一特性(C1)和所述第二特性(C2)的交点(P)处的所述单个漏极电流(I_{ds})设定为第一电流值A、将施加所述内建电压(V_{bi})时的所述单个漏极电流(I_{ds})设定为第二电流值B(B<A)时,所述第一电流值A相对于所述第二电流值B的电流比A/B为比1大且3以下($1 < A/B \leq 3$)。

[0229] [A11]根据A10所述的半导体模块(1),其中,连结所述第一电流值A和所述第二电流值B的直线的斜率为比1大且30以下。

[0230] [A12]根据A10或A11所述的半导体模块(1),其中,所述第一电流值A与所述第二电流值B的差分值(A-B)为0.5以上且30以下。

[0231] [A13]根据A1~A12中任一项所述的半导体模块(1),其中,所述MISFET装置(3)由沟槽栅型构成,所述IGBT装置(2)由沟槽栅型构成。

[0232] [A14]根据A1~A13中任一项所述的半导体模块(1),其中,所述IGBT装置(2)由RC-IGBT装置构成,其中,所述RC-IGBT装置一体地包含IGBT以及续流二极管。

[0233] [A15]根据A1~A14中任一项所述的半导体模块(1),其中,所述的半导体模块(1)还包含支承电极(84),所述IGBT装置(2)配置在所述支承电极(84)之上,所述MISFET装置(3)配置在所述支承电极(84)之上,并经由所述支承电极(84)而与所述IGBT装置(2)电连接。

[0234] [A16]根据A15所述的半导体模块(1),其中,所述的半导体模块(1)包含:布线电极(87),其设置成与所述支承电极(84)隔开间隔;第一导电连接部件(90A),其与所述MISFET装置(3)以及所述布线电极(87)电连接;以及第二导电连接部件(90C),其与所述IGBT装置(2)以及所述布线电极(87)电连接。

[0235] [A17]根据A16所述的半导体模块(1),其中,所述第一导电连接部件(90A)与所述MISFET装置(3)以及所述布线电极(87)机械连接以及电连接,所述第二导电连接部件(90C)与所述MISFET装置(3)以及所述IGBT装置(2)机械连接以及电连接,并经由所述第一导电连接部件(90A)而与所述布线电极(87)电连接。

[0236] 以上,详细地说明了实施方式,但它们仅是明示技术内容的具体例。从本说明书提取的各种技术思想并不限于说明书内的说明顺序、实施方式的顺序等,而可以在它们之间适当组合。

[0237] 符号说明

[0238] 1 半导体模块

[0239] 2 IGBT装置

[0240] 3 MISFET装置

[0241] 10 第一芯片

[0242] 40 第二芯片

- [0243] 80 封装主体
- [0244] 84 支承电极
- [0245] 87 布线电极
- [0246] 90A 第一导电连接部件
- [0247] 90B 第二导电连接部件
- [0248] 90C 第三导电连接部件
- [0249] 90D 第四导电连接部件
- [0250] A 第一电流值
- [0251] B 第二电流值
- [0252] C1 第一特性
- [0253] C2 第二特性
- [0254] I_{ce} 集电极电流
- [0255] I_{ds} 漏极电流
- [0256] P 交点
- [0257] S1 第一芯片面积
- [0258] S2 第二芯片面积
- [0259] VB1 第一击穿电压
- [0260] VB2 第二击穿电压
- [0261] V_{bi} 内建电压。

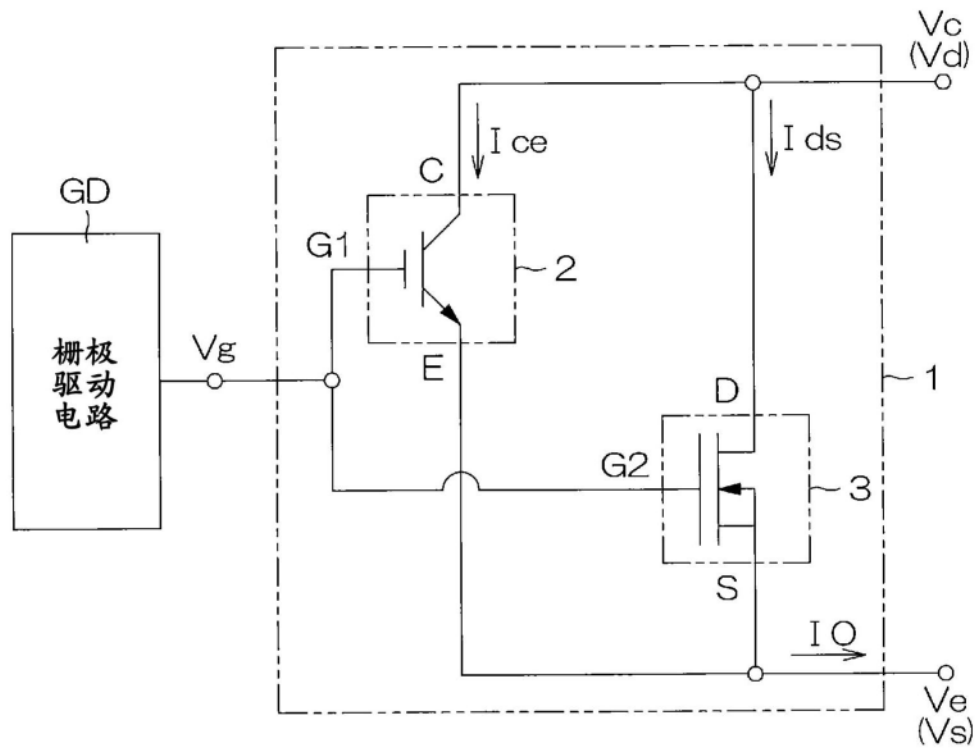


图1

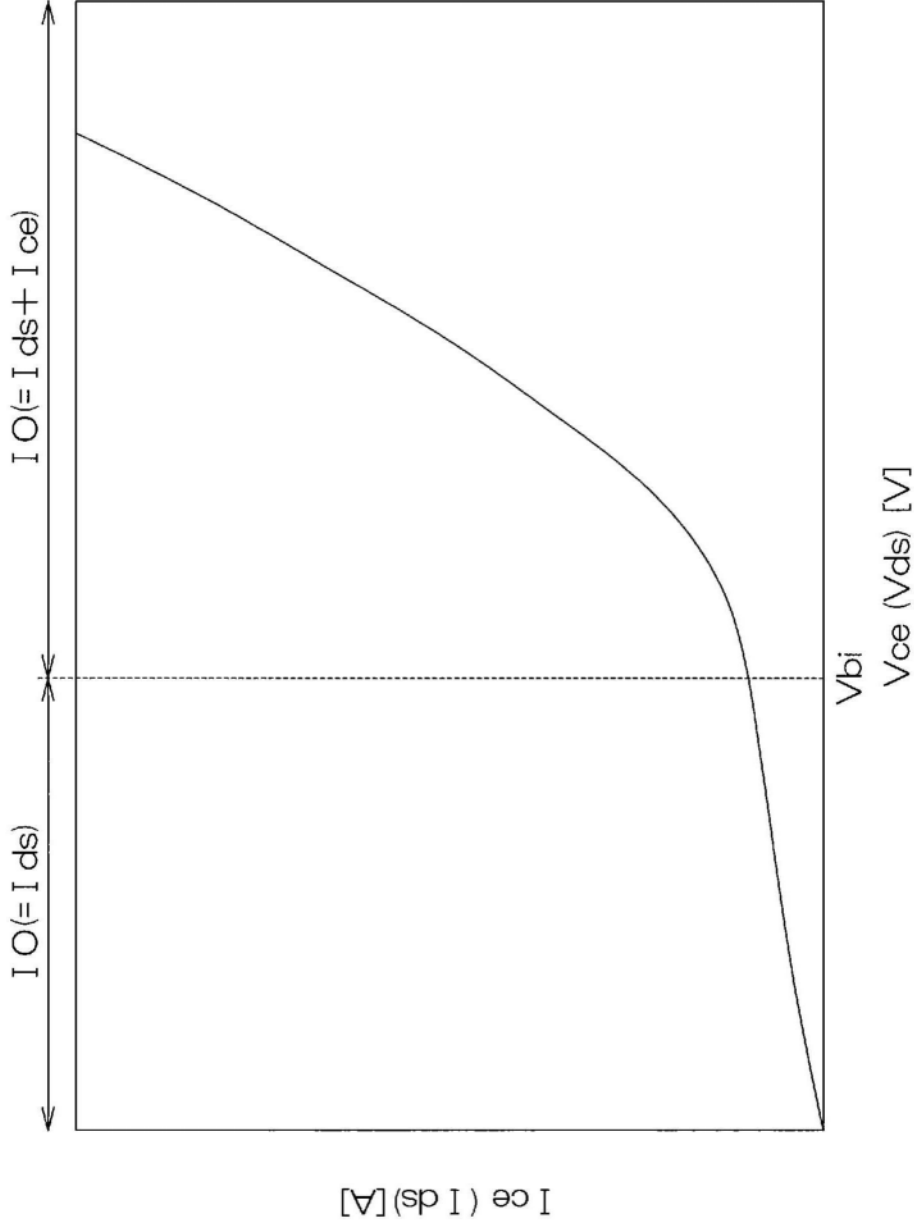


图2

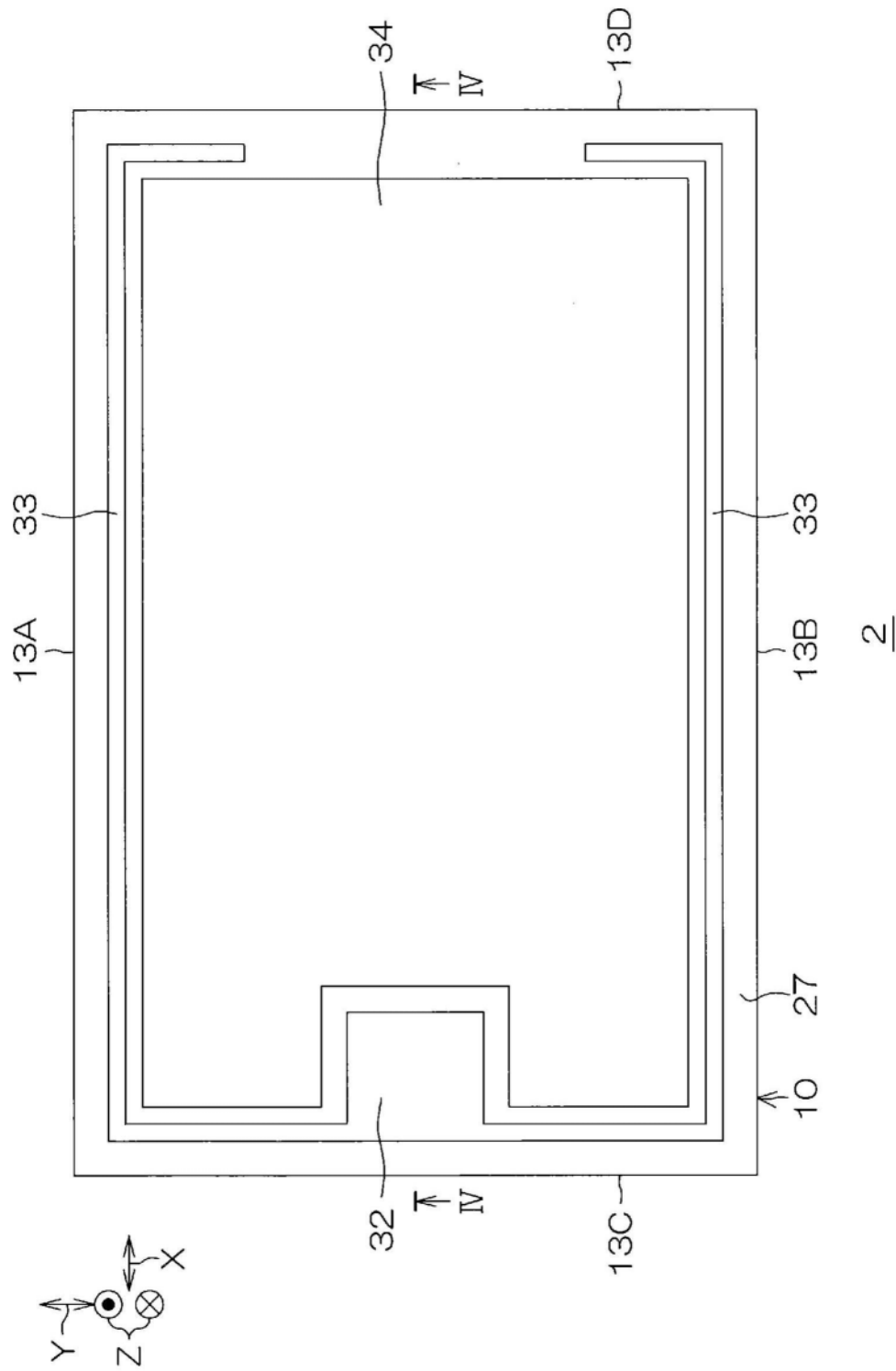


图3

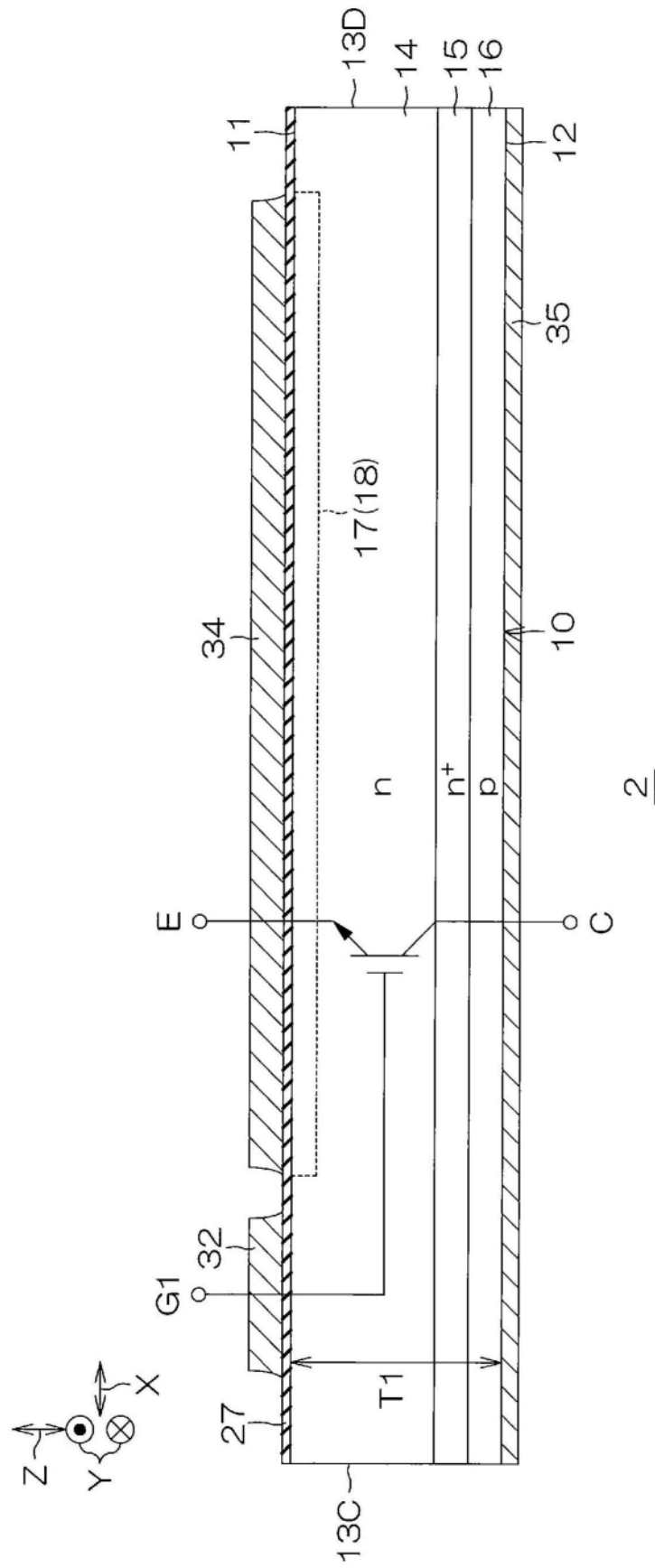


图4

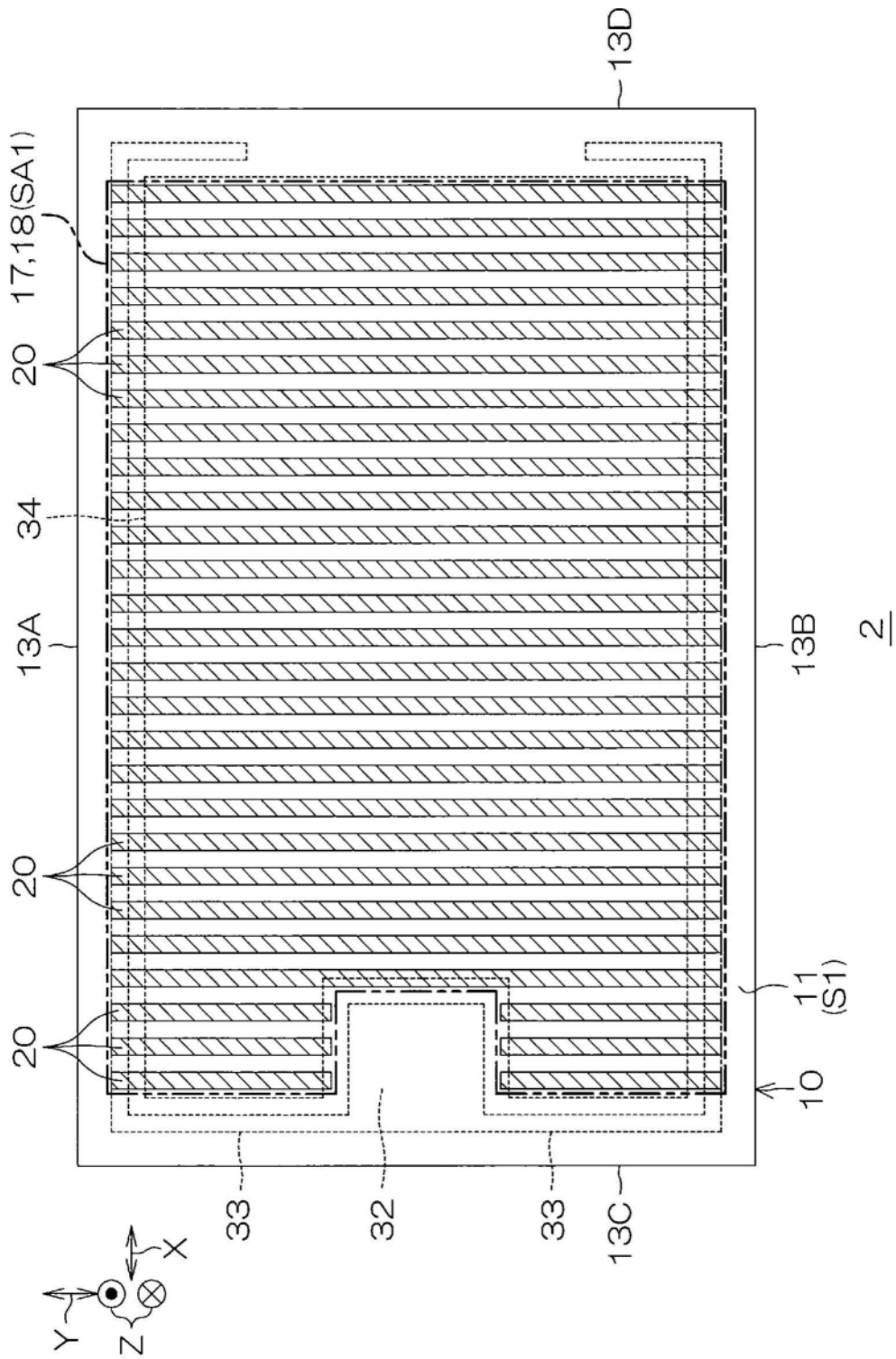


图5

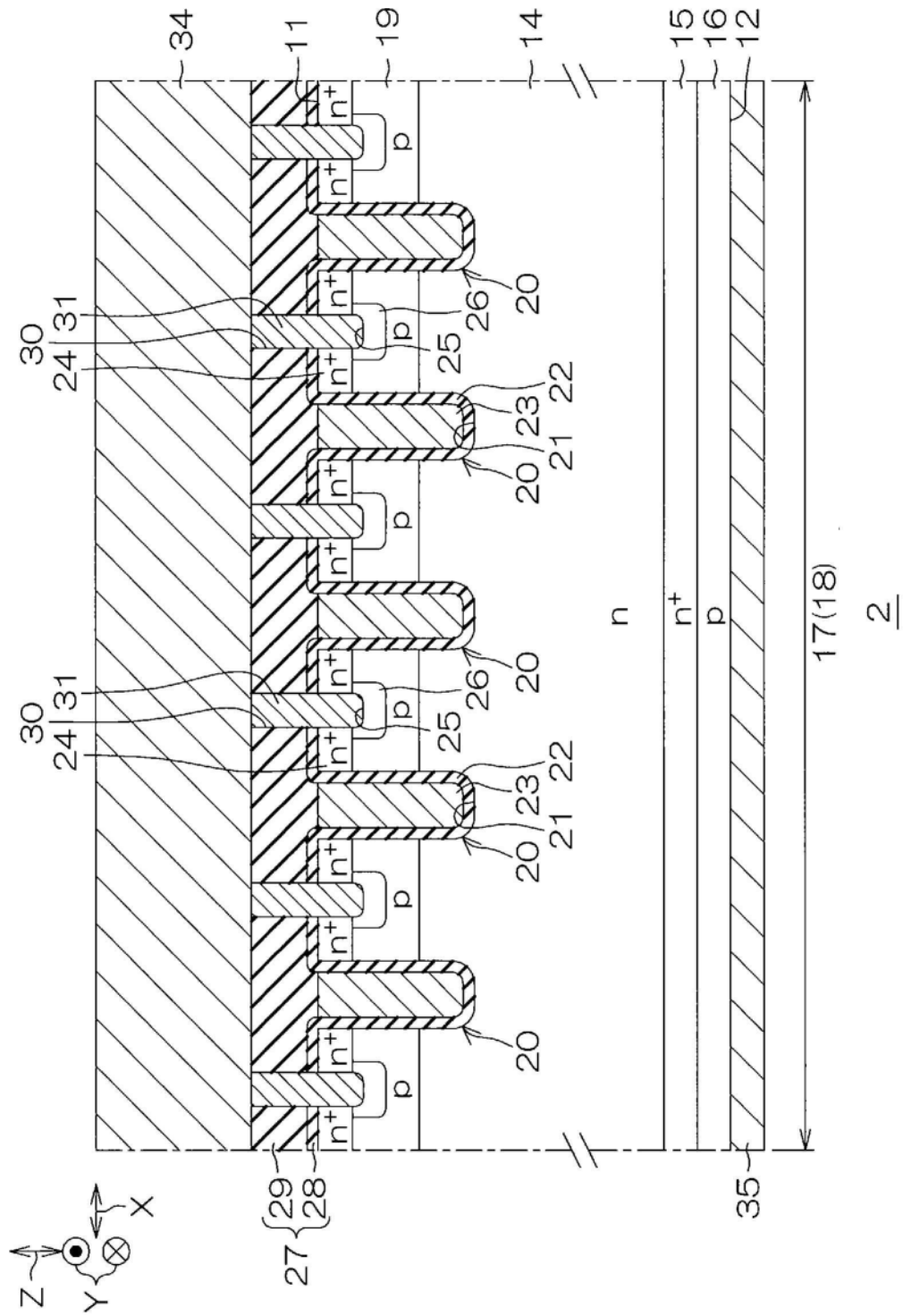


图6

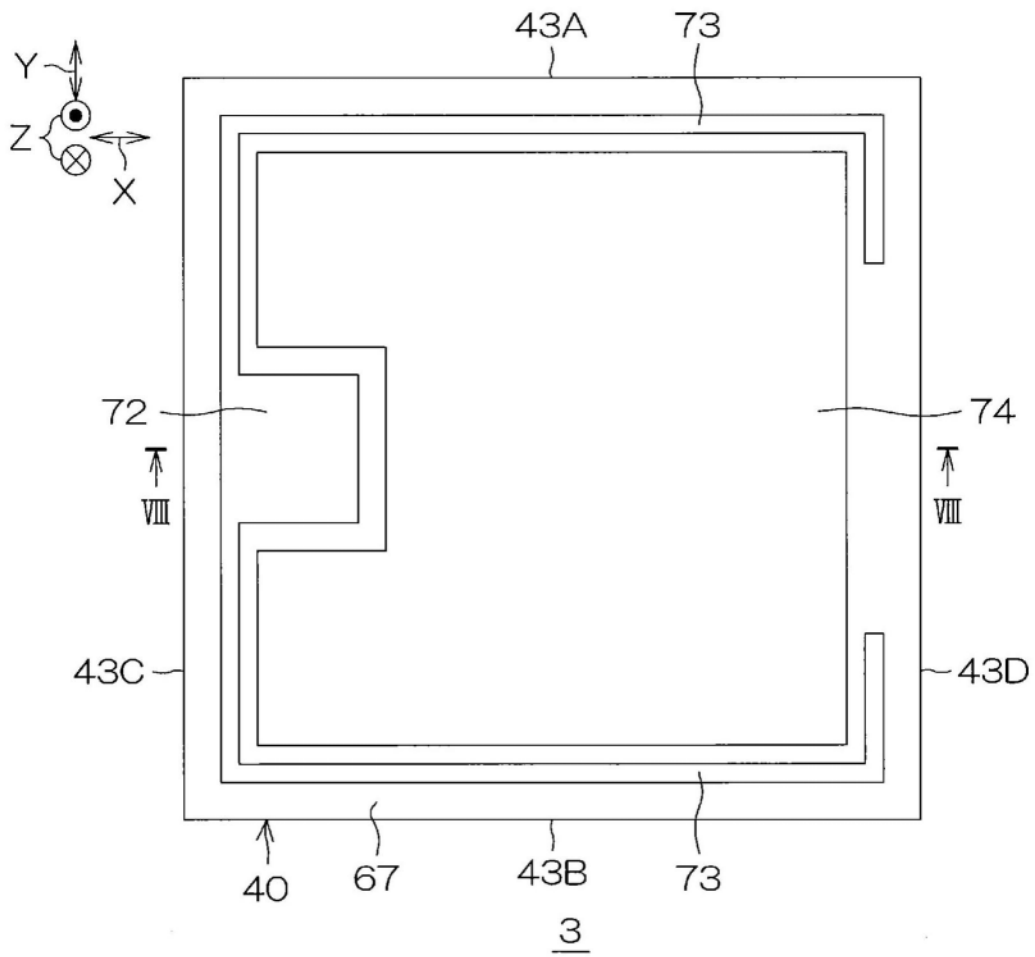


图7

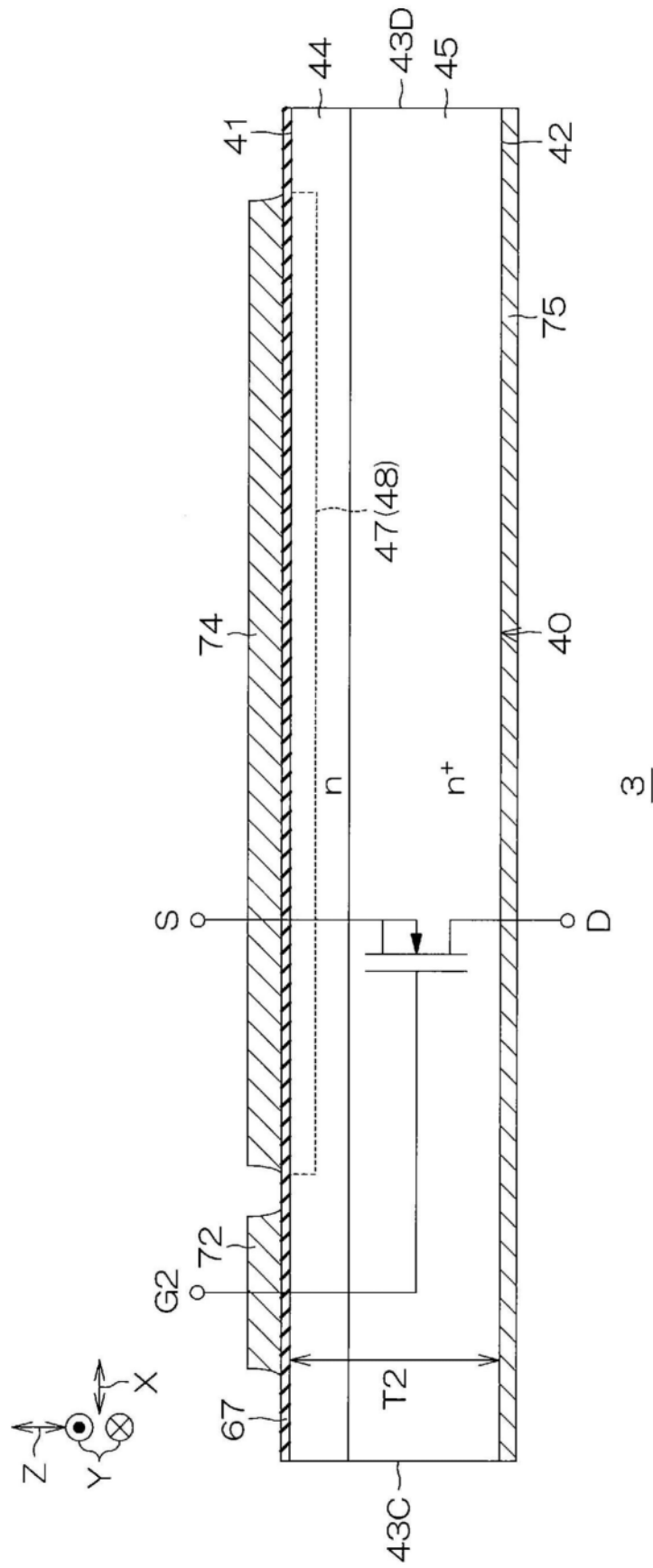


图8

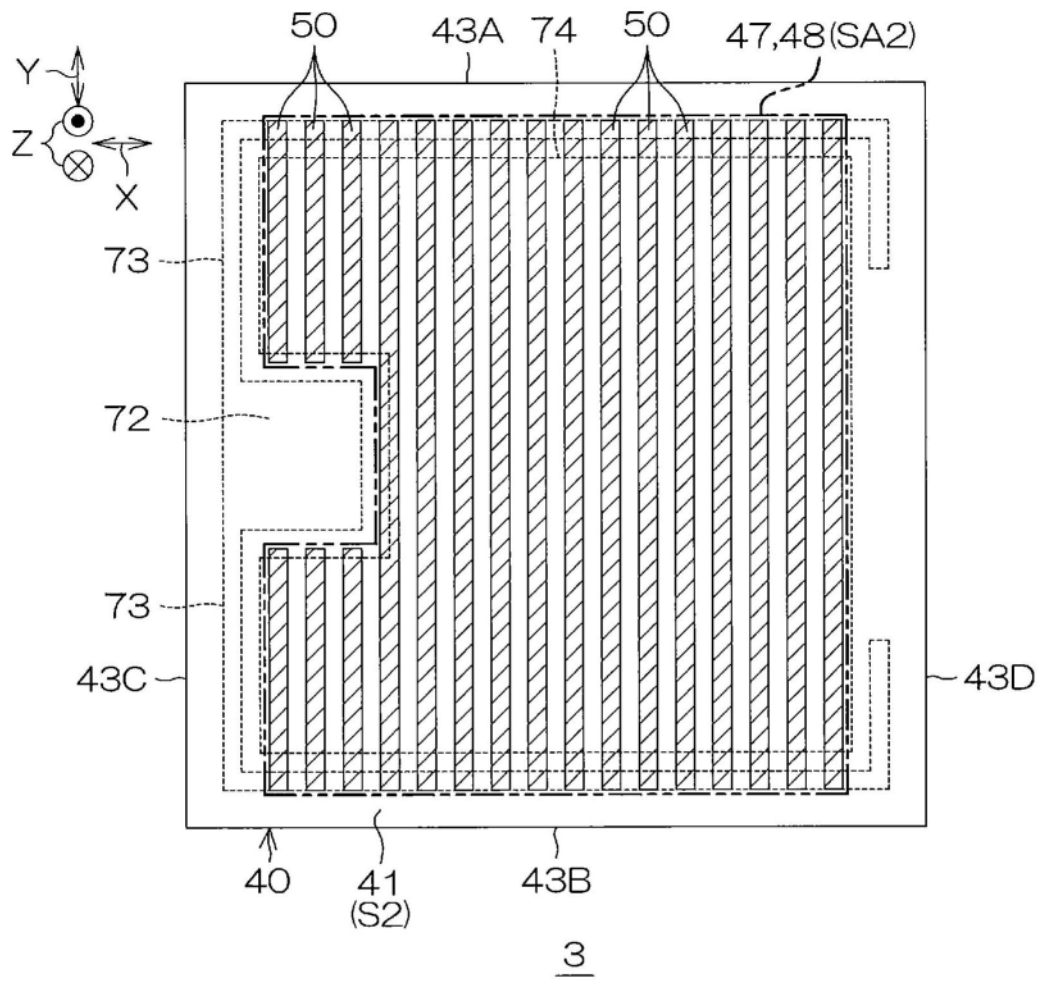


图9

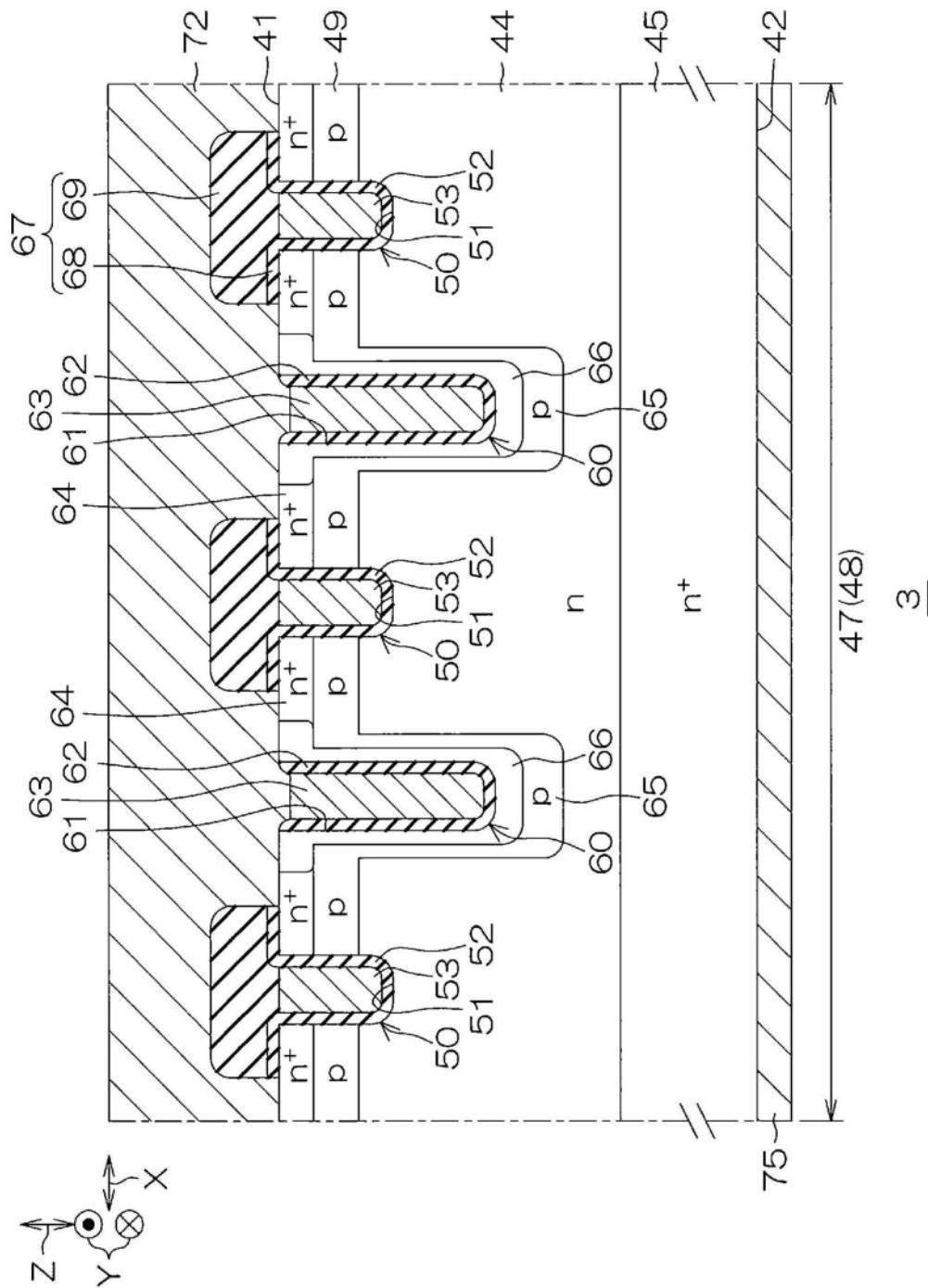


图10

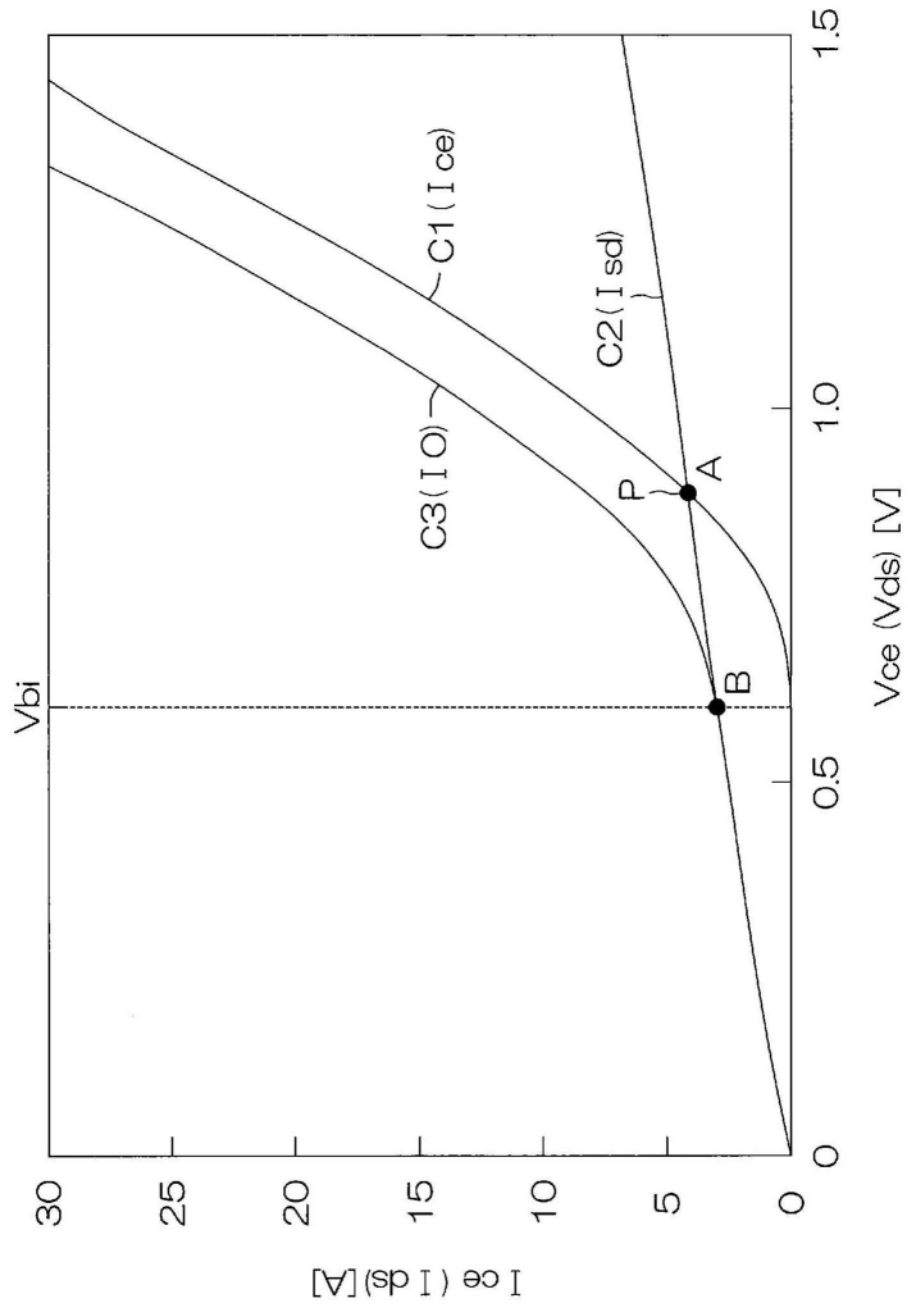


图11A

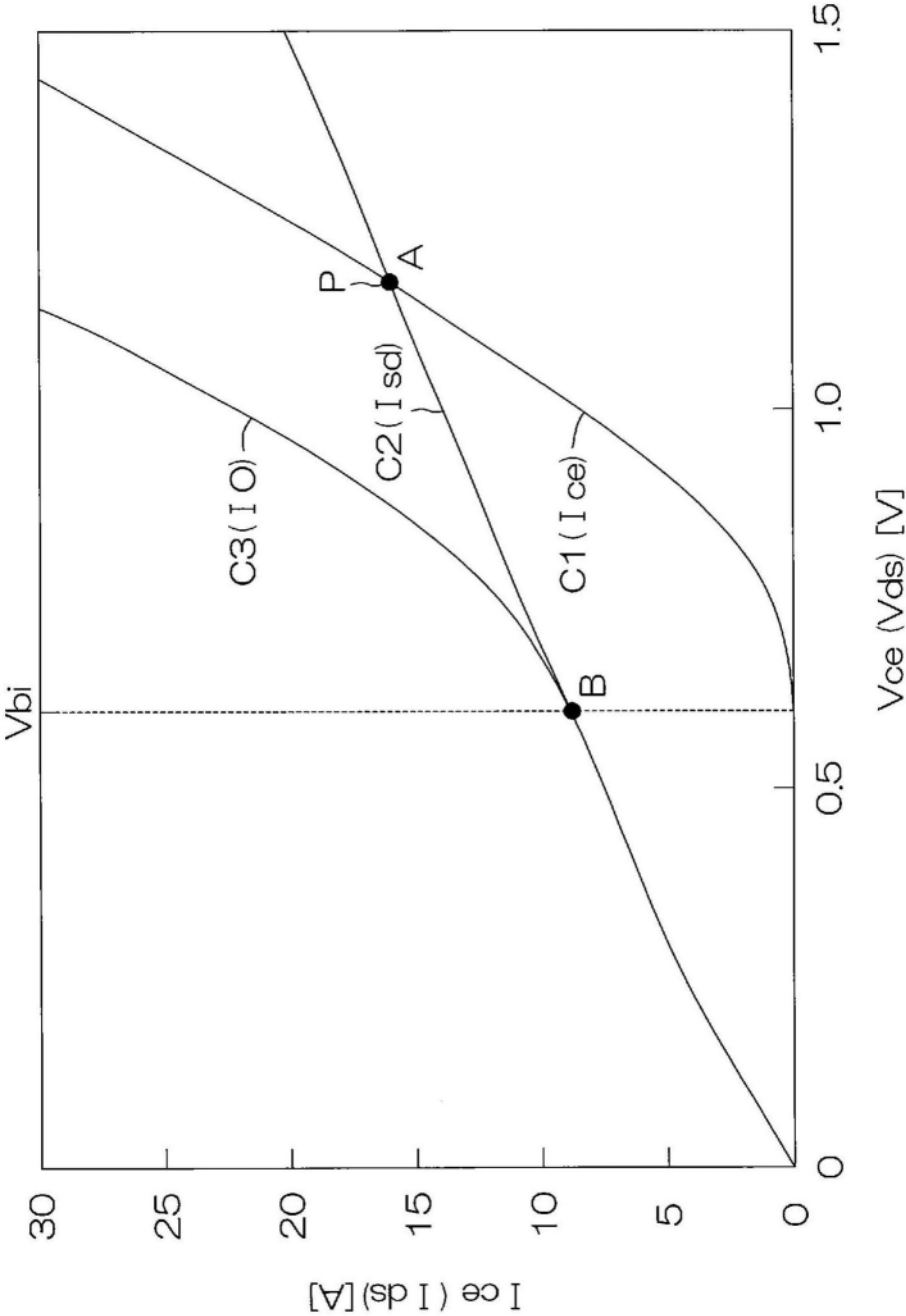


图11B

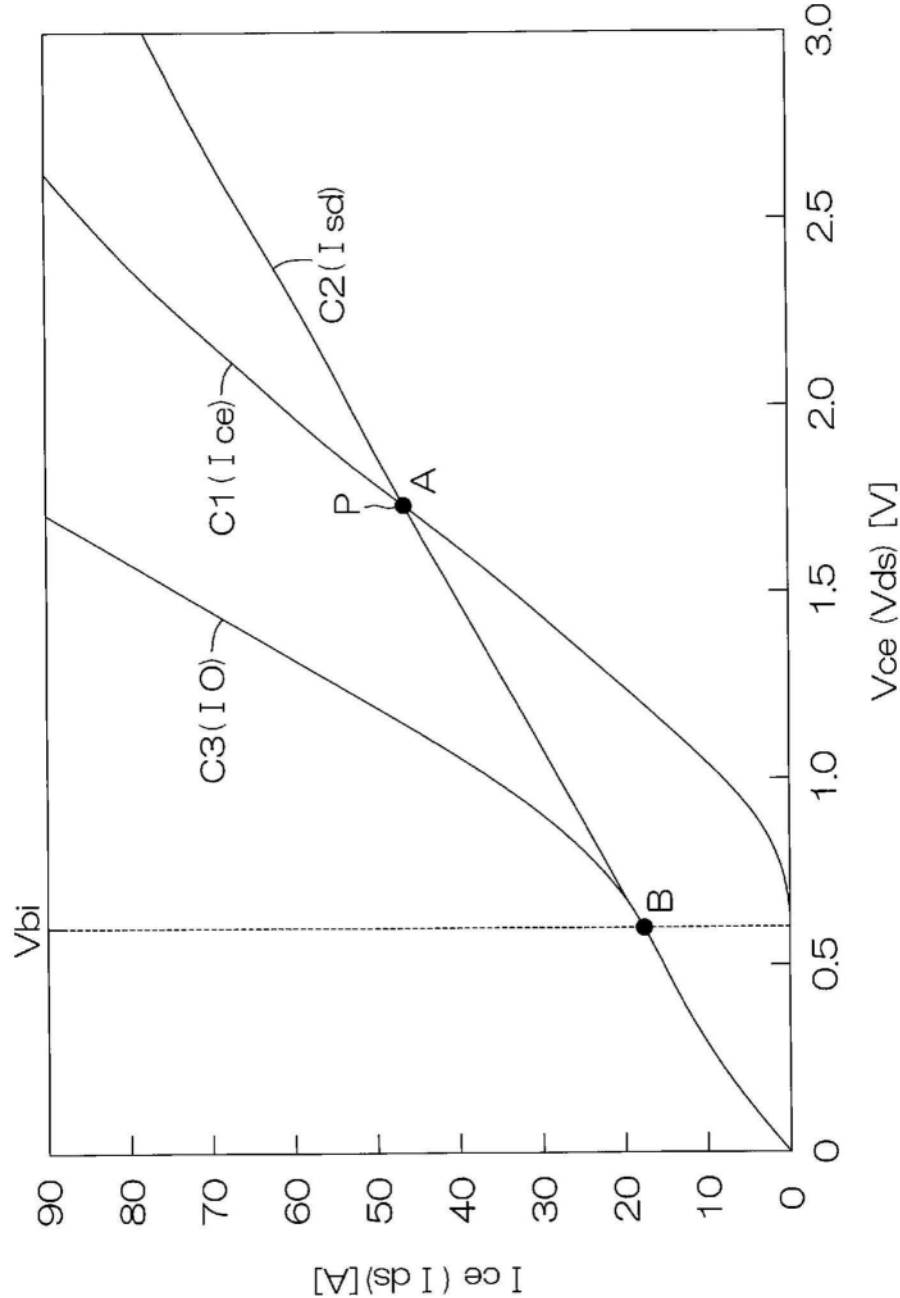


图11C

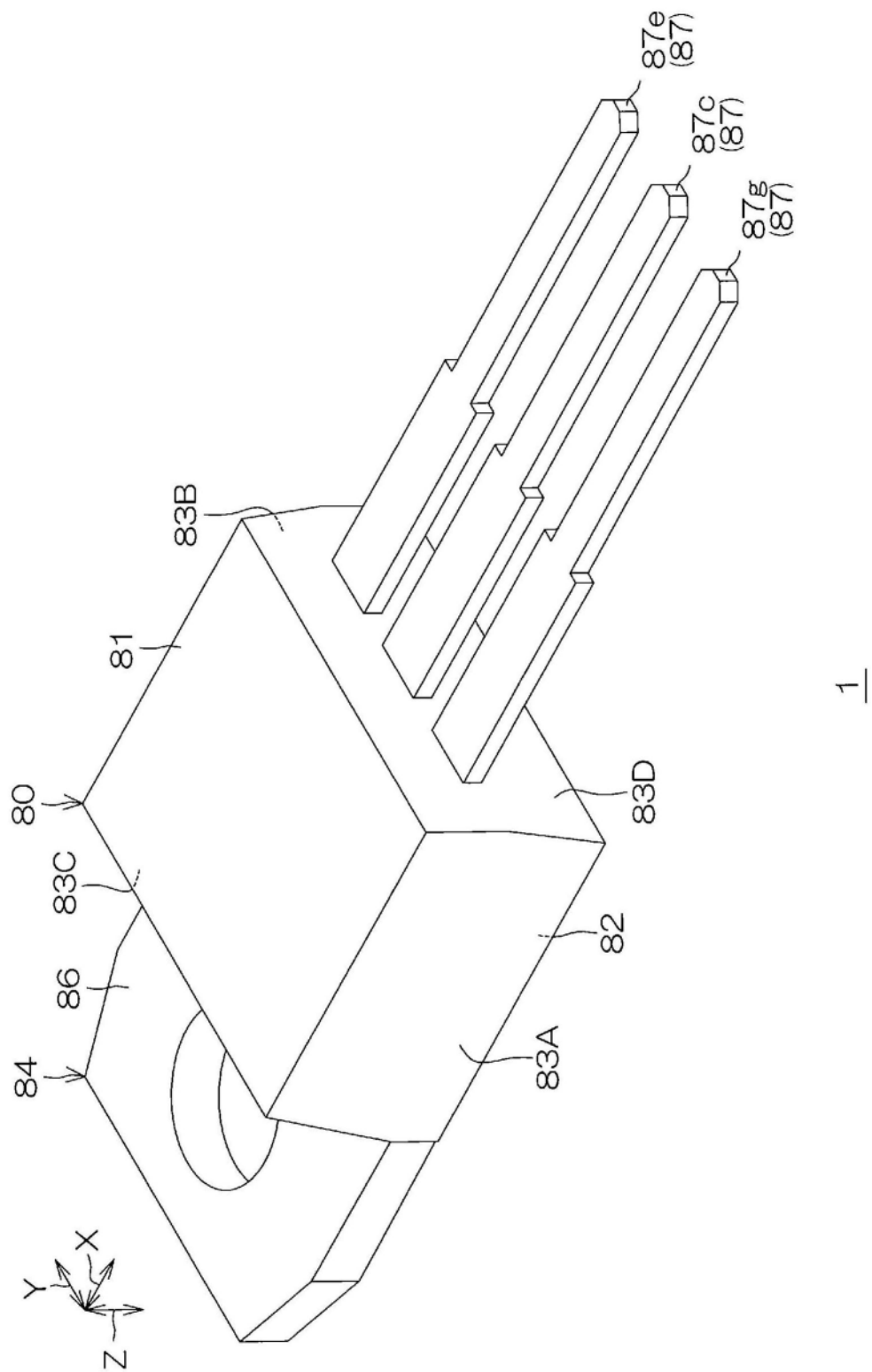


图12

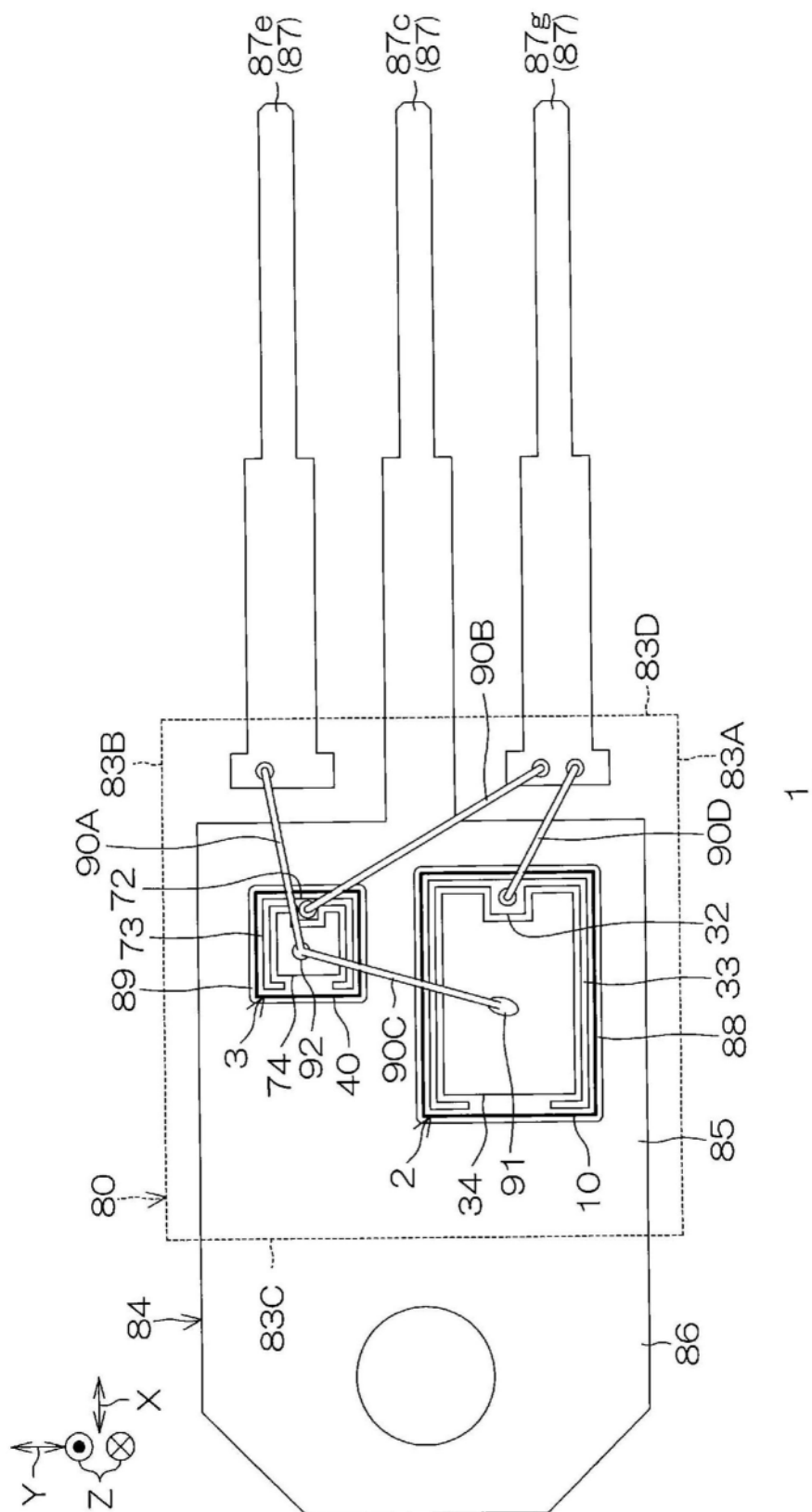


图13

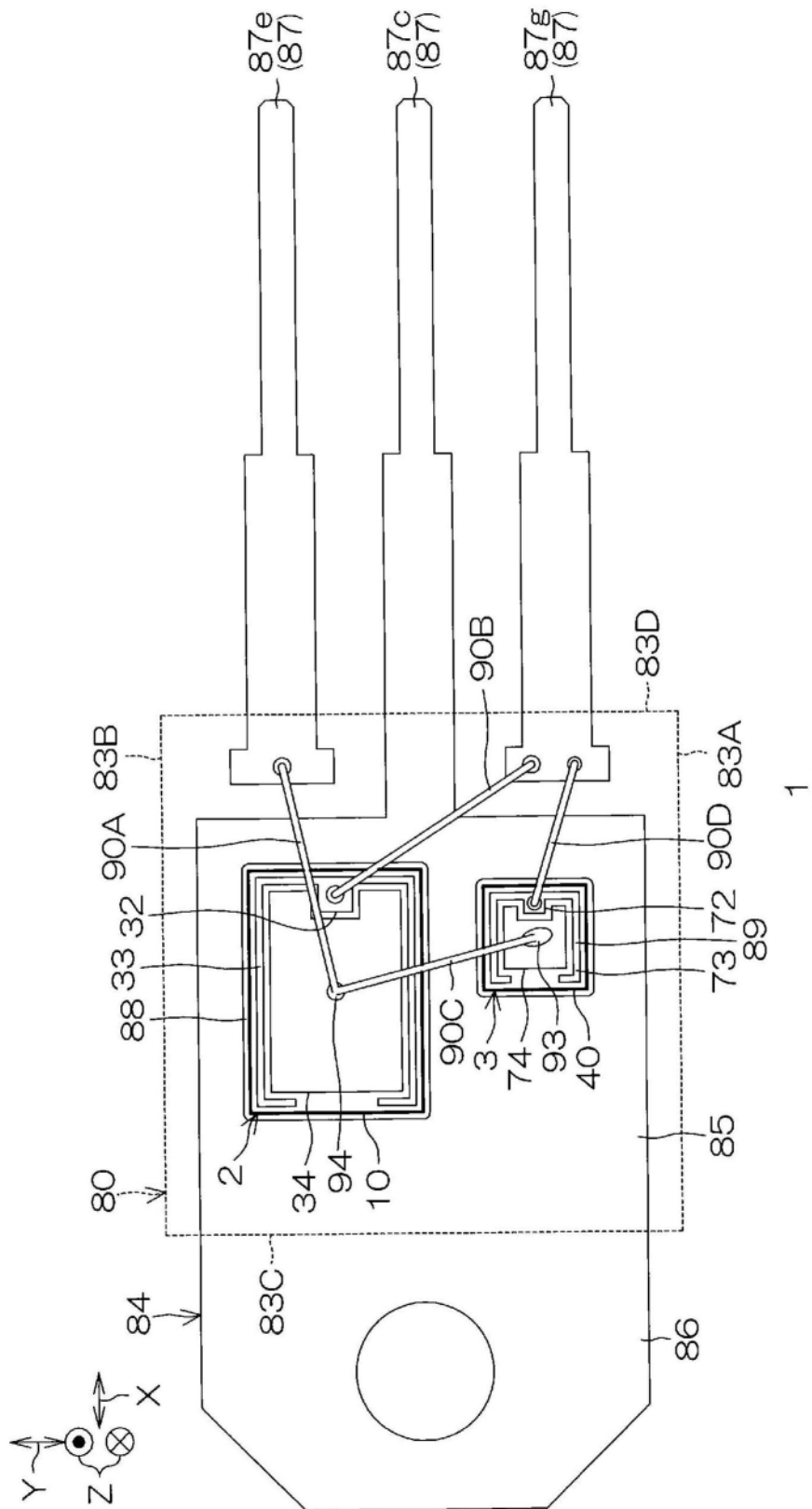


图14

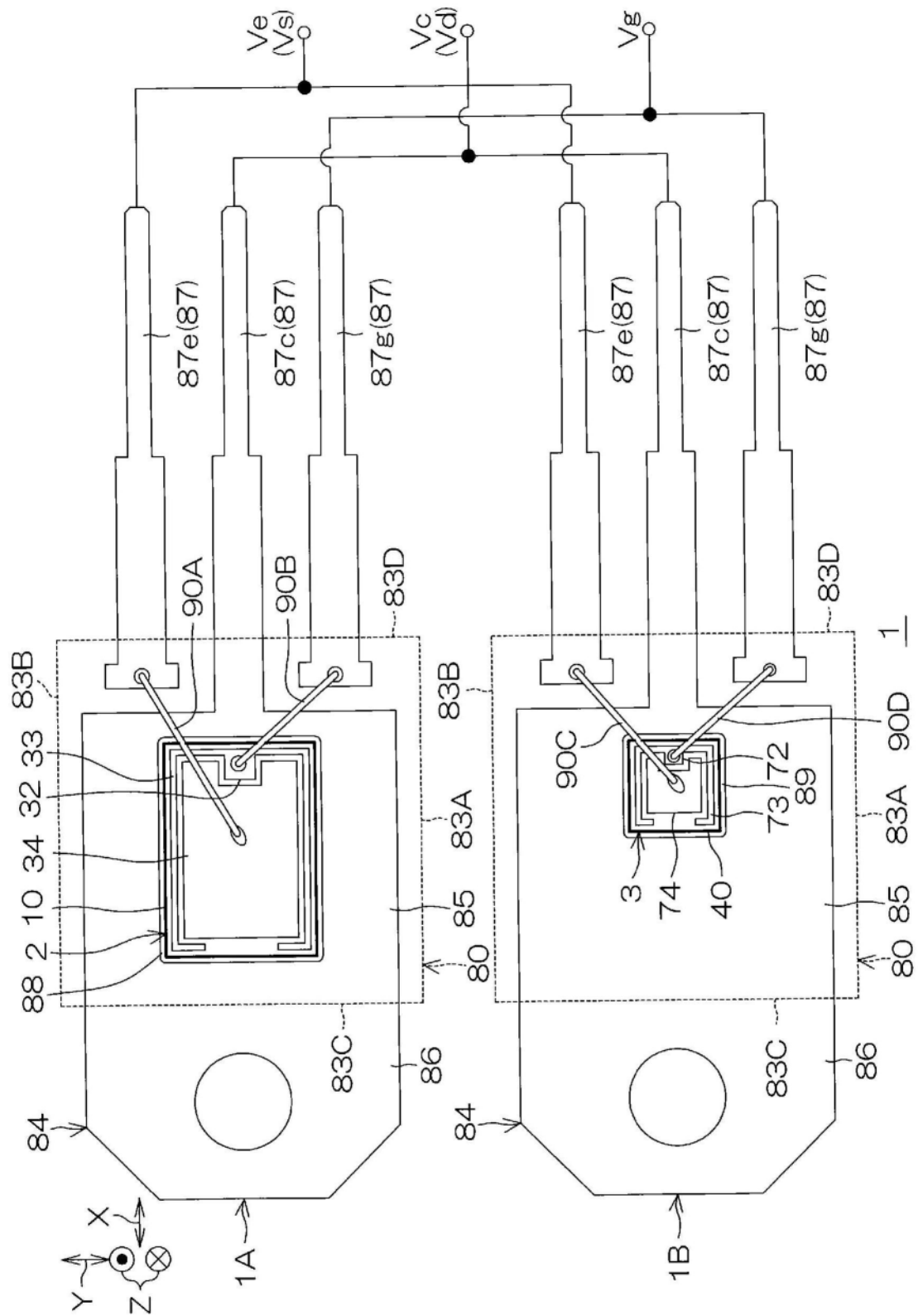


图15

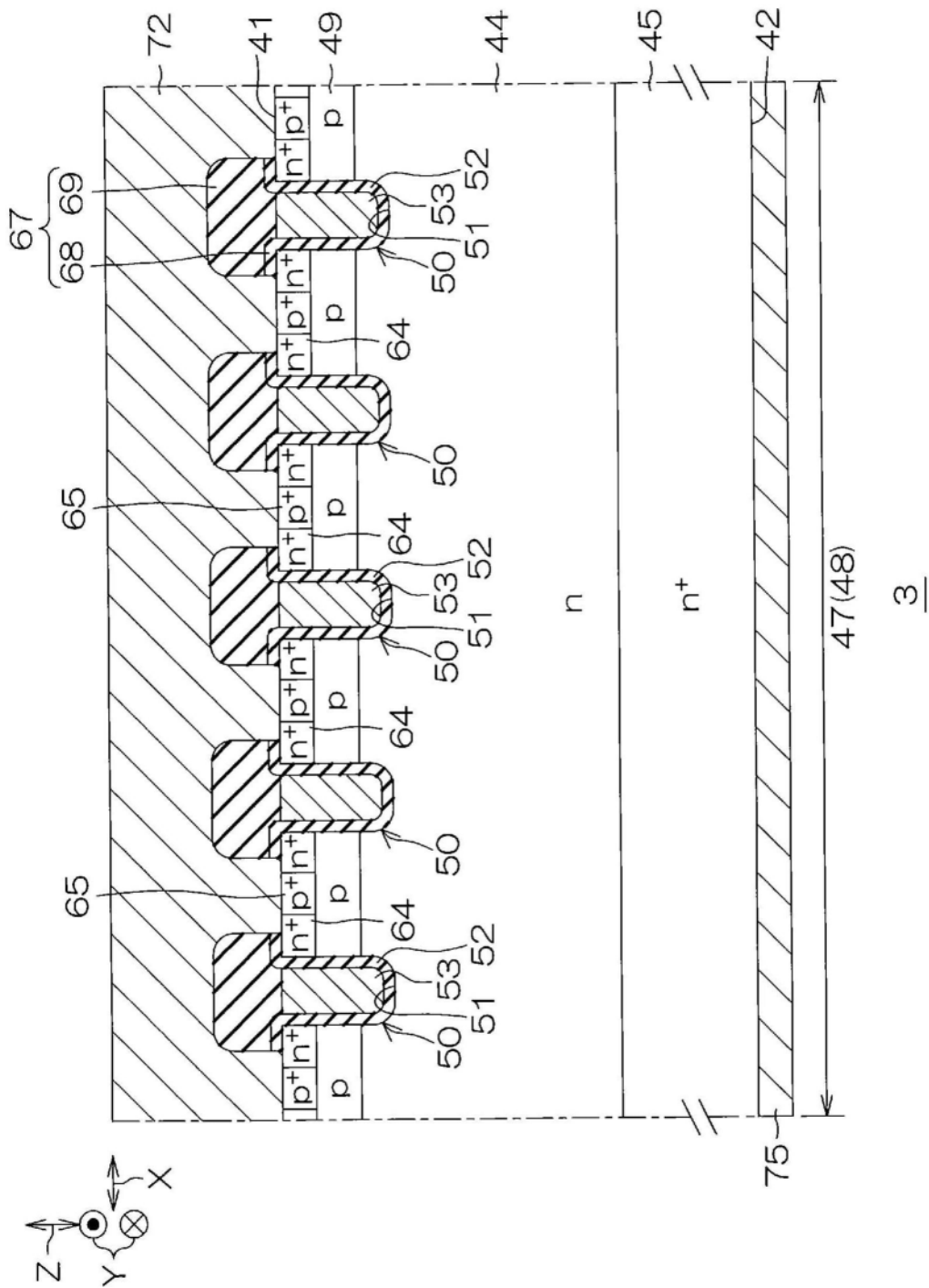


图18

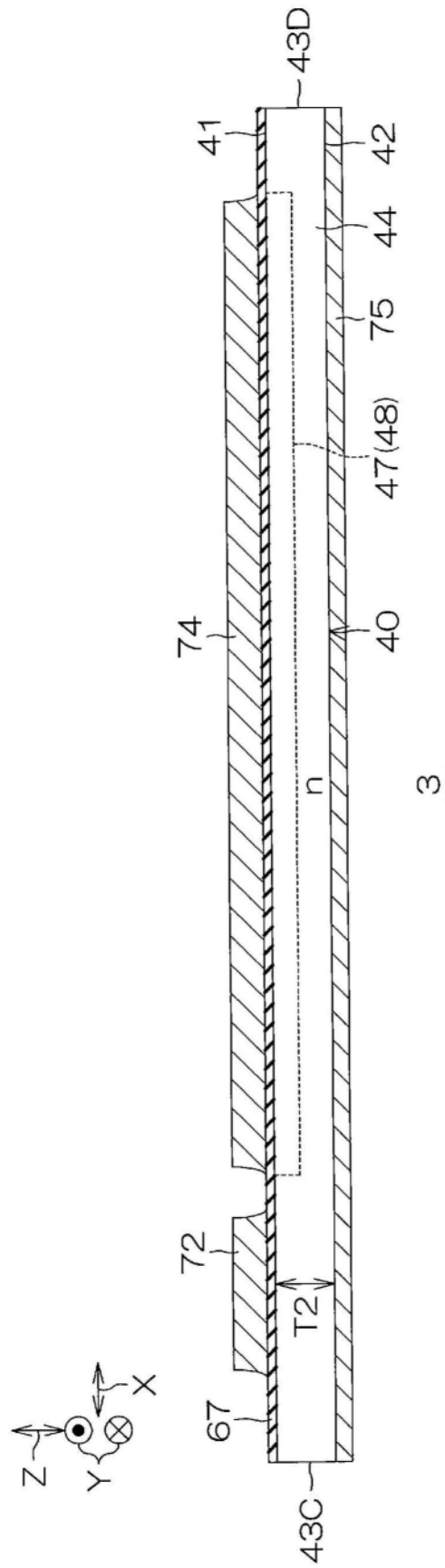


图20