(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4450454号
(P4450454)
(45)発行日　平成22年4月14日(2010.4.14)　(24)登録日　平成22年2月5日(2010.2.5)

(51)Int.Cl.　F I
H01L 31/10 (2006.01)　H01L 31/10　A

請求項の数 5　(全 10 頁)

(21)出願番号　特願平11-239661
(22)出願日　平成11年8月26日(1999.8.26)
(65)公開番号　特開2001-68718(P2001-68718A)
(43)公開日　平成13年3月16日(2001.3.16)
審査請求日　平成18年8月21日(2006.8.21)

(73)特許権者　308033711
ＯＫＩセミコンダクタ株式会社
東京都八王子市東浅川町５５０番地１
(74)代理人　100085419
弁理士　大垣　孝
(74)代理人　100141955
弁理士　岡田　宏之
(72)発明者　小林　尊信
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内

審査官　吉野　三寛

最終頁に続く

(54)【発明の名称】半導体受光素子

(57)【特許請求の範囲】
【請求項１】
第１導電型の基板の第１主表面に、第１導電型の光吸収層および第１導電型のウィンド層が順次に形成されていて、前記ウィンド層の一部領域に、前記ウィンド層と前記光吸収層との境界に達する第２導電型の拡散領域を具え、該拡散領域の周囲のウィンド層の上側に遮蔽膜積層体を具え、および、
前記遮蔽膜積層体は、遮光金属膜と絶縁膜とを積層して構成されていて、
前記遮光金属膜は、前記遮蔽膜積層体に含まれ、かつ、オーミック電極を介して前記ウィンド層と電気的に接続してある半導体受光素子において、
前記オーミック電極が、前記ウィンド層に接触してかつ前記拡散領域を囲むように設けられており、
前記第２導電型の拡散領域を囲む前記オーミック電極及び前記遮光金属膜間を電気的に接続して成る接続電極のパターンを形成する曲線パターンの一部に不連続部分が設けられ、該不連続部分が、非受光面に形成された第２導電型電極に最も近い位置に設けられ、
該不連続部分の上側には前記第２導電型電極を外部に接続するためのボンディングワイヤが設けられた構成とされている
ことを特徴とする半導体受光素子。
【請求項２】
請求項１に記載の半導体受光素子において、
前記基板をインジウムーリン系基板としたことを特徴とする半導体受光素子。

【請求項３】
請求項１に記載の半導体受光素子において、
前記オーミック電極および前記遮光金属膜間を電気的に接続して成る接続電極を更に具えることを特徴とする半導体受光素子。
【請求項４】
請求項３に記載の半導体受光素子において、
前記拡散領域上に該拡散領域に接触した第１主電極を具え、および、
前記接続電極および前記第１主電極が同じ導電性材料で形成されていることを特徴とする半導体受光素子。
【請求項５】
請求項１に記載の半導体受光素子において、
前記オーミック電極が、前記基板の縁近傍領域に当該基板の外周部に沿って設けられていることを特徴とする半導体受光素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体受光素子に関する。
【０００２】
【従来の技術】
従来の一般的な半導体受光素子（フォトダイオード）は、受光面に入射した光を、拡散領域の直下の光吸収層の空乏層に入射させて光電変換を行う。
【０００３】
このような半導体受光素子の一例が、文献Ｉ（特開平８－１８０８８号）に開示されている。文献Ｉの半導体受光素子によれば、受光面の周囲に設けられた遮光金属膜で以て受光面以外から入射した光を遮蔽できるため、迷光の発生が抑制できる。また、この遮光金属膜がオーミック電極を介してウィンド層と電気的に接続しているため、遮光金属膜による浮遊容量も発生しない。そのため、文献Ｉの技術を利用すると、優れた素子特性を有する半導体受光素子が実現できる。
【０００４】
【発明が解決しようとする課題】
ところで、半導体受光素子の形成プロセス或いは実用時においては、外力或いは応力等によって半導体受光素子の表面にクラックや欠けが生じることが知られている。そのため、文献Ｉに開示されたものに限らず一般的に、その形成プロセス或いはその実用時において、受光面の周囲の基板にクラックや欠けが生じることがあった。
【０００５】
例えば、ウェハにアレイ状に形成した複数の半導体受光素子を切断分離する素子分割プロセスでは、ダイシングやスクライビング等（以下、ダイシング等という。）が用いられる。一般的には、ウェハをウェハシート等に貼り付けた状態で切断する。ダイシング等でウェハを切断するときに切断面付近にクラックが発生すると、半導体受光素子の実用時にはこのクラックが伸長し拡散領域にまで達してしまうことがある。一般的な半導体受光素子において、拡散領域に生じたクラックは、素子特性を変化させたり素子不良を引き起こしたりする。その結果、上述した優れた素子特性が損なわれる。
【０００６】
また、文献Ｉの半導体受光素子では、例えば基板面の互いに対向する対角部分にオーミック電極が設けられるが、この基板面の対角部分が欠落することがあった。
【０００７】
このような欠落は、例えば、半導体受光素子の実装プロセス等において当該素子をピンセット等で取り扱うときに生じる。このとき、基板面の対向部分のオーミック電極が欠落してしまうと、遮光金属膜が電気的に浮遊してしまう。その結果、上述した優れた素子特性が損なわれる。

【０００８】
そのため、半導体受光素子の形成プロセス或いはその実用時において、クラックや欠け等に起因する素子特性劣化の少ない半導体受光素子が望まれていた。
【０００９】
【課題を解決するための手段】
したがって、この発明の半導体受光素子によれば、第１導電型の基板の第１主表面に、第１導電型の光吸収層および第１導電型のウィンド層が順次に形成される。この半導体受光素子は、ウインド層の一部領域にウィンド層と光吸収層との境界に達する第２導電型の拡散領域を具え、この拡散領域の周囲のウィンド層の上側に遮蔽膜積層体を具える。この遮蔽膜積層体は、遮光金属膜と絶縁膜とを積層して構成されている。また、遮光金属膜は、遮蔽膜積層体に含まれ、かつ、オーミック電極を介してウィンド層と電気的に接続してある。そして、このような半導体受光素子であって、オーミック電極が、ウィンド層に接触してかつ拡散領域を囲むように設けられている。
【００１０】
この構成によれば、遮蔽膜積層体に含まれる遮光金属膜がオーミック電極によってウィンド層と電気的に接続されていて、および、このオーミック電極が拡散領域を囲んでいるため、受光面以外から入射した光を受光面の周囲に設けられた遮光金属膜によって遮蔽するため、迷光の発生を抑制できる。また、この遮光金属膜がオーミック電極を介してウィンド層と電気的に接続しているため、遮光金属膜による浮遊容量も発生しない。すなわち、文献Ｉの半導体受光素子の優れた特性をそのまま実現できる。
【００１１】
特に、この構成ではオーミック電極がウィンド層に接触してかつ拡散領域を囲むように設けられているから、以下の▲１▼および▲２▼の作用効果が達成できる。
【００１２】
▲１▼素子分割プロセスやピンセット取り扱いプロセスにおいて、半導体受光素子の基板の切断面等の端部にクラックが発生しても、オーミック電極がウィンド層に接触した状態で形成されているため、クラックがオーミック電極の内側にまで達するのを抑制できる。なぜなら、オーミック電極を形成した基板の部分にはオーミック電極を形成する材料が拡散（一般に熱拡散である。）しているため、その部分の基板の強度が高くなっているためである。よって、この構成によれば、拡散領域にクラックが達しにくくなり、クラックに起因する素子特性劣化を抑制できる。
【００１３】
▲２▼例えば実装プロセスにおいて、素子の対角部分に設けられたオーミック電極が欠落しても、その部分以外のオーミック電極でウィンド層および遮光金属膜間の電気的導通を保持できるため、文献Ｉの半導体受光素子の優れた特性を劣化させることがない。したがって、この構成によれば、クラックや欠けに起因する素子特性劣化を抑制できる。
【００１４】
また、この発明の実施に当たっては、例えば、基板をインジウムーリン系基板とできる。
【００１５】
一般にインジウムーリン系基板は、広範囲の感光波長を実現できる点で有用であるが、材質的に弱いことが知られている。そのため、インジウムーリン系基板を利用した半導体受光素子では、クラックや欠け等が発生しやすく、上述のような素子特性劣化が著しい。しかしながら、上述の如くオーミック電極を設ければ、上述の▲１▼および▲２▼のように素子特性劣化を抑制できる。
【００１６】
また、この発明の実施に当たり、より好適には、オーミック電極および遮光金属膜間を電気的に接続して成る接続電極を更に具えるのが望ましい。
【００１７】
オーミック電極および遮光金属膜を直に接続する場合、オーミック電極形成時のステップカバレージ不良によりそれらの間に接続不良を生じることがある。しかしながら、このよ

うに、接続電極を介してオーミック電極および遮光金属膜を接続すると、接続不良が生じにくくなる。

【００１８】

また、この拡散領域上に拡散領域と接触した第１主電極を具え、および、上述の接続電極は第１主電極と同じ導電性材料で形成されているのが望ましい。これら接続電極および第１主電極を同じ材料で形成する場合には、第１接続電極および第１主電極を同一プロセスにて形成できる。よって、特にプロセスを付加することなく、接続電極を第１主電極と同時に形成できる。したがって、製造時間が短縮できる。

【００１９】

また、この発明の実施に当たり、より好適には、オーミック電極が、基板の縁近傍領域に当該基板の外周部に沿って設けられているのが良い。

【００２０】

このようにすれば、基板の外周部から発生し易いクラックを少なくとも基板の縁近傍領域のみにとどめて、拡散領域はもとよりそれ以外の領域でもクラックが発生しにくくなる。

【００２１】

【発明の実施の形態】

以下、図を参照して、この発明の半導体受光素子の実施の形態につき説明する。なお、この説明に用いる各図は、これら発明を理解できる程度に各構成成分の形状、大きさおよび配置関係を概略的に示してあるに過ぎない。また、各図において同様な構成成分については、同一の番号を付して示し、その重複する説明を省略することがある。また、以下で述べる使用装置、使用材料或いは数値条件等は、この発明の範囲に含まれる一例に過ぎず、この発明はこれらに限定されない。なお、図においては断面を示すハッチングを一部省略して示してある。

【００２２】

図１は、実施の形態の半導体受光素子（図示例はプレーナ型フォトダイオードを示す。）を概略的に示した平面図である。ただし、図１では半導体受光素子をその受光面に垂直な方向に視点を置く。なお、説明の便宜上、半導体受光素子の内部にある要素の一部を破線で示す。また、図２は、図１の半導体受光素子の要部断面の斜視図である。なお、図２では受光面に垂直な面内の断面を示してあるが、遮蔽膜積層体の詳細な構造については省略して示してある。また、図３は、遮蔽膜積層体の構造を説明するために、図１のＡ－Ａ線に沿った断面の切り口を拡大して模式的に示す図である。ただし、図を分かりやすくするために図３の各部分は実際の寸法と異ならせて、特に基板面に平行な方向が短くなるように示してある。

【００２３】

以下、図１、図２および図３を参照して実施の形態の半導体受光素子につき説明する。

【００２４】

図２に示すように、半導体受光素子１１は、第１導電型（ｎ型）のＩｎＰ基板１３の第１主表面１３ａの上に、第１導電型の各層、すなわち、n^-－ＩｎＰのバッファ層１５、n^-－ＩｎＧａＡｓの光吸収層１７およびn^-－ＩｎＰのウィンド層１９の積層体を具える。この積層体は、通常の結晶成長法により形成できる。このウィンド層１９は、その一部領域に、ウィンド層１９と光吸収層１７との界面に達する第２導電型の拡散領域としてのp^+拡散領域２１を有している。このp^+拡散領域２１は、ウィンド層１９に例えば亜鉛（Ｚｎ）またはカドミウム（Ｃｄ）を選択的に拡散して形成される。

【００２５】

このp^+拡散領域２１の一部の領域は、光を入射させるための受光面２１ａとなっていて、一般的にこの面には反射防止膜２３が形成される。また、p^+拡散領域２１の別の一部の領域は非受光面２１ｂとなっていて、この非受光面２１ｂには第１主電極としてのｐ型電極２７が、p^+拡散領域２１上にp^+拡散領域２１に接触して設けられる。なお、基板１３の第２主表面１３ｂにはｎ型電極２９が設けられる。

【００２６】

図２に示すように、ｐ$^+$ 拡散領域２１の周囲のウィンド層１９の上側には遮蔽膜積層体２５が設けられている。図１に示すように、この実施の形態では、ｐ$^+$ 拡散領域２１の受光面２１ａは平面パターンで円形であり、また、非受光面２１ｂはこの受光面２１ａに同一面内で隣接していて、三日月状の平面パターンとして形成されている。

【００２７】

図３には、この遮蔽膜積層体２５の切り口を拡大した部分について、模式的に示してある。この遮蔽膜積層体２５は、遮光金属膜３１と絶縁膜３３とが積層した構造を有する。この遮光金属膜３１は、遮蔽膜積層体２５の一構成部分として含まれていて、例えば図３に示すように絶縁膜３３に上下の両面を覆われている。すなわち、この遮光金属膜３１は絶縁膜３３でサンドウィッチ状に挟持されている。

【００２８】

文献Ｉに示されているように、この遮光金属膜３１が電気的に浮遊していると、素子の容量が増加するため、素子の応答速度を低下させてしまう。しかしながら、オーミック電極３５を設けると、これを抑制することができる。

【００２９】

また、この遮光金属膜３１は、オーミック電極３５を介してウィンド層１９と電気的に接続される。この絶縁膜３３としては、例えばシリコン窒化膜（ＳｉＮ膜）が利用できる。

【００３０】

特に図３に示す構成例では、接続電極３７が、オーミック電極３５および遮光金属膜３１間を電気的に接続してある。図３に示すように、サンドウィッチ状の絶縁膜３３を形成したのちオーミック電極３５を形成する場合には、絶縁膜３３および遮光金属膜３１が階段状に積層する段差部分３３ａで、オーミック電極３５の形成材料のステップカバレージ不良が発生しやすい。一般的に、段差部分３３ａでステップカバレージ不良によるコンタクトの不良が発生すると、遮光金属膜３１が電気的に浮遊してしまう。そのため、ここではオーミック電極３５および遮光金属膜３１を形成したのち、比較的ステップカバレージ特性が良好な形成材料で接続電極３７を形成する。これにより、オーミック電極３５および遮光金属膜３１間の電気的接続をより確実なものとすることができる。このオーミック電極３５および接続電極３７の膜厚は、例えばそれぞれ５００Åおよび５０００Å程度にできる。また、例えば、接続電極３７を金（Ａｕ）で形成する場合には、オーミック電極は金（Ａｕ）および亜鉛（Ｚｎ）の合金で形成すると容易にオーミック接触を実現できる。このとき、遮光金属膜３１は例えばチタン（Ｔｉ）で形成する。

【００３１】

なお、接続電極３７をｐ型電極２７と同一導電性材料で形成する場合には、接続電極３７およびｐ型電極２７を同一プロセスで形成できるため好適である。例えば、この接続電極３７およびｐ型電極２７を金（Ａｕ）で形成することができる。

【００３２】

図１に示すように、実施の形態の半導体受光素子１１では、オーミック電極３５が基板１３のウィンド層に接触した状態で、かつ、ｐ$^+$ 拡散領域２１を囲むように設けられている。図１では、基板１３の上側の領域であって受光面２１ａおよび非受光面２１ｂ以外の領域は、遮蔽膜積層体２５に覆われているため、この領域には絶縁膜３３が最表層として露出している。

【００３３】

文献Ｉに示されているように、オーミック電極３５は、ｐ$^+$ 拡散領域２１の周囲に形成される空乏層の幅ｄｗよりも、ｐ$^+$ 拡散領域２１から離れた位置に設けてあるのが望ましい。このようにすれば、ｐ$^+$ 拡散領域２１およびオーミック電極３５間で短絡が生じにくくなる（図３参照）。

【００３４】

図４は、以上のような構造を有する複数の半導体受光素子１１をアレイ状に形成したウェハの正面図である。図４中のカット領域ｃａでダイシングカットを行う。図４のウェハ４１を各素子毎に分離するための素子分割プロセスにおいては、各素子の縁近傍領域３９に

クラック４０が発生し易い。しかしながら、上述のように、少なくともｐ$^+$ 拡散領域２１を囲むようにオーミック電極３５を設けてあるため、クラックが広がってこの領域２１にまで達することを抑制できる。

【００３５】

特に図１に示す例では、基板１３の縁近傍領域３９にオーミック電極３５を設けているため、基板の外周部から発生し易いクラックを少なくとも基板の縁近傍領域３９のみにとどめることができ、ｐ+ 拡散領域２１はもとより、それ以外の基板１３の領域（すなわち、縁近傍領域３９の内側の領域）にも、クラックが発生しにくくなる。ただし、図１では図３等に示す接続電極３７を省略して示してある。

【００３６】

また、一般的な半導体受光素子は、その実装プロセスにおいてピンセット等で扱われる。先に述べたように、このとき半導体受光素子の一部が欠けてしまう場合がある。この半導体受光素子が例えば文献Ｉに記載されたものである場合には、オーミック電極が欠落し、素子容量を増加させてしまう場合があった。しかしながら、この実施の形態の半導体受光素子１１では、基板１３の一部が欠けてその部分のオーミック電極３５が欠落しても、非欠落部分のオーミック電極３５で以て遮光金属膜３１との電気的接続を維持できる。

【００３７】

また、例えばこの半導体受光素子１１の実装後に、基板のひずみ等によってこのようなクラックが生じても、少なくともｐ$^+$ 拡散領域２１には達しにくくなる。

【００３８】

特にこの実施の形態ではインジウムーリン（ＩｎＰ）基板を用いている。インジウムーリン基板は、材質的に弱いことが知られており、クラックや欠けが発生し易い。しかしながら、上述のように構成すれば、クラックや欠けの発生或いは広がりを抑制できるため好適である。

【００３９】

図５（Ａ）および図５（Ｂ）は、プレーナ型フォトダイオードの具体的な構造を概略的に示した平面図である。なお、図５では、便宜上、接続電極の下側のオーミック電極３５が現れるように示してある。図５（Ａ）および図５（Ｂ）のプレーナ型フォトダイオード５５ａおよび５５ｂでは、オーミック電極３５が、基板１３の縁近傍領域３９のみに当該基板１３の外周部に沿って設けられている。ただし、オーミック電極３５は、接続電極３７の下に接触して設けられている。

【００４０】

図５（Ａ）のプレーナ型フォトダイオード５５ａでは、オーミック電極３５による電極パターンを形成する曲線パターンに、一つの不連続部分５７を設けてある。図５（Ａ）に示すように、この不連続部分５７をｐ型電極（非受光面２１ｂに形成されている。）に最も近い位置に設けるのが望ましい。この不連続部分５７の上側にはｐ型電極を外部に接続するためのボンディングワイヤ等が設けられる。そのため、もしボンディングワイヤ等が折れても、接続電極３７と短絡しにくくなる。

【００４１】

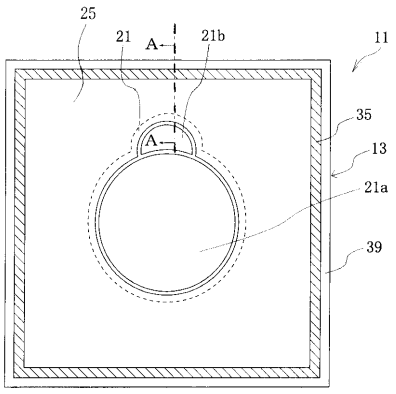
また、図５（Ｂ）のプレーナ型フォトダイオード５５ｂでは、オーミック電極３５による電極パターンを形成する閉曲線パターンに、二つの不連続部分５７ａおよび５７ｂを設けてある。この構成例でも、不連続部分５７をｐ型電極に最も近い位置に設けるのが望ましい。

【００４２】

なお、以上説明した実施の形態の半導体受光素子は、ＩｎＰ系の化合物半導体受光素子以外に様々なものに適用できる。また、遮光金属膜をモリブデン（Ｍｏ）で形成する等、上述した以外の材料を利用して半導体受光素子を形成できる。また、この発明の半導体受光素子は、ＰＩＮフォトダイオード、アバランシェフォトダイオード或いはその他のフォトダイオードに適用できる。典型的にはプレーナ型フォトダイオードに利用し易いが、端面受光型のものにも利用できる。

【００４３】
【発明の効果】
上述した説明から明らかなように、この発明の半導体受光素子によれば、オーミック電極が、ウィンド層に接触してかつ拡散領域を囲むように設けられているため、文献Ｉの半導体受光素子の優れた特性を損なうことなく、クラックがオーミック電極の内側にまで達するのを抑制できる。よって、拡散領域にクラックが達しにくくなり、クラックに起因する素子特性劣化を抑制できる。また、基板に欠けが発生することにより、例えば素子の対角部分に設けられたオーミック電極が欠落しても、素子特性が劣化しにくくなる。
【図面の簡単な説明】
【図１】実施の形態の半導体受光素子（プレーナ型フォトダイオード）を概略的に示した平面図である。
【図２】図１の半導体受光素子の要部断面の斜視図である。
【図３】遮蔽膜積層体の構造を説明するために図１のＡ－Ａ線に沿った断面の切り口を拡大して模式的に示す図である。
【図４】複数の実施の形態の半導体受光素子をアレイ状に形成したウェハの正面図である。
【図５】プレーナ型フォトダイオードの具体的な構造を概略的に示した平面図である。
【符号の説明】
１１：半導体受光素子
１３：ＩｎＰ基板
１３ａ：第１主表面
１３ｂ：第２主表面
１５：n^-－ＩｎＰのバッファ層
１７：n^-－ＩｎＧａＡｓ光吸収層
１９：n^-－ＩｎＰのウィンド層
２１：p^+ 拡散領域
２１ａ：受光面
２１ｂ：非受光面
２３：反射防止膜
２５：遮蔽膜積層体
２７：ｐ型電極
２９：ｎ型電極
３１：遮光金属膜
３３：絶縁膜
３３ａ：段差部分
３５：オーミック電極
３７：接続電極
３９：縁近傍領域
４０：クラック
４１：ウェハ
５５ａ、５５ｂ：プレーナ型フォトダイオード
５７：不連続部分

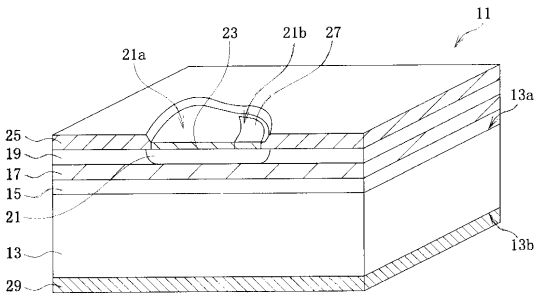
【図１】



11:半導体受光素子　13:基板
21:p⁺拡散領域　21a:受光面
21b:非受光面　25:遮蔽膜積層体
35:オーミック電極　39:縁近傍領域

実施の形態の半導体受光素子の平面図

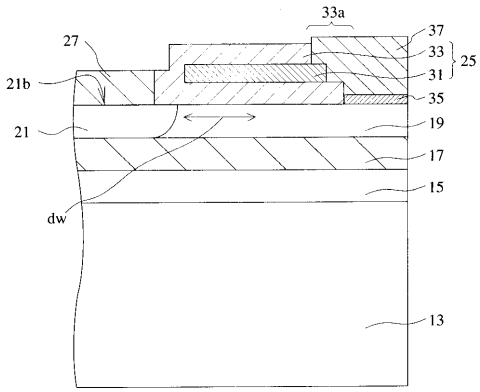
【図２】



11：半導体受光素子　13：基板　13a：第１主表面　13b：第２主表面
15：ｎ⁻－ＩｎＰバッファ層　17：ｎ⁻－ＩｎＧａＡｓ光吸収層
19：ｎ⁻－ＩｎＰウィンド層　21：ｐ⁺拡散領域　21a：受光面
21b：非受光面　23：反射防止膜　25：遮蔽膜積層体
27：ｐ型電極　29：ｎ型電極

半導体受光素子の要部断面の斜視図

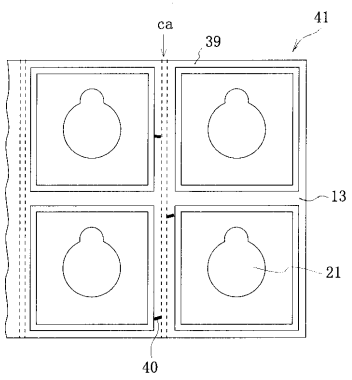
【図３】



31：遮光金属膜　33：絶縁膜　33a：段差部分
37：接続電極　dw：空乏層の幅

遮蔽膜積層体の構造を説明するための断面図

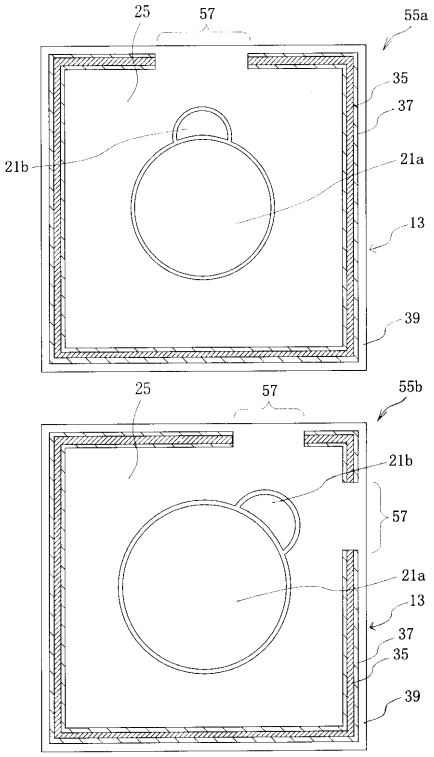
【図４】



40：クラック　41：ウェハ　ca：カット領域

複数の半導体受光素子をアレイ状に形成したウェハの正面図

【図５】



57：不連続部分

プレーナ型フォトダイオードの具体的構造を示す図

フロントページの続き

(56)参考文献 特開平０８－０６４８５５（ＪＰ，Ａ）
特開平０９－０６４４０５（ＪＰ，Ａ）
特開平０８－０１８０８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
IPC H01L 31/10～31/111