

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5244908号
(P5244908)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.

F I

HO 1 L 21/336 (2006.01)
 HO 1 L 29/786 (2006.01)
 HO 1 L 21/8234 (2006.01)
 HO 1 L 27/088 (2006.01)
 HO 1 L 21/8238 (2006.01)

HO 1 L 29/78 6 1 6 L
 HO 1 L 27/08 1 0 2 B
 HO 1 L 27/08 3 2 1 C
 HO 1 L 27/08 3 3 1 E
 HO 1 L 29/78 6 1 6 T

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2010-514849 (P2010-514849)
 (86) (22) 出願日 平成20年6月30日(2008.6.30)
 (65) 公表番号 特表2010-532571 (P2010-532571A)
 (43) 公表日 平成22年10月7日(2010.10.7)
 (86) 国際出願番号 PCT/US2008/008150
 (87) 国際公開番号 W02009/005785
 (87) 国際公開日 平成21年1月8日(2009.1.8)
 審査請求日 平成22年6月2日(2010.6.2)
 (31) 優先権主張番号 102007030053.2
 (32) 優先日 平成19年6月29日(2007.6.29)
 (33) 優先権主張国 ドイツ(DE)
 (31) 優先権主張番号 12/027,583
 (32) 優先日 平成20年2月7日(2008.2.7)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペール、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100108833
 弁理士 早川 裕司
 (74) 代理人 100132207
 弁理士 太田 昌孝

最終頁に続く

(54) 【発明の名称】 ドレインおよびソース領域にリセスを形成することによってトランジスタの接合容量を低減する
 方法

(57) 【特許請求の範囲】

【請求項1】

トランジスタのゲート電極構造をエッチマスクとして使用して第1エッチングプロセス
 を実行することによって、前記トランジスタの半導体領域に第1リセスを形成するステッ
 プと、

前記ゲート電極構造を注入マスクとして使用して第1イオン注入プロセスを実行するこ
 とによって、前記半導体領域にドレインおよびソース拡張領域を形成するステップと、

前記ゲート電極構造のサイドウォールにスペーサ構造を形成するステップと、

前記スペーサ構造を形成後、第2エッチングプロセスを実行し、前記半導体領域に複数
 の第2リセスを形成するようにするステップと、

前記スペーサ構造を注入マスクとして使用して、前記半導体領域下方に設けられる埋め
 込み絶縁層にまで及ぶドレインおよびソース領域を形成するために、前記第1リセスに第
 2イオン注入プロセスを実施するステップと、

前記ドレインおよびソース領域のドーパントを活性化させるためにアニールプロセスを
 実行するステップと、

前記トランジスタのチャネル領域に歪みを誘起させるように、前記第1イオン注入プロ
 セスを実施する前に前記第1リセスに歪み半導体材料を形成するステップと、を含み、前
 記歪み半導体材料の形成ステップにおいて、前記半導体領域に圧縮歪み半導体材料と引張
 歪み半導体材料のうちの少なくとも一方が形成される、方法。

【請求項2】

前記アニールプロセスは、実効照射時間が約 1 秒かそれ未満の、照射によるアニールステップを含む、請求項 1 記載の方法。

【請求項 3】

前記アニールプロセスは、前記トランジスタの横方向の実効チャンネル長を調整するように設計されているアニールステップを含む、請求項 1 記載の方法。

【請求項 4】

前記第 2 イオン注入プロセスを実行する前に、前記拡張領域をアニールするように設計された拡張アニールプロセスを実行するステップと、

前記ゲート電極構造の電極部の上面の上方にキャップ層を形成し、前記第 1 エッチングプロセスを実行する際に前記キャップ層をエッチングマスクとして用いるステップとをさらに含む、請求項 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

概して、本発明は、集積回路の製造に関し、より詳細には、SOI 構造の MOS トランジスタ構造などの、接合容量が低減された高濃度にドーパされたジャンクションを有する非常に高度な電解効果トランジスタの製造技術に関する。

【背景技術】

【0002】

集積回路の製造プロセスは、個々の回路素子の加工寸法を縮小するという継続的な努力がもたらす様々な方法で改良が続けられている。シリコン基板は入手が容易であり、さらに、過去数十年にわたって開発されている十分に確立されたプロセス技術により、集積回路の大半は、現在及び予測可能な将来においてはシリコンデバイスをベースとしており、これからもシリコンデバイスがベースとして用いられていくであろう。

記録密度が改良され、さらに高性能の集積回路を開発するうえでの主要な問題となるのは、最新の CPU やメモリデバイスの製造に必要とされうる非常に多くのトランジスタ素子を設けるために、MOS トランジスタ素子などのトランジスタ素子を縮小することである。縮小した電界効果トランジスタを製造する際の 1 つの重要な態様として、トランジスタのソース及びドレイン領域を分離する導電性チャンネルの形成を制御するゲート電極の長さを縮小することが挙げられる。

トランジスタ素子のソース及びドレイン領域は、基板あるいはウェル領域などの、周囲の結晶活性領域のドーパントとは逆の導電型のドーパントを含む導電性の半導体領域である。

【発明の概要】

【発明が解決しようとする課題】

【0003】

高速なトランジスタ素子を小型化し、さらに高速化するにはゲート長を縮小することが必要であるが、縮小されたゲート長のトランジスタ性能を適切に維持するには複数の問題がさらに生じることが明らかである。この点において 1 つの難題として、少なくともチャンネル領域近傍の領域に、つまり、ソースおよびドレイン拡張領域にシャロージャンクション領域を設けることが挙げられる。この領域は高導電性を示し、よって、チャンネルからドレインおよびソース領域の各々の接触領域への電荷キャリアを導通させる際の抵抗を最小に抑えることができる。一般に、高導電性のシャロージャンクションに対する必要要件は、プロファイルが横方向と深さとで変化する高ドーパント濃度を得るようにイオン注入シーケンスを実施することで満たされる。しかし、結晶基板領域に高用量のドーパントを導入することにより、結晶構造が大きく損傷してしまう。従って、ドーパントを活性化するために、つまり、ドーパントを結晶サイトに置くために、また、大きく損傷した結晶を回復させるために、1 回以上のアニールサイクルが必要とされる。

【0004】

しかし、ドーパントを電氣的に活性化させるアニールサイクル能力により電氣的に有効

10

20

30

40

50

なドーパント濃度が制限されてしまう。また、このアニールサイクル能力は、シリコン結晶中のドーパントの固溶度と、プロセス要件に対応するアニールプロセスの温度および継続時間によっても制限されてしまう。更に、アニーリングの間、ドーパントが活性化されて結晶の損傷が回復される以外に、ドーパントの拡散も生じてしまい、これによりドーパントプロファイルが「不明瞭（ブラーリング：blurring）」なものになってしまうおそれがある。トランジスタのクリティカルな特性（例えば、拡張領域とゲート電極とのオーバーラップ）を定義するうえで、ブラーリングの程度を制限することは好都合となるであろう。ドレインおよびソース領域の他の領域、つまり、より深い部分では、拡散により対応するPN接合領域のドーパント濃度が低下し、よって、これらの領域近傍の導電性が低下してしまうおそれがある。

10

【0005】

従って、一方では、高度なドーパントの活性化、注入により生じる格子損傷の再結晶化、および、拡張領域の浅い領域に所望の拡散を行う、ということを考慮すると、アニール温度が高いことが望ましい。しかし他方では、各々のPN接合のドーパント傾斜を小さくし、さらに、ドーパントの平均濃度が低下することで全体の導電性も低下させてしまう、深いドレインおよびソース領域でのドーパント拡散を抑制するために、アニールプロセス時間を短縮する必要がある。

さらに、アニールプロセスの間の温度が高いとゲート絶縁層に悪影響を与えてしまい、そのためにゲート絶縁層の信頼性が低下してしまうおそれがある。つまり、アニール温度が高いとゲート絶縁層が劣化し、従って、その誘電特性にも影響を及ぼすおそれがあり、そのためにリーク電流の増加や、破壊電圧の低下等が生じるおそれがある。したがって、非常に高度なトランジスタに対しては、最終的なデバイス性能を定義するうえでの重要な特性として、ドーパントプロファイルを所望するように位置決めし、成形し、維持することが挙げられる。その理由は、ドレインコンタクトとソースコンタクトとの間の導電性パスの全体の直列抵抗がトランジスタの性能を決定する主要な要素となるからである。

20

【0006】

最近では、基板の表面部分において極めて高い温度を実現し、これによりドーパントを活性化し、さらに格子の損傷を再結晶化するように十分なエネルギーを原子に転送し、それでも、短時間の処理でドーパント種とキャリア材料に含まれる他の不純物の実質量の拡散を実質的に抑えることができる最新のアニール技術が開発されている。各々の最新のアニール技術は、典型的には、放射源に基づいて実施される。放射源は、基板上部と基板上部に形成される構成要素に効率よく吸収される適切な波長の光を与えるように構成されており、照射の有効継続時間は、例えば、数ミリ秒およびそれよりも実質的に短い時間などの、所望の短い時間間隔まで制御することができる。例えば、表面近くの材料を熱する、定義された波長域の光を与える各々のフラッシュランプ露光源を用いることができ、これにより、キャリア材料の表面近くに設けられる材料の各々の原子が短距離運動するための条件が与えられる。

30

【0007】

他の場合では、レーザ照射は、基板の各ポイントを短時間、所望のように加熱するように、適切な走査レジームに基づいて基板表面にわたって走査されうる短レーザパルスあるいは連続ビームの形態で用いられてもよい。従って、キャリア材料全体が所望の温度にまで加熱されることの多い従来の短時間アニール（RTA：Rapid Thermal Anneal）プロセスとは違って、照射による最新のアニール技術では、非常に短い時間間隔で大量のエネルギーを供給し、これにより、非常に薄い層を所要どおりの非常に高い温度にすることができ、その一方で、基板の残りの材料はアニールプロセスの間、エネルギー蒸着による影響を実質的に受けないといった非平衡状態が生じる。

40

【0008】

従って、高度な製造レジームでは、ドーパントを高度に活性化し、さらにドレインおよびソース領域を再結晶化する一方で、各々のPN接合の急峻なドーパント傾斜を考慮した場合に有利でありうるドーパント拡散には必要以上に影響を与えない最新の照射によるア

50

ニールプロセスが従来の R T A プロセスの代わりに用いられることが多い。しかし、十分に制御されたドーパントの拡散に基づく実効チャンネル長の調整ステップを従来のプロセスフローには組み込むことは、著しい努力がなされない限りは困難であり、従って、プロセスがさらに複雑なものになってしまう。他方では、効率的なプロセスフローが継続される場合に、従来の十分に確立されたアニール技術に基づいて実効チャンネル長を形成するには、スペーサ幅を増加し、よって、トランジスタの横方向の寸法を増加させる必要がある。

【0009】

ドレインおよびソース領域と、したがって P N 接合の横と垂直のドーパントプロファイルに関するさらなる問題点は、半導体デバイスの残りの活性領域に対して P N 接合により形成される有効界面に概略的に関係しうる P N 接合の全体容量によって示される。S O I トランジスタの性能をさらに高めるために、P N 接合の寄生容量は、埋め込み絶縁層にまで及ぶ高ドーパント濃度が得られるように垂直ドーパントプロファイルを設計することにより、著しく減らすことができる。このようにして、横方向の界面、つまり、ドレインおよびソース領域の P N 接合だけが全体の接合容量の影響を受ける一方で、さらに、埋め込み絶縁層にまで及ぶ高ドーパント濃度により、所望の P N 接合特性が与えられ、さらに、ドレインおよびソース領域における全体の直列抵抗を低下させることができる。

【0010】

しかし、高ドーパント濃度の深いドレインおよびソース領域を埋め込み絶縁層にまで設けるには、高度な注入技術が必要であり、そのために全体のプロセスを複雑にしてしまう。他の場合では、アニールプロセスの間のドーパント拡散によって所望の垂直ドーパントプロファイルが形成されるように各々のアニールプロセスのプロセスパラメータを調整することによって、埋め込み絶縁層で中程度に高いドーパント濃度を実現することができる。しかし、各々のアニールパラメータは、縮小されたトランジスタ長には対応しない場合がある。その理由は、例えば拡張領域では側方拡散も行われることがあり、これによりチャンネル長が変わってしまう。この場合、各々のアニールプロセスの間に増加する拡散アクティビティに対応するために、スペーサ幅を増加することが必要となるおそれがある。従って、高度な半導体デバイスの記録密度を増加させることを考慮すると、拡散アクティビティを増加させ、従って多くのサーマルバジェットあるいは熱履歴が生じてしまう、処理時間の長い高温アニールプロセスは、魅力的なアプローチとはいえない。

【0011】

さらに、シリコンベースの活性トランジスタ領域のドレインおよびソース領域に形成されうる歪み半導体材料（例えば、シリコン／ゲルマニウム化合物）を供給することによって、トランジスタ性能（例えば、P チャンネルトランジスタ性能）を著しく向上させることができる技術が開発されている。シリコン／ゲルマニウム合金とも称される、歪みシリコン／ゲルマニウム化合物は、本来のシリコンと本来のシリコン／ゲルマニウム合金との格子間隔が一致しないことから、歪みのかけられた状態で供給されうる。つまり、シリコン／ゲルマニウム材料はシリコンの格子間隔に基づいて形成され、それによって、歪みシリコン／ゲルマニウム結晶格子が形成される。

【0012】

次いで、この結晶格子は隣接する半導体材料と相互作用し、応力が生成され、これにより一定の歪みが生じる。ドレインおよびソース領域に歪みシリコン／ゲルマニウム合金を供給すると、歪み材料によって生成された各々の応力がトランジスタのチャンネル領域に影響を及ぼし、そのために、チャンネル領域に各々の圧縮応力が生成され、これにより、チャンネル領域中の電荷キャリア移動度が向上する。S O I 構造に基づいて高度にスケールリングされたトランジスタデバイスでは、半導体層の深さ方向の実質量部分に沿って延びるチャンネル領域近傍に、非常に歪んだ半導体合金を供給することにより、性能に関して著しい効果を得ることができる。従って、S O I デバイスの効率的歪み誘起機構を低減された寄生接合容量と組み合わせて、全体の性能を向上させることができる。さらに、上述したように、トランジスタデバイスの横方向の寸法を縮小する可能性を与えるように、各々の熱ア

ニールプロセスのサーマルバジェットを大幅に削減することが望ましい。よって、上述の状況を鑑みて、トランジスタの特性を向上させる一方で、プロセスを必要以上に複雑にせず、および／あるいは、各々のプロセス技術のスケラビリティを損なうことのない高度な技術が望ましい。

【0013】

本発明は上述した問題の影響を回避するか、少なくとも減らすことのできる様々な方法およびデバイスに関する。

【課題を解決するための手段】

【0014】

以下、本発明のいくつかの態様を基本的に理解するために、本発明の概要を説明する。この概要は、本発明の全体像を詳細に説明するものではない。本発明の主要な、または重要な要素を特定しようとするものでも、本発明の範囲を説明しようとするものでもない。ここでの目的は、本発明のいくつかのコンセプトを簡単な形で提供して、後続のより詳細な説明に対する前置きとすることである。

【0015】

概して、本文に開示している主題は、トランジスタ性能を高めるとともに、各々の深いドレインおよびソース領域を形成する前に、SOIデバイスの各々の活性半導体層を薄くすることによって、SOIデバイスの全体のトランジスタ寸法を縮小することを目的とした方法および半導体デバイスに関するものである。先行する製造段階で歪み半導体合金を導入する可能性を与えるように、材料を除去するための各々のプロセスを適切な製造段階で実施してもよい。この歪み半導体合金は、ドレインおよびソース領域から材料を除去するときには、チャンネル領域近くに、その初期の厚みで、深さ方向に沿って保持されていてもよい。

【0016】

従って、深いドレインおよびソース領域の注入前にドレインおよびソース領域を薄くすることで、有効注入パラメータに基づいて、埋め込み絶縁層にまで及ぶようにドーパント種を高濃度で導入することができる。これにより、接合容量を低減させるためにドーパントを埋め込み絶縁層にまで拡散させなければならないことよりも、所望の横方向のドーパントプロファイルを考慮してドーパントを活性化させてドレインおよびソース領域を再結晶化するための各々のアニールプロセスを設計することを優先させることも可能となっている。従って、全体の横方向のトランジスタ寸法は、拡散アクティビティを増加させるためのアニールパラメータを用いたストラテジーよりも縮小され、その一方で、ドレインおよびソース領域に歪み半導体合金の形態で効率的な歪み誘起機構を導入することができる。

【0017】

本文に開示されている1つの例示的方法では、トランジスタのゲート電極を注入マスクとして使用して第1イオン注入プロセスを実施することにより、トランジスタの半導体領域にドレインおよびソース拡張領域が形成される。上記方法においてさらに、ゲート電極構造のサイドウォールにスペーサ構造が形成され、エッチングプロセスを実施することにより半導体領域にリセスが形成される。さらに、上記方法において、スペーサ構造を注入マスクとして使用して第2イオン注入プロセスを実施することにより、半導体領域下方に設けられる埋め込み絶縁層にまで及ぶドレインおよびソース領域が形成される。さらに、上記方法において、ドレインおよびソース領域のドーパントを活性化させるためにアニールプロセスが実施される。

【0018】

本文に開示されている他の例示的方法では、第1トランジスタの第1半導体領域に第1歪み半導体合金が形成される。この第1歪み半導体合金は、少なくとも一部がドレインおよびソース領域に設けられており、第1トランジスタのチャンネル領域に第1タイプの歪みを誘起する。この例示的方法において、さらに、第1トランジスタのドレインおよびソース領域の各々の一部にリセスが形成される。さらに、上記方法において、第1半導体領域

に形成される埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成するように、ドレインおよびソース領域にドーパント種が注入される。

【0019】

本文に開示されている例示的半導体デバイスは、埋め込み絶縁層にまで及ぶ、リセスが形成されたドレインおよびソース領域を有する第1トランジスタを含む。この半導体デバイスはさらに、ドレインおよびソース領域の一部に部分に設けられ、第1トランジスタのチャンネル領域に歪みを誘起する、歪み半導体合金を含む。

【図面の簡単な説明】

【0020】

【図1a】例示的实施形態に従う、SOI構造の、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成する際の各種の製造段階の間トランジスタデバイスの概略的断面図であって、各々の部分は、深いドレインおよびソース領域を画定するために、イオン注入の実施前にリセスが形成されている、概略的断面図。

10

【図1b】例示的实施形態に従う、SOI構造の、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成する際の各種の製造段階の間トランジスタデバイスの概略的断面図であって、各々の部分は、深いドレインおよびソース領域を画定するために、イオン注入の実施前にリセスが形成されている、概略的断面図。

【図1c】例示的实施形態に従う、SOI構造の、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成する際の各種の製造段階の間トランジスタデバイスの概略的断面図であって、各々の部分は、深いドレインおよびソース領域を画定するために、イオン注入の実施前にリセスが形成されている、概略的断面図。

20

【図1d】例示的实施形態に従う、SOI構造の、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成する際の各種の製造段階の間トランジスタデバイスの概略的断面図であって、各々の部分は、深いドレインおよびソース領域を画定するために、イオン注入の実施前にリセスが形成されている、概略的断面図。

【図1e】例示的实施形態に従う、SOI構造の、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成する際の各種の製造段階の間トランジスタデバイスの概略的断面図であって、各々の部分は、深いドレインおよびソース領域を画定するために、イオン注入の実施前にリセスが形成されている、概略的断面図。

【図1f】例示的实施形態に従う、SOI構造の、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を形成する際の各種の製造段階の間トランジスタデバイスの概略的断面図であって、各々の部分は、深いドレインおよびソース領域を画定するために、イオン注入の実施前にリセスが形成されている、概略的断面図。

30

【図1g】さらに他の例示的实施形態に従う、図1a～1fに図示したトランジスタの変形を概略的に例示したものであり、拡散アクティビティを著しく低減させるアニールプロセスが用いられている、概略図。

【図1h】さらなる例示的实施形態に従う、リセスが形成された深いドレインおよびソース領域を形成する前に、横方向のドーパントプロファイルと、従って拡張領域の実効チャンネル長とを画定するためにさらなるアニールプロセスが実施されうる、早期の製造段階におけるトランジスタの概略図。

40

【図1i】さらなる例示的实施形態に従う、トランジスタの更なる処理を促進する、および／又は性能を高めるために、さらなる種を導入するための製造段階の間に、埋め込み絶縁層にまで及ぶ、リセスが形成された深いドレインおよびソース領域を有するトランジスタの概略的断面図。

【図2】2つの、型の異なるトランジスタを含む半導体デバイスの概略的断面図であり、(図示しているように)歪み半導体合金のタイプが異なるか、リセスが形成されたドレインおよびソース構造が相互に異なることを例示した概略的断面図。

【発明を実施するための形態】

【0021】

本発明を添付の図面を参照しながら説明する。図面において、同じ参照符号は同じ要素

50

を示す。本文に開示された主題は、様々に変更することができ、また他の態様をとることもでき、その特定の実施形態は図面において例として示しており、本文にその詳細を記載する。しかし、本文に記載された特定の実施形態は、本発明を開示されている特定の形式に制限するものではなく、むしろ、添付の請求項に定義される本発明の精神および範囲内の全ての変形、等価物、代替物に及ぶものとする。

【0022】

本発明の各種の例示的实施形態を以下に記載する。簡素化のために、本明細書に現実の実装品の特徴の全てを記載することはしない。当然のことながら、そのような現実の実装品の開発においては、開発者における特定の目標を達成するため、システムの制限やビジネス的制限との摺り合せなど、多くの特定の実施の決定がなされる。それらは各実施形態によって様々に変化するものである。更に、そのような開発努力は複雑で時間を消費するものであるのは当然のことであるが、それでもなお、この開示の恩恵を有する当業者にとっては通常作業の範疇に入るものである。

10

【0023】

以下、本発明を添付の図面を参照しながら説明する。各図面には、単に説明を目的として、さらに、当業者には周知の詳細な説明で本発明を曖昧なものにしないように、様々な構造、システムならびに装置が概略的に描かれている。しかしながら、添付の図面は本発明の実施例を説明・解説する目的で添付されているものである。本明細書で使用される用語や言い回しは関連技術において当業者たちによって理解される単語や言い回しと一貫した意味を持つものと理解、解釈される。本明細書において用語あるいは言い回しを一貫して使用していても、これらの用語や言い回しのいかなる特定の定義、すなわち、当業者により理解される通常の意味及び慣習的な意味からは異なる定義を意味するものではない。用語や言い回しを、特定の意味を有する範囲において用いる場合、つまり当業者により理解されているのとは異なる意味で用いる場合、本明細書においては、直接かつ明確にそのような言葉や言い回しの特定の定義を行う。

20

【0024】

概して、本文に開示されている主題は、シリコン-オン-インシュレータ（SOI）構造に基づく最新のトランジスタ素子を含み、さらに、極限寸法が例えば100nmかそれよりも非常に小さい半導体デバイスの製造技術と各々の半導体デバイスに関するものであり、トランジスタの性能はドレインコンタクトとソースコンタクトとの間に確立されている導電経路の全体の抵抗率と各々のボディ領域の容量によって実質的に決定されうる。トランジスタの性能を全体的に高めるために、本文に開示されている各種の態様では、チャネル領域の電荷キャリア移動度を高めるためにトランジスタのドレインおよびソース領域に歪み半導体材料が効率的に導入される一方で、それでも、接合容量を低減させるために、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域を高ドーパント濃度で形成することができ、それでも、歪み半導体合金の歪み誘起機構を実質的に維持する可能性が与えられる。さらに、サーマルバジェットを低減でき、これにより、トランジスタ長の縮小が可能で、上述したような適切なアニール技術が用いられる。

30

【0025】

歪み半導体合金に対して所望の横方向のオフセットを設けるように、適切なスペーサ構造に基づいて各々の注入プロセスを行う前に、付加的エッチングプロセスに基づいて深いドレイン及びソース領域に所望の高ドーパント濃度を得るようにしてもよく、このようにすることで、半導体合金の実質部分がその拡張部全体に沿って保持され、これにより、その歪み誘起機構には必要以上の影響が与えないようにされる。従って、本文に開示された原理によれば、埋め込み絶縁層にまで及ぶ深いドレインおよびソース領域に高ドーパント濃度が与えられ、その一方では、この深いドレインおよびソース領域の垂直のドーパントプロファイルに関係なく、高性能のトランジスタに対する実効チャネル長（例えば、ゲート電極とドレインおよび／またはソース拡張領域間のオーバーラップの程度）もまた設計されうる。さらに、リセスが形成された半導体材料に基づいて深いドレインおよびソース領域を形成するための注入プロセスを実施することにより、イオン注入プロセスに基づい

40

50

てこれらの領域の垂直拡張部を調整することができる。その後、実質量の垂直拡散の必要なく、横方向のドーパントプロファイル全体に対してドーパントの活性化が実施されてもよい。よって、ドーパントを所望のように高度に活性化させるように、実質的に拡散の必要のないか、拡散の程度を著しく減らす必要なしに、高度なアニール技術を効率的に用いることができる。

【0026】

ある例示的实施形態では、アニールプロセスは、必要に応じて拡張領域の側方拡散を所望のように調整するために、個別に設計されたプロセスパラメータを含む様々な製造段階で実施されうるいくつかのステップを含み、その一方で、その後の短時間のアニールプロセスでは、固有に設計されたアニールステップで得た横方向のドーパントプロファイルに著しい影響を実質的に及ぼさずに、所望のドーパント拡散を行うことができる。例えば、ドレインおよびソース拡張領域を形成するために各々のドーパント種を注入後に、必要に応じて横方向のドーパントプロファイルを微調整するように適切なアニールプロセスを実施してもよく、その後、適切に設計されたスペーサ構造に基づいて、残りのドレイン及びソース領域にリセスが形成され、深いドレインおよびソース領域にドーパント種が注入され、歪み半導体合金が供給されている場合には、十分な量の歪み半導体合金が保持されるように、横方向に所望のオフセットが設けられる。その後、すでに形成されている横方向のドーパントプロファイルを実質的に変更せずに、最新の、照射によるアニールプロセスに基づいて、ドーパントの活性化が効率的に実現されうる。

【0027】

その結果、ドレインおよびソース領域は深さ方向において埋め込み絶縁層に接しており、そのために、SOIトランジスタボディの全体の容量が低減してしまうことから、SOIトランジスタにPN接合の形成に利用できる有効表面積が著しく縮小してしまう。低減された寄生接合容量を効率的歪み誘起半導体合金と組み合わせることで、トランジスタ性能を高めることができる。この場合、さらに、横方向のドーパントプロファイルを画定するために、縮小されたスペーサ幅が選択される可能性があるために、トランジスタの長さ方向における全体の横方向寸法も縮小される。

【0028】

本文に開示されている原理は、ゲート長が約50nmあるいはそれ未満のトランジスタ素子を含む半導体デバイスにおいて非常に有利であることはわかるであろう。その理由は、ここでは明確なドーパントプロファイルがPN接合で求められる一方で、トランジスタの全体の直列抵抗を低減させることを考慮すると、チャネル領域中の電荷キャリア移動度とドーパントの活性度もまた重要な態様であるからである。しかしながら、本文に開示されている技術は、それほどクリティカルではない半導体デバイスにも効率的に適用することができる。それにより、サーマルバジェットが低減することでデバイスの均一性が高まり、歩留まりの損失が減り、その結果、垂直方向にも横方向にも拡散を抑えることができ、そのためにパラメータの変動を抑えることができる。従って、本発明は、明細書あるいは添付の請求の範囲に明確に制限されていない限りは、特定のデバイス寸法に限定されるものではない。

【0029】

図1aに、半導体デバイス100の断面図を概略的に示しており、1つの例示的实施形態では、これは電界効果トランジスタである。半導体デバイス100は基板101を含む。この基板の上方に、シリコンベースの半導体層などの半導体層102が形成されている。この半導体層は、シリコンを含む半導体材料と理解されるものであり、ゲルマニウム、炭素などの他の種と組み合わせる場合もある。図示している製造段階では、半導体層102は活性半導体領域111に、つまり、半導体層102の一部に形成されたリセス112Aを含み、ドーパントプロファイルに基づいて導電性が明確にされている。半導体領域111は、絶縁構造108によって画定されてもよい。

【0030】

この絶縁構造は二酸化シリコン、窒化シリコンなどの任意の適切な誘電材料から構成さ

れ、さらに、例えばトレンチアイソレーションの形態で設けられてもよく、これにより、チャンネル領域109と各々のドレインおよびソース領域（図示せず）が形成されることになる活性半導体領域111が画定される。半導体デバイス100は、基板101と半導体層102との間に設けられる埋め込み絶縁層103をさらに含んでもよく、これにより、SOI構造が形成される。この埋め込み絶縁層103は、二酸化シリコン、窒化シリコンなどの任意の適切な誘電材料から構成してもよい。他の場合では、半導体デバイス100は「バルク」構造であってもよく、この構造では、半導体層102の厚みは、デバイスに形成されるいずれの回路素子の垂直深度よりも非常に大きく、よって、多数の回路素子に対して共通の半導体ボディを設けることができる。他の場合では、半導体デバイス100は、バルク構造から恩恵を受けるトランジスタと組み合わせて高性能のトランジスタ素子が求められる場合は、図1aに示すように、バルク構造（図示せず）と組み合わせたSOI構造であってもよい。

10

【0031】

この点において、半導体デバイス100あるいは本文に説明しているその他の半導体デバイスのフィーチャの位置に関する記載は相対的な位置情報として考慮されるものであって、基板101や埋め込み絶縁層103、あるいはこれらの構成要素により形成される各々の特定の表面や界面は参照として示される。つまり、「～の上方に」、「～にわたって」、「～の上に」などの用語、および重ねられた構造を指すその他の類似の用語は、埋め込み絶縁層103および／あるいは基板101などの表面や層に対する位置を示すものであり、基板あるいは埋め込み絶縁層103までの検討中のフィーチャの距離が、この検討中のフィーチャの「下」に設けられるフィーチャよりも離れていることを示す。この意味では、半導体層102は、例えば、埋め込み絶縁層103の上方に形成される。同様に、横方向は、埋め込み絶縁層103に対して、あるいは基板101に対して形成される界面に対して実質的に平行に延びる方向を示す。よって、図1aでは、横方向は水平方向として理解されるものであってトランジスタの長さ方向を示し、また、図1aの描面平面に対して実質的に垂直な方向はトランジスタの幅方向を示す。

20

【0032】

半導体デバイス100は、半導体層102の上方に形成され、さらにゲート絶縁層104によって分離されているゲート電極構造105をさらに含む。ゲート電極構造105には電極部105Aが含まれてもよく、これは、電極構造105の導電部分であって、その長さは約50nmあるいはそれ未満でありうる。この電極部105Aのサイドウォールには、二酸化シリコン、窒化シリコンなどの任意の適切な材料から構成されるオフセットスペーサ107が設けられてもよい。ゲート電極構造105は、電極部105Aに対しては、ポリシリコンなどの任意の適切な材料の形態で形成されてもよい。一方で他の例示的实施形態では、「ゲート電極構造」なる用語はさらに、次の製造段階で任意の適切な材料に代替可能なプレースホルダーあるいは犠牲構造を示しうる。さらに、図示している実施形態では、ゲート電極構造105は窒化シリコン、二酸化シリコンなどの任意の適切な材料から構成されるキャップ層106を含む。

30

【0033】

図1aに示す半導体デバイス100は、以下のプロセスに基づいて形成されてもよい。埋め込み絶縁層103と半導体層102とが形成された基板101を用意した後に、フォトリソグラフィ、エッチング技術、蒸着および平坦化プロセスなどの十分に確立された技術に基づいて絶縁構造108が形成される。その後、十分に確立された注入技術に基づいて、絶縁構造108によって画定された半導体領域111に適切なドーパント濃度が生成される。次に、十分に確立された技術に基づいてゲート電極構造105およびゲート絶縁層104が形成される。その際に、ゲート絶縁層104の材料は、表面処理などを含む高度な酸化および／または蒸着技術によって設けられてもよく、その後、電極部105Aに適切な材料が蒸着される。その後、高度なリソグラフィおよびエッチングプロセスを実施して、電極部105Aとゲート絶縁層104とを形成するようにしてもよい。例えば、電極部105Aをパターニングする間に、同様にキャップ層106が形成され

40

50

てもよい。

【0034】

このキャップ層はすでに蒸着されている材料層の一部であってもよい。その後、十分に確立された蒸着技術と異方性エッチング技術とに基づいてオフセットスペーサ107を形成することにより、電極部105A（キャップ層106を含む場合もある）が「カプセル化」されてもよい。キャップ層106とオフセットスペーサ107とにより、半導体層102から材料を除去して、各々のリセス112Aを形成し、これが以下に説明しているように、適切な半導体合金でリフィルされ得るように設計されたその後のエッチングプロセス112の間に、十分なエッチング耐性が与えられる。リセス112Aの寸法および形状は、オフセットスペーサ107の幅によって決定されてもよいし、および／または、実質的に異方性エッチングプロセスとして、等方性エッチングプロセスとして、あるいはそれらを組み合わせたプロセスとして設計されうるエッチングプロセス112のプロセスパラメータによって決定されてもよい。リセス112Aの深度は、埋め込み絶縁層103の上方に一定量の層102の材料が保持され、それでもなお、層102の深さ方向に沿った実質量の部分が歪み半導体合金でリフィルされ、これにより、層102の実質量の深さに沿ったチャンネル領域109に特定の応力をかけることができるように、選択される。

10

【0035】

各々のトランジスタに対して適切でないと考えられる場合は、他のデバイス領域には、各々のリセス112Aは形成され得ないことはわかるであろう。この場合、オフセットスペーサ107をパターニングする場合は、各々のエッチングマスクを設けて各々のスペーサ材料をこれらのデバイス領域に保持するようにしてもよい。

20

【0036】

図1bに、さらに次の製造段階における半導体デバイス100を概略的に示す。図示しているように、リセス112Aは、シリコン／ゲルマニウム、シリコン／炭素、シリコン／ゲルマニウム／錫などの、歪み半導体材料113でリフィルされている。歪み半導体合金113は、例えば、半導体層102の露出領域に対しては、実質量の材料蒸着が実質的に制限されてこれによりゲート電極構造105と絶縁構造108には実質量の材料蒸着は行われないものである、選択的エピタキシャル成長技術に基づいて形成されてもよい。各々のエピタキシャル成長の間、半導体合金113は、その本来の結晶構造が層102のテンプレート材料の結晶構造に類似している場合は、実質的に結晶構造をとっていてもよい。したがって、合金113は実質的に各々の格子間隔をとっていてもよく、従って、歪みのある状態で成長しうる。その際に、歪みのタイプと大きさとは、合金113の各種の構成要素の組成と濃度とによって実質的に決定される。例えば、シリコンベースの、実質的に歪みのない材料上に成長したシリコン／ゲルマニウム合金により実質量の圧縮歪みが生じ、これにより、上述のように、チャンネル領域109にも各々の圧縮歪みが誘起される。例えば、デバイス100がPチャンネルトランジスタの場合は、20～30原子百分率あるいはそれ以上のゲルマニウム濃度により、チャンネル領域109内の正孔移動度が著しく向上する。

30

【0037】

他の例示的实施形態では、半導体合金113は、本来の格子定数がシリコンの格子定数よりも小さい、シリコン／炭素などの他の適切な材料であってもよく、これにより、引張歪み合金が成長する。圧縮歪みあるいは引張歪みを有する半導体合金113は、前述のように、リセス112Aを用いて十分に確立された蒸着技術に基づいて形成されてもよい。一方で他の例示的实施形態では、半導体合金113は、注入などの他のプロセス技術に基づいて形成されてもよい。例えば、エッチングプロセス112を省いてもよいし、デバイス100で選択した領域でエッチングプロセス112を実施してもよく、このような、リセス112Aを含まない領域では、歪み半導体合金113は、例えば、ゲルマニウム、錫、炭素などを導入するために適切に設計されたイオン注入シーケンスに基づいて形成されてもよい。

40

【0038】

50

例えば、圧縮半導体合金は、場合によっては先行のアモルファス化注入によって、ゲルマニウムおよび／または錫を注入し、さらに、層１０２の材料を再結晶化することによって形成される。これにより、圧縮歪み半導体合金１１３が形成される。他の場合では、例えば、アモルファス化注入に先行して、半導体層１０２中に炭素が注入されてもよく、損傷を受けた領域が再結晶化されると、半導体合金１１３は引張歪みを伴って形成されうる。さらに他の例示的实施形態では、歪み半導体合金１１３をリセス１１２Ａに基づいて適切な蒸着技術によって形成するステップを、他のデバイス領域で実施される注入プロセスと組み合わせてもよく、このことは、製造条件下で適切な選択的蒸着技術を効率的に用いることができない場合に有利である。例えば、選択的エピタキシャル成長に基づいてリセス１１２Ａに圧縮半導体合金を形成し、その一方で、炭素による注入技術に基づいて、引張半導体合金を他のデバイス領域に形成してもよい。

10

【００３９】

その後、場合によってはキャップ層１０６の一部とともに、オフセットスペーサ１０７が適切なエッチングプロセスによって除去されてもよい。あるいは、他の場合では、後続のイオン注入プロセス１１４に対してスペーサ１０７の幅が適切であると考えられる場合には、スペーサ１０７を注入マスクとして使用し、ドレインおよびソース拡張領域１１５Ｅの特定のオフセットを設けるようにしてもよい。注入プロセス１１４の前か後に、例えばいわゆるハロ領域（図示せず）を形成するために、他の注入プロセスを実施して、拡張領域１１５Ｅとチャンネル領域１０９により形成されるＰＮ接合に所要の急峻なドーパント傾斜を得るようにしてもよい。例えば、各々のハロ注入には傾斜注入プロセスが含まれる。該プロセスでは、拡張領域１１５Ｅのドーパントとは逆の導電型のドーパントが電極部１０５Ａの端部の下方に導入される。

20

【００４０】

図１ｃに、さらに次の製造段階における半導体デバイス１００を概略的に示す。図示しているように、ゲート電極構造１０５のサイドウォールにはスペーサ構造１１６が形成されうる。該構造１０５には、スペーサ１０７などのオフセットスペーサが依然として含まれていてもよいし、他の場合では、各々のオフセットスペーサはすでに除去されていてもよい。さらに、キャップ層１０６あるいはその一部が依然としてゲート電極部１０５Ａの上面を覆っていてもよい。スペーサ構造１１６には幅１１６Ｗが設けられていてもよい。この幅は、今後形成される深いドレインおよびソース領域の横方向のドーパントプロファイルを実質的に画定するように選択される。埋め込み絶縁層１０３にまで及ぶ深いソースおよびドレイン領域を形成するために、垂直方向への実質量の拡散は必要とされ得ないので、スペーサ幅１１６Ｗによる、各々の側方拡散も必要なく、これによりデバイス１００の横方向の寸法を縮小させることができる。スペーサ構造１１６は窒化シリコン、二酸化シリコンなどの適切な材料蒸着などの十分に確立された技術に基づいて形成され、その後、適切なエッチング技術が行われる。

30

【００４１】

図１ｄに、歪み半導体合金１１３から半導体層１０２の材料を除去し、リセス１１７Ａを形成するエッチングプロセス１１７の間の半導体デバイス１００を概略的に示す。このエッチングプロセス１１７は、デバイス要件に従って当方が選択されうる、十分に確立されたエッチングレシピに基づいて実施されてもよい。つまり、プロセス１１７の間において各々の方向性を得るように、エッチング化学物質などの各々のプロセスパラメータや、ドライエッチングプロセスが用いられる場合にはプラズマパラメータなどが選択されてもよい。例えば、層１０２の材料を選択的に除去し、チャンネル領域１０９に対するオフセットがスペーサ幅１１６Ｗによって実質的に決定されるようにリセス１１７Ａを形成するように、高度な異方性エッチング技術が用いられてもよい。その他の場合では、プロセス１１７に対して実質的に当方の動作を選択して、破線１１７Ｂに示すように、ある程度のアンダーエッチングを得るようにしてもよい。例えば、等方性エッチングレシピを用いることにより、絶縁構造１０８およびスペーサ構造１１６などの他の材料に対する選択性を高めることができる。エッチングプロセス１１７は、予測あるいは測定されたエッチング

40

50

速度に基づいて、リセス 1 1 7 A が所望の深さに調整されうる、エッチング時間に基づいて制御されてもよい。

【0042】

他の例示的实施形態では、所望の深さに適切な、指標となる種(indicator species)を導入するように、例えば、拡張領域 1 1 5 E を形成する前か後に、各々の注入プロセスがすでに実施されていてもよく、この指標となる種がエッチングプロセス 1 1 7 の間に解放され、エッチングプロセス 1 1 7 を制御するための効率的な信号が送られる。例えば、プラズマによるエッチングプロセスで一般に用いられるような光学式終点検出システムにおいて、十分に検出可能な終点検出信号を送信する適切な種が注入されてもよく、各々の「エキゾチック」な種が選択される場合には、適度に低い濃度で十分である。従って、リセス 1 1 7 A の基板対基板の深度を変化させてしまうおそれのあるエッチング速度の変動を効率的に抑えることができる。他の例示的实施形態では、歪み半導体合金 1 1 3 を形成するためのプロセスの間に、各々のエッチングの指標となる種が導入されてもよい。例えば、選択的エピタキシャル成長プロセスの間に、蒸着環境に各々の指標となる種を付加し、指標材料のある部分と指標材料のない部分との間に適度に明確な境界を形成するようにしてもよい。蒸着プロセスは通常、各々のエッチングプロセスよりも高精度で制御されるとともに、プロセスの変動が少ないので、この場合、リセス 1 1 7 A の基板対基板の変動を低減させることができる。

【0043】

図 1 e に、さらに次の製造段階における半導体デバイス 1 0 0 を概略的に示す。該図では、少なくとも、適度に高ドーパント濃度の埋め込み絶縁層 1 0 3 にまで及ぶ深いドレインおよびソース領域 1 1 5 D が形成されるように、さらなる注入プロセス 1 1 8 が実施されている。このプロセスは、半導体材料合金 1 1 3 の実質量の部分が除去されていることにより、実現されうる。従って、注入プロセス 1 1 8 により、深いドレインおよびソース領域 1 1 5 D の深度全体にわたって適度に高濃度にすることができる。対応する半導体材料の様々な深さに様々な最大濃度を供給するには様々な注入エネルギーを用いた複雑な注入シーケンスが必要とされていたが、これにより、様々な注入エネルギーを用いた複雑な注入シーケンスを回避することが可能となっている。

【0044】

ある例示的实施形態では、注入プロセス 1 1 8 において傾斜注入 1 1 8 A を行い、ドレインおよびソース拡張領域 1 1 5 E のドーパント濃度を増加させるとともにスペーサ構造 1 1 6 下方の濃度を増加させて、各々の直列抵抗を低下させるようにしてもよい。図示しているように、ある例示的实施形態では、電極部 1 0 5 A において各々のドーパント濃度が所望されうる場合は、注入 1 1 8 の前にキャップ層 1 0 6 が除去されてもよい。このために、キャップ層 1 0 6 は、エッチングプロセスの間、効率的なエッチングマスクとして機能するために求められる適切な値にまで薄くされていてもよく、その後、薄くされたキャップ層 1 0 6 は、適切な高選択性エッチングプロセスによって除去されてもよい。この場合、スペーサ構造には著しい影響は及ぼされ得ない。他の場合では、キャップ層 1 0 6 を除去するための対応のプロセスの間に、図 1 d に関してすでに説明した対応するアンダーエッチングの程度によって、スペーサ幅 1 1 6 W の縮小を調整するようにしてもよい。

【0045】

これにより、傾斜注入シーケンス 1 1 8 A が含まれることもあるイオン注入プロセス 1 1 8 後に、拡張領域 1 1 5 E と埋め込み絶縁層 1 0 3 にまで及ぶ高ドーパント濃度を有する深いドレインおよびソース領域 1 1 5 D から構成される、ドレインおよびソース領域 1 1 5 が形成される。さらに、スペーサ構造 1 1 6 下方のドレインおよびソース領域 1 1 5 内には、歪み半導体合金 1 1 3 が、その本来の厚みで保持されており、これにより、チャネル領域 1 0 9 に効率的な歪み誘起機構が設けられる。

【0046】

図 1 f に、ドレインおよびソース領域 1 1 5 のドーパントを活性化し、これらの領域の、注入による損傷を再結晶化するように設計されたアニールプロセス 1 1 9 の間の半導体

10

20

30

40

50

デバイス100を概略的に示す。一例示の実施形態では、アニールプロセス119は、チャンネル領域109に所望の実効チャンネル長を調整するように、矢印119Aに示すような特定の側方拡散を実施するように設計されたアニールステップを含みうる。例えば、アニールプロセス119は、所望のサーマルバジェットとなるように適切に選択された処理時間との組み合わせで、約600度～1000度の範囲の温度で、十分に確立されたアニール技術に基づいて実施されてもよく、これにより所望の横方向のドーパントプロファイルが画定される。リセス117A（図1e）を設けることによって得られた深いドレインおよびソース領域115Dでのドーパント濃度が高いために、垂直拡散は不要である。

【0047】

よって、横方向のプロファイルを適切に調整するということを考えて各々のプロセスパラメータだけが選択されてもよい。すでに説明したように、実効チャンネル長を形成するための各々のアニールステップの前あるいは後に、短い露光時間、例えば、1秒あるいはそれよりも著しく短い（例えば、数ミリ秒あるいはそれ未満）露光時間で、高度な照射によるアニールプロセスが実施されてもよい。従って、この場合、実質量の拡散が実質的に抑制され、それにより、すでに確立されている拡散プロファイル、あるいは、実効チャンネル長を調整するための後続の「低温」アニールプロセスで確立される拡散プロファイルが保持される。その際に、約1100度～1300度あるいはそれ以上の温度で行われる、適度に高温の短時間アニールプロセスにより、ドーパントが効率的に活性化される。従って、ドレインおよびソース領域115は、高ドーパント濃度で低容量であり、所望の横方向のドーパントプロファイルが設けられている。

【0048】

図1gに、短時間照射によるアニールプロセスとして設計され、ドーパントプロファイルが注入された状態で保持されている、アニールプロセス119の間のデバイス100を概略的に示す。従ってこの場合、拡張領域115Eと深いドレインおよびソース領域115Dとによって画定されるPN接合の各々の位置と特徴とは、ドレインおよびソース領域115を形成する（プロファイリングする）際に形成されるオフセットスペーサ107（図1b）およびスペーサ構造116などのスペーサの、各々のスペーサ幅とともに、注入プロセスに基づいて調整されうる。従って、短時間の、最新のレーザによる、あるいはフラッシュライトによるアニールプロセス119の特徴により、実質量の側方拡散を行わなくて済むために、オフセットスペーサ107もスペーサ構造116も「最小の」幅で設けることができるので、デバイス100は、横方向寸法を著しく縮小させて形成することができる。

【0049】

図1hに、拡張領域115Eの形成後であって深いドレインおよびソース領域115Dの形成前にアニールステップ119Bが実施されうる、さらなる例示の実施形態に従う半導体デバイス100を概略的に示す。例えば、図1hに示すように、レーザによる、あるいはフラッシュライトによるアニールプロセスが用いられる場合は、対応する放射線とスペーサ構造116との相互作用が回避されることから、高度なプロセス均一性が与えられるように、スペーサ構造116を形成する前にアニールプロセス119Bが実施されてもよい。他の場合では、従来の短時間熱アニール（RTA）レジームが用いられてもよいが、その場合は、拡散挙動を調整して実効チャンネル長を適切に画定するように、各々のプロセスパラメータが個別に設計される。この場合、アニールプロセス119（図1g）の間にドーパントが活性化され、すでに形成されている拡張領域115Eの形状も実質的に保持されうるので、適切なプロセスパラメータを選択するうえでドーパントの活性化度などの他の基準は関連し得ない。

【0050】

図1iに、さらなる例示の実施形態に従う半導体デバイス100を概略的に示す。図示しているように、半導体デバイス100は、さらなる種を半導体層120の材料に導入するための処理120にさらされてもよく、この場合、さらなる種は、埋め込み絶縁層103にまで及ばないように位置決めされうる。一例示の実施形態では、処理120は半導体

合金 1 1 3 において、シリコンではない構成要素の濃度を増加させ、および／あるいは半導体合金 1 1 3 の拡張部を埋め込み絶縁層 1 0 3 方向に増加させるためのイオン注入プロセスを含むうる。

【0051】

残りの深いドレインおよびソース領域 1 5 0 D が薄くされることから、埋め込み絶縁層 1 0 3 に近接して各々の合金構成要素を位置決めし、それでもなお、ドレインおよびソース領域 1 1 5 の損傷部分を再結晶化するための後続のアニールプロセス 1 1 9 のときに歪み半導体合金を得ることができるように、埋め込み絶縁層 1 0 3 に付着する十分な量のテンプレート材料を保持するように、処理 1 2 0 後の対応の注入プロセスが高精度で実施されうる。例えば、半導体合金 1 1 3 が、典型的には約 1 ～ 5 原子百分率の炭素濃度を含みうるシリコン／炭素を含む場合は、同程度の濃度もまた注入プロセスに基づいて得ることができる。同様に、シリコン／ゲルマニウム合金では、高精度のイオン注入により錫が効率的に導入される。これにより、錫の原子はゲルマニウムの原子よりも非常に大きな共有結合半径を有しうることから、全体に著しい歪みがかけられる、

【0052】

他の例示的实施形態では、上述の注入プロセスに加えて、あるいは上述の注入プロセスに代えて、処理 1 2 0 において、デバイス 1 0 0 のさらなる処理を促進すべく、ドレインおよびソース領域 1 1 5 の露出表面近傍に適切な種 1 2 0 A が導入されてもよい。例えば、金属シリサイドに基づいてドレインおよびソース領域 1 1 5 の直列抵抗をさらに低下させる必要がある場合は、後続のシリサイデーションプロセスに影響を与えるように、その表面近傍のドーパント濃度を増加させるか、ゲルマニウム濃度を増加させるようにしてもよい。この場合、さらに増加した各々の種の濃度が金属シリサイド形成の際の反応速度を著しく低下させうるシリサイドブロック材料として機能しうる。このことは、PN 接合方向へのシリサイド成長を妨げるのに有利であり、従って、PN 接合と金属シリサイド間の距離が最短でありうる領域 1 1 5 で PN 接合を短絡させることがある。

【0053】

さらに、キャップ層 1 0 6 によって各々の種 1 2 0 a が効果的にブロックされ、よって、電極部 1 0 5 a でのシリサイド生成が妨げられることがないので、電極部 1 0 5 A とドレインおよびソース領域 1 1 5 間のシリサイドの形成を実質的に分離することができる。シリサイデーションレジームのなかには、高濃度のゲルマニウムを含むシリコン／ゲルマニウムなどのシリコンベースの半導体合金に対する効率が悪く、安定性がよくないものがあることから、さらに他の例示的实施形態では、各々のシリサイデーションプロセスを促進する、あるいは安定させるために、処理 1 2 0 において適切な種が導入されてもよい。この場合、例えば、他の合金構成要素の濃度を著しく低下させるために、シリコンが高ドーズ量で注入されてもよい。

【0054】

ドレインおよびソース領域 1 1 5 を形成後、ある場合では図 1 i に関して検討したような金属シリサイドが形成され、その後、層間絶縁材料が蒸着される、十分に確立された技術に基づいてさらなる処理が継続されてもよく、例示的实施形態では、チャンネル領域 1 0 9 において各々の歪みをさらに増加させるように、各々の材料の少なくとも一部に高固有応力が与えられていてもよい。リセスが形成された構造のおかげで、従来の実質的に平坦なドレインおよびソース構造と比べると、上を覆う誘電材料からチャンネル領域 1 0 9 への各々の応力転送機構でさえも高めることができる。

【0055】

図 2 に、第 1 トランジスタ 2 0 0 A と第 2 トランジスタ 2 0 0 B とを含む半導体デバイス 2 0 0 を概略的に例示する。該図においては、トランジスタ 2 0 0 A、2 0 0 B の少なくとも一方は、デバイス 1 0 0 に関連して説明したような構造であってもよい。つまり、デバイス 2 0 0 は、埋め込み絶縁層 1 0 3 を含み、その上方には半導体層 2 0 2 が形成された基板 1 0 1 を含む。これらの構成要素は、デバイス 1 0 0 の各々の構成要素に対してすでに説明したものと同一の特徴を有しうるものである。さらに、トランジスタ 2 0 0 A

、200Bは、導電型、ドレインおよびソース領域の構造、つまり、リセスが形成されているか形成されていないか、各々のチャンネル領域で誘起される歪みタイプ、などの少なくとも1つの特徴が異なってもよい。

【0056】

図示している実施形態では、トランジスタ200A、200BはそれぞれPチャンネルトランジスタおよびNチャンネルトランジスタであってよく、この場合、両トランジスタ200A、200Bには、各々の歪みを誘起するように、歪み半導体合金231Aと231Bとがそれぞれ導入されていてもよい。さらに、両トランジスタ200A、200Bは、デバイス100に関してすでに説明したように、リセスが形成されたドレイン／ソース構造を有していてもよく、その際に、他の場合では、トランジスタ200A、200Bの一方には実質的にプレーナ構造を備えていてもよいことは分かるであろう。

10

【0057】

従って、図示しているように、トランジスタ200A、200Bは、ゲート絶縁層204に形成された電極部205Aを含み、ゲート絶縁層204はチャンネル領域209から電極部205Aを分離している。さらに、拡張領域215Eと深いドレインおよびソース領域215Dを含むうるドレインおよびソース領域215の各々のリセス幅を実質的に決定しうるスペーサ構造216が設けられてもよい。図示している例では、第1トランジスタ200Aのドレインおよびソース領域215は、高濃度のP型ドーパント材料を含み、トランジスタ200Bのドレインおよびソース領域215は、高濃度のN型ドーパント材料を含むうる。さらに、歪み半導体合金213Aは、第1トランジスタ200Aのチャンネル領域209に各々の圧縮歪み221Aを与え、半導体合金213Bは、第2トランジスタ200Bに引張歪み221Bを与えうる。

20

【0058】

半導体デバイス200は、デバイス100に関して上述したようなプロセス技術に基づいて形成されてもよい。例えば、上述のように、各々の歪み半導体合金213A、213Bは、例えば、異なるエピタキシャル成長技術、注入技術など、場合によっては、これらを組み合わせた適切なプロセスシーケンスに基づいて生成されてもよい。その後、上述のように、さらなる処理を継続して行ってもよい。つまり、十分に確立されたマスキングレジームに基づいて各々の拡張領域215Eが形成され、その後、プロセス117などの共通のエッチングプロセスでリセスを形成して、図示しているようなりセスが形成されたソース／ドレイン構造を得るようにしてもよい。その後、上述のプロセス技術に基づいて、深いドレインおよびソース領域215Eが形成されうる。従って、型の違うトランジスタに対して、ドレインおよびソース領域に歪み半導体合金に基づいてリセスが形成されたドレイン／ソース構造を効率的に設けることができ、その際に、既存のプロセス技術との高度な互換性を維持することができる。

30

【0059】

その結果、本文に開示された主題により、SOIトランジスタの実効的な接合容量を低減するために、埋め込み絶縁層にまで及びうる深いドレインおよびソース領域を高ドーパント濃度とすることができるよう、リセスが形成されたドレイン／ソース構造を特徴とする方法と半導体デバイスとが提供される。歪み半導体合金に対してオフセットを設けるスペーサ構造に基づいて歪み半導体合金の導入後にリセスが形成されるので、歪み半導体合金の歪み誘起効果は、合金の本来の厚みに沿って実質的に保持されうる。さらに、本文に開示されている技術により、過度の拡散なしに別々に実効チャンネル長を調整する可能性が与えられる、あるいは、最新の照射によるアニール技術に基づいて各々の注入プロファイルが注入された状態で実質的に維持され、従って、横方向のトランジスタ寸法をさらに縮小させることができる。

40

【0060】

本発明による利益を享受し得る当業者であれば、本発明に関して等価の範囲内で種々の変形及び実施が可能であることは明らかであることから、上述の個々の実施形態は、例示的なものに過ぎない。例えば、上述した方法における各ステップは、その実行順序を変え

50

ることもできる。更に上述した構成あるいは設計の詳細は、なんら本発明を限定することを意図するものではなく、請求の範囲の記載にのみ限定されるものである。従って、上述した特定の実施形態は、変形及び修正が可能であることは明らかであり、このようなバリエーションは、本発明の趣旨及び範囲内のものである。従って、本発明の保護は、請求の範囲によってのみ限定されるものである。

【図 1 a】

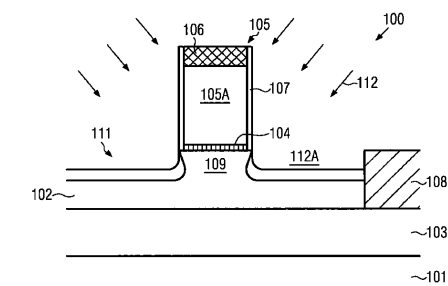


FIG. 1a

【図 1 b】

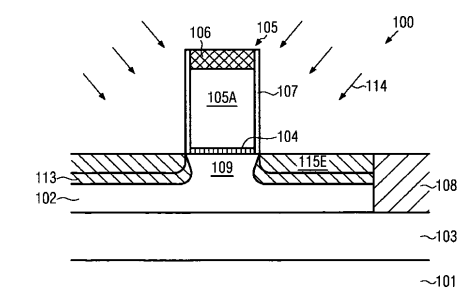


FIG. 1b

【図 1 c】

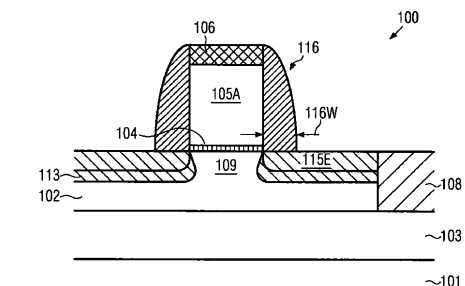


FIG. 1c

【図 1 d】

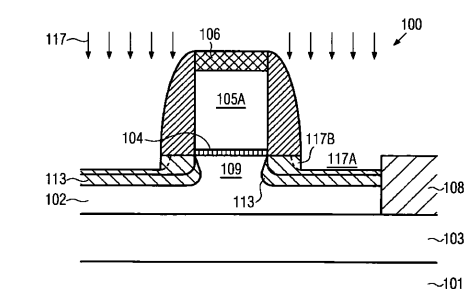
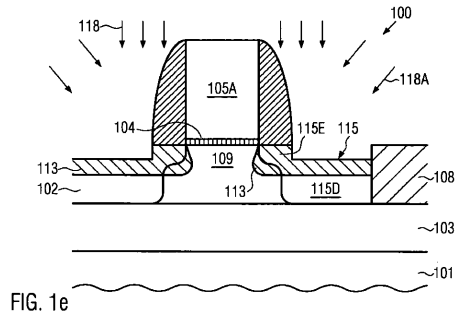
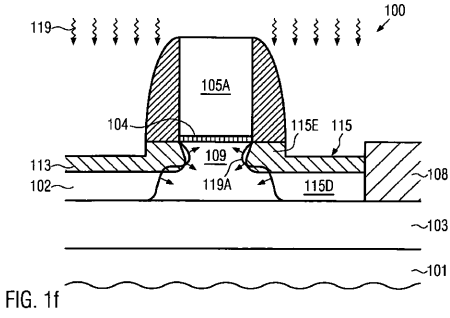


FIG. 1d

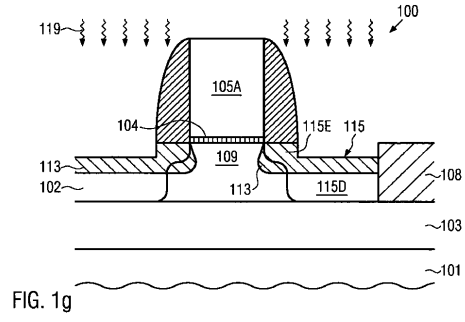
【図 1 e】



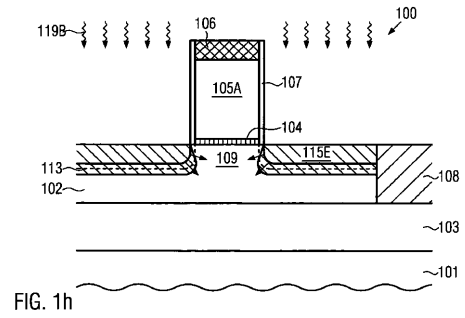
【図 1 f】



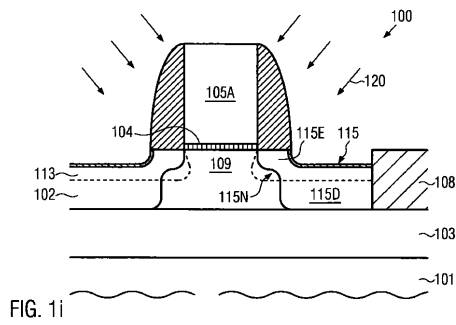
【図 1 g】



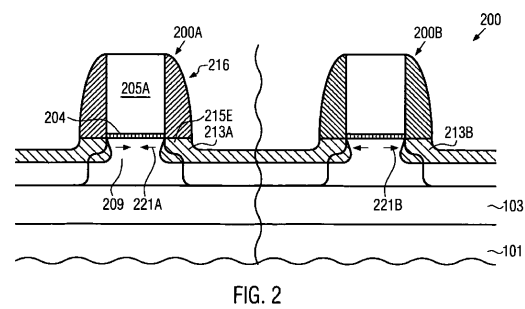
【図 1 h】



【図 1 i】



【図 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/092 (2006.01) H 0 1 L 29/78 3 0 1 S
H 0 1 L 27/08 (2006.01)
H 0 1 L 29/78 (2006.01)

(74)代理人 100162156
弁理士 村雨 圭介

(74)代理人 100111615
弁理士 佐野 良太

(72)発明者 トーマス フェーデル
ドイツ、0 1 4 4 5 ラデブル、ポールバークウェグ 2 1

(72)発明者 マルクス レンスキ
ドイツ、0 1 2 7 7 ドレスデン、ニーダーウォルプラッツ 7

(72)発明者 アンドレア ゲーリン
ドイツ、0 1 1 0 9 ドレスデン、グリースウォルダーシュトラッセ 2

審査官 大橋 達也

(56)参考文献 米国特許出願公開第2 0 0 6 / 0 1 4 5 2 7 3 (US, A 1)
特開平1 0 - 0 1 2 8 8 3 (JP, A)
特開2 0 0 5 - 2 1 7 3 9 1 (JP, A)
米国特許第0 6 4 9 5 4 0 2 (US, B 1)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 8
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6