



대표도

도 3

특허청구의 범위

청구항 1.

입력(16)과, 상기 입력(16)에 결합된 제 1 및 제 2 직교 관련(quadrature related) 주파수 변환 스테이지(20, 21)와, 상기 제 1 및 제 2 직교 관련 주파수 변환 스테이지(20, 21)에 결합되어 각각 오버샘플된 디지털 신호(36, 37)를 발생시키고, 저 주파수 대역통과 응답을 갖는, 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기(30; 52, 54)를 포함하는 수신기로서,

오버샘플된 디지털 신호(36, 37)의 비트 속도(32, 34; 42, 44)를 복조 수단(48)에 의해 요구된 속도로 변경하기 위한 수단을 더 포함하고, 상기 복조 수단(48)은 상기 비트 속도(32, 34; 42, 44)를 변경하기 위한 수단에 결합되고,

상기 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기(30; 52, 54) 각각은 N개의 직렬로 연결된 해당하는 다수의 적분기(56, 58, 60, 62; 57, 59, 61, 63)를 포함하는데, 여기서 N은 2 이상의 값을 갖는 정수이고, 상기 제 1 연속 시간의 저역 시그마-델타 변조기의 제 2 적분기 내지 N번째 적분기의 출력은 상기 제 2 연속 시간의 저역 시그마-델타 변조기의 해당 적분기의 출력과 교차 결합되는 수신기.

청구항 2.

제 1항에 있어서, 상기 비트 속도를 변경하기 위한 수단은, 하나 이상의 추림 수단(decimating means)(32, 34; 42, 44)을 포함하는 것을 특징으로 하는, 수신기.

청구항 3.

제 1항에 있어서, 상기 비트 속도를 변경하기 위한 수단은, 상기 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기(30; 52, 54)의 출력에 결합된 제 1 추림 수단(32, 34)을 포함하고, 신호 역회전(derotation) 수단(38, 40)은 상기 제 1 추림 수단(32, 34)에 결합되고, 제 2 추림 수단(42, 44)은 상기 신호 역회전 수단(38, 40)에 결합되는 것을 특징으로 하는, 수신기.

청구항 4.

제 3항에 있어서, 상기 제 1 추림 수단(32, 34)은 교차 결합된 제 3 및 제 4 추림 수단(32, 34)으로 구성되는 것을 특징으로 하는, 수신기.

청구항 5.

제 3항에 있어서, 상기 신호 역회전 수단(38, 40)은 실질적으로 순수한 사인파를 나타내는 디지털 위드를 제공하기 위해 적응되는 것을 특징으로 하는, 수신기.

청구항 6.

제 1항에 있어서, 상기 제 1 및 제 2 직교 관련 주파수 변환 스테이지는 저 IF 스테이지인 것을 특징으로 하는, 수신기.

**청구항 7.**

제 6항에 있어서, 전치 필터는 각 상기 제 1 및 제 2 직교 관련 주파수 변환 스테이지의 각 출력을, 상기 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기 중 각각의 하나에 결합시키는 것을 특징으로 하는, 수신기.

**청구항 8.**

제 7항에 있어서, 자동 이득 제어 수단은, 각 상기 제 1 및 제 2 직교 관련 주파수 변환 스테이지와 상기 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기 사이에 결합되는 것을 특징으로 하는, 수신기.

**청구항 9.**

제 1항에 있어서, 상기 제 1 및 제 2 직교 관련 주파수 변환 스테이지는 제로 IF 스테이지이고, 저역 필터는 상기 제 1 및 제 2 직교 관련 주파수 변환 스테이지를 상기 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기에 결합하는 것을 특징으로 하는, 수신기.

**청구항 10.**

제 1항에 기재된 수신기를 포함하는 집적 회로.

**명세서**

**기술분야**

본 발명은 디지털 라디오 수신기 또는 라디오 트랜시버의 수신기 부분, 및 디지털 라디오 수신기를 사용하는 집적 회로에 관한 것이다.

**배경기술**

에스. 에이. 잔지, 케이. 더블유. 마틴(S.A. Jantzi, K.W Martin)과 아델 에스. 세드라(Adel S. Sedra)에 의해 1997년 12월, 고체-상태의 회로의 IEEE 저널 32권 12호의 1935 내지 1950 페이지에 있는, "디지털 라디오를 위한 쿼드래처 대역통과  $\Delta\Sigma$  변조"라는 제목인 논문은, 저-IF(low-IF) 수신기 구조내의 임계 성분이 쿼드래처(quadraature) 신호 상의 대역통과 아날로그/디지털 변환을 수행하는 성분을 언급한다. 이 논문은 IF에서 협대역 신호를 포함하는 I 및 Q 믹서 출력을 갖는 직접 변환 수신기의 저 IF 변수를 언급한다. 이러한 출력은 복합, 쿼드래처, 반-에일리어싱(anti-alaising) 필터링을 실행하고, 그 후에 출력은 쿼드래처 대역통과 시그마-델타 변조기와 제후하여 디지털화된다. 변조기는 복합 아날로그 입력 신호를 취득하고, 협대역 폭내에 복합 입력을 나타내는 복합 디지털 출력을 발생시킨다. 복합되는 출력의 스펙트럼은 dc에 대해 비대칭일 수 있다. 높은 차수의 시그마-델타 변조기의 수학적 시뮬레이션은 항상 구현을 안정하게 하지 않아서, 그 결과 설계하기에 어렵다.

이러한 종래 기술의 도 9는 또한 몇몇 복합 공진기를 포함하는 쿼드래처 대역통과 시그마-델타 변조기를 개시한다. 각각의 복합 공진기는 유닛 서클(unit circle) 상에 복합 극을 형성하는 간단한 복합 필터이다. 양자화기 주위에 피드백을 구비함으로써, 이러한 극은 인-밴드(in-band) 양자화 잡음을 없게 하는 잡음-정형(noise-shaping) 제로(zero)를 형성한다. 종래 기술의 도 11은 구형(global) 피드백 루프 내부에 4개의 복합 극을 갖는 제 4 순서의 복합 변조기를 개시한다. 실제 입력 및 가상 입력은 오버샘플(oversampled)되고, 이 샘플은 각 커패시터에 의해 복합 변조기 중 4개의 복합 공진기의 복합 피드-인(feed-ins)에 공급된다. 실제 채널 및 가상 채널 각각은, 1-비트 출력을 발생시키고 1-비트 피드백 디지털-아날로그 변환기(DAC)를 구동시키는 래치된(latched) 비교기를 갖는다. DAC 출력 레벨은 각 커패시터를 통해 각 변조기 단계로 피드백된다. 기술된 구조는 모든 전송 함수 극과 제로를 독자적으로 위치시키게 하는데, 이것은 잡음 형태가 샘플링 주파수의 임의 분수(arbitrary fraction)로 형성되게 하고, 잡음-정형 제로가 해당 대역을 통해 최적으로 확장하게 한다. 해당

대역내에서 제로의 최적 위치 지정은 주어진 변조기 순서에 의해 취득된 신호-대-잡음 비율(SNR)을 상당히 증가시킨다. 기술된 회로는 반-에일리어싱에 대해 어떠한 제공도 없는데, 상기 반-에일리어싱은 래치된 비교기로부터 출력의 비트 속도로 샘플링된 시그마-델타 변조기의 입력으로 인해 발생할 것이다. 루프 필터 전에 샘플링을 구비함으로써, 루프 필터는 불필요한 신호로부터 간섭을 초래하는 임의의 반-에일리어싱 필터링을 제공할 수 없다. 언급된 논문은 신호가 시그마-델타 변조기에 인가되기 전에 이러한 간섭을 감소시키기 위한 복합 반-에일리어싱 필터와 증폭기의 제공을 개시한다. 이러한 반-에일리어싱 필터는 고 대역의 감쇠를 가져야 하고, 그 결과로 높은 전력을 소비하고 페쇄 정합(close matching)을 필요로 한다. 집적 회로로 구현된 경우 그러한 필터는 외부(또는 오프-칩) 수동 부품(passive component)을 필요로 할 수 있다.

미국 특허 출원(US 5,764,171호)은 수신된 신호를 주파수가 하향 변환된 쿼드래처 관련 신호로 변환하기 위한 주파수 변환 수단을 포함하는 쿼드래처 신호 변환 장치를 개시한다. 각 쿼드래처 관련 신호는 각 시그마-델타 변환기에 공급되는데, 상기 시그마-델타 변환기는 하향 변환된 신호 중 하나 및, 시그마-델타 변환기의 출력으로부터 피드백된 신호에 대한 입력을 갖는 신호 조합 단계를 포함한다. 상기 조합 단계의 출력은 필터 단계의 입력에 결합되는데, 상기 입력은 시그마-델타 변환기가 교차 결합되어 다상 필터를 형성하도록 다른 시그마-델타 변환기의 필터 단계의 출력에 결합된다. 양자화는 각각의 필터 단계에 결합되는데, 이것은 수신기의 출력 신호를 발생시키는 디지털 신호 처리기(DSP: Digital Signal Processor)에서 처리하기에 적합한 출력 신호를 제공하기 위해서이다. 단일 필터 단계를 사용하여 양자화 잡음을 감소시키지만, 양자화 잡음을 더 감소시키는 것이 바람직하다.

### 발명의 상세한 설명

본 발명의 목적은 향상된 양자화 잡음 감소로 트랜시버의 집적가능한 수신기 또는 수신기 부분을 만들 수 있는 것이다.

본 발명의 제 1 측면에 따라 수신기가 제공되는데, 상기 수신기는 입력과, 입력에 결합된 제 1 및 제 2 직교 관련(quadrature related) 주파수 변환 스테이지(stage)와, 제 1 및 제 2 직교 관련 주파수 변환 스테이지에 결합되어 각각 오버샘플링된 디지털 신호를 발생시키고, 저 주파수 대역통과 응답을 갖는, 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기를 포함하는 수신기로서,

오버샘플링된 디지털 신호의 비트 속도를 복조 수단에 의해 요구된 속도로 변경하기 위한 수단을 더 포함하고, 이 복조 수단은 상기 비트 속도를 변경하기 위한 수단에 결합되고,

상기 제 1 및 제 2 연속 시간의 저역 시그마-델타 변조기 각각은 N개의 직렬로 연결된 다수의 적분기를 포함하는데, 여기서 N은 2 이상의 값을 갖는 정수이고, 제 1 연속 시간의 저역 시그마-델타 변조기의 제 2 적분기 내지 N번째 적분기의 출력은, 제 2 연속 시간의 저역 시그마-델타 변조기의 해당 적분기의 출력과 교차 결합된다.

연속 시간의 변조기인 제 1 및 제 2 시그마-델타 변조기에 의해, 샘플링은 루프 필터를 후속하여 반-에일리어싱 필터링을 제공한다. 교차 결합된 제 1 및 제 2 시그마-델타 변조기가 저 주파수 대역통과 응답을 갖기 때문에, 정합은 달성하기에 쉽다. 양호한 정합(matching)은 중요한데, 이는 일단 상기 정합이 생성되면 원하는 간섭을 일으키는 신호 중 오류 성분을 제거하기에 쉽지 않고, 또한 양자화 잡음 스펙트럼 상에 영향을 미치기 때문이다. 교차 결합된 변조기가 저 주파수 대역통과 응답을 갖기 때문에, 상기 변조기는 저 전력으로 집적된 회로로 구현될 수 있다. 모든 적분기, 특히 제 1 적분기를 교차 결합하지 않음으로써, dc 오프셋은 감소된다.

수신기의 실시예에서, 각 시그마-델타 변환기는 아날로그-디지털 변환기(ADC) 전에 연속 시간의 루프 필터를 포함하는데, 이는 샘플링 속도의 반보다 높은 주파수에서 원하는 신호 대역을 통과하지만, 심한 감쇠를 신호에 인가하여, 에일리어싱을 피하기 위해서이다.

제 1 및 제 2 직교 관련 주파수 변환 스테이지는 저 IF 또는, 대안적으로 제로 IF 스테이지일 수 있다.

전치 필터, 예를 들어 다상 필터는 각 제 1 및 제 2 주파수 변환 스테이지의 각 출력과 제 1 및 제 2 시그마-델타 변조기 중 각각의 변조기 사이에 결합될 수 있다. 전치 필터의 제공은 저 차수 반-에일리어싱 필터링을 제공하고, 시그마-델타 변조기가 측정된 신호를 블록킹하는 것을 피하게 하는 블록킹 억제제 동적 범위에서의 증가 및 샘플링 속도에서의 매우 상당한 증가를 필요로 할 수 있다.

자동 이득 제어 수단은 저 IF 스테이지로 동작하는, 각 제 1 및 제 2 주파수 변환 스테이지의 각각의 출력과 시그마-델타 변조기 사이에 결합될 수 있다. 이득 제어를 제공하는 이점은 시그마 델타 변조기의 동적 범위를 더 감소시키는 것이다.

제 1 및 제 2 주파수 변환 스테이지가 제로 IF 스테이지일 때, 믹싱의 산물(product)은 저역 필터에 인가된다.

비트 속도 변경 수단은 하나 이상의 추림 수단(decimating means)을 포함한다.

본 발명의 실시예에 따라, 제 1 및 제 2 시그마-델타 변조기의 오버샘플링 출력은 샘플링 속도를 감소시켜서 잡음 전력을 감소시키기 위해 변조기의 출력에 결합된 제 1 추림 수단에 인가되고, 역회전 수단(derotation means)은 제 1 추림 수단에 결합되며, 역회전 수단은 비교적 순수한 사인과 신호를 발생시켜, 큰 대역의 양자화 잡음이 대역에서 에일리어싱되는 것을 방지하고, 제 2 추림 수단은 샘플링 속도를 더 감소시키기 위한 역회전 수단에 결합된다.

제 1 추림 수단은 저 IF에서 대역통과 잡음 정형을 제공하기 위해 교차 결합되어, 보다 높은 오버 샘플링 인자에 대한 필요를 감소시킬 수 있다.

본 발명의 제 2 측면에 따라, 본 발명의 제 1 측면에 따른 수신기를 포함하는 집적 회로가 제공된다.

본 발명은 첨부된 도면을 참조하여, 예로서 이제 기술될 것이다.

### 실시예

도면에서, 동일한 참조 번호는 해당 부분을 나타내도록 사용된다.

기술을 편리하게 하기 위해, 본 발명은 GSM(이동통신을 위한 광역 시스템) 디지털 셀룰러 전화 표준에 대해 기술될 것이다.

도 1을 참조하여, 수신기(또는 수신기 부분)는 925MHz 내지 960MHz의 GSM 대역내의 신호를 선택하는 대역통과 필터(12)를 경유하는 저 잡음 RF 증폭기(14)에 결합된 안테나(10)를 포함한다. 증폭기(14)로부터의 신호는 노드(16)에서 분할되고, 평형 믹서(20, 21)의 제 1 입력(18, 19)에 공급된다. 수신된 신호의 중심 주파수로부터 100kHz(또는 채널의 절반)에 의해 주파수 오프셋을 갖는 직교 관련 로컬 발진기 신호는 신호 생성기(22)에 의해 믹서(20, 21)의 제 2 입력(24, 25)에 공급된다. 믹서(20, 21)의 실제 출력 및 가상 출력(26, 27)은 도 2에 대해 더 구체적으로 기술될, 교차 결합되고, 연속 시간의 저역 시그마-델타 변조기(30)에 각각 공급된다. 임의로 블록킹 억제를 위한 대역통과 전치-필터(28)는 믹서(20, 21)의 출력(26, 27)으로부터 신호 경로에 연결된다. 원하는 경우, 자동 이득 제어의 측정은 전치-필터(28)의 출력에 인가될 수 있다. 시그마-델타 변조기(30)의 입력 신호는 100kHz에서 동위상(in-phase)(I) 및 쿼드래처(Q) IF 신호이며, 출력은 13MHz에서 오버샘플링된 1-비트 디지털 신호이다.

교차 결합된 제 1 추림 단계(32, 34)는 각각 교차 결합된 저역 시그마-델타 변조기(30)의 동위상(I) 및 쿼드래처(Q) 출력(36, 37)에 결합된다. 단계(32, 34)는 본 실시예에서, 6의 인자에 의한 샘플링 속도를 감소시키고 에일리어스 제거 대역통과 필터링을 제공한다. 제 1 추림 단계(32, 34)로부터 출력은 2.17MHz에 있다. 제 1 추림 단계(32, 34)로부터의 신호는 역회전 단계(38, 40)에서 역회전된다. 제 2 추림 단계(42, 44)는 본 실시예에서 각각 역회전 단계(38, 40)에 결합되고, GSM의 비트 속도인 270.83kHz에서 신호를 제공하기 위해 8의 인자에 의한 샘플링 속도를 감소시킨다. 제 2 추림 단계(42, 44)로부터 출력은 출력(48)을 제공하는 등화기/복조기 단계(46)에 공급된다.

도 1에서 도시된 수신기의 작동은, 안테나(10)로부터 들어오는 RF 신호가 일반적으로 평형 믹서(20, 21)에서 채널 대역통과의 절반 또는 채널 공간의 절반과 동일한 저 IF에 있는 동위상(I) 및 쿼드래처(Q) 성분으로 변환됨으로써 요약될 수 있다. 이러한 I 및 Q 신호는 사용되고 있는 제로로부터 저 IF로 잡음 정형을 최소로 이동시키기 위해 교차 결합된 저역 시그마-델타 변조기(30)의 쌍을 사용하여 디지털화된다. 그 후에 시그마-델타 변조기(30)로부터 비트스트림 출력은 다중-비트 디지털화된 제로-IF 출력을 제공하기 위해 추림되고 역회전되며, 다수의 인접 채널 필터링은 추림 과정에서 이루어진다. 그 후에 다중-비트 출력은 응용에 적절한 바와 같이 복조된다.

도 2는 더 구체적으로 교차 결합되고, 연속 시간의 저역 시그마-델타 변조기(30)를 도시한다. 직교 관련 아날로그 저 IF 신호(I 및 Q)는 입력 단자(50, 51)에 각각 인가된다. 각 입력 단자(50, 51)는 제 4차의, 시간-연속, 시그마-델타 변조기(52, 54)에 결합된다. 각 변조기(52, 54)는 4개의 직렬 연결된 트랜스컨덕터-커패시터 적분기(56, 58, 60, 62 및 57, 59, 61, 63)를 구성하는 에일리어스 제거 연속 시간의 아날로그 루프 필터를 포함한다. 각 변조기의 제 2 적분기 내지 제 4 적분기는 자이레이터(gyrator)(64, 66, 68)에 의해 교차 결합된다. 각 단계는 IF 대역내의 각 주파수에서 공진하도록 세팅된다.

주파수는 비율( $g_m/C$ )에 따라 결정된다. C의 값은 잡음 요구조건에 의해 세팅되고, 컨덕턴스( $g_m$ )는 C의 값에 대해 바람직한 중심 주파수를 제공하도록 세팅된다. 이러한 단계를 교차 결합함은 요구된 주파수에서의 이동과 자이레이터의 특성 어드미턴스(admittance)에 의해 그 값이 결정된 각 커패시터 사이트에서 음의 서스셉턴스(negative susceptance)를 도입하는 영향을 미친다. 제 1 단계(56, 57)는 이러한 단계의 출력에 dc 오프셋을 도입하는 단계를 피하는 자이레이터를 사용하여 교차 결합되지 않는다. 각 4개의 단계(56, 58, 60, 62 및 57, 59, 61, 63)의 출력은 각 합계 단계(70, 72)에서 조합된다. 상기 단계의 출력은 각각의 1-비트 아날로그-디지털 변환기(ADC)(74, 76)에 인가되는데, 상기 변환기에서 아날로그 신호가 각각의 출력(36, 37) 상의 13MHz에서 1 비트 신호를 제공하도록 오버샘플된다. 높은 오버-샘플링 속도를 선택함으로써, 즉, 평균이 이루어질 수 있는 샘플의 수가 높아질수록, ADC의 효과적인 분해능(resolution)은 더 나아질 것이다.

ADC(74, 76)의 출력은, 1 비트 DAC(78, 80)내에서 아날로그 신호로 변환되고, 합계 단계(82, 84)에서 각 입력 단자(50, 51) 상의 신호와 조합되어, 또한 피드백된다. 피드백 루프는, 평균화과정이 가치가 있도록 하기 위해 해당 주파수 대역에서 ADC(74, 76)에 의해 발생된 양자화 잡음의 평균값이 가능한 한 적은 것을 보장한다.

모든 자이레이터(64, 66, 68)가 100kHz에 근접하게 각 주파수에서 공진하도록 세팅하여 13MHz의 샘플링 속도로 교차 결합된 시그마-델타 변조기를 작동함으로써, 신호 및 양자화 잡음 스펙트럼은 도 3에서 도시된 바와 같다. 도 3에서, 실선(82)은 GSM GMSK 신호와 잡음 특성을 더한 것을 보여주고, 점선(84)은 ADC 잡음 플로어(floor)를 도시하고, 일점 쇄선(86)은 DC 잡음을 나타낸다. 100kHz의 저 IF를 선택함으로써, 원하는 GSM GMSK 신호는 DC 잡음 스파이크(86)로부터 멀리 이동된다. 더욱이, 전력을 절감시키기 위해 클럭 속도를 허용되는 값으로 감소시킴으로써, GSM GMSK는 필요한 신호의 전체 200kHz 대역통과를 걸쳐 잡음 플로어(84)의 위에 있다.

시그마-델타 변조기의 출력(36, 37) 상의 비트 스트림은 제 1 추림 단계(32, 34)에 인가되는데, 상기 추림 단계는 샘플 속도를 감소시키고, 시그마-델타 변조기에 의해 필요한 신호 대역폭 외측에서 발생된 잡음의 매우 높은 레벨을 감소시키고, 다수의 수신기의 채널 선택성을 제공한다. 포함된 필터링의 종류를 나타내기 위해, 최대 전력으로 입력 신호와 피딩(feeding)된 제 4차, 저역 시그마-델타 변조기로부터 주파수 스펙트럼을 보여주는 도 4를 참조한다. 표시를 간편하게 하기 위해, 스펙트럼은 저 IF보다 오히려 제로 IF의 사용에 해당한다. 신호 주파수는 50kHz이고, ADC 샘플링 주파수는 13MHz이다. 주파수 스펙트럼의 검사는, 50kHz 아래인 저 주파수에서의 잡음이 없으며 보다 높은 주파수에서의 많은 잡음이 있는 사실에 의해 변조기내의 루프 필터의 잡음 정형 작용을 도시한다.

도 5는 13MHz의 샘플링 속도가 6의 인자에 의해 2.17MHz의 속도로 감소된 제 1 추림 단계의 출력에서 신호의 주파수 스펙트럼이다. 제 1 추림 단계에 의해 형성된 필터가, 신호 대 잡음 비율이 +60.8dB인 정도까지 잡음 전력을 감소시킨다는 것을 알 수 있다.

도 6은 제 2 추림 단계의 출력에서 신호의 주파수 스펙트럼이다. 8의 추림 인자는 270.833 ksample/sec의 샘플링 속도를 감소시키도록 사용된다. 필터링은 이 단계가 채널 선택성을 제공하는데 주로 원인이 되기 때문에 더 정확하게 제어된다. 잡음 전력의 집적은 신호 대 잡음 비율이 +82dB로 이제 증가된다는 것을 나타낸다.

제 1 및 제 2 추림 단계 사이에 역회전 단계(38, 40)(도 1)를 위치함에 대해, 큰 대역의 양자화 잡음은 인-밴드(in-band)에서 에일리어싱되어서는 안되고, 역회전 신호, 효과적으로 -100kHz에서의 로컬 발진기 신호는 비교적 순수한 사인파이어야 한다. 그러므로, 넓은 워드(word) 폭은 사인파를 코딩할 필요가 있는데, 상기 사인파는 샘플링 속도가 상당히 감소되지 않으면 디지털 신호 처리의 전력 소비에 불리한 영향을 미칠 것이다. 역회전은, 샘플링 속도가 에일리어싱 없이 신호를 인코딩하기에 너무 낮기 때문에 모든 추림이 완료된 후에야 비로소 지연될 수 있다.

13MHz 신호의 추림은 역회전이 상당한 영향을 받을 수 있는 것을 조건으로, 임의의 적합한 방법으로 이루어질 수 있다. 예를 들어 6 및 8의 인자는 각각 24와 2, 또는 각각 4와 12로 가정될 수 있다. 또한 그러한 인자는 하나 이상의 단계에서 달성될 수 있는데, 예를 들어 6의 인자는  $\div 2$  및  $\div 3$ 으로 구현될 수 있다. 2 이상의 단계를 사용함으로써 전력이 절감될 수 있다. 전체 추림 인자는 등화기/복조기 단계(46)에 의해 요구된 속도로 비트 속도를 취득하도록 결정된다.

본 발명의 미도시된 실시예에서, 등화기/복조기 단계(46)는, 비트스트림이 추림되고 단계(46)에 직접 공급되는 결과로 비트 스트림의 각 역회전이 불필요하도록 설계될 수 있다.

도 7은 오피-앰프 필터(OP1, OP2, OP3 및 OP4)를 사용하여 구현된, 교차 결합된 연속 시간의 저역 시그마-델타 변조기(30)를 도시한다. 필터는 유사한 구조이고, 간결하기 위해 필터(OP1)는 구체적으로 기술될 것이다. 오피-앰프(100)는 접지에 연결될 하나의 입력(102)을 갖는다. 저항기(103)는 오피-앰프의 제 2 입력(104)에 연결된다. 피드백 커패시터(108)는 오피-앰프(100)의 출력(106)과 제 2 입력(104) 사이에 결합된다.

오피-앰프(OP3 및 OP4)는 교차 결합되도록 도시된다. 이것은 필터(OP3)의 오피-앰프의 출력(106)에 의해 영향을 받는데, 상기 필터(OP3)는 역 증폭기(110)와 저항기(112)에 직렬로 연결됨으로써 필터(OP4)의 오피-앰프의 제 2 입력(104)에 결합된다. 저항기(114)는 필터(OP4)의 오피-앰프의 출력(106)을 필터(OP3)의 오피-앰프의 제 2 입력에 결합한다.

교차 결합된 시그마-델타 변조기(30)의 작동은 도 2에 대해 기술된 것과 동일하고, 간결하기 위해 기술은 반복되지 않을 것이다.

도 8은 저 IF 수신기의 제 2 실시예를 도시하는데, 상기 저 IF 수신기에는 직교 관련 믹서(20, 21)에서 믹싱의 산물이 조정 가능한 이득 증폭기(88, 89)에 의해 제공된 자동 이득 제어(agc)의 측정값을 갖는 아날로그 다상 필터(86)에 인가된다. 다상 필터(86)는 불필요한 이미지 신호를 블록킹할 수 있지만, 필요한 신호를 통과시킨다. 도 2에서 도시된 바와 같은 자이레이터, 또는 도 7에서 도시된 바와 같은 저항기를 사용하는 시그마-델타 변조기(30)내의 교차 결합은, 변환기의 동적 범위를 증가시킨다. 이러한 실시예에서, ADC의 샘플링 주파수는 6.5MHz이고, 그 결과 추림기(32, 34 및 42, 44)에 대한 추림 인자는 각각 3과 8이지만, 인자의 다른 조합은 가능하다. 도 8에서 도시된 회로는 도 1에서 도시된 회로와 다른 점에서 유사하고, 간결하기 위해 다시 기술되지 않을 것이다.

도 9는 본 발명의 제 3 실시예를 도시하는데, 여기서 수신기가 제로 IF 수신기로 구성되고 작동된다. 이 실시예에서, 로컬 발진기(22)는 수신된 신호의 공칭(nominal) 반송파 주파수에서 직교 관련 로컬 발진기 신호를 제공하고, 믹싱의 산물은 제로 IF I 및 Q 신호를 선택하기 위해 저역 필터(90, 91)에 인가된다.

교차 결합된 시그마-델타 변조기에 의해, ADC(74, 76)(도 2)로부터 피드백 경로에서 공진기를 제공해야 하지 않고 바람직한 필터링 특성을 실현할 수 있지만 그러한 공진기는 보통 실제로 실현하기 어렵다.

도 9에서 도시된 회로는 도 1에서 도시된 회로와 다른 점에서 유사하고, 간결하기 위해 다시 기술되지 않을 것이다.

도 1, 도 8 및 도 9에서 도시된 수신기를 구현할 때, 시그마 델타 변조기에 이르고, 이 변조기를 포함하는 블록은 고 주파수 아날로그 과정에서 제작되어, 고 선형(linearity) 및 저 잡음을 유지한다. 제 1 및 제 2 추림 단계와 역회전 단계는 디지털 CMOS 과정에서 제작된 하드웨어에서 최고로 이루어진다.

I 및 Q 신호 경로의 전송 기능 사이의 부정합은 일반적으로 수신기의 아날로그 부분의 제작에서 처리 변수의 결과로 될 수 있다. 그러나, 부정합의 효과는, 이미지 채널이 보다 낮은 간섭 이뮤너티(immunity) 요구조건을 갖는 인접한 채널이어서 채널의 폭 또는 채널 공간보다 더 적은 IF를 사용함으로써 감소된다.

### 산업상 이용 가능성

본 명세서 및 청구항에서, 한 요소 앞의 단어 "a" 또는 "an"은 다수의 그러한 요소의 존재를 배제하지 않는다. 더욱이, 단어 "포함하는"은 기입된 것보다 다른 요소 또는 단계의 존재를 배제하지 않는다.

본 명세서를 읽음으로써, 다른 변경은 당업자에게 명백할 것이다. 그러한 변경은 다른 특성을 포함할 수 있는데, 상기 특성은 수신기와 수신기에 대한 성분 부분의 설계, 제조 및 사용에서 이미 공지되고, 본 명세서에서 이미 기술된 특성대신에 또는 특성에 더하여 사용될 수 있는 다른 특성을 포함할 수 있다.

디지털 라디오 수신기 및 집적 회로로서 디지털 라디오 수신기의 구현은 이용할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명에 따라 만들어진 수신기의 하나의 실시예의 개략적인 블록도.

도 2는 트랜스컨덕터(transconductor)-커패시터 적분기를 사용하여 구현된 교차 결합된 시그마-델타 변조기의 개략적인 블록도.

도 3은 13MHz 샘플 속도로 교차 결합된 시그마-델타 변조기 신호 및 잡음을 보여주는 dBm의 Hz 대 전력에서의 주파수 그래프.

도 4는 시그마-델타 변조기로부터 로 출력(raw output)의 주파수 스펙트럼(주파수 대 전력)을 도시한 도면.

도 5는 추림의 제 1 단계 후의 주파수-스펙트럼(주파수 대 전력)을 도시한 도면.

도 6은 추림의 제 2 단계 후의 신호 및 잡음 스펙트럼(주파수 대 전력)을 도시한 도면.

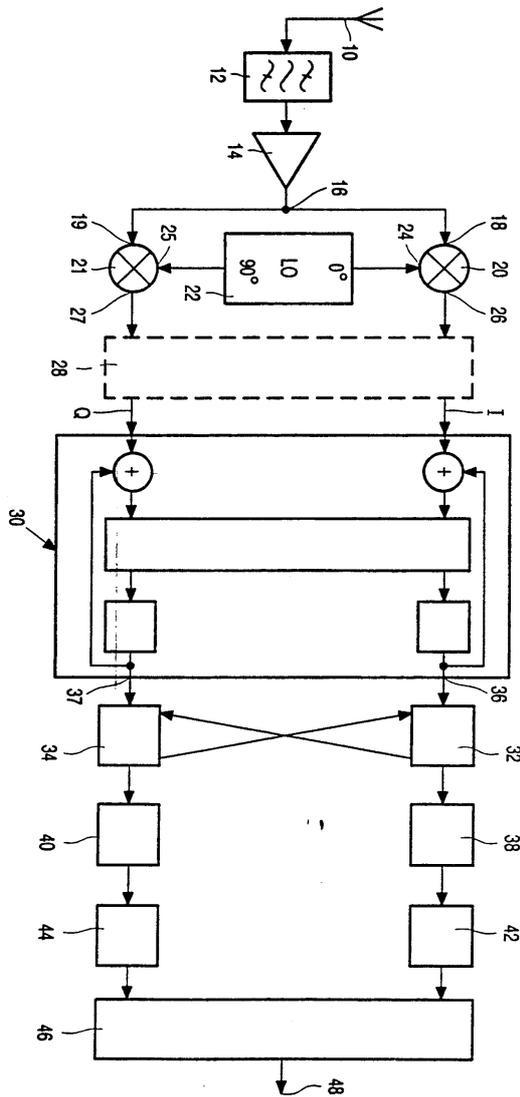
도 7은 오피-앰프(op-amp) 필터를 사용하여 구현된 교차 결합된 시그마-델타 변조기의 개략적인 블록도.

도 8은 본 발명에 따라 만들어진 수신기의 제 2 실시예의 개략적인 블록도.

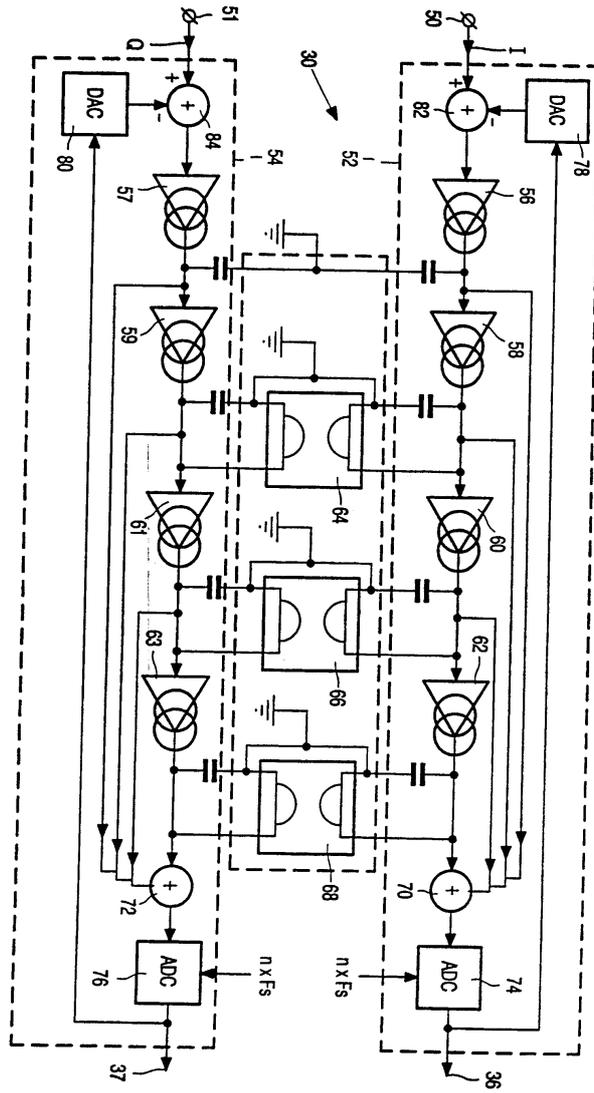
도 9는 본 발명에 따라 만들어진 수신기의 제 3 실시예의 개략적인 블록도.

도면

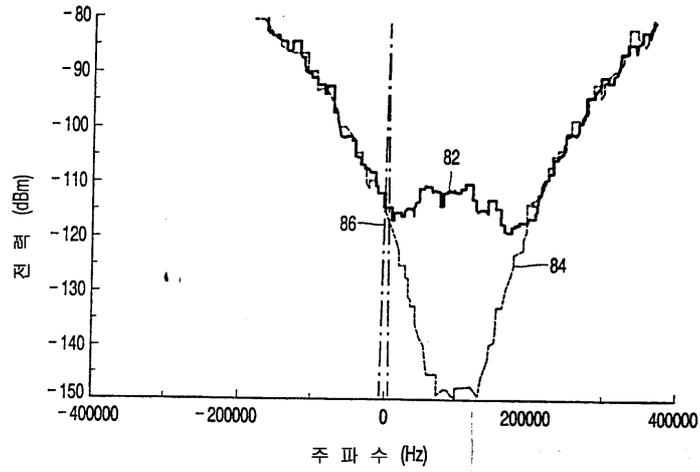
도면1



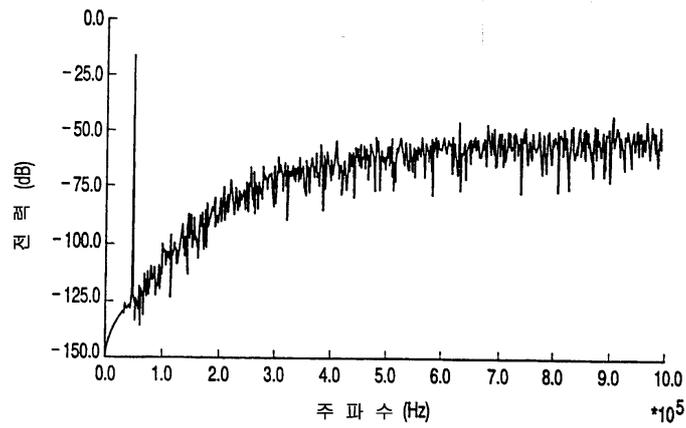
도면2



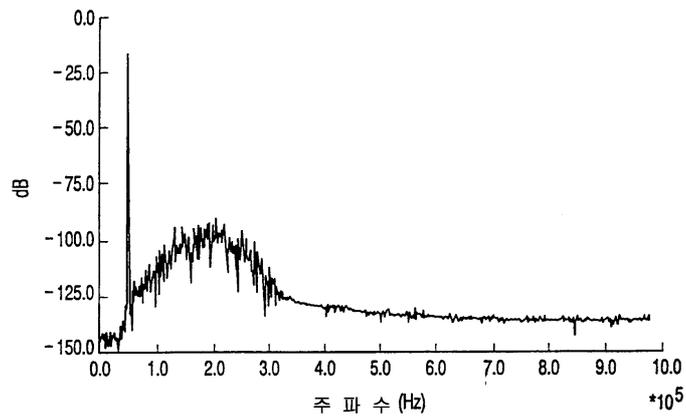
도면3



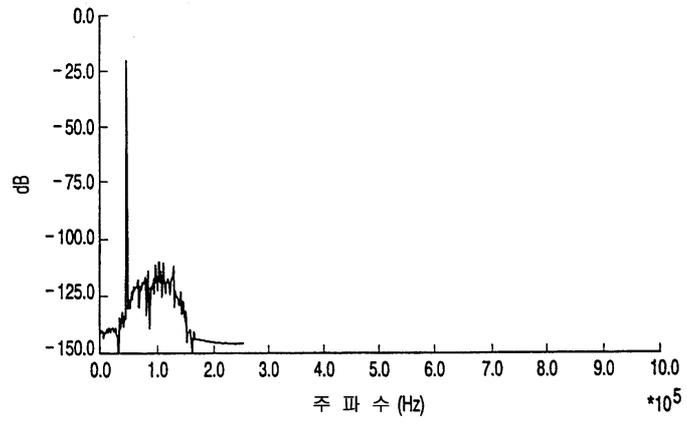
도면4



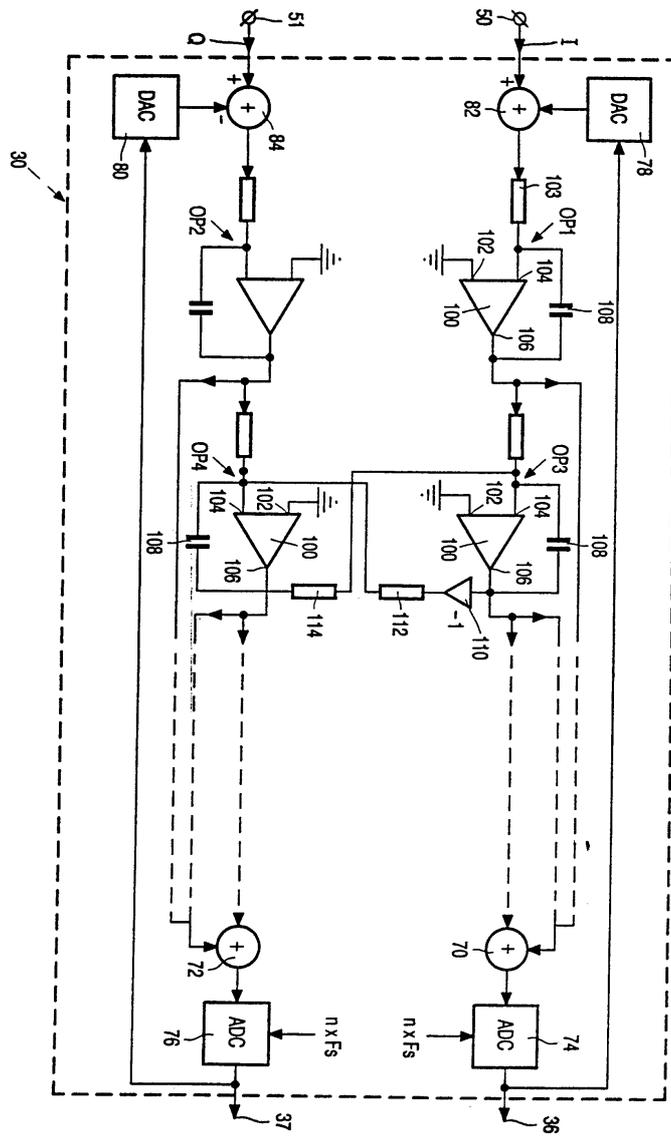
도면5



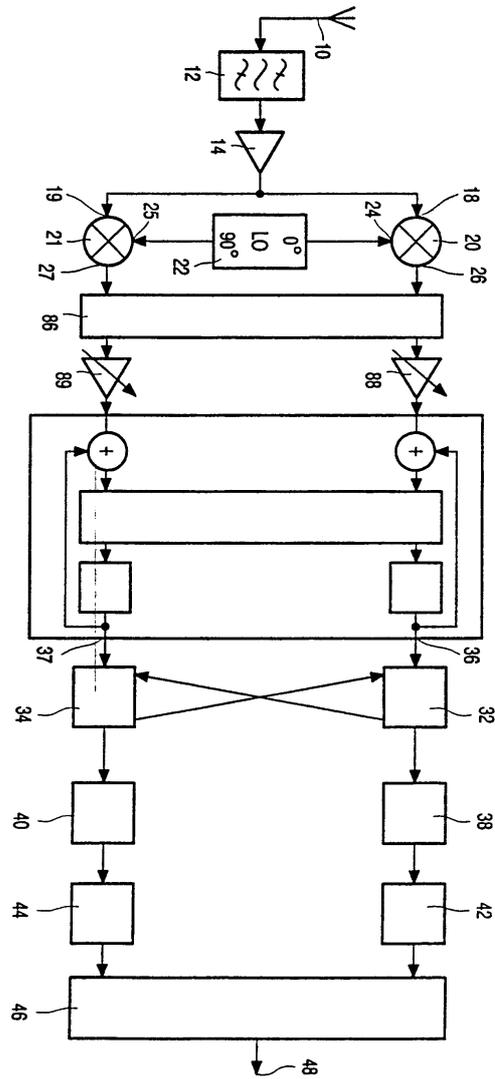
도면6



도면7



도면8



도면9

