202213766

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202213766 A

(43)公開日： 中華民國 111 (2022) 年 04 月 01 日

(21)申請案號：110133092 (22)申請日： 中華民國 110 (2021) 年 09 月 06 日

(51)Int. Cl.： *H01L29/04* *(2006.01)* *H01L29/12* *(2006.01)*
H01L27/11502 *(2017.01)* *H01L27/11585* *(2017.01)*

(30)優先權：2020/09/22 日本 2020-158057
2020/09/22 日本 2020-158058
2020/09/26 日本 2020-161542

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；神保安弘 JINBO, YASUHIRO (JP) ；國武寬司 KUNITAKE, HITOSHI (JP) ；大嶋和晃 OHSHIMA, KAZUAKI (JP) ；太田將志 OOTA, MASASHI (JP) ；古谷一馬 FURUTANI, KAZUMA (JP) ；青木健 AOKI, TAKESHI (JP)

(74)代理人：林怡芳；童啓哲

申請實體審查：無 申請專利範圍項數：22 項 圖式數：67 共 244 頁

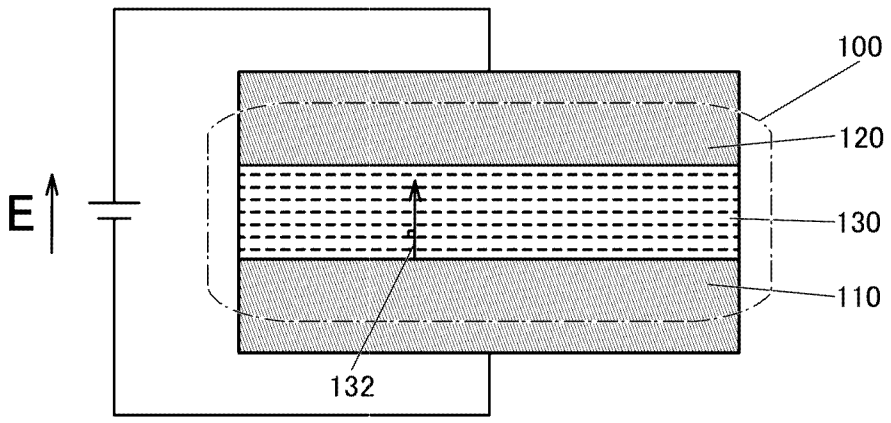
(54)名稱

鐵電體器件及半導體裝置

(57)摘要

提供一種包括具有良好的鐵電性的金屬氧化物膜的鐵電體器件。該鐵電體器件包括第一導電體、第一導電體上的金屬氧化物膜以及金屬氧化物膜上的第二導電體，金屬氧化物膜具有鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

指定代表圖：



【圖2A】

符號簡單說明：

100:電容器

110:導電體

120:導電體

130:絕緣體

132:c 軸

【發明摘要】

【中文發明名稱】鐵電體器件及半導體裝置

【中文】

提供一種包括具有良好的鐵電性的金屬氧化物膜的鐵電體器件。該鐵電體器件包括第一導電體、第一導電體上的金屬氧化物膜以及金屬氧化物膜上的第二導電體，金屬氧化物膜具有鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

【指定代表圖】圖2A

【代表圖之符號簡單說明】

100:電容器

110:導電體

120:導電體

130:絕緣體

132:c軸

【特徵化學式】無

【發明說明書】

【中文發明名稱】鐵電體器件及半導體裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種金屬氧化物或利用該金屬氧化物的鐵電體器件，以及其製造方法。此外，本發明的一個實施方式係關於一種電晶體、半導體裝置以及電子裝置。此外，本發明的一個實施方式係關於一種半導體裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置或記憶體裝置也是半導體裝置的一個實施方式。顯示裝置（液晶顯示裝置、發光顯示裝置等）、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置以及電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。此外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，半導體裝置主要使用 LSI、CPU、記憶體等。CPU 是包括將半導體晶圓加工來形成晶片而成的半導體積體電路（至少包括電晶體及記憶體）且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路（IC 晶片）被安裝在電路板（例如，印刷線路板）上，並被用作各種電子裝置的構件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路（IC）、影像顯示裝置（簡單地記載為顯示裝置）等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料及氧化物半導體等被廣泛地周知。

【0007】此外，如非專利文獻 1 所示，利用鐵電體（ferroelectric）的記憶體陣列的研究開發活躍。此外，作為下一代的鐵電記憶體，鐵電 HfO_2 類材料的研究（非專利文獻 2）、關於鉿氧化物薄膜的鐵電性的研究（非專利文獻 3）、HfO_2 薄膜的鐵電性（非專利文獻 4）以及使用鐵電體 $Hf_{0.5}Zr_{0.5}O_2$ 的 FeRAM 與 CMOS 的統合的實證（非專利文獻 5）等有關氧化鉿的研究也活躍。

【0008】

[非專利文獻 1]T.S.Boescke，et al，“Ferroelectricity in hafnium oxide thin films”，APL99，2011

[非專利文獻 2]Zhen Fan，et al，“Ferroelectric HfO_2-based materials for next-generation ferroelectric memories”，JOURNAL OF ADVANCED DIELECTRICS，Vol.6，No.2，2016

[非專利文獻 3]Jun Okuno，et al，“SoC compatible 1T1C FeRAM memory array based on ferroelectric $Hf_{0.5}Zr_{0.5}O_2$”，VLSI 2020

[非專利文獻 4]鳥海 明，“HfO_2 薄膜的鐵電性”，日本應用物理學會，第 88 卷，第 9 號，2019

[非專利文獻 5]T.Francois，et al，“Demonstration of BEOL-compatible ferroelectric $Hf_{0.5}Zr_{0.5}O_2$ scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications”，IEDM 2019

【0009】如非專利文獻 1 至非專利文獻 5 所示，已在進行各種各樣的有關鐵電體的研究開發。例如，非專利文獻 1 的報告稱如圖 8A 所示，在處於“Orthorhombic phase Ferroelectric”時，極化（P）的符號根據氧原子的轉移而改變。此外，非專利文獻 2 的報告稱如圖 8B 所示，極化的大小及介電常數（ε_r）根據 Hf 和 Zr 的組成而改變。

【0010】此外，非專利文獻 3 的報告稱如圖 9 所示，作為鐵電體的可靠性測試之一的耐改寫性為 10^9 次左右。此外，非專利文獻 4 報告如圖 10A、圖 10B 以及圖 10C 所示的 HfO_2 的繞射強度、極化以及結晶結構。

【0011】如上所述，雖然已在進行各種各樣的有關鐵電體的研究開發，但是鐵電體的特性仍然在很多方面待改善，被要求提高可靠性等特性。

【發明內容】

【0012】鑒於此，本發明的一個實施方式的目的之一是提供一種具有良好的鐵電性的材料，亦即，具有良好的鐵電性的金屬氧化物膜。此外，本發明的一個實施方式的目的之一是提供一種利用可具有鐵電性的材料的電容器。此外，本發明的一個實施方式的目的之一是提供一種利用可具有鐵電性的材料的電晶體。此外，本發明的一個實施方式的目的之一是提供一種利用可具有鐵電性的材料的電容器及二極體。此外，本發明的一個實施方式的目的之一是提供一種利用可具有鐵電性的材料並利用穿隧結的元件。

【0013】注意，上述目的的記載不妨礙其他目的的存在。此外，本發明的一個實施方式並不需要實現所有上述目的。此外，這些目的之外的目的根據說明書、圖式、請求項等的記載來看是自然明瞭的，可以從說明書、圖式、請求項等的記載得出上述以外的目的。

【0014】本發明的一個實施方式是一種鐵電體器件，包括第一導電體、第一導電體上的金屬氧化物膜以及金屬氧化物膜上的第二導電體，金屬氧化物膜具有鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

【0015】本發明的其他一個實施方式是一種鐵電體器件，包括第一導電體、第一導電體上的金屬氧化物膜、金屬氧化物膜上的第二導電體以及第二導電體上的密封膜，金屬氧化物膜具有鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

【0016】在上述實施方式中，較佳的是，密封膜包括第一密封膜及第一密封膜上的第二密封膜，第一密封膜包含氧及鋁，第二密封膜包含氮及矽，第一密封膜具有吸附或俘獲氫的功能。

【0017】本發明的其他一個實施方式是一種半導體裝置，包括電晶體及與電晶體電連接的電容器，電容器包括第一導電體、第一導電體上的金屬氧化物膜以及金屬氧化物膜上的第二導電體，金屬氧化物膜具有鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

【0018】此外，在上述實施方式中，電晶體較佳為在通道形成區域含有矽。

【0019】此外，在上述實施方式中，電晶體較佳為在通道形成區域含有氧化物半導體。

【0020】本發明的一個實施方式是一種半導體裝置，包括半導體膜、半導體膜上的金屬氧化物膜以及金屬氧化物膜上的第二導電體，金屬氧化物膜具有

鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

【0021】此外，在上述實施方式中，較佳的是，半導體膜包含矽或氧化物半導體，並包括與半導體膜電連接的源極電極及汲極電極。

【0022】此外，本發明的其他一個實施方式是一種半導體裝置，包括第一導電體、第一導電體上的金屬氧化物膜、金屬氧化物膜上的第二導電體以及位於第一導電體的上面及第二導電體的下面中的一個或兩個的絕緣體，金屬氧化物膜具有鐵電性，金屬氧化物膜具有結晶結構，結晶結構包括第一層及第二層，第一層包含第一氧及鉿，第二層包含第二氧及鋯，鉿與鋯藉由第一氧相鍵合，並且第二氧與鋯鍵合。

【0023】在上述實施方式中，絕緣體較佳為包含氮及矽。

【0024】此外，在上述各方式中，金屬氧化物膜所包含的氫及碳中的一個以上的藉由 SIMS 分析而測得的濃度較佳為 5×10^{20}atoms/cm^3 以下。此外，在上述各方式中，金屬氧化物膜所包含的氫及碳中的一個以上的藉由 SIMS 分析而測得的濃度更佳為 1×10^{20}atoms/cm^3 以下。此外，在上述各方式中，金屬氧化物膜所包含的氯的藉由 SIMS 分析而測得的濃度較佳為 5×10^{21}atoms/cm^3 以下。此外，在上述各方式中，金屬氧化物膜所包含的氯的藉由 SIMS 分析而測得的濃度更佳為 1×10^{21}atoms/cm^3 以下。

【0025】根據本發明的一個實施方式，可以提供一種具有良好的鐵電性的材料，亦即，具有良好的鐵電性的金屬氧化物膜。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的電容器。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的電晶體。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的電容器及

二極體。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料並利用穿隧結的元件。

【0026】注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。此外，這些效果之外的效果根據說明書、圖式、請求項等的記載來看是自然明瞭的，可以從說明書、圖式、請求項等的記載得出上述以外的效果。

【圖式簡單說明】

【0027】

[圖 1A1]、[圖 1B1]以及[圖 1C1]是本發明的一個實施方式的半導體裝置的電路圖，[圖 1A2]、[圖 1B2]、[圖 1C2]、[圖 1C3]以及[圖 1C4]是說明本發明的一個實施方式的半導體裝置的剖面結構的圖。

[圖 2A]及[圖 2B]是本發明的一個實施方式的電容器的示意圖，[圖 2C]是本發明的一個實施方式的電容器所具有的鐵電體的示意圖。

[圖 3A]至[圖 3C]是本發明的一個實施方式的 $HfZrO_X$ 的結晶結構的模型圖，[圖 3D]是示出鐵電體層的滯後特性的一個例子的圖表。

[圖 4A]至[圖 4C]是電容器所具有的鐵電體的示意圖。

[圖 5A]至[圖 5C]是示出本發明的一個實施方式的電容器的製造方法的剖面圖。

[圖 6]是說明本發明的一個實施方式的氧化鉿的結晶結構的模型圖。

[圖 7A]是示出本發明的一個實施方式的金屬氧化物膜的成膜序列的圖，[圖 7B]是本發明的一個實施方式的金屬氧化物膜的製造設備的剖面圖，[圖 7C]是示出氧化物的成膜序列的圖。

[圖 8A]是說明非專利文獻 1 所示的鐵電體的極化的圖，[圖 8B]是說明非專利文獻 2 所示的極化的大小及介電常數根據 Hf 和 Zr 的組成而改變的圖。

[圖 9]是說明非專利文獻 3 所示的鐵電體的耐改寫性的圖。

[圖 10A]至[圖 10C]是說明非專利文獻 4 所示的 HfO_2 的繞射強度、極化以及結晶結構的圖。

[圖 11A]是本發明的一個實施方式的半導體裝置的俯視圖，[圖 11B]至[圖 11D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 12A]及[圖 12B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 13A]是說明 IGZO 的結晶結構的分類的圖，[圖 13B]是說明 CAAC-IGZO 膜的 XRD 譜的圖，[圖 13C]是說明 CAAC-IGZO 膜的奈米束電子繞射圖案的圖。

[圖 14A]是本發明的一個實施方式的半導體裝置的俯視圖，[圖 14B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 15A]是本發明的一個實施方式的半導體裝置的俯視圖，[圖 15B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 16A]是本發明的一個實施方式的半導體裝置的俯視圖，[圖 16B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 17A]是本發明的一個實施方式的半導體裝置的平面圖，[圖 17B]及[圖 17C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 18]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 19]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 20A]及[圖 20B]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 21A]至[圖 21C]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 22A]至[圖 22C]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 23A]至[圖 23D]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖 24]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 25]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 26A]及[圖 26B]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 27A]至[圖 27C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 28A]是示出本發明的一個實施方式的記憶體裝置的結構例子的方塊圖，[圖 28B]是示出本發明的一個實施方式的記憶體裝置的結構例子的立體圖。

[圖 29A]是示出記憶單元的結構例子的電路圖，[圖 29B1]是示出鐵電體層的滯後特性的一個例子的圖表，[圖 29B2]是示出理想的鐵電體層的滯後特性的一個例子的圖表，[圖 29C]是示出記憶單元的驅動方法的一個例子的時序圖。

[圖 30A]至[圖 30E]是本發明的一個實施方式的記憶體裝置的示意圖。

[圖 31A]至[圖 31H]是示出本發明的一個實施方式的電子裝置的圖。

[圖 32A]是示出樣本的外觀的光學顯微照片，[圖 32B]是樣本的剖面示意圖，[圖 32C]是示出輸入電壓波形的圖。

[圖 33A]至[圖 33F]是說明使用三角波取得 P-E 特性的方法的圖。

[圖 34A]是示出 P-E 特性的測量結果的圖，[圖 34B]是示出 GIXD 測量結果的圖。

[圖 35A]是樣本的剖面 TEM 影像，[圖 35B]及[圖 35C]是樣本的 FFT 圖形。

[圖 36A]是樣本的剖面 TEM 影像，[圖 36B]及[圖 36C]是樣本的 FFT 圖形。

[圖 37A]是樣本的剖面 TEM 影像，[圖 37B]及[圖 37C]是樣本的 FFT 圖形。

[圖 38A]至[圖 38C]是樣本的剖面 TEM 影像。

[圖 39]是示出線性 EDX 分析的分析結果的圖。

[圖 40A]是示出 Ra 的測量結果的圖，[圖 40B]是示出 RMS 的測量結果的圖。

[圖 41]是示出 SIMS 分析結果的圖。

[圖 42]是示出 SIMS 分析結果的圖。

[圖 43]是示出 SIMS 分析結果的圖。

[圖 44]是示出 SIMS 分析結果的圖。

[圖 45A]及[圖 45B]是示出疲勞特性的測量結果的圖。

[圖 46A]是示出 P-E 特性的圖，[圖 46B]是示出疲勞特性的測量結果的圖。

[圖 47]是示出 P-E 特性的圖。

[圖 48]是示出 I-V 特性的圖。

[圖 49]是示出 XRD 測量結果的圖。

[圖 50]是示出 P-E 特性的圖。

[圖 51]是示出 I-V 特性的圖。

[圖 52]是示出 XRD 測量結果的圖。

[圖 53]是示出疲勞特性的圖。

[圖 54]是示出 P-E 特性的圖。

[圖 55A]及[圖 55B]是示出 P-E 特性的圖，[圖 55C]及[圖 55D]是示出極化與三角波的頻率的關係的圖。

[圖 56A]是示出計算模型的圖，[圖 56B]是示出計算後的計算模型的圖。

[圖 57A]及[圖 57B]是說明保持測量的圖。

[圖 58A]至[圖 58C]是示出保持測量結果的圖。

[圖 59A]是示出 P-V 特性的圖，[圖 59B]是示出 I-V 特性的圖。

[圖 60A]及[圖 60B]是示出電晶體的電特性的圖。

[圖 61A]是等效電路圖的一個例子，[圖 61B]是示出佈局的一個例子的俯視圖。

[圖 62A]是時序圖，[圖 62B1]是示出寫入工作的電路圖，[圖 62B2]是示出滯後特性以說明寫入工作的圖，[圖 62C1]是示出讀出工作的電路圖，[圖 62C2]是示出滯後特性以說明讀出工作的圖。

[圖 63A]是重疊地示出反復進行 40 次的寫入工作及讀出工作時的測量結果的圖，[圖 63B]是對比例子。

[圖 64A]、[圖 64B]、[圖 64C]以及[圖 64D]是示出 f 特性的測量方法的圖。

[圖 65]是示出 f 特性的測量結果的圖。

[圖 66A]、[圖 66B]、[圖 66C]以及[圖 66D]是示出保持測量方法的圖。

[圖 67]是示出保持測量結果的圖。

【實施方式】

【0028】下面，參照圖式對實施方式進行說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為

各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。

【0029】在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的製程中，有時由於蝕刻等處理而層或光阻遮罩等非意圖性地被減薄，但是為了便於理解有時不反映到圖式。此外，在圖式中，有時在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

【0030】此外，尤其在俯視圖（也稱為平面圖）或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。此外，有時省略部分隱藏線等的記載。

【0031】此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0032】在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，可以根據情況適當地更換。

【0033】例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於規定的連接關係（例如，圖式或文中所示的連接關係等），圖式或文

中所示的連接關係以外的連接關係也包含於圖式或文中所記載的內容中。這裡，X和Y為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

【0034】在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源極端子、源極區域或源極電極）之間具有通道形成區域（以下也稱為通道形成區域），並且藉由通道形成區域電流能夠流過源極和汲極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0035】此外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極及汲極的功能有時相互調換。因此，在本說明書等中，有時源極和汲極可以相互調換。

【0036】注意，通道長度例如是指電晶體的俯視圖中的半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。此外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不限於一個值。因此，在本說明書中，通道長度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0037】通道寬度例如是指在電晶體的俯視圖中半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域在垂直於通道長度方向的方向上的長度。此外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道寬度有時不限於一個值。因此，在本說明書中，通道寬度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0038】此外，在本說明書等中，根據電晶體的結構，有時通道形成區域中的實際上的通道寬度（以下，也稱為“實效通道寬度”）和電晶體的俯視圖所示的通道寬度（以下，也稱為“外觀上的通道寬度”）不同。例如，在閘極電極覆蓋半導體的側面的情況下，有時因為實效通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極電極覆蓋半導體的側面的電晶體中，有時形成在半導體的側面的通道形成區的比例增高。在此情況下，實效通道寬度大於外觀上的通道寬度。

【0039】在此情況下，有時難以藉由實測估計實效通道寬度。例如，要從設計值估算出實效通道寬度，需要假定半導體的形狀是已知的。因此，當半導體的形狀不清楚時，難以準確地測量實效通道寬度。

【0040】在本說明書中，在簡單地表示為“通道寬度”時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效通道寬度。注意，藉由對剖面 TEM 影像等進行分析等，可以決定通道長度、通道寬度、實效通道寬度、外觀上的通道寬度等的值。

【0041】注意，半導體的雜質例如是指半導體的主要成分之外的元素。例如，濃度小於 0.1 原子%的元素可以說是雜質。有時由於包含雜質，例如造成半導體的缺陷態密度變高，結晶性降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第 1 族元素、第 2 族元素、第 13 族元素、第 14 族元素、第 15 族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。有時水也作為雜質起作用。此外，有時例如由於雜質的進入導致氧空位（Vo: oxygen vacancy）產生在氧化物半導體中。

【0042】注意，在本說明書等中，氧氮化矽是指氧含量大於氮含量的膜。此外，氮氧化矽是指氮含量大於氧含量的膜。

【0043】此外，在本說明書等中，可以將“膜”和“層”相互調換。例如，有時可以將“導電層”換稱為“導電膜”。此外，例如，有時可以將“絕緣膜”換稱為“絕緣層”。

【0044】在本說明書等中，“平行”是指兩條直線形成的角度為-10°以上且10°以下的狀態。因此，也包括該角度為-5°以上且5°以下的狀態。“大致平行”是指兩條直線形成的角度為-30°以上且30°以下的狀態。此外，“垂直”是指兩條直線的角度為80°以上且100°以下的狀態。因此，也包括該角度為85°以上且95°以下的狀態。“大致垂直”是指兩條直線形成的角度為60°以上且120°以下的狀態。

【0045】在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為OS）等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將OS電晶體稱為包含氧化物或氧化物半導體的電晶體。

【0046】注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度1μm的汲極電流在室溫下為1×10^{-20}A以下，在85°C下為1×10^{-18}A以下，或在125°C下為1×10^{-16}A以下。

【0047】

實施方式1

在本實施方式中，參照圖1A1、圖1A2、圖1B1、圖1B2、圖1C1、圖1C2、圖1C3以及圖1C4說明本發明的一個實施方式的金屬氧化物膜及半導體裝置。

【0048】圖 1A1、圖 1B1 以及圖 1C1 都是本發明的一個實施方式的半導體裝置的電路圖。圖 1A1 的電路圖包括一個電晶體（也稱為場效應電晶體或 FET）及一個電容器，一個電容器包含可具有鐵電性的材料。此外，圖 1B1 的電路圖包括一個電晶體，該電晶體的閘極絕緣膜包含可具有鐵電性的材料。此外，圖 1C1 的電路圖包括一個電容器及二極體，電容器包含可具有鐵電性的材料。雖然在圖 1C1 的電路圖中分別示出一個電容器和一個二極體，但是不侷限於此。例如，在一個元件具有一個電容器和一個二極體兩者的功能的情況下，不需要分別設置各自的功能。例如，作為相當於圖 1C1 的電路圖的結構，可以採用在一對電極間含有絕緣體且在該絕緣體與電極之間利用穿隧結的元件結構等。

【0049】此外，圖 1A1 的電路圖可以看作 1Tr1C（1 電晶體、1 電容器）的元件結構，也可以被稱為鐵電記憶體（FeRAM：Ferroelectric Random Access Memory）或 Type1 結構。此外，圖 1B1 的電路圖可以看作 1Tr（1 電晶體）的元件結構，也可以被稱為鐵電場效應電晶體（FeFET：Ferroelectric Field Effect Transistor）或 Type2 結構。此外，圖 1C1 的電路圖可以看作利用穿隧結的一個電容器的元件結構，也可以被稱為鐵電穿隧結（FTJ：Ferroelectric Tunnel Junction）或 Type3 結構。

【0050】其次，參照圖 1A2、圖 1B2、圖 1C2、圖 1C3 以及圖 1C4 說明可以應用於圖 1A1、圖 1B1 以及圖 1C1 的電路圖所示的結構的本發明的一個實施方式的半導體裝置的一個例子。圖 1A2、圖 1B2、圖 1C2、圖 1C3 以及圖 1C4 都是示出本發明的一個實施方式的半導體裝置的一個例子的剖面圖。在圖 1A1、圖 1B1 以及圖 1C1 的電路圖中，白圈表示端子。

【0051】圖 1A2 是對應於圖 1A1 所示的電容器的剖面圖，圖 1B2 是對應於圖 1B1 所示的包含可具有鐵電性的材料的電晶體的剖面圖，並且圖 1C2、圖 1C3 以及圖 1C4 都是對應於圖 1C1 所示的電容器及二極體的剖面圖。

【0052】圖 1A2 包括導電體 110、導電體 110 上的絕緣體 130 以及絕緣體 130 上的導電體 120。絕緣體 130 較佳為使用可具有鐵電性的材料。此外，絕緣體 130 可以看作介電質或鐵電體。雖然在圖 1A2 中未示出，但是如圖 1A1 所示，可以採用導電體 120 與電晶體的源極或汲極連接的結構。

【0053】圖 1B2 包括氧化物 230、氧化物 230 上的絕緣體 130 以及絕緣體 130 上的導電體 120。絕緣體 130 較佳為使用可具有鐵電性的材料。此外，圖 1B2 可以看作氧化物 230 與絕緣體 130，即可具有鐵電性的材料接觸的結構。

【0054】圖 1C2 包括導電體 110、導電體 110 上的絕緣體 115a、絕緣體 115a 上的絕緣體 130 以及絕緣體 130 上的導電體 120。此外，圖 1C2 可以看作在圖 1A2 的導電體 110 與絕緣體 130 之間含有絕緣體 115a 的結構。此外，圖 1C3 包括導電體 110、導電體 110 上的絕緣體 130、絕緣體 130 上的絕緣體 115b 以及絕緣體 115b 上的導電體 120。

【0055】此外，圖 1C4 包括導電體 110、導電體 110 上的絕緣體 115a、絕緣體 115a 上的絕緣體 130、絕緣體 130 上的絕緣體 115b 以及絕緣體 115b 上的導電體 120。此外，在圖 1C1 的電路圖的結構中，較佳為在 P-E（Polarization density-Electric field）特性上得到了一定的極化。例如，在 I-V 特性上，在將第一至第六區間分別定義為 0（V）至 3（V）、3（V）至 0（V）、-Va（V）至 Va（V）、0（V）至-3（V）、-3（V）至 0（V）以及-Va（V）至 Va（V）的情況下，第三區間和第六區間的電流值較佳為不同。此外，Va 較佳為本電路圖中的矯頑電場（Ec）以下的電壓。為了滿足這種特性，例如，在絕緣體 115a

與絕緣體 115b 之間有差異地設定膜種類、膜質量、膜厚度中的至少一個即可。

【0056】以下說明各組件。

【0057】<<導電體（下部電極）>>

導電體 110 被用作下部電極。此外，導電體 110 可以利用濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法或原子層沉積（ALD：Atomic Layer Deposition）法等形成。ALD 法有只利用熱能使前驅物及反應物起反應的熱 ALD（Thermal ALD）法、使用受到電漿激發的反應物的 PEALD（Plasma Enhanced ALD）法等。

【0058】此外，藉由使用 ALD 法形成導電體 110，有時較容易地形成平坦性優良的導電膜。例如，可以使用熱 ALD 法形成氮化鈦。此外，導電體 110 可以使用微影（lithography）法等適當地形成圖案。

【0059】此外，被形成導電體 110 的表面（也稱為被形成面）或導電體 110 的頂面的平坦性較佳為高。例如，被形成導電體 110 的表面或導電體 110 的頂面也可以藉由使用化學機械拋光（CMP：Chemichal Mechanical Polishing）法等的平坦化處理而被平坦化，以提高平坦性。如果被形成導電體 110 的表面或導電體 110 的頂面的平坦性得到提高，就可以提高其上方，更明確而言，絕緣體 130 的結晶性。

【0060】<<絕緣體>>

絕緣體 130 較佳為使用可具有鐵電性的材料。絕緣體 130 將在後面敘述。

【0061】<<導電體（上部電極）>>

導電體 120 被用作上部電極。隔著絕緣體 130 設置導電體 120 和導電體 110。導電體 120 將在後面敘述。

【0062】<氧化物>

氧化物 230 將在後面敘述（參照實施方式 2）。

【0063】<絕緣體>

絕緣體 115a 和絕緣體 115b 都可以為順電體材料，例如，氧化矽、氮化矽、氧氮化矽、氮化矽、氧化鋁、氮化鋁以及氧氮化鋁等。尤其是，絕緣體 115a、115b 較佳為氮化矽膜。此外，絕緣體 115a 和絕緣體 115b 都可以藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等而形成。尤其是，絕緣體 115a 及絕緣體 115b 較佳為使用 PEALD 法而形成。例如，當使用 PEALD 法形成氮化矽膜時，較佳為使用包含氟、氯、溴、碘等鹵素的前驅物。此外，在引入上述前驅物之後，在引入 N_2、N_2O、NH_3、NO、NO_2 以及 N_2O_2 等氮化劑的氛圍下進行電漿處理，由此可以形成高品質的氮化矽膜。

【0064】根據本發明的一個實施方式，可以提供一種可具有鐵電性的材料，亦即，具有鐵電性的金屬氧化物膜。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的鐵電體器件。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的電容器。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的電晶體。此外，根據本發明的一個實施方式，可以提供一種利用可具有鐵電性的材料的電容器及二極體。

【0065】換言之，本發明的一個實施方式的金屬氧化物膜可以應用於電容器、電晶體以及二極體中的任何一個或多個半導體裝置。

【0066】以下具體說明本發明的一個實施方式的電容器及其製造方法。雖然以圖 1A1 及圖 1A2 所示的結構為例進行說明，但是藉由改變部分結構（例如，氧化物 230、絕緣體 115a 以及絕緣體 115b 等）而可以適用於圖 1B1、圖 1B2、圖 1C1、圖 1C2、圖 1C3 以及圖 1C4 所示的結構。

【0067】<電容器的結構例子>

在本節中，參照圖 2A 至圖 4C 及圖 6 說明本發明的一個實施方式的電容器的結構例子。

【0068】如圖 2A 所示，本發明的一個實施方式的電容器 100 包括導電體 110、導電體 120 以及夾在導電體 110 與導電體 120 之間的絕緣體 130。例如，可以在基板（未圖示）上配置導電體 110，在導電體 110 上配置絕緣體 130，並且在絕緣體 130 上配置導電體 120。在此，導電體 110 被用作電容器 100 的下部電極，導電體 120 被用作電容器 100 的上部電極，並且絕緣體 130 被用作電容器 100 的介電質。

【0069】絕緣體 130 較佳為使用可具有鐵電性的材料。作為可具有鐵電性的材料，可以舉出氧化鉿、氧化鋯、$HfZrO_X$（X 為大於 0 的實數）等。此外，作為可具有鐵電性的材料，可以舉出對氧化鉿添加元素 J1（在此，元素 J1 為選自鋯（Zr）、矽（Si）、鋁（Al）、釓（Gd）、釔（Y）、鑭（La）、鍶（Sr）等中的一個或多個）的材料。在此，可以適當地設定鉿原子與元素 J1 的原子個數比，例如，可以將鉿原子與元素 J1 的原子個數比設定為 1：1 或其附近。此外，作為可具有鐵電性的材料，可以舉出對氧化鋯添加元素 J2（在此，元素 J2 為選自鉿（Hf）、矽（Si）、鋁（Al）、釓（Gd）、釔（Y）、鑭（La）、鍶（Sr）等中的一個或多個）的材料等。此外，可以適當地設定鋯原子與元素 J2 的原子個數比，例如，可以將鋯原子與元素 J2 的原子個數比設定為 1：1 或其附近。此外，作為可具有鐵電性的材料，也可以使用 $PbTiO_X$、鈦酸鋇鍶（BST）、鈦酸鍶、鋯鈦酸鉛（PZT）、鉭酸鍶鉍（SBT）、鐵酸鉍（BFO）、鈦酸鋇等具有鈣鈦礦結構的壓電陶瓷。此外，作為可具有鐵電性的材料，例如，可以使用由選自上述材料中的多個材料構成的混合物或化合物。此外，絕緣體 130 可以具有由選自上述材料中的多個材料構成的疊層結構。注

意，氧化鉿、氧化鋯、$HfZrO_X$以及對氧化鉿添加元素 J1 的材料等的結晶結構（特性）可能不僅根據成膜條件而且還根據各種製程等而發生變化，由此在本說明書等中，呈現鐵電性的材料不僅被稱為鐵電體，而且還被稱為“可具有鐵電性的材料”。

【0070】尤其是，作為可具有鐵電性的材料，較佳為使用氧化鉿或包含氧化鉿及氧化鋯的材料，因為它們即使被加工為幾 nm 的薄膜也可具有鐵電性。藉由使用可以被薄膜化的鐵電體層，可以將電容器 100 與被微型化了的電晶體等半導體元件組合來形成半導體裝置。在本說明書等中，形成為層狀的可具有鐵電性的材料有時被稱為“鐵電體層”或“金屬氧化物膜”。此外，在本說明書等中，有時將包括鐵電體層（金屬氧化物膜）的裝置稱為“鐵電體器件”。

【0071】在此，如圖 2C 所示，絕緣體 130 的形狀較佳為膜狀。在圖 2C 中，在平行於絕緣體 130 的膜表面的方向上設置 x 軸及 y 軸，並在平行於絕緣體 130 的膜厚度方向的方向上設置 z 軸。因為絕緣體 130 的形狀較佳為膜狀，所以絕緣體 130 的 x 方向的寬度 w_x 及 y 方向的寬度 w_y 較佳為大於膜厚度 t，更佳為膜厚度 t 的 3 倍以上。例如，在絕緣體 130 的膜厚度 t 為 3nm 的情況下，絕緣體 130 的寬度 w_x 及寬度 w_y 中的至少一個較佳為 3nm 以上，更佳為 10nm 以上。此外，絕緣體 130 的膜厚度 t 可以為 100nm 以下，較佳為 50nm 以下，更佳為 20nm 以下，進一步較佳為 10nm 以下（典型為 2nm 以上且 9nm 以下）。例如，膜厚度 t 較佳為 8nm 以上且 12nm 以下。

【0072】雖然圖 2C 所示的絕緣體 130 具有頂面和底面在整個表面上平行的形狀，但是本發明不侷限於此。例如，絕緣體 130 有時反映被形成面的形狀而具有凹凸。在此情況下，如果被形成面上形成有槽部，有時絕緣體 130 的與該槽部重疊的區域的形狀成為凹狀。

【0073】可具有鐵電性的材料為絕緣體，具有受到外加電場的作用而在內部發生極化，並在該電場為 0 時也保持極化的性質。因此，藉由使用將該材料用作介電質的電容器（以下有時稱為鐵電電容器），可以形成非揮發性記憶元件。使用鐵電電容器的非揮發性記憶元件有時被稱為 FeRAM（Ferroelectric Random Access Memory）、鐵電記憶體等。例如，鐵電記憶體可以包括電晶體及鐵電電容器，電晶體的源極及汲極中的一個與鐵電電容器的一個端子電連接。由此，使用本實施方式所示的電容器 100 及電晶體的半導體裝置可以被用作鐵電記憶體。

【0074】在此，參照圖 6 說明可以用於絕緣體 130 的材料之一的氧化鉿的結晶結構。圖 6 是說明氧化鉿（在本實施方式中為 HfO_2）的結晶結構的模型圖。已知氧化鉿可以具有多樣的結晶結構，例如，圖 6 所示的立方晶系（cubic，空間群：Fm-3m）、四方晶系（tetragonal，空間群：$P4_2/nmc$）、正交晶系（orthorhombic，空間群：$Pbc2_2$）以及單斜晶系（monoclinic，空間群：$P2_1/c$）等結晶結構。此外，如圖 6 所示，上述各結晶結構可發生相變。例如，藉由使用對氧化鉿摻雜鋯的複合材料，可以從以單斜晶系為主的氧化鉿結晶結構形成以正交晶系為主的結晶結構。

【0075】當使用上述複合材料藉由 ALD 法等大約以 1：1 的組成交替形成氧化鉿和氧化鋯時，該複合材料具有正交晶系的結晶結構。此外，該複合材料具有非晶結構。然後，藉由對上述複合材料進行熱處理等，可以將非晶結構改變為正交晶系的結晶結構。此外，該正交晶系的結晶結構也有時變成單斜晶系的結晶結構。當對上述複合材料賦予鐵電性時，與單斜晶系的結晶結構相比正交晶系的結晶結構更合適。

【0076】在此，參照圖 3A 說明 HfZrOx 的正交晶系的結晶結構的模型。

【0077】圖 3A 是 HfZrOx，在此為 $Hf_{0.5}Zr_{0.5}O_2$ 的結晶結構的模型圖。此外，圖 3A 還示出 a 軸、b 軸、c 軸的方向。圖 3A 示出一種結構，其中 HfO_2 的 orthorhombic 結構（$Pca2_1$）被進行了利用第一原理計算的包括晶胞在內的最佳化，然後，配置層狀的 Zr。

【0078】由圖 3A 可知，鉿與鋯藉由氧相鍵合。該結構可以如後述的成膜序列所示那樣藉由 ALD 法交替形成鉿和鋯而形成。

【0079】借助於外加電場，圖 3A 所示的氧的一部分移位，由此在內部發生極化。在此，氧的一部分在 c 軸方向上移位，也在 c 軸方向上發生極化。

【0080】圖 3B 及圖 3C 是 HfZrOx，在此為 $Hf_{0.5}Zr_{0.5}O_2$ 的結晶結構的模型圖。圖 3B 及圖 3C 示出原子配置藉由第一原理計算而被最佳化的模型。此外，圖 3A 所示的模型與圖 3B 所示的模型只在原子的顯示方法上有所不同，而原子配置幾乎相同。

【0081】HfZrOx 在具有 orthorhombic 結構時既可呈現圖 3B 所示的原子配置又可呈現圖 3C 所示的原子配置。因此，借助於外加電場，HfZrOx 中的氧原子的一部分移位，由此在內部發生極化。此外，當電場的方向或強度改變時，HfZrOx 中的氧原子的一部分轉移，由此發生在內部的極化的符號改變。

【0082】圖 3D 是示出鐵電體層的滯後特性的一個例子的圖表。在圖 3D 中，橫軸表示施加到鐵電體層的電場強度，縱軸表示鐵電體層的極化量。此外，圖 3D 所示的點 61 表示電場強度為 0 時的最小極化，而圖 3D 所示的點 62 表示電場強度為 0 時的最大極化。例如，在最小極化（圖 3D 所示的點 61）中，HfZrOx 中的原子呈現圖 3B 所示的配置。此外，在最大極化（圖 3D 所示的點 62）中，HfZrOx 中的原子呈現圖 3C 所示的配置。

【0083】在絕緣體 130 中，如圖 2A 所示，較佳為具有結晶形成層且該層被層疊的結晶結構。再者，該層較佳為具有圖 3A 所示的單晶結構。此外，圖 2A 所示的絕緣體 130 的虛線表示結晶的層，c 軸 132 表示該結晶的 c 軸。

【0084】絕緣體 130 所包含的結晶的層如圖 2A 所示那樣在 a-b 面方向上延伸。此外，絕緣體 130 所包含的結晶的層在 c 軸方向上生長（有時被稱為 axial growth），多個結晶的層在 c 軸方向上被層疊。c 軸的方向較佳為大致垂直於絕緣體 130 的被形成面或頂面的方向。例如，如圖 2B 所示，相對於導電體 110 的頂面的法線 134 與 c 軸 132 所形成的角度 θ 較佳為 30°以下，更佳為 5°以下。

【0085】圖 2A 示出在電容器 100 的下部電極（導電體 110）與上部電極（導電體 120）之間施加電場 E 的狀態。在此，電場 E 的方向較佳為大致平行於 c 軸 132。例如，電場 E 的方向較佳為平行於法線 134，由此電場 E 的方向與 c 軸 132 所形成的角度 θ 為 30°以下，更佳為 5°以下。

【0086】如此，採用絕緣體 130 的 c 軸 132 與電場的方向 E 大致平行的結構，使得正交晶系的結晶的氧的移位方向與電場的方向 E 大致平行。因此，借助於電場 E，可以在絕緣體 130 中高效產生極化。由此，可以增大絕緣體 130 的極化。

【0087】為了形成上述包含層狀結晶的絕緣體 130，作為絕緣體 130 的基底的導電體 110 的頂面的平坦性較佳為高。例如，作為基底的導電體 110 的頂面的粗糙度在表示為算術平均表面粗糙度（Ra）或均方根面粗糙度（RMS：Root Mean Square）時可以為 2nm 以下，較佳為 1nm 以下，更佳為 0.8nm 以下，進一步較佳為 0.5nm 以下，更進一步較佳為 0.4nm 以下。如此，藉由提高導電體 110 的頂面的平坦性，可以提高絕緣體 130 的結晶性，並提高絕緣體 130 的鐵電性。

【0088】此外，為了形成上述包含層狀結晶的絕緣體 130，較佳為在絕緣體 130 與導電體 110 的界面或在絕緣體 130 與導電體 120 的界面不形成另一層。例如，在導電體 110（導電體 120）使用 TiNx 且絕緣體 130 使用 HfZrOx 的情況下，有時絕緣體 130 等所包含的氧擴散到導電體 110（導電體 120），使得 TiOx 作為另一層形成在絕緣體 130 與導電體 110（導電體 120）的界面。這種另一層的厚度較佳為 1nm 以下，更佳為 0.4nm 以下，進一步較佳為 0.2nm 以下。

【0089】在此，圖 4A 至圖 4C 是圖 2A 等所示的被用作鐵電體層的絕緣體 130 附近的放大圖。圖 4A 是示出參照圖 2A 至圖 2C 說明的具有單晶結構的絕緣體 130 的圖。圖 4A 所示的絕緣體 130 如上所述那樣具有層疊有多個結晶的層的結構。此外，絕緣體 130 所包含的多個結晶的層較佳為沿 c 軸 132 配向。

【0090】此外，雖然以上示出使用圖 4A 等所示的具有單晶結構的鐵電體層作為絕緣體 130 的例子，但是本發明不侷限於此。例如，如圖 4B 所示，絕緣體 130 也可以具有包含結晶性不同的多個晶粒 136 的多晶結構。在此，多個晶粒 136 的至少一部分較佳為具有正交晶系的結晶結構。在多個晶粒 136 的至少一部分具有正交晶系的結晶結構的情況下，絕緣體 130 呈現鐵電性，因此是較佳的。

【0091】此外，絕緣體 130 也可以具有包括具有單晶結構的層 138a 及多晶的層 138b 的結構。例如，如圖 4C 所示，也可以具有在導電體 110 上層疊有多個具有單晶結構的層 138a 及多個多晶的層 138b 的結構。

【0092】如此，絕緣體 130 的結晶結構的至少一部分具有單晶結構即可。絕緣體 130 的結晶結構為選自立方晶系、四方晶系、正交晶系以及單斜晶系中的任何一個或多個即可。尤其是，絕緣體 130 較佳為具有正交晶系的結晶結

構，由此呈現鐵電性。此外，絕緣體 130 的結晶結構也可以為非晶結構。此外，絕緣體 130 也可以具有非晶結構和結晶結構的複合結構。

【0093】此外，為了形成結晶性優良的絕緣體 130，較佳為減少絕緣體 130 中的氫、碳、碳化氫、氯等雜質。如果這些雜質包含在絕緣體 130 中，則有時絕緣體 130 的結晶化受阻。再者，這些雜質有時在絕緣體 130 中的結晶中形成氧空位。如上所述，在圖 3A 所示的結晶結構中，氧因外加電場而移位，由此呈現鐵電性。由此，較佳為減少氫、碳、碳化氫、氯等雜質來減少氧空位，以提高絕緣體 130 的鐵電性。

【0094】因此，絕緣體 130 較佳為使用不包含氫、碳、碳化氫、氯等雜質或者雜質含量極少的材料。例如，絕緣體 130 所包含的氫的濃度較佳為 5×10^{20}atoms/cm^3，更佳為 1×10^{20}atoms/cm^3 以下。此外，例如，絕緣體 130 所包含的碳化氫的濃度較佳為 5×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3，進一步較佳為 5×10^{19}atoms/cm^3 以下。此外，例如，絕緣體 130 所包含的碳的濃度較佳為 5×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3，進一步較佳為 5×10^{19}atoms/cm^3 以下。此外，例如，絕緣體 130 所包含的氯的濃度較佳為 5×10^{21}atoms/cm^3 以下，更佳為 1×10^{21}atoms/cm^3，進一步較佳為 5×10^{20}atoms/cm^3 以下。

【0095】上述雜質的定量可以利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）、X 射線光電子能譜法（XPS：X-ray Photoelectron Spectroscopy）或俄歇電子能譜法（AES：Auger Electron Spectroscopy）。例如，可以利用 SIMS 分析進行絕緣體 130 中的氫、碳、碳化氫、氯等雜質的定量。

【0096】如上所述，藉由不使絕緣體 130 包含氫、碳化氫、碳以及氯中的一個以上，或者，使氫、碳化氫、碳以及氯中的一個以上的含量極少，可以提高絕緣體 130 的結晶性，並可以具有鐵電性高的結構。

【0097】作為導電體 110，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。作為以上述金屬元素為成分的合金，也可以使用該合金的氮化物或該合金的氧化物。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0098】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0099】導電體 120 可以使用可以用於導電體 110 的導電材料。

【0100】<電容器的製造方法>

在本節中，參照圖 5A 至圖 5C 說明本發明的一個實施方式的電容器的製造方法。

【0101】如圖 5A 所示，在基板（未圖示）上形成導電體 110。導電體 110 可以藉由使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成。藉由使用 ALD 法形成導電體 110，有時較容易地形成平坦性優良的導電膜。例如，可以

使用熱 ALD 法形成氮化鈦。此外，導電體 110 可以使用微影法等適當地形成圖案。

【0102】接著，如圖 5B 所示，在導電體 110 上形成絕緣體 130。絕緣體 130 可以藉由使用濺射法、CVD 法、ALD 法等形成。例如，藉由使用 ALD 法形成絕緣體 130，可以在導電體 110 上以高覆蓋率形成絕緣體 130。由此，可以抑制產生在電容器 100 的上部電極與下部電極之間的洩漏電流。

【0103】絕緣體 130 較佳為使用可具有鐵電性的材料。作為可具有鐵電性的材料，可以使用上述材料。在此，絕緣體 130 的厚度可以為 100nm 以下，較佳為 50nm 以下，更佳為 20nm 以下，進一步較佳為 10nm 以下（典型為 2nm 以上且 9nm 以下）。

【0104】在絕緣體 130 使用包含氧化鉿及氧化鋯的材料（$HfZrO_x$）的情況下，較佳為使用熱 ALD 法形成絕緣體 130。

【0105】此外，在使用熱 ALD 法形成絕緣體 130 的情況下，較佳為使用不包含碳化氫（Hydro Carbon，也稱為 HC）的材料作為前驅物。在絕緣體 130 包含氫及碳中的一個或兩個的情況下，絕緣體 130 的結晶化有時受阻。因此，如上所述，較佳為使用不包含碳化氫的前驅物，以降低絕緣體 130 中的氫及碳中的一個或兩個的濃度。例如，作為不包含碳化氫的前驅物，可以舉出氯類材料。在絕緣體 130 使用包含氧化鉿及氧化鋯的材料（$HfZrO_x$）的情況下，可以使用 $HfCl_4$ 及 $ZrCl_4$ 作為前驅物。

【0106】此外，在使用熱 ALD 法形成絕緣體 130 的情況下，可以使用 H_2O 或 O_3 作為氧化劑。作為熱 ALD 法的氧化劑，與 H_2O 相比更佳為使用 O_3，由此可以降低膜中的氫濃度。但是，熱 ALD 法的氧化劑不侷限於此。例如，熱 ALD 法的氧化劑也可以包含選自 O_2、O_3、N_2O、NO_2、H_2O 以及 H_2O_2 中的任何一個或多個。

【0107】接著，如圖 5C 所示，在絕緣體 130 上形成導電體 120。在此，導電體 120 和導電體 110 隔著絕緣體 130 配置。導電體 120 也可以具有在絕緣體 130 上與其接觸的導電體 120a 及在導電體 120a 上與其接觸的導電體 120b 的疊層結構。

【0108】導電體 120a 可以藉由使用 ALD 法或 CVD 法等形成。例如，可以使用熱 ALD 法形成氮化鈦。在此，導電體 120a 較佳為藉由使用像熱 ALD 法那樣在加熱基板的同時形成膜的方法形成。例如，基板溫度可以為室溫以上，較佳為 300℃以上，更佳為 325℃以上，進一步較佳為 350℃以上。此外，例如，基板溫度可以為 500℃以下，較佳為 450℃以下。例如，基板溫度可以為 400℃左右。

【0109】藉由在上述溫度範圍下形成導電體 120a，即使在形成導電體 120a 之後不進行高溫烘烤處理（例如，熱處理溫度為 400℃以上或 500℃以上的烘烤處理）也可以對絕緣體 130 賦予鐵電性。

【0110】此外，如上所述，藉由使用給基底帶來的損傷較少的 ALD 法形成導電體 120a，可以抑制絕緣體 130 的結晶結構過度被破壞，由此可以提高絕緣體 130 的鐵電性。

【0111】例如，在使用濺射法等形成導電體 120a 的情況下，可能給基底膜，在此為絕緣體 130 帶來損傷。例如，在絕緣體 130 使用包含氧化鉿及氧化鋯的材料（$HfZrO_x$）且使用濺射法形成導電體 120a 的情況下，可能因濺射法而給作為基底膜的 $HfZrO_x$ 帶來損傷，使得 $HfZrO_x$ 的結晶結構（典型為正交晶系等的結晶結構）結晶結構破壞。由此，較佳為使用給基底帶來的損傷較少的 ALD 法形成導電體 120a。

【0112】此外，藉由在使用濺射法形成導電體 120a 之後進行熱處理，也可以恢復 $HfZrO_x$ 的結晶結構的損傷。

【0113】在此，有時因 $HfZrO_x$ 中的懸空鍵（例如，O^*）與 $HfZrO_x$ 中所包含的氫鍵合而不能恢復 $HfZrO_x$ 的結晶結構中的損傷。$HfZrO_x$ 中的懸空鍵例如因使用濺射法形成導電體 120a 時的損傷而形成。

【0114】因此，絕緣體 130，在此為 $HfZrO_x$，較佳為使用不包含氫或者氫含量極少的材料。例如，絕緣體 130 所包含的氫的濃度較佳為 5×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3 以下。

【0115】此外，如上所述，為了降低絕緣體 130 中的氫濃度，較佳為使用不包含碳化氫的材料作為前驅物。由此，絕緣體 130 有時成為不以碳化氫為主要成分或者碳化氫含量極少的膜。例如，絕緣體 130 所包含的碳化氫的濃度較佳為 5×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3 以下，進一步較佳為 5×10^{19}atoms/cm^3 以下。

【0116】此外，在使用不包含碳化氫的材料作為前驅物形成絕緣體 130 的情況下，絕緣體 130 有時成為不以碳為主要成分或者碳含量極少的膜。例如，絕緣體 130 所包含的碳的濃度較佳為 5×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3，進一步較佳為 5×10^{19}atoms/cm^3 以下。

【0117】作為絕緣體 130，較佳為使用氫、碳化氫以及碳中的一個以上的含量極少的材料，尤其是，儘量減少碳化氫及碳的含量是重要的。碳化氫及碳為比氫重的分子或原子，所以難以在後續製程中去除它們。因此，較佳為在形成絕緣體 130 時徹底去除碳化氫及碳。

【0118】如上所述，藉由使用不包含氫、碳化氫以及碳中的一個以上或者氫、碳化氫以及碳中的一個以上的含量極少的材料作為絕緣體 130，可以提高絕緣體 130 的結晶性，並可以具有鐵電性高的結構。

【0119】此外，絕緣體 130 中的氯含量也較佳為減少。例如，絕緣體 130 所包含的氯的濃度較佳為 5×10^{21}atoms/cm^3 以下，更佳為 1×10^{21}atoms/cm^3 以下，進一步較佳為 5×10^{20}atoms/cm^3 以下。

【0120】如上所述，藉由徹底去除絕緣體 130 中的雜質，在此為氫、碳化氫、碳以及氯中的一個以上，可以形成高純度本質的具有鐵電性的膜，在此為高純度本質的電容器。此外，高純度本質的具有鐵電性的電容器與後述實施方式所示的高純度本質的氧化物半導體之間的製造程序的統合性非常高。由此，可以提供生產率高的半導體裝置的製造方法。

【0121】如上所述，在本發明的一個實施方式中，例如，作為絕緣體 130，使用熱 ALD 法形成不使用碳化氫的前驅物（典型為氯類前驅物），並使用氧化劑（典型為 O_3）形成鐵電材料。然後，藉由使用熱 ALD 法（典型為 400 ℃以上的成膜）形成導電體 120a，可以在不進行形成導電體 120a 之後的退火，亦即，利用形成導電體 120a 時的溫度的情況下提高絕緣體 130 的結晶性或鐵電性。此外，在不進行成膜後退火，亦即，利用形成導電體 120a 時的溫度的情況下提高絕緣體 130 的結晶性或鐵電性有時被稱為“自退火”。

【0122】此外，導電體 120b 可以藉由使用濺射法、ALD 法或 CVD 法等形成。例如，可以使用金屬 CVD 法形成鎢膜。

【0123】如上所述，可以製造圖 5C 所示的在導電體 110 與導電體 120 之間設置有絕緣體 130 的電容器 100。如上所述，本實施方式的電容器 100 即使在形成導電體 120a 之後不進行高溫烘烤處理也可以提高絕緣體 130 的鐵電性。因此，可以減少製造鐵電電容器的製程，由此可以提高鐵電電容器及包括該鐵電電容器的半導體裝置的生產率。

【0124】雖然以上示出在製造導電體 120a 之後不進行高溫烘烤處理的例子，但是本發明不侷限於此。例如，在不進行基板加熱或者在低溫下進行基板

加熱的同時形成導電體 120a 及導電體 120b 的情況下，也可以在形成導電體 120 之後進行熱處理。作為該熱處理，例如，可以在基板溫度為室溫以上，較佳為 300℃以上，更佳為 325℃以上，進一步較佳為 350℃以上的情況下進行成膜。此外，例如，可以在基板溫度為 500℃以下，較佳為 450℃以下的情況下進行成膜。例如，基板溫度可以為 400℃左右。該熱處理可以在包含氧氣體、氮氣體或惰性氣體的氛圍下進行。

【0125】<使用 ALD 法的成膜>

以下參照圖 7A 及圖 7B 說明使用 ALD 法的絕緣體 130 的成膜方法及用於該成膜的成膜裝置。

【0126】ALD 法可以利用原子的自調節性來沉積每一層的原子，從而具有如下效果：能夠形成極薄的膜；能夠對縱橫比高的結構形成膜；能夠以針孔等的缺陷少的方式形成膜；能夠形成覆蓋性優良的膜；能夠在低溫下形成膜等。

【0127】在 ALD 法中，將用於反應的第一源氣體（也稱為前驅物）和第二源氣體（也稱為氧化性氣體）依次引入反應室內，並反復進行這種源氣體的引入，由此進行成膜。此外，在引入前驅物或氧化性氣體時，也可以將 N_2 或 Ar 等用作載體-吹掃氣體，將其與前驅物或氧化性氣體一起引入反應室內。藉由使用載體-吹掃氣體，可以抑制前驅物或氧化性氣體吸附到管道或閥的內部，由此可以將前驅物或氧化性氣體引入反應室內（也可以稱為載體氣體）。此外，還可以迅速排出殘留在反應室內的前驅物或氧化性氣體（也稱為吹掃氣體）。如此，上述氣體因起到引入（載體）和排氣（吹掃）的兩個作用而有時被稱為載體-吹掃氣體。此外，藉由使用載體-吹掃氣體，可以提高所形成的膜的均勻性，因此這是較佳的。

【0128】圖 7A 示出使用 ALD 法形成包含可具有鐵電性的材料的膜（以下稱為鐵電體層）的成膜序列。以下示出作為絕緣體 130 形成包含氧化鉿及氧化鋯的鐵電體層的例子。

【0129】前驅物 401 可以使用包含鉿並包含選自氯、氟、溴、碘以及氫中的一個或多個的前驅物。此外，前驅物 402 可以使用包含鋯並包含選自氯、氟、溴、碘以及氫中的一個或多個的前驅物。在本節中，使用 $HfCl_4$ 作為包含鉿的前驅物 401，並使用 $ZrCl_4$ 作為包含鋯的前驅物 402。

【0130】此外，前驅物 401 及前驅物 402 藉由加熱液體原料或固體原料使其汽化而形成。前驅物 401 由 $HfCl_4$ 的固體原料形成，前驅物 402 由 $ZrCl_4$ 的固體原料形成。較佳為減少前驅物 401 及前驅物 402 中的雜質，更佳為減少這些固體原料中的雜質。例如，作為該雜質，可以舉出 Ba、Cd、Co、Cr、Cu、Fe、Ga、Li、Mg、Mn、Na、Ni、Sr、V、Zn 等。在 $HfCl_4$ 的固體原料及 $ZrCl_4$ 的固體原料中，上述雜質較佳為少於 1000wppb。在此，wppb 是指換算為質量的雜質濃度以十億分率表示的單位。

【0131】此外，作為氧化性氣體 403，可以使用選自 O_2、O_3、N_2O、NO_2、H_2O 以及 H_2O_2 中的任何一個或多個。在本節中，使用包含 H_2O 的氣體作為氧化性氣體 403。此外，作為載體-吹掃氣體 404，可以使用選自 N_2、He、Ar、Kr 以及 Xe 中的任何一個或多個。在本節中，使用 N_2 作為載體-吹掃氣體 404。

【0132】首先，將氧化性氣體 403 引入反應室內（步驟 S01）。其次，停止引入氧化性氣體 403，只引入載體-吹掃氣體 404，以對殘留在反應室內的氧化性氣體 403 進行吹掃（步驟 S02）。其次，將前驅物 401 及載體-吹掃氣體 404 引入反應室內，並將反應室內的圧力保持為固定壓力（步驟 S03）。如此，使前驅物 401 吸附到被形成面。其次，停止引入前驅物 401，只引入載體-吹掃氣體 404，以對殘留在反應室內的前驅物 401 進行吹掃（步驟 S04）。其次，

將氧化性氣體 403 引入反應室內。藉由將氧化性氣體 403 引入反應室內，使前驅物 401 氧化來形成氧化鉿（步驟 S05）。其次，停止引入氧化性氣體 403，只引入載體-吹掃氣體 404，以對殘留在反應室內的氧化性氣體 403 進行吹掃（步驟 S06）。

【0133】接著，將前驅物 402 及載體-吹掃氣體 404 引入反應室內，並將反應室內的壓力保持為固定壓力（步驟 S07）。如此，使前驅物 402 吸附到上述氧化鉿的氧層上。其次，停止引入前驅物 402，只引入載體-吹掃氣體 404，以對殘留在反應室內的前驅物 402 進行吹掃（步驟 S08）。其次，回到步驟 S01，將氧化性氣體 403 引入反應室內。藉由引入氧化性氣體 403，使前驅物 402 氧化來在氧化鉿上形成氧化鋯。

【0134】以上述步驟 S01 至步驟 S08 為一次循環，反復進行該循環直到達到所希望的膜厚度為止。此外，步驟 S01 至步驟 S08 可以在 250℃以上且 450℃以下的溫度範圍下進行，較佳為在 350℃以上且 400℃以下的溫度範圍下進行。

【0135】如上所述，藉由使用 ALD 法進行成膜，可以形成圖 4 所示的鉿層、氧層、鋯層以及氧層反復形成的層狀結晶結構。再者，如上所述，藉由使用減少了雜質的前驅物進行成膜，可以抑制因在成膜時混入雜質而阻礙形成該層狀結晶結構。如此，藉由作為絕緣體 130 形成結晶性高的層狀結晶結構，可以使絕緣體 130 具有高鐵電性。

【0136】注意，絕緣體 130 不一定必須在剛成膜之後就呈現鐵電性。如上所述，絕緣體 130 有時不在剛成膜之後而在絕緣體 130 上形成導電體 120 之後才呈現鐵電性。

【0137】接著，參照圖 7B 說明用於使用上述 ALD 法的成膜的製造設備。圖 7B 是使用 ALD 法的製造設備 900 的示意圖。

【0138】如圖 7B 所示，製造設備 900 包括反應室 901、氣體引入口 903、反應室進口 904、排氣口 905、晶圓支撐台 907 以及軸 908。在圖 7B 中，在晶圓支撐台 907 上配置有晶圓 950。

【0139】反應室 901 也可以包括用來加熱反應室 901 內部、前驅物 401、前驅物 402、氧化性氣體 403 以及載體-吹掃氣體 404 的加熱系統。此外，晶圓支撐台 907 也可以包括用來加熱晶圓 950 的加熱系統。此外，晶圓支撐台 907 也可以具備以軸 908 為旋轉軸沿水平方向旋轉的旋轉機構。此外，雖然未圖示，但是在氣體引入口前還設置有氣體供應系統，以將前驅物 401、前驅物 402、氧化性氣體 403 以及載體-吹掃氣體 404 以合適的時序、流量以及時間引入到氣體引入口 903。此外，雖然未圖示，但是在排氣口 905 後還設置有具備真空泵的排氣系統。

【0140】圖 7B 所示的製造設備 900 是被稱為 cross flow 方式的 ALD 裝置。以下說明 cross flow 方式中的前驅物 401、前驅物 402、氧化性氣體 403 以及載體-吹掃氣體 404 的流動。前驅物 401、前驅物 402、氧化性氣體 403 以及載體-吹掃氣體 404 從氣體引入口 903 經過反應室進口 904 流過反應室 901，到達晶圓 950，並藉由排氣口 905 排出。圖 7B 所示的箭頭示意性地表示氣體的流動方向。

【0141】如上所述，在圖 7A 所示的將氧化性氣體 403 引入反應室 901 內的步驟 S05 中，被吸附於晶圓 950 上的前驅物 401 被氧化性氣體 403 氧化，由此形成氧化鉿。從採用 cross flow 方式的製造設備 900 的結構來看，氧化性氣體 403 在接觸被加熱的反應室部件很長時間之後才到達晶圓 950。由此，例如，在使用 O_3 作為氧化性氣體 403 的情況下，氧化性氣體 403 在到達晶圓 950 之前與高溫的固體表面起反應，使得氧化性氣體 403 分解，並且氧化力下降。因此，氧化鉿的沉積速度依賴於氧化性氣體的從反應室進口 904 到晶圓 950 的

流動距離。在晶圓支撐台 907 以軸 908 為中心沿水平方向旋轉的情況下，晶圓 950 的周邊部先與氧化性氣體 403 接觸，由此氧化鉿的厚度越接近晶圓 950 的周邊部越厚，使得氧化鉿在晶圓 950 的中央部的厚度比氧化鉿在晶圓 950 的周邊部的厚度薄。

【0142】於是，為了抑制氧化性氣體 403 分解且氧化力下降，需要適當地設定反應室的加熱溫度。雖然以上以前驅物 401 的氧化為例進行了說明，但是前驅物 402 的氧化也與此同樣。

【0143】如上所述，可以形成基板面內的膜厚度均勻性優良的鐵電體層。作為基板面內的均勻性，較佳為±1.5%以下，更佳為±1.0%以下。此外，在將基板面內的最大膜厚度-基板面內的最小膜厚度定義為 RANGE，並將基板面內的膜厚度均勻性定義為±PNU（Percent Non Uniformity）（%）的情況下，均勻性可以按照±PNU（%）=（RANGE×100）/（2×基板面內的膜厚度的平均值）求出。

【0144】如上所述，使用氧化性氣體 403 形成均勻性優良的氧層，由此可以形成規律性更高的層狀結晶結構。如此，因為絕緣體 130 具有規律性高的層狀結晶結構，所以可以使絕緣體 130 具有高鐵電性。

【0145】藉由使用上述方法，可以形成由可具有鐵電性的材料構成的絕緣體 130。藉由使用這種絕緣體 130 形成電容器 100，可以將電容器 100 用作鐵電電容器。

【0146】根據本發明的一個實施方式，可以提供包含可具有鐵電性的材料的電容器。此外，根據本發明的一個實施方式，可以以高生產率提供上述電容器。此外，根據本發明的一個實施方式，可以提供能夠實現微型化或高積體化的電容器。

【0147】本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0148】

實施方式 2

在本實施方式中，使用圖 11A 至圖 17C 對包括根據本發明的一個實施方式的電晶體 200 及電容器 100 的半導體裝置的一個例子及其製造方法進行說明。在此，用於上述半導體裝置的電容器 100 可以參照根據實施方式 1 所示的電容器 100 的記載。

【0149】<半導體裝置的結構例子>

圖 11A 至圖 11D 是包括電晶體 200 及電容器 100 的半導體裝置的俯視圖及剖面圖。圖 11A 是該半導體裝置的俯視圖。圖 11B 至圖 11D 是該半導體裝置的剖面圖。在此，圖 11B 是沿著圖 11A 中的點劃線 A1-A2 的部分的剖面圖，也是電晶體 200 的通道長度方向的剖面圖。此外，圖 11C 是沿著圖 11A 中的點劃線 A3-A4 的部分的剖面圖，也是電晶體 200 的通道寬度方向的剖面圖。此外，圖 11D 是沿著圖 11A 中的點劃線 A5-A6 的部分的剖面圖。注意，在圖 11A 的俯視圖中，為了明確起見，省略一部分組件。

【0150】本發明的一個實施方式的半導體裝置包括基板（未圖示）上的絕緣體 212、絕緣體 212 上的絕緣體 214、絕緣體 214 上的電晶體 200、在電晶體 200 中設置的絕緣體 275 上的絕緣體 280、絕緣體 280 上的絕緣體 282、絕緣體 282 上的絕緣體 283、絕緣體 283 上的絕緣體 274、絕緣體 283 及絕緣體 274 上的絕緣體 285。絕緣體 212、絕緣體 214、絕緣體 216、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283、絕緣體 285 及絕緣體 274 被用作層間膜。絕緣體 283 與絕緣體 214 的頂面的一部分、絕緣體 216 的側面、絕緣體 222 的側面、絕緣體 275 的側面、絕緣體 280 的側面以及絕緣體 282 的側面及頂面接觸。

【0151】在此，電晶體 200 包括半導體層、第一閘極、第二閘極、源極及汲極。電晶體 200 的源極和汲極中的一個在半導體層的上方與電容器 100 的一個電極接觸。以與電晶體 200 的源極及汲極上接觸的方式設置有絕緣體 271（絕緣體 271a 及絕緣體 271b）。

【0152】電容器 100 設置在形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的到達電晶體 200 的源極和汲極中的一個的開口中。電容器 100 包括在該開口中與電晶體 200 的源極和汲極中的一個的頂面接觸的導電體 110、配置在導電體 110 及絕緣體 285 上的絕緣體 130 以及配置在絕緣體 130 上的導電體 120（導電體 120a 及導電體 120b）。在此，導電體 110 較佳為沿著該開口的側面及底面配置。

【0153】此外，較佳為在導電體 110 和絕緣體 280 之間設置絕緣體 245。絕緣體 245 較佳為具有抑制氫（例如，氫原子、氫分子等中的至少一個）的擴散的功能。此外，絕緣體 245 較佳為具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能。例如，較佳的是，絕緣體 245 的氧和氫的一者或兩者的透過性比絕緣體 280 低。

【0154】

[電晶體 200]

如圖 11A 至圖 11D 所示，電晶體 200 包括絕緣體 214 上的絕緣體 216、以嵌入絕緣體 214 及/或絕緣體 216 中的方式配置的導電體 205（導電體 205a 及導電體 205b）、絕緣體 216 及導電體 205 上的絕緣體 222、絕緣體 222 上的絕緣體 224、絕緣體 224 上的氧化物 230a、氧化物 230a 上的氧化物 230b、氧化物 230b 上的導電體 242a、導電體 242a 上的絕緣體 271a、氧化物 230b 上的導電體 242b、導電體 242b 上的絕緣體 271b、氧化物 230b 上的絕緣體 252、絕緣體 252 上的絕緣體 250、絕緣體 250 上的絕緣體 254、位於絕緣體 254 上並與氧化物

230b的一部分重疊的導電體260（導電體260a及導電體260b）、以及配置在絕緣體222、絕緣體224、氧化物230a、氧化物230b、導電體242a、導電體242b、絕緣體271a及絕緣體271b上的絕緣體275。在此，如圖11B及圖11C所示，絕緣體252與絕緣體222的頂面、絕緣體224的側面、氧化物230a的側面、氧化物230b的側面及頂面、導電體242的側面、絕緣體271的側面、絕緣體275的側面、絕緣體280的側面及絕緣體250的底面接觸。此外，導電體260的頂面以高度與絕緣體254的最上部、絕緣體250的最上部、絕緣體252的最上部及絕緣體280的頂面的高度大致一致的方式配置。此外，絕緣體282與導電體260、絕緣體252、絕緣體250、絕緣體254和絕緣體280各自的頂面的至少一部分接觸。

【0155】此外，有時將氧化物230a及氧化物230b統稱為氧化物230。此外，有時將導電體242a及導電體242b統稱為導電體242。此外，有時將絕緣體271a及絕緣體271a統稱為絕緣體271。

【0156】在絕緣體280及絕緣體275中形成到達氧化物230b的開口。在該開口內設置絕緣體252、絕緣體250、絕緣體254及導電體260。此外，在電晶體200的通道長度方向上，絕緣體271a及導電體242a與絕緣體271b及導電體242b間設置有導電體260、絕緣體252、絕緣體250及絕緣體254。絕緣體254具有與導電體260的側面接觸的區域及與導電體260的底面接觸的區域。

【0157】氧化物230較佳為包括絕緣體224上的氧化物230a及氧化物230a上的氧化物230b。當在氧化物230b下包括氧化物230a時，可以抑制雜質從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0158】注意，在電晶體200中氧化物230具有氧化物230a及氧化物230b的兩層疊層結構，但是本發明不侷限於此。例如，氧化物230可以具有氧化

物 230b 的單層或三層以上的疊層結構，也可以具有氧化物 230a 及氧化物 230b 分別具有疊層的結構。

【0159】導電體 260 被用作第一閘極（也稱為頂閘極）電極，導電體 205 被用作第二閘極（也稱為背閘極）電極。此外，絕緣體 252、絕緣體 250 及絕緣體 254 被用作第一閘極絕緣體，絕緣體 222 及絕緣體 224 被用作第二閘極絕緣體。注意，有時將閘極絕緣體稱為閘極絕緣層或閘極絕緣膜。此外，導電體 242a 被用作源極和汲極中的一個，導電體 242b 被用作源極和汲極中的另一個。此外，氧化物 230 的與導電體 260 重疊的區域的至少一部分被用作通道形成區域。

【0160】在此，圖 12A 示出圖 11B 中的通道形成區域附近的放大圖。由於氧化物 230b 被供應氧，通道形成區域形成在導電體 242a 和導電體 242b 之間的區域中。因此，如圖 12A 所示，氧化物 230b 包括被用作電晶體 200 的通道形成區域的區域 230bc 及以夾著區域 230bc 的方式設置並被用作源極區域或汲極區域的區域 230ba 及區域 230bb。區域 230bc 的至少一部分與導電體 260 重疊。換言之，區域 230bc 設置在導電體 242a 與導電體 242b 間的區域中。區域 230ba 與導電體 242a 重疊，區域 230bb 與導電體 242b 重疊。

【0161】與區域 230ba 及區域 230bb 相比，其氧空位少或雜質濃度低，所以被用作通道形成區域的區域 230bc 是載子濃度低的高電阻區域。因此，區域 230bc 可以說是 i 型（本質）或實質上 i 型的區域。例如，藉由在包含氧的氛圍下進行微波處理，容易形成區域 230bc。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。此外，在本說明書等中，微波是指具有 300MHz 以上且 300GHz 以下的頻率的電磁波。

【0162】此外，被用作源極區域或汲極區域的區域 230ba 及區域 230bb 是因氧空位多或者氫、氮、金屬元素等雜質的濃度高而載子濃度提高，由此被低

電阻化的區域。就是說，區域 230ba 及區域 230bb 是比區域 230bc 載子濃度高且電阻低的 n 型區域。

【0163】在此，被用作通道形成區域的區域 230bc 的載子濃度較佳為 $1\times10^{18}cm^{-3}$ 以下，更佳為低於 $1\times10^{17}cm^{-3}$，進一步較佳為低於 $1\times10^{16}cm^{-3}$，更佳的是低於 $1\times10^{13}cm^{-3}$，進一步較佳的是低於 $1\times10^{12}cm^{-3}$。對被用作通道形成區域的區域 230bc 的載子濃度的下限值沒有特別的限定，例如，可以將其設定為 $1\times10^{-9}cm^{-3}$。

【0164】此外，也可以在區域 230bc 與區域 230ba 或區域 230bb 之間形成載子濃度等於或低於區域 230ba 及區域 230bb 的載子濃度且等於或高於區域 230bc 的載子濃度的區域。換言之，該區域被用作區域 230bc 與區域 230ba 或區域 230bb 的接合區域。該接合區域的氫濃度有時相等於或低於區域 230ba 及區域 230bb 的氫濃度且等於或高於區域 230bc 的氫濃度。此外，該接合區域的氧空位有時等於或少於區域 230ba 及區域 230bb 的氧空位且等於或多於區域 230bc 的氧空位。

【0165】注意，圖 12A 示出區域 230ba、區域 230bb 及區域 230bc 形成在氧化物 230b 中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物 230b 和氧化物 230a 中。

【0166】在氧化物 230 中，有時難以明確地觀察各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜質元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越低即可。

【0167】較佳為在電晶體 200 中將被用作半導體的金屬氧化物（以下，有時稱為氧化物半導體）用於包含通道形成區域的氧化物 230（氧化物 230a、氧化物 230b）。

【0168】被用作半導體的金屬氧化物較佳為使用其能帶間隙為 2eV 以上，較佳為 2.5eV 以上的金屬氧化物。如此，藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流（off-state current）。

【0169】例如，作為氧化物 230 較佳為使用包含銦、元素 M 及鋅的 In-M-Zn 氧化物（元素 M 為選自鋁、鎵、釔、錫、銅、釩、鈹、硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢和鎂等中的一種或多種）等的金屬氧化物。此外，作為氧化物 230 也可以使用 In-Ga 氧化物、In-Zn 氧化物、銦氧化物。

【0170】在此，較佳的是，用於氧化物 230b 的金屬氧化物中的 In 與元素 M 的原子個數比大於用於氧化物 230a 的金屬氧化物中的 In 與元素 M 的原子個數比。

【0171】如此，藉由在氧化物 230b 下配置氧化物 230a，可以抑制雜質及氧從形成在氧化物 230a 的下方的結構物向氧化物 230b 擴散。

【0172】此外，氧化物 230a 及氧化物 230b 除了氧以外還包含共同元素（作為主要成分），所以可以降低氧化物 230a 與氧化物 230b 的界面的缺陷態密度。因為可以降低氧化物 230a 與氧化物 230b 的界面的缺陷態密度，所以界面散射給載子傳導帶來的影響小，從而可以得到高通態電流。

【0173】氧化物 230b 較佳為具有結晶性。尤其是，較佳為使用 CAAC-OS（c-axis aligned crystalline oxide semiconductor：c 軸配向結晶氧化物半導體）作為氧化物 230b。

【0174】CAAC-OS 具有結晶性高的緻密結構且是雜質、缺陷（例如，氧空位（V_O等）少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度（例如，400°C以上且 600°C以下）進行熱處理，可以使 C

AAC-OS 具有結晶性更高的緻密結構。如此，藉由進一步提高 CAAC-OS 的密度，可以進一步降低該 CAAC-OS 中的雜質或氧的擴散。

【0175】另一方面，在 CAAC-OS 中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含 CAAC-OS 的金屬氧化物的物理性質穩定。因此，具有 CAAC-OS 的金屬氧化物具有耐熱性且可靠性良好。

【0176】在使用氧化物半導體的電晶體中，如果在氧化物半導體的形成通道的區域中存在雜質或氧空位，電特性則容易變動，有時降低可靠性。此外，氧空位附近的氫形成氫進入氧空位中的缺陷（下面有時稱為 V_OH）而可能會產生成為載子的電子。因此，當在氧化物半導體的形成通道的區域中包含氧空位時，電晶體會具有常開啟特性（即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性）。由此，在氧化物半導體的形成通道的區域中，較佳為儘量減少雜質、氧空位及 V_OH。換言之，較佳的是，氧化物半導體中的形成通道的區域的載子濃度降低且被 i 型化（本質化）或實質上被 i 型化。

【0177】相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧（以下，有時稱為過量氧）的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及 V_OH。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體 200 的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。

【0178】因此，較佳的是，在氧化物半導體中，被用作通道形成區域的區域 230bc 的載子濃度得到降低且被 i 型化或實質上被 i 型化。另一方面，較佳的是，被用作源極區域或汲極區域的區域 230ba 及區域 230bb 的載子濃度高且被

n型化。換言之，較佳為減少氧化物半導體的區域230bc的氧空位及V_OH且區域230ba及區域230bb不被供應過多的氧。

【0179】於是，本實施方式以在氧化物230b上設置導電體242a及導電體242b的狀態在含氧氛圍下進行微波處理來減少區域230bc的氧空位及V_OH。

【0180】藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用。此時，也可以將微波或RF等高頻照射到區域230bc。藉由電漿、微波等的作用，可以使區域230bc的V_OH分開。可以將氫H從區域230bc去除而由氧填補氧空位V_O。換言之，在區域230bc中發生“$V_OH \rightarrow H+V_O$”的反應，可以降低區域230bc的氫濃度。由此，可以減少區域230bc中的氧空位及V_OH而降低載子濃度。

【0181】此外，當在含氧氛圍下進行微波處理時，微波、RF等高頻、氧電漿等作用被導電體242a及導電體242b遮蔽並不涉及於區域230ba及區域230bb。再者，可以藉由覆蓋氧化物230b及導電體242的絕緣體271及絕緣體280降低氧電漿的作用。由此，在進行微波處理時在區域230ba及區域230bb中不發生V_OH的減少以及過多的氧的供應，因此可以防止載子濃度的降低。

【0182】此外，較佳為在形成成為絕緣體252的絕緣膜之後或者在形成成為絕緣體250的絕緣膜之後以含氧氛圍進行微波處理。如此，藉由經由絕緣體252或絕緣體250以含氧氛圍進行微波處理，可以對區域230bc高效地注入氧。此外，藉由以與導電體242的側面及區域230bc的表面接觸的方式配置絕緣體252，可以抑制區域230bc被注入不必要的氧，因此可以抑制導電體242的側面的氧化。此外，可以抑制在形成成為絕緣體250的絕緣膜時導電體242的側面被氧化。

【0183】此外，作為注入到區域230bc中的氧，有氧原子、氧分子、氧自由基（也稱為O自由基，包含不成對電子的原子、分子或離子）等各種方式。

注入到區域 230bc 中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。此外，由於可以提高絕緣體 252 及絕緣體 250 的膜質量，電晶體 200 的可靠性得到提高。

【0184】如上所述，可以在氧化物半導體的區域 230bc 中選擇性地去除氧空位及 V_OH 而使區域 230bc 成為 i 型或實質上 i 型。並且，可以抑制對被用作源極區域或汲極區域的區域 230ba 及區域 230bb 供應過多的氧而保持 n 型。由此，可以抑制電晶體 200 的電特性變動而抑制在基板面內電晶體 200 的電特性不均勻。

【0185】此外，如圖 11C 所示，在從電晶體 200 的通道寬度的剖面看時，也可以在氧化物 230b 的側面與氧化物 230b 的頂面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲（以下，也稱為圓形）。

【0186】上述彎曲面的曲率半徑較佳為大於 0nm 且小於與導電體 242 重疊的區域的氧化物 230b 的厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於 0nm 且為 20nm 以下，較佳為 1nm 以上且 15nm 以下，更佳為 2nm 以上且 10nm 以下。藉由採用上述形狀，可以提高絕緣體 252、絕緣體 250、絕緣體 254 及導電體 260 的氧化物 230b 的覆蓋性。

【0187】氧化物 230 較佳為具有化學組成互不相同的多個氧化物層的疊層結構。明確而言，用於氧化物 230a 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比。此外，用於氧化物 230a 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物中的 In 與元素 M 的原子個數比。此外，用於氧化物 230b 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 230a 的金屬氧化物中的 In 與元素 M 的原子個數比。

【0188】此外，氧化物230b較佳為具有CAAC-OS等的結晶性的氧化物。CAAC-OS等的具有結晶性的氧化物具有雜質及缺陷（氧空位等）少的結晶性高且緻密的結構。因此，可以抑制源極電極或汲極電極從氧化物230b抽出氧。因此，即使進行熱處理也可以減少氧從氧化物230b被抽出，所以電晶體200對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。

【0189】在此，在氧化物230a與氧化物230b的接合部中，導帶底平緩地變化。換言之，也可以將上述情況表達為氧化物230a與氧化物230b的接合部的導帶底連續地變化或者連續地接合。為此，較佳為降低形成在氧化物230a與氧化物230b的界面的混合層的缺陷態密度。

【0190】明確而言，藉由使氧化物230a與氧化物230b除了包含氧之外還包含共同元素作為主要成分，可以形成缺陷態密度低的混合層。例如，在氧化物230b為In-M-Zn氧化物的情況下，作為氧化物230a也可以使用In-M-Zn氧化物、M-Zn氧化物、元素M的氧化物、In-Zn氧化物、銦氧化物等。

【0191】明確而言，作為氧化物230a使用In：M：Zn=1：3：4[原子個數比]或其附近的組成或者In：M：Zn=1：1：0.5[原子個數比]或其附近的組成的金屬氧化物，即可。此外，作為氧化物230b，使用In：M：Zn=1：1：1[原子個數比]或其附近的組成、In：M：Zn=1：1：2[原子個數比]或其附近的組成或者In：M：Zn=4：2：3[原子個數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的±30%的範圍。此外，作為元素M較佳為使用鎵。

【0192】在此，較佳為利用濺射法形成氧化物230a及氧化物230b。作為濺射氣體，使用氧或者氧和稀有氣體的混合氣體。藉由提高濺射氣體所包含的氧的比例，可以增加形成的氧化膜中的氧。注意，氧化物230a及氧化物230b

的成膜不侷限於濺射法，也可以適當地使用 CVD 法、MBE 法、PLD 法、ALD 法等。

【0193】此外，在藉由濺射法形成金屬氧化物時，上述原子個數比不侷限於所形成的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的形成的濺射靶材的原子個數比。

【0194】氧化物 230 也可以使用 ALD 法而形成。在此，說明使用 ALD 法的氧化物 230 的成膜方法。因為已在上述實施方式中說明使用 ALD 法的成膜方法，所以在本實施方式中主要說明與上述實施方式不同的部分，關於與上述實施方式相同的部分可以參照上述實施方式的說明。

【0195】可以用於氧化物 230 的 In-M-Zn 氧化物易於具有層疊有包含銦（In）及氧的層（以下稱為 In 層）和包含元素 M、鋅（Zn）以及氧的層（以下稱為（M，Zn）層）的層狀結晶結構。此外，夾在兩個 In 層間的（M，Zn）層數與 In-M-Zn 氧化物的組成相關。例如，在組成為 In：M：Zn=1：1：m 的情況下，夾在兩個 In 層間的（M，Zn）層數易於為（m+1）層。

【0196】作為使用 ALD 法的氧化物 230 的成膜方法的例子，參照圖 7C 說明 In-M-Zn 氧化物的成膜方法。圖 7C 示出使用前驅物 411 至前驅物 413 及氧化性氣體 414 進行成膜的成膜序列的一個例子。該成膜序列包括步驟 S11 至步驟 S13。

【0197】作為前驅物 411，可以使用包含銦的前驅物。作為前驅物 412，可以使用包含元素 M 的前驅物。作為前驅物 413，可以使用包含鋅的前驅物。作為前驅物 411 至前驅物 413 的每一個，既可使用由無機物構成的前驅物（有時稱為無機前驅物），又可使用由有機物構成的前驅物（有時稱為有機前驅物）。作為氧化性氣體 414，可以使用適用於上述實施方式所示的氧化性氣體 403 的氣體。

【0198】首先，進行步驟 S11。在步驟 S11 中，依次進行如下製程：引入前驅物 411，使得包含銦的前驅物被吸附於被形成面的製程；停止引入前驅物 411，吹掃處理室內的多餘的前驅物 411 的製程；引入氧化性氣體 414，使得前驅物 411 氧化，由此形成 In 層的製程；以及停止引入氧化性氣體 414，吹掃處理室內的多餘的氧化性氣體 414 的製程。

【0199】其次，進行步驟 S12。在步驟 S12 中，依次進行如下製程：引入前驅物 412，使得包含元素 M 的前驅物被吸附於 In 層表面的製程；停止引入前驅物 413，吹掃處理室內的多餘的前驅物 412 的製程；引入氧化性氣體 414，使得前驅物 412 氧化，由此形成 M 層的製程；以及停止引入氧化性氣體 414，吹掃處理室內的多餘的氧化性氣體的製程。

【0200】其次，進行步驟 S13。在步驟 S13 中，依次進行如下製程：引入前驅物 413，使得包含鋅的前驅物被吸附於 M 層表面的製程；停止引入前驅物 413，吹掃處理室內的多餘的前驅物 413 的工程；引入氧化性氣體 414，使得前驅物 413 氧化，由此形成 Zn 層的製程；以及停止引入氧化性氣體 414，吹掃處理室內的多餘的氧化性氣體 414 的製程。

【0201】以步驟 S11 至步驟 S13 為一次循環，藉由反復進行該循環，可以形成具有所希望的厚度的 In-M-Zn 氧化物。此外，有時在成膜時或在成膜後的加熱處理中元素 M 或 Zn 混入 In 層中。此外，有時 In 或 Zn 混入 M 層中。此外，有時 In 或 Ga 混入 Zn 層中。

【0202】此外，一次循環中進行步驟 S11 至步驟 S13 的次數不侷限於各一次。一次循環中進行步驟 S11 至步驟 S13 的次數較佳為以得到所希望的組成的 In-M-Zn 氧化物的方式分別設定。例如，在形成 In：M：Zn=1：1：2[原子個數比]的 In-M-Zn 氧化物的情況下，較佳為以步驟 S11、步驟 S13、步驟 S12、步驟 S13 為一次循環反復進行該循環。此外，例如，藉由反復進行由步驟 S11 及

步驟 S12 構成的循環，可以形成 In-Zn 氧化物。此外，也可以在步驟 S12 的引入前驅物 412 的製程中還引入前驅物 413，由此在步驟 S12 中形成（M，Zn）層。此外，也可以在步驟 S11 的引入前驅物 411 的製程中還引入前驅物 412 或前驅物 413，由此在步驟 S11 中形成包含元素 M 或 Zn 的 In 層。藉由適當地組合這些步驟，可以形成所希望的氧化物 230。

【0203】關於在使用 ALD 法形成膜時使用的製造設備可以參照上述實施方式的說明。藉由使用 ALD 法形成氧化物 230 及鐵電體層，可以共用製造設備。再者，在製造圖 1B2 所示的元件的情況下，藉由在形成氧化物 230 之後切換前驅物及氧化性氣體，可以在氧化物 230 上連續形成絕緣體 130。因此，可以以不暴露於大氣的方式形成氧化物 230 及絕緣體 130，由此可以使氧化物 230 與絕緣體 130 的界面附近保持清潔。

【0204】此外，在使用 ALD 法形成膜時使用的製造設備中的兩個以上可以被組裝在多處理室方式的成膜裝置中。此時，藉由使用不同的製造設備分別形成氧化物 230 和鐵電體層，可以不需切換前驅物及氧化性氣體而連續形成氧化物 230 及鐵電體層。

【0205】此外，如圖 11C 等所示，由於以與氧化物 230 的頂面及側面接觸的方式設置由氧化鋁等形成的絕緣體 252，氧化物 230 所包含的銦有時分佈在氧化物 230 和絕緣體 252 的界面及其附近。因此，氧化物 230 的表面附近具有接近銦氧化物的原子個數比或者接近 In-Zn 氧化物的原子個數比。在如此氧化物 230，尤其是氧化物 230b 的表面附近的銦的原子個數比較大時，可以提高電晶體 200 的場效移動率。

【0206】藉由使氧化物 230a 及氧化物 230b 具有上述結構，可以降低氧化物 230a 與氧化物 230b 的界面的缺陷態密度。因此，界面散射對載子傳導帶來的影響減少，從而電晶體 200 可以得到高通態電流及高頻特性。

【0207】絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283、絕緣體 285 中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體 200 的上方擴散到電晶體 200 的阻擋絕緣膜。因此，絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283、絕緣體 285 中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（N_2O、NO、NO_2 等）、銅原子等雜質的擴散的功能（不容易使上述雜質透過）的絕緣材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）的絕緣材料。

【0208】此外，在本說明書中，阻擋絕緣膜是指具有阻擋性的絕緣膜。在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能（也可以說透過性低）。或者，是指俘獲並固定所對應的物質（也稱為吸雜）的功能。

【0209】作為絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉿、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體 212、絕緣體 275 及絕緣體 283，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體 214、絕緣體 271、絕緣體 282 及絕緣體 285，較佳為使用俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體 212 及絕緣體 214 從基板一側擴散到電晶體 200 一側。或者，可以抑制水、氫等雜質從配置在絕緣體 285 的外方的層間絕緣膜等擴散到電晶體 200 一側。或者，可以抑制包含在絕緣體 224 等中的氧經過絕緣體 212 及絕緣體 214 擴散到基板一側。或者，可以抑制含在絕緣體 280 等中的氧經過絕緣體 282 等向電晶體 200 的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體 212、

絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285 圍繞電晶體 200 的結構。

【0210】在此，作為絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285，較佳為使用具有非晶結構的氧化物。例如，較佳為使用 AlO_x（x 是大於 0 的任意數）或 MgO_y（y 是大於 0 的任意數）等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。藉由將上述具有非晶結構的金屬氧化物作為電晶體 200 的組件使用或者設置在電晶體 200 的周圍，可以俘獲或固定含在電晶體 200 中的氫或存在於電晶體 200 的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體 200 中的通道形成區域的氫。藉由將具有非晶結構的金屬氧化物作為電晶體 200 的組件使用或者設置在電晶體 200 的周圍，可以製造具有良好特性的可靠性高的電晶體 200 及半導體裝置。

【0211】此外，絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285 較佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285 也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有在非晶結構的層上層疊有多晶結構的層的疊層結構。

【0212】絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285 的成膜例如可以利用濺射法。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 275、絕緣體 282、絕緣體 283 及絕緣體 285 的氫濃度。作為成膜方法，除了濺射法以外還可以適當地使用化學氣相沉積（CVD）法、分子束磊晶（MBE）法、脈衝雷射沉積（PLD）法、原子層沉積法（ALD）法等。

【0213】此外，有時較佳為降低絕緣體 212、絕緣體 275 及絕緣體 283 的電阻率。例如，藉由使絕緣體 212、絕緣體 275 及絕緣體 283 的電阻率約為 $1\times10^{13}\Omega cm$，在半導體裝置製程的利用電漿等的處理中，有時絕緣體 212、絕緣體 275 及絕緣體 283 可以緩和導電體 205、導電體 242、導電體 260 或導電體 110 的電荷積聚。絕緣體 212、絕緣體 275 及絕緣體 283 的電阻率為 $1\times10^{10}\Omega cm$ 以上且 $1\times10^{15}\Omega cm$ 以下。

【0214】此外，絕緣體 216、絕緣體 274、絕緣體 280 及絕緣體 285 的介電常數較佳為比絕緣體 214 低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體 216、絕緣體 274、絕緣體 280 及絕緣體 285，適當地使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽等。

【0215】導電體 205 以與氧化物 230 及導電體 260 重疊的方式配置。在此，導電體 205 較佳為以嵌入絕緣體 216 的開口中的方式設置。此外，導電體 205 的一部分有時嵌入絕緣體 214 中。

【0216】導電體 205 包括導電體 205a 及導電體 205b。導電體 205a 以與該開口的底面及側壁接觸的方式設置。導電體 205b 以嵌入形成在導電體 205a 的凹部中的方式設置。在此，導電體 205b 的頂面與導電體 205a 的頂面的高度及絕緣體 216 的頂面的高度大致一致。

【0217】在此，作為導電體 205a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（N_2O、NO、NO_2 等）、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

【0218】藉由作為導電體 205a 使用具有抑制氫的擴散的功能的導電材料，可以防止含在導電體 205b 中的氫等雜質藉由絕緣體 224 等擴散到氧化物 230。

此外，藉由作為導電體 205a 使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體 205b 被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。因此，作為導電體 205a 使用單層或疊層的上述導電材料即可。例如，作為導電體 205a 使用氮化鈦即可。

【0219】此外，導電體 205b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體 205b 可以使用鎢。

【0220】導電體 205 有時被用作第二閘極電極。在此情況下，藉由獨立地改變供應到導電體 205 的電位而不使其與供應到導電體 260 的電位聯動，可以控制電晶體 200 的臨界電壓（Vth）。尤其是，藉由對導電體 205 施加負電位，可以增大電晶體 200 的 Vth 而減少關態電流。由此，與不對導電體 205 施加負電位的情況相比，在對導電體 205 施加負電位的情況下，可以減少對導電體 260 施加的電位為 0V 時的汲極電流。

【0221】此外，導電體 205 的電阻率根據上述施加到導電體 205 的電位設計，導電體 205 的厚度根據該電阻率設定。此外，絕緣體 216 的厚度與導電體 205 大致相同。在此，較佳為在導電體 205 的設計允許的範圍內減少導電體 205 及絕緣體 216 的厚度。藉由減少絕緣體 216 的厚度，可以降低含在絕緣體 216 中的氫等雜質的絕對量，所以可以抑制該雜質擴散到氧化物 230。

【0222】此外，如圖 11A 所示，導電體 205 較佳為比氧化物 230 中不與導電體 242a 及導電體 242b 重疊的區域大。尤其是，如圖 11C 所示，導電體 205 較佳為延伸到氧化物 230a 及氧化物 230b 的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物 230 的通道寬度方向的側面的外側，導電體 205 和導電體 260 隔著絕緣體重疊。藉由具有上述結構，可以由被用作第一閘極電極的導電體 260 的電場和被用作第二閘極電極的導電體 205 的電場電圍繞氧化

物 230 的通道形成區域。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為 surrounded channel（S-channel）結構。

【0223】在本說明書等中，S-channel 結構的電晶體是指由一對閘極電極中的一方及另一方的電場電圍繞通道形成區域的電晶體的結構。此外，本說明書等中公開的 S-channel 結構與 Fin 型結構及平面型結構不同。藉由採用 S-channel 結構，可以實現對短通道效應的耐性得到提高的電晶體，換言之，可以實現不容易發生短通道效應的電晶體。

【0224】此外，如圖 11C 所示，將導電體 205 延伸來用作佈線。但是，本發明不侷限於此，也可以在導電體 205 下設置被用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體 205。例如，在多個電晶體中可以共同使用導電體 205。

【0225】注意，示出在電晶體 200 中作為導電體 205 層疊有導電體 205a 及導電體 205b 的結構，但是本發明不侷限於此。例如，導電體 205 可以具有單層結構，也可以具有三層以上的疊層結構。

【0226】絕緣體 222 及絕緣體 224 被用作閘極絕緣體。

【0227】絕緣體 222 較佳為具有抑制氫（例如，氫原子、氫分子等中的至少一個）的擴散的功能。此外，絕緣體 222 較佳為具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能。例如，與絕緣體 224 相比，絕緣體 222 較佳為具有抑制氫和氧中的一者或兩者的擴散的功能。

【0228】絕緣體 222 較佳為使用作為絕緣材料的包含鋁和鉿中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）等。或者，較佳為使用包含鉿及鋯的氧化物，例如使用鉿鋯氧化物。當使用這種材料形成絕緣體 222 時，絕緣體 222 被用作抑制氧從氧化物 230 釋放到基板一側及氫等雜質從電晶體 200 的周圍部擴散到氧化物 23

0的層。因此，藉由設置絕緣體222，可以抑制氫等雜質擴散到電晶體200的內側，而可以抑制在氧化物230中生成氧空位。此外，可以抑制導電體205與絕緣體224及氧化物230所包含的氧起反應。

【0229】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化鈰或氧化鋯。或者，也可以對上述絕緣體進行氮化處理。此外，作為絕緣體222還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0230】此外，作為絕緣體222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉿、氧化鉭、氧化鋯、鉿鋯氧化物等所謂的high-k材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體222有時可以使用鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）、（Ba,Sr）TiO_3（BST）等介電常數高的物質。

【0231】作為與氧化物230接觸的絕緣體224，例如適當地使用氧化矽、氧氮化矽等即可。

【0232】此外，在電晶體200的製程中，熱處理較佳為在氧化物230的表面露出的狀態下進行。該熱處理例如較佳為以100℃以上且600℃以下，更佳為以350℃以上且550℃以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230供應氧，從而可以減少氧空位（V_O）。熱處理也可以在減壓狀態下進行。此外，也可以在氮氣體或惰性氣體的氛圍下進行熱處理，然後為了填補脫離的氧而在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。此外，也可以在包含10ppm以

上、1%以上或 10%以上的氧化性氣體的氛圍下進行熱處理，然後連續地在氮氣體或惰性氣體的氛圍下進行熱處理。

【0233】藉由對氧化物 230 進行加氧化處理，可以由所供應的氧填補氧化物 230 中的氧空位，換言之可以促進“V_O+O→null”的反應。再者，氧化物 230 中殘留的氫與被供給的氧發生反應而可以將氫以 H_2O 的形態去除（脫水化）。由此，可以抑制殘留在氧化物 230 中的氫與氧空位再結合而形成 V_OH。

【0234】此外，絕緣體 222 及絕緣體 224 也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。此外，絕緣體 224 也可以形成為島狀且與氧化物 230a 重疊。在此情況下，絕緣體 275 與絕緣體 224 的側面及絕緣體 222 的頂面接觸。

【0235】導電體 242a 及導電體 242b 與氧化物 230b 的頂面接觸。導電體 242a 及導電體 242b 分別被用作電晶體 200 的源極電極或汲極電極。

【0236】作為導電體 242（導電體 242a 及導電體 242b）例如較佳為使用包含鉭的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉭及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉭的氮化物。此外，例如也可以使用氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0237】注意，有時包含在氧化物 230b 等中的氫擴散到導電體 242a 或導電體 242b。尤其是，藉由作為導電體 242a 及導電體 242b 使用包含鉭的氮化物，有時包含在氧化物 230b 等中的氫容易擴散到導電體 242a 或導電體 242b，該擴散的氫與導電體 242a 或導電體 242b 所包含的氮鍵合。也就是說，有時包含在氧化物 230b 等中的氫被導電體 242a 或導電體 242b 吸收。

【0238】此外，較佳為在導電體 242 的側面與導電體 242 的頂面之間不形成彎曲面。藉由使導電體 242 不具有該彎曲面，如圖 11D 所示，可以增大通道寬度方向的剖面上的導電體 242 的剖面積。由此，增大導電體 242 的導電率，從而可以增大電晶體 200 的通態電流。

【0239】絕緣體 271a 與導電體 242a 的頂面接觸，絕緣體 271b 與導電體 242b 的頂面接觸。絕緣體 271 較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體 271 較佳為具有抑制氧擴散的功能。例如，與絕緣體 280 相比，絕緣體 271 較佳為具有進一步抑制氧擴散的功能。絕緣體 271 例如可以使用如氧化鋁或氧化鎂等絕緣體。

【0240】絕緣體 275 以覆蓋絕緣體 224、氧化物 230a、氧化物 230b、導電體 242 及絕緣體 271 的方式設置。絕緣體 275 較佳為具有俘獲並固定氫的功能。在此情況下，絕緣體 275 較佳為包括氮化矽或具有非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。此外，例如，作為絕緣體 275 也可以使用氧化鋁與該氧化鋁上的氮化矽的疊層膜。

【0241】藉由設置上述絕緣體 271 及絕緣體 275，可以由具有對氧具有阻擋性的絕緣體包圍導電體 242。換言之，可以抑制包含在絕緣體 224 及絕緣體 280 中的氧擴散到導電體 242 中。由此，可以抑制包含在絕緣體 224 及絕緣體 280 中的氧而導致導電體 242 直接被氧化使得電阻率增大而通態電流減少。

【0242】絕緣體 252 被用作閘極絕緣體的一部分。作為絕緣體 252 較佳為使用氧阻擋絕緣膜。作為絕緣體 252 使用上述可用於絕緣體 282 的絕緣體即可。作為絕緣體 252 較佳為使用包含鋁和鉿中的一者或兩者的氧化物的絕緣體。作為該絕緣體，可以使用包含氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）、包含鉿及矽的氧化物（矽酸鉿）等。在本實施方式中，作為絕緣體 252，使用氧化鋁。此時，絕緣體 252 是至少包含氧及鋁的絕緣體。

【0243】如圖 11C 所示，絕緣體 252 以與氧化物 230b 的頂面及側面、氧化物 230a 的側面、絕緣體 224 的側面及絕緣體 222 的頂面接觸的方式設置。就是說，在通道寬度方向的剖面中氧化物 230a、氧化物 230b 及絕緣體 224 的與導電體 260 重疊的區域被絕緣體 252 覆蓋。因此，可以利用具有氧阻擋性的絕緣體 252 防止在進行熱處理等時氧化物 230a 及氧化物 230b 中的氧脫離。因此，可以減少在氧化物 230a 及氧化物 230b 中形成氧空位（V_O）。由此，可以減少形成在區域 230bc 中的氧空位（V_O）及 V_OH。因此，可以提高電晶體 200 的電特性及可靠性。

【0244】此外，反之，即使絕緣體 280 及絕緣體 250 等包含過多的氧，也可以抑制該氧過度供應到氧化物 230a 及氧化物 230b。因此，可以抑制區域 230ba 及區域 230bb 藉由區域 230bc 被過度氧化而導致電晶體 200 的通態電流的下降或場效移動率的下降。

【0245】此外，如圖 11B 所示，絕緣體 252 以與導電體 242、絕緣體 271、絕緣體 275 及絕緣體 280 各自的側面接觸的方式設置。因此，可以減少導電體 242 的側面被氧化而氧化膜形成在該側面。因此，可以抑制導致電晶體 200 的通態電流的下降或場效移動率的下降。

【0246】此外，絕緣體 252 需要與絕緣體 254、絕緣體 250、導電體 260 一起設置在形成於絕緣體 280 等中的開口中。為了實現電晶體 200 的微型化，絕緣體 252 的厚度較佳為小。絕緣體 252 的厚度為 0.1nm 以上且 5.0nm 以下，較佳為 0.5nm 以上且 3.0nm 以下，更佳為 1.0nm 以上且 3.0nm 以下。此時，絕緣體 252 的至少一部分是具有上述厚度的區域即可。此外，絕緣體 252 的厚度較佳為比絕緣體 250 的厚度小。此時，絕緣體 252 的至少一部分是厚度比絕緣體 250 小的區域即可。

【0247】為了如上所述地將絕緣體 252 形成得薄，較佳為利用 ALD 法形成絕緣體 252。ALD 法有只利用熱能使前驅物及反應物起反應的熱 ALD（Thermal ALD）法、使用收到電漿激發的反應物的 PEALD（Plasma Enhanced ALD）法等。在 PEALD 法中，藉由利用電漿可以在更低溫下進行形成，所以有時是較佳的。

【0248】此外，ALD 法可以利用作為原子的性質的自調整性來沉積每一層的原子，從而發揮能夠形成極薄的膜、能夠對縱橫比高的結構形成膜、能夠以針孔等的缺陷少的方式形成膜、能夠形成覆蓋性優良的膜及能夠在低溫下形成膜等的效果。因此，可以在形成於絕緣體 280 等中的開口的側面等以上述較小的厚度且高覆蓋性形成絕緣體 252。

【0249】ALD 法中使用的前驅物有時包含碳等。因此，利用 ALD 法形成的膜有時與利用其他的成膜方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析（SIMS）、X 射線光電子能譜（XPS）或俄歇電子能譜（AES）測量。

【0250】絕緣體 250 被用作閘極絕緣體的一部分。絕緣體 250 較佳為以與絕緣體 252 的頂面接觸的方式配置。絕緣體 250 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此時，絕緣體 250 是至少包含氧及矽的絕緣體。

【0251】與絕緣體 224 同樣，較佳為絕緣體 250 中的水、氫等雜質的濃度得到降低。絕緣體 250 的厚度較佳為 1nm 以上且 20nm 以下，更佳為 0.5nm 以上且 15.0nm 以下。此時，絕緣體 250 的至少一部分是具有上述厚度的區域即可。

【0252】在圖 11A 至圖 11D 等中，示出絕緣體 250 具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖 12B 所示，絕緣體 250 也可以具有絕緣體 250a 與絕緣體 250a 上的絕緣體 250b 這兩層的疊層結構。

【0253】如圖 12B 所示，在使絕緣體 250 具有兩層疊層結構的情況下，較佳的是，下層的絕緣體 250a 使用容易使氧透過的絕緣體形成，而上層的絕緣體 250b 使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體 250a 中的氧擴散到導電體 260。換言之，可以抑制對氧化物 230 供應的氧量的減少。此外，可以抑制因包含在絕緣體 250a 中的氧導致的導電體 260 的氧化。例如，絕緣體 250a 使用上述的能夠用於絕緣體 250 的材料，絕緣體 250b 使用包含鋁和鉿中的一者或兩者的氧化物的絕緣體，即可。作為該絕緣體，可以使用包含氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）、包含鉿及矽的氧化物（矽酸鉿）等。在本實施方式中，作為絕緣體 250b，使用氧化鉿。此時，絕緣體 250b 是至少包含氧及鉿的絕緣體。此外，絕緣體 250b 的厚度為 0.5nm 以上且 5.0nm 以下，較佳為 1.0nm 以上且 5.0nm 以下，更佳為 1.0nm 以上且 3.0nm 以下。此時，絕緣體 250b 的至少一部分是具有上述厚度的區域即可。

【0254】注意，當絕緣體 250a 使用氧化矽、氧氮化矽等時，絕緣體 250b 也可以使用相對介電常數高的 high-k 材料的絕緣材料形成。藉由作為閘極絕緣體採用絕緣體 250a 及絕緣體 250b 的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。因此，可以提高絕緣體 250 的絕緣耐壓。

【0255】絕緣體 254 被用作閘極絕緣體的一部分。作為絕緣體 254 較佳為使用氫阻擋絕緣膜。由此，可以防止包含在導電體 260 中的氫等雜質擴散到絕緣體 250 及氧化物 230b。作為絕緣體 254 使用上述可用於絕緣體 283 的絕緣體即可。例如，作為絕緣體 254 使用利用 PEALD 法形成的氮化矽即可。此時，絕緣體 254 是至少包含氮、矽的絕緣體。

【0256】此外，絕緣體 254 也可以還具有氧阻擋性。由此，可以抑制包含在絕緣體 250 中的氧擴散到導電體 260。

【0257】此外，絕緣體 254 需要與絕緣體 252、絕緣體 250、導電體 260 一起設置在形成於絕緣體 280 等中的開口中。為了實現電晶體 200 的微型化，絕緣體 254 的厚度較佳為小。絕緣體 254 的厚度為 0.1nm 以上且 5.0nm 以下，較佳為 0.5nm 以上且 3.0nm 以下，更佳為 1.0nm 以上且 3.0nm 以下。此時，絕緣體 254 的至少一部分是具有上述厚度的區域即可。此外，絕緣體 254 的厚度較佳為比絕緣體 250 的厚度小。此時，絕緣體 254 的至少一部分是厚度比絕緣體 250 小的區域即可。

【0258】導電體 260 被用作電晶體 200 的第一閘極電極。導電體 260 較佳為包括導電體 260a 以及配置在導電體 260a 上的導電體 260b。例如，較佳為以包圍導電體 260b 的底面及側面的方式配置導電體 260a。此外，如圖 11B 及圖 11C 所示，導電體 260 的頂面與絕緣體 250 的頂面大致對齊。雖然在圖 11B 及圖 11C 中導電體 260 具有導電體 260a 和導電體 260b 的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0259】作為導電體 260a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

【0260】此外，當導電體 260a 具有抑制氧的擴散的功能時，可以抑制絕緣體 250 所包含的氧使導電體 260b 氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。

【0261】此外，由於導電體 260 還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體 260b 可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體 260b 可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0262】此外，在電晶體 200 中，以填埋形成於絕緣體 280 等的開口的方式自對準地形成導電體 260。藉由如此形成導電體 260，可以在導電體 242a 和導電體 242b 之間的區域中無需對準並確實地配置導電體 260。

【0263】此外，如圖 11C 所示，在電晶體 200 的通道寬度方向上，以絕緣體 222 的底面為基準，導電體 260 的導電體 260 不與氧化物 230b 重疊的區域的底面的高度較佳為比氧化物 230b 的底面的高度低。藉由採用被用作閘極電極的導電體 260 隔著絕緣體 250 等覆蓋氧化物 230b 的通道形成區域的側面及頂面的結構，容易使導電體 260 的電場作用於氧化物 230b 的通道形成區域整體。由此，可以提高電晶體 200 的通態電流及頻率特性。以絕緣體 222 的底面為基準時的氧化物 230a 及氧化物 230b 不與導電體 260 重疊的區域的導電體 260 的底面的高度與氧化物 230b 的底面的高度之差為 0nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下，更佳為 5nm 以上且 20nm 以下。

【0264】絕緣體 280 設置在絕緣體 275 上，在將設置絕緣體 250 及導電體 260 的區域中形成開口。此外，絕緣體 280 的頂面也可以被平坦化。

【0265】較佳的是，被用作層間膜的絕緣體 280 的介電常數低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體 28

0 例如較佳為使用與絕緣體 216 同樣的材料形成。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。特別是，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。

【0266】絕緣體 280 較佳為包含過量氧區域或過量氧。此外，絕緣體 280 中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體 280 適當地使用氧化矽、氧氮化矽等，即可。藉由以與氧化物 230 接觸的方式設置上述包含過量氧的絕緣體，可以減少氧化物 230 中的氧空位，從而可以提高電晶體 200 的可靠性。藉由在含氧氛圍下使用濺射法形成成為絕緣體 280 的絕緣膜，可以形成包含過量氧的絕緣體 280。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體 280 中的氫濃度。此外，藉由在包含氧的氛圍使用濺射法形成與絕緣體 280 的頂面接觸的絕緣體 282，可以對絕緣體 280 添加氧。在絕緣體 282 形成時對絕緣體 280 添加氧的情況下，絕緣體 280 的成膜不侷限於濺射法，也可以適當地使用 CVD 法、MBE 法、PLD 法、ALD 法等。此外，例如，絕緣體 280 也可以具有藉由濺射法形成的氧化矽和層疊在其上的藉由 CVD 法形成的氧氮化矽的疊層結構。此外，還可以在其上層疊氮化矽。

【0267】絕緣體 282 較佳為被用作抑制水、氫等雜質從上方向絕緣體 280 擴散的阻擋絕緣膜且具有俘獲氫等雜質的功能。此外，絕緣體 282 較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體 282，使用具有非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。此時的絕緣體 282 是至少包含氧及鋁的絕緣體。藉由在夾在絕緣體 212 與絕緣體 283 的區域內設置與絕緣體 280 接觸且具有俘獲氫等雜質的功能的絕緣體 282，可以俘獲包含在絕緣體 280 等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體 282 較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 200 及半導體裝置。

【0268】絕緣體 282 較佳為使用濺射法形成。藉由使用濺射法形成絕緣體 282，可以將氧添加到絕緣體 280。注意，絕緣體 282 的成膜不侷限於濺射法，也可以適當地使用 CVD 法、MBE 法、PLD 法、ALD 法等。

【0269】絕緣體 283 可以被用作抑制水、氫等雜質從上方擴散到絕緣體 280 的阻擋絕緣膜。絕緣體 283 配置在絕緣體 282 上。作為絕緣體 283，較佳為使用氮化矽或氮氧化矽等包含矽的氮化物。例如，作為絕緣體 283 使用藉由濺射法形成的氮化矽。藉由使用濺射法形成絕緣體 283，可以形成密度高的氮化矽膜。此外，作為絕緣體 283，也可以在藉由濺射法形成的氮化矽上還層疊藉由 PEALD 法或 CVD 法形成的氮化矽。

【0270】

[電容器 100]

電容器 100 配置在形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口中，並包括與導電體 242b 的頂面接觸的導電體 110、導電體 110 及絕緣體 283 上的絕緣體 130 以及絕緣體 130 上的導電體 120。導電體 120 具有絕緣體 130 上的導電體 120a 和導電體 120a 上的導電體 120b 的疊層結構。在此，在形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口中配置導電體 110、絕緣體 130 及導電體 120 的至少一部分。

【0271】導電體 110 被用作電容器 100 的下電極，導電體 120 被用作電容器 100 的上電極，絕緣體 130 被用作電容器 100 的介電質。電容器 100 具有在絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 的開口中不僅在底面上而且在側面上上電極與下電極隔著介電質對置的結構，因此可以增加每單位面積的靜電電容。所以，該開口的深度越深，電容器 100

的靜電電容可以越大。如此，藉由增加電容器 100 的每單位面積的靜電電容，可以推進半導體裝置的微型化或高積體化。

【0272】此外，形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口的俯視時的形狀可以為四角形、四角形以外的多角形狀、其角部呈弧形的多角形狀或橢圓等圓形形狀。在此，在俯視時較佳為該開口與電晶體 200 重疊的面積大。例如，如圖 11A 所示，較佳為以在俯視時電容器 100 在導電體 242b 的範圍內的方式設置電容器 100。此時，導電體 110 的通道寬度方向的長度比導電體 242b 的通道寬度方向的長度小。藉由採用這種結構，可以縮減包括電容器 100 及電晶體 200 的半導體裝置的佔有面積。但是，不侷限於此，也可以採用導電體 110 的通道寬度方向的長度比導電體 242b 的通道寬度方向的長度大的結構。

【0273】導電體 110 沿著形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口而配置。在此，該開口的側面和底面較佳為在曲面接合。藉由採用該結構，可以在該開口中以高覆蓋性形成導電體 110。

【0274】導電體 110 的頂面的一部分的高度較佳為與絕緣體 285 的頂面的高度大致一致。此外，導電體 110 的底面與導電體 242b 的頂面接觸。導電體 110 較佳為使用 ALD 法或 CVD 法等形成，使用上述實施方式所示的導電體即可。例如，作為導電體 110 可以使用利用熱 ALD 法形成的氮化鈦。

【0275】絕緣體 130 以覆蓋導電體 110、絕緣體 245 及絕緣體 285 的一部分的方式配置。在此，在絕緣體 285 中，有時與絕緣體 130 重疊的區域的頂面的高度比不與絕緣體 130 重疊的區域的頂面高。絕緣體 130 較佳為利用 ALD 法或 CVD 法等形成。絕緣體 130 較佳為使用可具有鐵電性的材料。

【0276】作為可具有鐵電性的材料，可以舉出氧化鉿、氧化鋯、$HfZrO_x$（x 為大於 0 的實數）、對氧化鉿添加元素 J1（這裡的元素 J1 為鋯（Zr）、矽（Si）、鋁（Al）、釓（Gd）、釔（Y）、鑭（La）、鍶（Sr）等）的材料、對氧化鋯添加元素 J2（這裡的元素 J2 為鉿（Hf）、矽（Si）、鋁（Al）、釓（Gd）、釔（Y）、鑭（La）、鍶（Sr）等）的材料等。此外，作為可具有鐵電性的材料，也可以使用 $PbTiO_x$、鈦酸鋇鍶（BST）、鈦酸鍶、鋯鈦酸鉛（PZT）、鉭酸鍶鉍（SBT）、鐵酸鉍（BFO）、鈦酸鋇等具有鈣鈦礦結構的壓電陶瓷。此外，作為可具有鐵電性的材料，例如可以使用由從上述舉出的材料中選擇的多個材料而成的混合物或化合物。此外，絕緣體 130 可以具有由從上述舉出的材料中選擇的多個材料而成的疊層結構。此外，對氧化鉿、氧化鋯、$HfZrO_x$及氧化鉿添加元素 J1 的材料等的結晶結構（特性）有可能不僅由於成膜條件而且由於各種製程等而變化，所以在本說明書等中呈現鐵電性的材料不僅被稱為鐵電體而且被稱為可具有鐵電性的材料。

【0277】尤其是，可具有鐵電性的材料較佳為包含氧化鉿的材料或者包含氧化鉿及氧化鋯的材料，因為該材料即使被加工為幾 nm 的薄膜也可具有鐵電性。在此，絕緣體 130 的厚度可以為 100nm 以下，較佳為 50nm 以下，更佳為 20nm 以下，進一步較佳為 10nm 以下。藉由實現可以使其薄膜化的鐵電層，可以將電容器 100 與微型化了的電晶體 200 組合而形成半導體裝置。注意，在本說明書等中，有時將被加工為層狀的可具有鐵電性的材料稱為鐵電層或金屬氧化物膜。

【0278】可具有鐵電性的材料是絕緣體，具有從外部施加電場而內部發生極化且即使將該電場變為 0 也依然有極化的性質。因此，可以使用將該材料用作介電質的電容器（以下也稱為鐵電電容器）形成非揮發性記憶元件。使用鐵電電容器的非揮發性記憶元件有時被稱為 FeRAM（Ferroelectric Random Access

Memory：鐵電隨機存取記憶體）、鐵電記憶體等。例如，鐵電記憶體可以具有包括電晶體及鐵電電容器且電晶體的源極和汲極中的一個與鐵電電容器的一個端子電連接的結構。因此，本實施方式所示的包括電容器 100 及電晶體 200 的半導體裝置可以被用作鐵電記憶體。

【0279】此外，絕緣體 130 有時可以具有上述可具有鐵電性的材料和絕緣耐應力高的材料的疊層結構。作為介電強度高的材料，有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。藉由層疊地使用這樣的絕緣耐應力高的絕緣體，絕緣耐應力提高而有時可以抑制電容器 100 的洩漏電流。

【0280】導電體 120 以填埋形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口的方式配置。在此，導電體 120 較佳為具有隔著絕緣體 130 與絕緣體 285 重疊的區域。藉由採用這樣的結構，可以使導電體 120 與導電體 110 隔著絕緣體 130 絕緣。此外，也可以將導電體 120 中的絕緣體 283 之上的部分引導而形成為佈線狀。

【0281】如圖 11B 所示，導電體 120 較佳為包括導電體 120a 及導電體 120a 上的導電體 120b。此時，作為導電體 120a 在絕緣體 130 上設置覆蓋性優異的厚度薄的導電膜即可。此外，導電體 120b 以嵌入導電體 120a 上的開口的方式配置即可。導電體 120a 較佳為使用 ALD 法或 CVD 法等形成，使用上述實施方式所示的導電體即可。例如，作為導電體 120a 可以使用利用 ALD 法形成的氮化鈦。導電體 120b 較佳為使用 ALD 法、CVD 法或濺射法等形成，使用上述實施方式所示的導電體即可。作為導電體 120b，可以使用利用濺射法形成的鎢。注意，導電體 120 不侷限於兩層結構，也可以具有單層結構或三層以上的疊層結構。

【0282】可以以與導電體 120 的頂面接觸的方式配置被用作佈線的導電體。該導電體較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，該導電體可以具有疊層結構，例如，可以具有鈦、氮化鈦與上述導電材料的疊層結構。此外，該導電體也可以以嵌入形成於絕緣體的開口中的方式形成。

【0283】此外，絕緣體 245 較佳為以與形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口的側面接觸的方式配置。導電體 110 以與絕緣體 245 的內側的側面接觸的方式配置，絕緣體 130 以與導電體 110 的內側的側面接觸的方式配置，導電體 120 以與絕緣體 130 的內側的側面接觸的方式配置。

【0284】作為絕緣體 245，使用可用於絕緣體 275 等的阻擋絕緣膜即可。作為絕緣體 245，例如可以使用氮化矽、氧化鋁、氮氧化矽等絕緣體。因為絕緣體 245 與絕緣體 283、絕緣體 282、絕緣體 275 及絕緣體 271 接觸地設置，所以可以抑制包含在絕緣體 280 或絕緣體 285 等中的水、氫等雜質經過導電體 110 混入氧化物 230。尤其是，氮化矽的氫阻擋性高，所以是較佳的。此外，可以防止絕緣體 280 所包含的氧被導電體 110 吸收。

【0285】在絕緣體 245 具有如圖 11B 所示那樣的疊層結構時，作為與絕緣體 280 等的開口的內壁接觸的第一絕緣體以及其內側的第二絕緣體較佳為組合使用氧阻擋絕緣膜和氫阻擋絕緣膜。例如，作為第一絕緣體使用利用 ALD 法形成的氧化鋁且作為第二絕緣體使用利用 PEALD 法形成的氮化矽即可。藉由採用這樣的結構，可以抑制導電體 110 的氧化，並且可以抑制氫進入導電體 110 中。

【0286】注意，絕緣體 245 具有層疊有第一絕緣體及第二絕緣體的結構，但本發明不侷限於此。例如，絕緣體 245 可以具有單層結構，也可以具有三層以上的疊層結構。

【0287】<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【0288】<<基板>>

作為形成電晶體 200 的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽或鍺等為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon On Insulator；絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0289】<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0290】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0291】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉿、氧化鋯、含有鋁及鉿的氧化物、含有鋁及鉿的氧氮化物、含有矽及鉿的氧化物、含有矽及鉿的氧氮化物或者含有矽及鉿的氮化物等。

【0292】作為相對介電常數較低的絕緣體，可以舉出氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0293】此外，藉由使用具有抑制氫等雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉿、氧化鉭等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0294】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

【0295】<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、

包含鍶和釔的氧化物、包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0296】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0297】此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0298】尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有矽的銦錫氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

【0299】<<金屬氧化物>>

作為氧化物230，較佳為使用被用作半導體的金屬氧化物（氧化物半導體）。下面，對可用於根據本發明的氧化物230的金屬氧化物進行說明。

【0300】金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還包含鋁、鎵、釔、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂及鈷等中的一種或多種。

【0301】在此考慮金屬氧化物為包含銦、元素 M 及鋅的 In-M-Zn 氧化物的情況。注意，元素 M 為鋁、鎵、釔或錫。作為可以應用於元素 M 的其他元素，有硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂、鈷等。注意，作為元素 M 有時也可以組合多個上述元素。

【0302】此外，在本說明書等中，有時將包含氮的金屬氧化物稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

【0303】<結晶結構的分類>

首先，對氧化物半導體中的結晶結構的分類參照圖 13A 進行說明。圖 13A 是說明氧化物半導體，典型為 IGZO（包含 In、Ga、Zn 的金屬氧化物）的結晶結構的分類的圖。

【0304】如圖 13A 所示那樣，氧化物半導體大致分為“Amorphous（無定形）”、“Crystalline（結晶性）”、“Crystal（結晶）”。此外，completely amorphous 包含在“Amorphous”中。此外，在“Crystalline”中包含 CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）及 CAC（cloud-aligned composite）（excluding single crystal and poly crystal）。此外，在“Crystalline”的分類中不包含 single crystal（單晶）、poly crystal（多晶）及 completely amorphous。此外，在“Crystal”中包含 single crystal 及 poly crystal。

【0305】此外，圖 13A 所示的外框線被加粗的部分中的結構是介於“Amorphous（無定形）”與“Crystal（結晶）”之間的中間狀態，是屬於新的邊界區域

（New crystalline phase）的結構。換言之，該結構與“Crystal（結晶）”及在能量性上不穩定的“Amorphous（無定形）”可以說是完全不同的結構。

【0306】可以使用 X 射線繞射（XRD：X-Ray Diffraction）譜對膜或基板的結晶結構進行評價。在此，圖 13B 示出被分類為“Crystalline”的 CAAC-IGZO 膜的藉由 GIXD（Grazing-Incidence XRD）測量而得到的 XRD 譜。此外，將 GIXD 法也稱為薄膜法或 Seemann-Bohlin 法。下面，在本說明書中，有時將藉由圖 13B 所示的 GIXD 測量而得到的 XRD 譜簡單地記為 XRD 譜。此外，圖 13B 所示的 CAAC-IGZO 膜的組成是 In：Ga：Zn=4：2：3[原子個數比]附近。此外，圖 13B 所示的 CAAC-IGZO 膜的厚度為 500nm。

【0307】在圖 13B 中，橫軸表示 2θ[deg.]，縱軸表示強度[任意單位]。如圖 13B 所示，在 CAAC-IGZO 膜的 XRD 譜中檢測出表示明確的結晶性的峰值。明確而言，在 CAAC-IGZO 膜的 XRD 譜中，2θ=31°附近檢測出表示 c 軸配向的峰值。此外，如圖 13B 所示那樣，2θ=31°附近的峰值在以檢測出峰值強度的角度為軸時左右非對稱。

【0308】此外，可以使用奈米束電子繞射法（NBED：Nano Beam Electron Diffraction）觀察的繞射圖案（也稱為奈米束電子繞射圖案）對膜或基板的結晶結構進行評價。圖 13C 示出 CAAC-IGZO 膜的繞射圖案。圖 13C 是將電子束向平行於基板的方向入射的 NBED 觀察的繞射圖案。此外，圖 13C 所示的 CAAC-IGZO 膜的組成是 In：Ga：Zn=4：2：3[原子個數比]附近。此外，在奈米束電子繞射法中，進行束徑為 1nm 的電子繞射。

【0309】如圖 13C 所示那樣，在 CAAC-IGZO 膜的繞射圖案中觀察到表示 c 軸配向的多個斑點。

【0310】<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結晶結構的情況下，有時氧化物半導體的分類與圖 13A 不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述 CAAC-OS 及 nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

【0311】在此，對上述 CAAC-OS、nc-OS 及 a-like OS 的詳細內容進行說明。

【0312】

[CAAC-OS]

CAAC-OS 是包括多個結晶區域的氧化物半導體，該多個結晶區域的 c 軸配向於特定的方向。此外，特定的方向是指 CAAC-OS 膜的厚度方向、CAAC-OS 膜的被形成面的法線方向、或者 CAAC-OS 膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS 具有在 a-b 面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS 是指 c 軸配向並在 a-b 面方向上沒有明顯的配向的氧化物半導體。

【0313】此外，上述多個結晶區域的每一個由一個或多個微小結晶（最大徑小於 10nm 的結晶）構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於 10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的尺寸為幾十 nm 左右。

【0314】此外，在 In-M-Zn 氧化物（元素 M 為選自鋁、鎵、釔、錫及鈦等中的一種或多種）中，有 CAAC-OS 具有層疊有含有銦（In）及氧的層（以

下，In 層）、含有元素 M、鋅（Zn）及氧的層（以下，（M，Zn）層）的層狀結晶結構（也稱為層狀結構）的趨勢。此外，銦和元素 M 可以彼此置換。因此，有時（M，Zn）層包含銦。此外，有時 In 層包含元素 M。注意，有時 In 層包含 Zn。該層狀結構例如在高解析度 TEM 影像中被觀察作為晶格像。

【0315】例如，當對 CAAC-OS 膜使用 XRD 裝置進行結構分析時，在使用 θ/2θ 掃描的 Out-of-plane XRD 測量中，在 2θ=31°或其附近檢測出 c 軸配向的峰值。注意，表示 c 軸配向的峰值的位置（2θ 值）有時根據構成 CAAC-OS 的金屬元素的種類、組成等變動。

【0316】此外，例如，在 CAAC-OS 膜的電子繞射圖案中觀察到多個亮點（斑點）。此外，在以透過樣本的入射電子束的斑點（也稱為直接斑點）為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0317】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在 CAAC-OS 的畸變附近觀察不到明確的晶界（grain boundary）。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於 CAAC-OS 可容許因如下原因而發生的畸變，亦即，a-b 面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等。

【0318】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶（polycrystal）。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的 CAAC-OS 是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成 CAAC-OS，較佳為包含 Zn 的結構。例如，與 In 氧化物相比，In-Zn 氧化物及 In-Ga-Zn 氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0319】CAAC-OS 是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入、缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質、缺陷（氧空位等）少的氧化物半導體。因此，包含 CAAC-OS 的氧化物半導體的物理性質穩定。因此，包含 CAAC-OS 的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS 對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。由此，藉由在 OS 電晶體中使用 CAAC-OS，可以擴大製程的彈性。

【0320】

[nc-OS]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。換言之，nc-OS 具有微小的結晶。此外，例如，該微小的結晶的尺寸為 1nm 以上且 10nm 以下，尤其為 1nm 以上且 3nm 以下，將該微小的結晶稱為奈米晶。此外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，在對 nc-OS 膜使用 XRD 裝置進行結構分析時，在使用 θ/2θ 掃描的 Out-of-plane XRD 測量中，不檢測出表示結晶性的峰值。此外，在對 nc-OS 膜進行使用其束徑比奈米晶大（例如，50nm 以上）的電子束的電子繞射（也稱為選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於或小於奈米晶的尺寸（例如 1nm 以上且 30nm 以下）的電子束的電子繞射（也稱為奈米束電子射線）的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0321】

[a-like OS]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的結晶性低。此外，a-like OS 的膜中的氫濃度比 nc-OS 及 CAAC-OS 的膜中的氫濃度高。

【0322】<<氧化物半導體的構成>>

接著，說明上述的 CAC-OS 的詳細內容。此外，CAC-OS 與材料構成有關。

【0323】

[CAC-OS]

CAC-OS 例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 3nm 以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁（patch）狀，該區域的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 3nm 以下或近似的尺寸。

【0324】再者，CAC-OS 是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構（下面也稱為雲狀）。就是說，CAC-OS 是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0325】在此，將相對於構成 In-Ga-Zn 氧化物的 CAC-OS 的金屬元素的 In、Ga 及 Zn 的原子個數比的每一個記為[In]、[Ga]及[Zn]。例如，在 In-Ga-Zn 氧化物的 CAC-OS 中，第一區域是其[In]大於 CAC-OS 膜的組成中的[In]的區域。此外，第二區域是其[Ga]大於 CAC-OS 膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]

的區域。此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【0326】明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以 In 為主要成分的區域。此外，可以將上述第二區域稱為以 Ga 為主要成分的區域。

【0327】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0328】例如，在 In-Ga-Zn 氧化物的 CAC-OS 中，根據藉由能量色散型 X 射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的 EDX 面分析（mapping）影像，可確認到具有以 In 為主要成分的區域（第一區域）及以 Ga 為主要成分的區域（第二區域）不均勻地分佈而混合的結構。

【0329】在將 CAC-OS 用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使 CAC-OS 具有開關功能（控制導通/關閉的功能）。換言之，在 CAC-OS 的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將 CAC-OS 用於電晶體，可以實現高通態電流（I_{on}）、高場效移動率（μ）及良好的切換工作。

【0330】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS 中的兩種以上。

【0331】<包括氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

【0332】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0333】較佳為將載子濃度低的氧化物半導體用於電晶體的通道形成區域。例如，氧化物半導體的通道形成區域中的載子濃度可以為 $1\times10^{17}cm^{-3}$ 以下，較佳為 $1\times10^{15}cm^{-3}$ 以下，更佳為 $1\times10^{13}cm^{-3}$ 以下，進一步較佳為 $1\times10^{11}cm^{-3}$ 以下，更進一步較佳為低於 $1\times10^{10}cm^{-3}$，且為 $1\times10^{-9}cm^{-3}$ 以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為“高純度本質”或“實質上高純度本質”。此外，有時將載子濃度低的氧化物半導體稱為“高純度本質的氧化物半導體”或“實質上高純度本質的氧化物半導體”。

【0334】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0335】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0336】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

【0337】<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0338】在氧化物半導體包含第 14 族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體的通道形成區域中的矽及碳的濃度以及氧化物半導體的與通道形成區域的界面附近的矽或碳的濃度（藉由二次離

子質譜分析（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）例如設定為 2×10^{18}atoms/cm^3 以下，較佳為 2×10^{17}atoms/cm^3 以下。

【0339】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷能態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用 SIMS 分析測得的氧化物半導體的通道形成區域中的鹼金屬或鹼土金屬的濃度設定為 1×10^{18}atoms/cm^3 以下，較佳為 2×10^{16}atoms/cm^3 以下。

【0340】當氧化物半導體包含氮時，產生作為載子的電子，使載子濃度增高，而容易被 n 型化。其結果，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果，有時電晶體的電特性不穩定。因此，將利用 SIMS 測得的氧化物半導體的通道形成區域中的氮濃度設定為低於 5×10^{19}atoms/cm^3 以下，較佳為 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{18}atoms/cm^3 以下，進一步較佳為 5×10^{17}atoms/cm^3 以下。

【0341】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時生成作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體的通道形成區域中的氫。明確而言，在氧化物半導體的通道形成區域中，將利用 SIMS 測得的氫濃度設定為低於 1×10^{20}atoms/cm^3，較佳為低於 5×10^{19}atoms/cm^3，更佳為低於 1×10^{19}atoms/cm^3，進一步較佳為低於 5×10^{18}atoms/cm^3，還進一步較佳為低於 1×10^{18}atoms/cm^3。

【0342】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0343】<<其他半導體材料>>

可以用於氧化物230的半導體材料不侷限於上述金屬氧化物。作為氧化物230，也可以使用具有能帶間隙的半導體材料（不是零能帶間隙半導體的半導體材料）。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質（也稱為原子層物質、二維材料等）等用於半導體材料。特別是，較佳為將被用作半導體的層狀物質用於半導體材料。

【0344】在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵或離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦亦亦亦亦亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流高的電晶體。

【0345】作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、釙、鉝。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0346】作為氧化物230，例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作氧化物230的過渡金屬硫族化物，具體地可以舉出硫化鉬（典型的是MoS_2）、硒化鉬（典型的是$MoSe_2$）、碲化鉬（典型的是$MoTe_2$）、硫化鎢（典型的是WS_2）、硒化鎢（典型的是WSe_2）、碲化鎢（典型的是WTe_2）、硫化鉿（典型的是HfS_2）、硒化鉿（典型的是$HfSe_2$）、硫化鋯（典型的是ZrS_2）、硒化鋯（典型的是$ZrSe_2$）等。

【0347】<半導體裝置的變形例子>

以下，使用圖14A至圖16B說明本發明的一個實施方式的半導體裝置的一個例子。

【0348】各圖式中的 A 是半導體裝置的俯視圖。各圖式中的 B 是沿著各圖式中的 A 中的點劃線 A1-A2 的部分的剖面圖。為了明確起見，在各圖式中的 A 的俯視圖中省略部分組件。

【0349】注意，在各圖式中的 A 及 B 所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0350】<半導體裝置的變形例子 1>

圖 14A 及圖 14B 所示的半導體裝置是圖 11A 至圖 11D 所示的半導體裝置的變形例子。圖 14A 及圖 14B 所示的半導體裝置的與圖 11A 至圖 11D 所示的半導體裝置不同之處是設置有導電體 240 及導電體 246。在此，導電體 240 被用作與電晶體 200 的源極和汲極中的一個電連接的插頭，導電體 246 被用作與該插頭連接的佈線。

【0351】導電體 240 以填埋形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口的方式配置。導電體 240 的底面與導電體 242a 的頂面接觸。導電體 240 較佳為使用鎢、銅或鋁為主要成分的導電材料等。此外，導電體 240 也可以採用沿著上述開口的側面及底面設置的厚度薄的第一導電體和第一導電體上的第二導電體的疊層結構。

【0352】當作為導電體 240 採用疊層結構時，作為配置在絕緣體 285 及絕緣體 280 附近的第一導電體較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鉭、氮化鉭、鈦、氮化鈦、釕、氧化釕等。可以以單層或疊層使用具有抑制水、氫等雜質的透過的功能的導電材料。此外，可以防止包含在絕緣體 283 的上方的層的水、氫等雜質藉由導電體 240 混入到氧化物 230。第二導電體使用上述以鎢、銅或鋁為主要成分的導電材料等即可。

【0353】注意，圖 14B 所示的導電體 240 具有層疊有第一導電體和第二導電體的結構，但本發明不侷限於此。例如，導電體 240 可以具有單層結構，也可以具有三層以上的疊層結構。

【0354】此外，導電體 246 以與導電體 240 的頂面接觸的方式配置即可。導電體 246 較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體 246 可以具有疊層結構，例如，可以具有鈦、氮化鈦與上述導電材料的疊層結構。注意，如圖 14B 所示，有時在絕緣體 285 中與導電體 246 重疊的區域的頂面比不與導電體 246 的區域的頂面高。此外，導電體 246 也可以以嵌入形成於絕緣體的開口中的方式形成。

【0355】此外，較佳的是，在導電體 240 與絕緣體 280 之間設置被用作阻擋絕緣膜的絕緣體 241。絕緣體 245 較佳為以與形成於絕緣體 271、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 285 中的開口的側面接觸的方式配置。絕緣體 241 較佳為具有與上述絕緣體 245 同樣的結構。

【0356】在本變形例子中，以覆蓋導電體 246 及絕緣體 285 的方式設置絕緣體 286。絕緣體 286 使用可用於絕緣體 285 的絕緣材料形成即可。

【0357】本變形例子採用在形成導電體 240 及導電體 246 之後形成電容器 100 的結構。因此，本變形例子與圖 11A 至圖 11D 所示的半導體裝置不同，絕緣體 130 的底面的一部分及絕緣體 245 的側面的一部分與絕緣體 286 接觸。也就是說，根據絕緣體 286 的厚度嵌入電容器 100 的開口深。由此，可以不增大半導體裝置的佔有面積而增大電容器 100 的靜電電容。

【0358】<半導體裝置的變形例子 2>

圖 15A 及圖 15B 所示的半導體裝置是圖 11A 至圖 11D 所示的半導體裝置的變形例子。圖 15A 及圖 15B 所示的半導體裝置與圖 16A 及圖 16B 所示的半導體裝置同樣地在導電體 242a 上包括絕緣體 241a、導電體 240a 及導電體 246

a。再者，在導電體 120 上包括絕緣體 241b、導電體 240b 及導電體 246b。在此，導電體 240b 被用作與電容器 100 的一個端子電連接的插頭，導電體 246b 被用作與該插頭連接的佈線。

【0359】絕緣體 241a 及絕緣體 241b 可以使用與上述絕緣體 241 同樣的導電材料。此外，導電體 240a 及導電體 240b 可以使用與上述導電體 240 同樣的導電材料。此外，導電體 246a 及導電體 246b 可以使用與上述導電體 246 同樣的導電材料。

【0360】注意，與圖 16A 及圖 16B 所示的半導體裝置不同，圖 15A 及圖 15B 所示的半導體裝置具有在形成電容器 100 之後形成導電體 240a 及導電體 240b 的結構。因此，導電體 246a 及導電體 246b 的底面接觸於以覆蓋導電體 120 的方式形成的絕緣體 285 的頂面。

【0361】注意，與圖 11A 至圖 11D 所示的半導體裝置不同，圖 15A 及圖 15B 所示的半導體裝置具有絕緣體 283 和絕緣體 130 之間沒有設置層間絕緣膜且絕緣體 130 的底面和絕緣體 283 的頂面接觸的結構。

【0362】<半導體裝置的變形例子 3>

圖 16A 及圖 16B 所示的半導體裝置是圖 15A 及圖 15B 所示的半導體裝置的變形例子。圖 16A 及圖 16B 所示的半導體裝置與圖 15A 及圖 15B 所示的半導體裝置的不同之處在於絕緣體 283 與絕緣體 212 的頂面的一部分接觸。因此，電晶體 200 配置在由絕緣體 283 及絕緣體 212 密封的區域中。藉由上述結構，可以抑制包含在上述密封的區域外的氫混入上述密封的區域中。此外，在圖 16A 及圖 16B 所示的電晶體 200 中，絕緣體 212、絕緣體 283 具有單層的結構，但是本發明不侷限於此。例如，絕緣體 212、絕緣體 283 也可以都具有兩層以上的疊層結構。

【0363】<半導體裝置的應用例子>

以下，使用圖 17 說明本發明的一個實施方式的半導體裝置的一個例子。

【0364】圖 17A 示出半導體裝置 500 的俯視圖。在圖 17A 中，平行於電晶體 200 的通道長度方向的方向是 x 軸，垂直於 x 軸的方向是 y 軸。此外，圖 17B 是沿著圖 17A 中的點劃線 A1-A2 的部分的剖面圖，該剖面圖相當於電晶體 200 的通道長度方向的剖面圖。圖 17C 是沿著圖 17A 中的點劃線 A3-A4 的剖面圖，該剖面圖相當於開口區域 400 及其附近的剖面圖。注意，在圖 17A 的俯視圖中，為了明確起見，省略部分組件。

【0365】注意，在圖 17A 至圖 17C 所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0366】圖 17A 至圖 17C 所示的半導體裝置 500 是圖 11A 至圖 11D 所示的半導體裝置的變形例子。圖 17A 至圖 17C 所示的半導體裝置 500 的與圖 11A 至圖 11D 所示的半導體裝置不同之處在於：絕緣體 282 及絕緣體 280 形成有開口區域 400。此外，與圖 11A 至圖 11D 所示的半導體裝置不同之處在於：以圍繞多個電晶體 200 及電容器 100 的方式形成有密封部 265。

【0367】半導體裝置 500 包括排列為矩陣狀的多個電晶體 200、多個電容器 100 及多個開口區域 400。此外，在 y 軸方向上延伸地設置有被用作電晶體 200 的閘極電極的多個導電體 260。開口區域 400 形成在不與氧化物 230 及導電體 260 重疊的區域中。此外，以圍繞多個電晶體 200、多個電容器 100、多個導電體 260 及多個開口區域 400 的方式形成有密封部 265。注意，電晶體 200、多個電容器 100、導電體 260 及開口區域 400 的數量、配置以及尺寸不侷限於圖 17 所示的結構，根據半導體裝置 500 的設計適當地設定即可。

【0368】如圖 17B 及圖 17C 所示，密封部 265 以圍繞多個電晶體 200、絕緣體 216、絕緣體 222、絕緣體 275、絕緣體 280 及絕緣體 282 的方式設置。換言之，絕緣體 283 以覆蓋絕緣體 216、絕緣體 222、絕緣體 275、絕緣體 280 及絕緣體 282 的方式設置。此外，在密封部 265，絕緣體 283 與絕緣體 214 的頂面接觸。此外，在密封部 265，絕緣體 283 和絕緣體 285 之間設置有絕緣體 274。絕緣體 274 的頂面的高度與絕緣體 283 的最上面的高度大致一致。此外，作為絕緣體 274，可以使用與絕緣體 280 同樣的絕緣體。

【0369】藉由採用這樣的結構，可以由絕緣體 283、絕緣體 214 及絕緣體 212 圍繞（密封）多個電晶體 200。在此，絕緣體 283、絕緣體 214 及絕緣體 212 中的一個或多個較佳為被用作氫阻擋絕緣膜。由此，可以抑制包含在密封部 265 的區域之外的氫進入密封部 265 的區域中。有時將具有這種功能的絕緣體 283、絕緣體 214 及絕緣體 212 稱為密封膜。

【0370】如圖 17C 所示，在開口區域 400 中，絕緣體 282 具有開口部。此外，在開口區域 400 中，絕緣體 280 也可以具有與絕緣體 282 的開口部重疊的槽部。絕緣體 280 的槽部的深度最深為使絕緣體 275 的頂面露出的程度即可，例如，可以為絕緣體 280 的最大厚度的 1/4 以上且 1/2 以下左右。

【0371】此外，如圖 17C 所示，絕緣體 283 在開口區域 400 的內側與絕緣體 282 的側面、絕緣體 280 的側面及絕緣體 280 的頂面接觸。此外，在開口區域 400 中，有時絕緣體 274 的一部分以嵌入形成於絕緣體 283 中的凹部的方式形成。此時，形成在開口區域 400 中的絕緣體 274 的頂面的高度與絕緣體 283 的最上面的高度有時大致一致。

【0372】在形成有這樣的開口區域 400 且從絕緣體 282 的開口部絕緣體 280 露出的狀態下進行熱處理，由此可以在對氧化物 230 供應氧的同時從開口區域 400 將包含在絕緣體 280 中的氧的一部分擴散到外部。由此，可以從包含藉

由加熱而脫離的氧的絕緣體 280 將十分的氧供應到氧化物半導體中的被用作通道形成區域的區域及其附近，並且可以防止被供應過多的氧。

【0373】此時，可以將包含在絕緣體 280 中的氫與氧鍵合，將其經過開口區域 400 釋放到外部。鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體 280 中的氫，可以減少包含在絕緣體 280 中的氫進入氧化物 230。

【0374】此外，在圖 17A 中，俯視的開口區域 400 的形狀大致為長方形，但是本發明不侷限於此。例如，俯視的開口區域 400 的形狀也可以是長方形、橢圓形、圓形、菱形或組合這些形狀而成的形狀。此外，開口區域 400 的面積及配置間距可以根據包括電晶體 200 的半導體裝置的設計適當地設定。例如，在電晶體 200 的密度低的區域中，擴大開口區域 400 的面積或縮小開口區域 400 的配置間距即可。此外，例如，在電晶體 200 的密度高的區域中，縮小開口區域 400 的面積或增大開口區域 400 的配置間距即可。

【0375】根據本發明的一個實施方式可以提供一種新穎電晶體。根據本發明的一個實施方式可以提供一種電晶體特性的不均勻小的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種具有良好的電特性的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式可以提供一種通態電流高的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種場效移動率高的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種頻率特性良好的半導體裝置。此外，根據本發明的一個實施方式可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

【0376】此外，根據本發明的一個實施方式，可以提供一種包含可具有鐵電性的材料的電容器。此外，根據本發明的一個實施方式，可以以優異生產率

提供上述電容器。此外，根據本發明的一個實施方式，可以提供一種包括上述電容器及電晶體的半導體裝置。此外，根據本發明的一個實施方式，可以提供能夠實現微型化或高積體化的上述半導體裝置。

【0377】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0378】

實施方式 3

在本實施方式中，參照圖 18 說明半導體裝置的一個實施方式。

【0379】

[記憶體裝置的結構例子]

圖 18 示出根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。在本發明的一個實施方式的半導體裝置中，電晶體 200 設置在電晶體 300 的上方，電容器 100 設置在電晶體 300 及電晶體 200 的上方。此外，作為電晶體 200，可以使用上述實施方式所說明的電晶體 200。此外，作為電容器 100，可以使用上述實施方式所說明的電容器 100。注意，圖 18 示出使用圖 14 所示的電容器 100 及電晶體 200 的例子，但本發明不侷限於此，可以適當地選擇電容器 100 及電晶體 200。

【0380】電容器 100 使用可具有鐵電性的材料，該可具有鐵電性的材料具有從外部施加電場而內部發生極化且即使將該電場變為 0 也依然有極化的性質。由此，可以使用電容器 100 形成非揮發性記憶元件。換言之，可以使用被用作鐵電電容器的電容器以及電晶體 200 形成 1 電晶體 1 電容器型鐵電記憶體。

【0381】電晶體 200 是其通道形成在包含氧化物半導體的半導體層中的電晶體。電晶體 200 具有高耐壓特性。因此，藉由將氧化物半導體用於電晶體 20

0，即使使電晶體 200 微型化也可以向電晶體 200 施加高電壓。藉由使電晶體 200 微型化，可以減小半導體裝置的佔有面積。

【0382】在圖 18 所示的半導體裝置中，佈線 1001 與電晶體 300 的源極電連接，佈線 1002 與電晶體 300 的汲極電連接。此外，佈線 1003 與電晶體 200 的源極和汲極中的一個電連接，佈線 1004 與電晶體 200 的第一閘極電連接，佈線 1005 與電容器 100 的一個電極電連接，佈線 1006 與電晶體 200 的第二閘極電連接，佈線 1007 與電晶體 300 的閘極電連接。

【0383】此外，藉由將圖 18 所示的記憶體裝置配置為矩陣狀，可以構成記憶單元陣列。

【0384】<電晶體 300>

電晶體 300 設置在基板 311 上，並包括：被用作閘極的導電體 316、被用作閘極絕緣體的絕緣體 315、由基板 311 的一部分構成的半導體區域 313 以及被用作源極區域或汲極區域的低電阻區域 314a 及低電阻區域 314b。電晶體 300 可以是 p 通道型或 n 通道型。

【0385】在此，在圖 18 所示的電晶體 300 中，形成通道的半導體區域 313（基板 311 的一部分）具有凸形狀。此外，以隔著絕緣體 315 覆蓋半導體區域 313 的側面及頂面的方式設置導電體 316。此外，導電體 316 可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體 300 也被稱為 FIN 型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對 SOI 基板進行加工來形成具有凸部的半導體膜。

【0386】注意，圖 18 所示的電晶體 300 的結構只是一個例子，不侷限於上述結構，根據電路結構及驅動方法使用適當的電晶體即可。

【0387】<佈線層>

在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一符號表示多個結構。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0388】例如，在電晶體 300 上，作為層間膜依次層疊地設置有絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326。此外，與電容器 100 或電晶體 200 電連接的導電體 328 及導電體 330 等填埋於絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326 中。此外，導電體 328 及導電體 330 被用作插頭或佈線。

【0389】此外，被用作層間膜的絕緣體可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體 322 的頂面的平坦性，也可以藉由利用化學機械拋光（CMP）法等的平坦化處理實現平坦化。

【0390】此外，也可以在絕緣體 326 及導電體 330 上設置佈線層。例如，在圖 18 中，依次層疊有絕緣體 350、絕緣體 352 及絕緣體 354。此外，在絕緣體 350、絕緣體 352 及絕緣體 354 中形成有導電體 356。導電體 356 被用作插頭或佈線。

【0391】同樣地，在絕緣體 210、絕緣體 212、絕緣體 214 及絕緣體 216 中填充有導電體 218 及構成電晶體 200 的導電體（導電體 205）等。此外，導電體 218 被用作與電容器 100 或電晶體 300 電連接的插頭或佈線。

【0392】在此，與上述實施方式所示的絕緣體 241 同樣，以與被用作插頭的導電體 218 的側面接觸的方式設置絕緣體 217。絕緣體 217 以與絕緣體 210、絕緣體 212、絕緣體 214 及絕緣體 216 中的開口的內壁接觸的方式設置。換言之，絕緣體 217 設置在導電體 218 與絕緣體 210、絕緣體 212、絕緣體 214 及絕

緣體 216 之間。導電體 205 可以與導電體 218 並行形成，所以有時以與導電體 205 的側面接觸的方式形成絕緣體 217。

【0393】作為絕緣體 217，例如可以使用氮化矽、氧化鋁或氮氧化矽等絕緣體。絕緣體 217 以與絕緣體 210、絕緣體 212、絕緣體 214 及絕緣體 222 接觸的方式設置，所以可以抑制水、氫等雜質從絕緣體 210 或絕緣體 216 等藉由導電體 218 混入氧化物 230。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，可以防止包含在絕緣體 210 或絕緣體 216 中的氧被導電體 218 吸收。

【0394】絕緣體 217 可以使用與絕緣體 241 同樣的方法形成。例如，使用 PEALD 法形成氮化矽，使用各向異性蝕刻形成到達導電體 356 的開口即可。

【0395】此外，在電晶體 200 上，絕緣體 285 及導電體 240 上設置有導電體 112。此外，導電體 112 被用作與電晶體 200 或電晶體 300 電連接的插頭或佈線。以覆蓋絕緣體 285 及導電體 112 的方式設置有絕緣體 286。以覆蓋絕緣體 286 及電容器 100 的方式設置有絕緣體 150。

【0396】此外，也可以以覆蓋絕緣體 285 及導電體 112 的方式設置氫阻擋絕緣膜。如圖 18 所示，作為氫阻擋絕緣膜較佳為設置覆蓋絕緣體 285 及導電體 112 的絕緣體 152a 和絕緣體 152a 上的絕緣體 152b。作為絕緣體 152a 及絕緣體 152b，使用可用於上述絕緣體 283 等的阻擋絕緣膜即可。藉由設置這種絕緣體 152a 及絕緣體 152b，可以減少絕緣體 286 等所包括的氫等雜質經過導電體 112 及導電體 240 擴散到電晶體 200。

【0397】絕緣體 152a 利用濺射法形成即可。例如，作為絕緣體 152a 可以使用利用濺射法形成的氮化矽。因為濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體 152a 的氫濃度。如此，與導電體 112 及絕緣體 285

接觸的絕緣體 152a 的氫濃度得到降低，由此可以抑制氫從絕緣體 152a 擴散到導電體 112 及絕緣體 285。

【0398】絕緣體 152b 較佳為利用 ALD 法形成，尤其較佳為利用 PEALD 法形成。例如，作為絕緣體 152b 可以使用利用 PEALD 法形成的氮化矽。由此，可以以高覆蓋性形成絕緣體 152b，所以即使因基底的凹凸而絕緣體 152a 中形成針孔或斷開等，也藉由由絕緣體 152b 覆蓋它們可以減少氫擴散到導電體 112 及絕緣體 285。

【0399】注意，絕緣體 152a 及絕緣體 152b 的成膜方法不侷限於濺射法及 ALD 法，也可以適當地利用 CVD 法、MBE 法、PLD 法等。此外，以上示出絕緣體 152a 和絕緣體 152b 的兩層結構，但本發明不侷限於此，也可以具有單層結構或三層以上的疊層結構。

【0400】此外，與絕緣體 152a 及絕緣體 152b 同樣，絕緣體 283 及絕緣體 212 也可以為疊層結構的阻擋絕緣膜。

【0401】此外，同樣地，也可以以覆蓋絕緣體 286 及電容器 100 的方式設置氫阻擋絕緣膜。如圖 18 所示，作為氫阻擋絕緣膜較佳為設置覆蓋絕緣體 286 及電容器 100 的絕緣體 154a 和絕緣體 154a 上的絕緣體 154b。在此，電容器 100 被絕緣體 154a 及絕緣體 154b 密封，絕緣體 154a 及絕緣體 154b 被用作密封膜。絕緣體 154a 以及絕緣體 154b 分別可以使用與絕緣體 152a 以及絕緣體 152b 同樣的阻擋絕緣膜。藉由設置這種絕緣體 154a 及絕緣體 154b，可以減少絕緣體 150 等所包含的氫等雜質經過電容器 100 擴散到電晶體 200。

【0402】作為能夠被用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0403】例如，藉由將相對介電常數低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0404】例如，絕緣體 150、絕緣體 210、絕緣體 352 及絕緣體 354 等較佳為具有相對介電常數低的絕緣體。例如，該絕緣體較佳為含有添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。或者，該絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽和樹脂的疊層結構。由於氧化矽及氧氮化矽具有熱穩定性，因此藉由將其與樹脂組合，可以實現具有熱穩定性且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂等。

【0405】此外，藉由使用具有抑制氫等雜質及氧透過的功能的絕緣體圍繞使用氧化物半導體的電晶體，可以使電晶體的電特性穩定。因此，作為絕緣體 214、絕緣體 212 及絕緣體 350 等，使用具有抑制氫等雜質及氧的透過的功能的絕緣體，即可。

【0406】作為具有抑制氫等雜質及氧透過的功能的絕緣體，例如可以以單層或疊層使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體。明確而言，作為具有抑制氫等雜質及氧透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿、氧化鉭等金屬氧化物、氮氧化矽、氮化矽等。

【0407】作為能夠用於佈線、插頭的導電體較佳為使用包含選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦以

及釕等的金屬元素中的一種以上的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0408】例如，作為導電體 328、導電體 330、導電體 356、導電體 218 及導電體 112 等，可以以單層或疊層使用由上述材料形成的金屬材料、合金材料、金屬氮化物材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢、鉬等高熔點材料，尤其較佳為使用鎢。或者，較佳為使用鋁、銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。此外，如上述實施方式所示，在電容器 100 中，藉由利用熱 ALD 法等需要對基板進行加熱的方法形成導電體 120a，即使在形成導電體 120a 之後不進行高溫烘烤也可以提高絕緣體 130 的鐵電性。由此，可以不進行高溫烘烤而製造半導體裝置，因此可以使用熔點低的銅等低電阻導電材料。

【0409】<設置有氧化物半導體的層的佈線或插頭>

注意，在將氧化物半導體用於電晶體 200 時，有時在氧化物半導體附近設置具有過量氧區域的絕緣體。在此情況下，較佳為在該具有過量氧區域的絕緣體和設置於該具有過量氧區域的絕緣體的導電體之間設置具有阻擋性的絕緣體。

【0410】例如，在圖 18 中，較佳為在具有過量氧的絕緣體 224 及絕緣體 280 與導電體 240 之間設置絕緣體 241。藉由使絕緣體 241 與絕緣體 222、絕緣體 282 及絕緣體 283 接觸地設置，絕緣體 224 及電晶體 200 可以具有由具有阻擋性的絕緣體密封的結構。

【0411】也就是說，藉由設置絕緣體 241，可以抑制絕緣體 224 及絕緣體 280 所具有的過量氧被導電體 240 吸收。此外，藉由具有絕緣體 241，可以抑制作為雜質的氫經過導電體 240 擴散到電晶體 200。

【0412】此外，作為絕緣體 241，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣材料。例如，較佳為使用氮化矽、氮氧化矽、氧化鋁或氧化鉿等。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，例如還可以使用氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉭等的金屬氧化物等。

【0413】此外，如上述實施方式所示，電晶體 200 也可以採用由絕緣體 212、絕緣體 214、絕緣體 282 及絕緣體 283 密封的結構。藉由採用上述結構，可以降低包含在絕緣體 274、絕緣體 285、絕緣體 150 等中的氫混入到絕緣體 280 等中。此時，絕緣體 212、絕緣體 214、絕緣體 282 以及絕緣體 283 被用作密封膜。

【0414】在此，導電體 240 貫通絕緣體 283 及絕緣體 282，導電體 218 貫通絕緣體 214、絕緣體 212，並且，如上所述，絕緣體 241 與導電體 240 接觸地設置，絕緣體 217 與導電體 218 接觸地設置。由此，可以減少藉由導電體 240 及導電體 218 混入絕緣體 212、絕緣體 214、絕緣體 282 及絕緣體 283 的內側的氫。如此，可以由絕緣體 212、絕緣體 214、絕緣體 282、絕緣體 283、絕緣體 241 及絕緣體 217 密封電晶體 200，而可以減少包含在絕緣體 274 等中的氫等雜質從外側混入。注意，圖 18 示出由絕緣體 212 及絕緣體 283 等密封的區域內的一個電晶體 200，但不侷限於此，也可以在該密封區域內設置多個電晶體 200。

【0415】<切割線>

下面，對當將大面積基板按每個半導體元件分割而得到晶片形狀的多個半導體裝置時設置的切割線（有時也稱為分割線、分離線或截斷線）進行說明。作為分割方法，例如，有時，首先在基板中形成用來分離半導體元件的槽（切割線）之後，在切割線處截斷，得到被分離（被分割）的多個半導體裝置。

【0416】在此，例如，如圖 18 所示，較佳為以與絕緣體 283 和絕緣體 214 接觸的區域重疊於切割線的方式進行設計。也就是說，在與設置在包括多個電晶體 200 的記憶單元的邊緣的成為切割線的區域附近，在絕緣體 282、絕緣體 280、絕緣體 275、絕緣體 222 及絕緣體 216 中設置開口。

【0417】也就是說，在設置於絕緣體 282、絕緣體 280、絕緣體 275、絕緣體 222 及絕緣體 216 的開口中，絕緣體 214 與絕緣體 283 接觸。

【0418】此外，例如，也可以在絕緣體 282、絕緣體 280、絕緣體 275、絕緣體 222、絕緣體 216 及絕緣體 214 中形成開口。藉由採用這種結構，在設置於絕緣體 282、絕緣體 280、絕緣體 275、絕緣體 222、絕緣體 216 及絕緣體 214 的開口中，絕緣體 212 與絕緣體 283 接觸。此時，也可以使用相同材料及相同方法形成絕緣體 212 及絕緣體 283。藉由使用相同的材料及相同的方法形成絕緣體 212 和絕緣體 283，可以提高緊密性。例如，較佳為使用氮化矽。

【0419】藉由採用該結構，可以由絕緣體 212、絕緣體 214、絕緣體 282 及絕緣體 283 包圍電晶體 200。絕緣體 212、絕緣體 214、絕緣體 282 和絕緣體 283 中的至少一個由於具有抑制氧、氫及水的擴散的功能，所以即使將基板按每個形成有本實施方式所示的半導體元件的電路區域分割而加工為多個晶片，也可以防止從截斷的基板的側面方向混入氫或水等雜質且該雜質擴散到電晶體 200。

【0420】此外，藉由採用該結構，可以防止絕緣體 280 及絕緣體 224 中的過量氧擴散到外部。因此，絕緣體 280 及絕緣體 224 中的過量氧高效地被供應到電晶體 200 中的形成通道的氧化物中。由於該氧，而可以減少電晶體 200 中的形成通道的氧化物的氧空位。由此，可以使電晶體 200 中的形成通道的氧化物成為缺陷態密度低且具有穩定的特性的氧化物半導體。也就是說，可以在抑制電晶體 200 的電特性變動的同時提高可靠性。

【0421】<記憶體裝置的變形例子 1>

在圖 18 所示的記憶體裝置中以嵌入絕緣體 285 及絕緣體 280 等的方式形成電容器 100，但本發明不侷限於此。如圖 19 所示，也可以採用平面型電容器 100 設置在絕緣體 285 上的結構。

【0422】電容器 100 包括導電體 110、覆蓋導電體 110 的絕緣體 130 以及覆蓋絕緣體 130 的導電體 120（導電體 120a 及導電體 120b）。在此，絕緣體 130 較佳為覆蓋導電體 110 的頂面及側面以使導電體 110 和導電體 120 分隔。導電體 110、絕緣體 130 及導電體 120 的詳細內容可以參照[記憶體裝置的結構例子]及上述實施方式的記載。

【0423】導電體 110 形成在與導電體 112 相同的層上，與導電體 240 的頂面接觸。導電體 110 藉由導電體 240 與電晶體 200 的源極和汲極中的一個電連接。

【0424】此外，較佳的是，以覆蓋導電體 120、絕緣體 130 及導電體 112 的方式設置絕緣體 155。絕緣體 155 較佳為使用可用作絕緣體 214 或絕緣體 282 等的具有俘獲且固定氫的功能的絕緣體。例如，較佳為使用氧化鋁 AlO_x（x 是大於 0 的任意數）等。該 AlOx 較佳為具有非晶結構。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。

【0425】例如，絕緣體 155 可以使用藉由 ALD 法形成的氧化鋁或藉由濺射法形成的氧化鋁膜。此外，例如，絕緣體 155 也可以使用藉由 ALD 法形成的氧化鋁及形成在其上的藉由濺射法形成的氧化鋁的疊層膜。

【0426】藉由以覆蓋電容器 100 的方式設置這種絕緣體 155，可以俘獲且固定電容器 100 的絕緣體 130 所包含的氫而降低絕緣體 130 的氫濃度。由此，可以提高絕緣體 130 的結晶性，並提高絕緣體 130 的鐵電性。此外，可以減少

導電體 110 和導電體 120 間的洩漏電流。注意，不侷限於此，也可以採用沒有設置絕緣體 155 的結構。

【0427】此外，較佳的是，與圖 18 所示的記憶體裝置同樣地在導電體 112 及導電體 120 上設置被用作氫阻擋絕緣膜的絕緣體 152a 及絕緣體 152b。絕緣體 152a 及絕緣體 152b 設置在絕緣體 155 上。藉由設置這種絕緣體 152a 及絕緣體 152b，可以減少絕緣體 152b 上的絕緣體 286 所包含的氫等雜質經過電容器 100、導電體 112 及導電體 240 擴散到電晶體 200。

【0428】此外，如圖 19 所示，較佳為在絕緣體 285 上設置被用作氫阻擋絕緣膜的絕緣體 287。與絕緣體 287 上接觸地設置有導電體 112、導電體 110 及絕緣體 155。在此，絕緣體 287 可以使用與絕緣體 283 同樣的阻擋絕緣膜。

【0429】由於具有這種結構，因此絕緣體 155 與絕緣體 287 在不重疊於電容器 100 的區域中接觸。也就是說，由絕緣體 155、絕緣體 152a、絕緣體 152b 和絕緣體 287 密封電容器 100。在此，絕緣體 155、絕緣體 152a、絕緣體 152b 和絕緣體 287 被用作密封膜。由此，可以抑制氫從絕緣體 152b 及絕緣體 287 的外部擴散到電容器 100，並可以俘獲和固定絕緣體 152b 及絕緣體 287 內部的氫，由此降低電容器 100 的絕緣體 130 的氫濃度。因此，可以提高絕緣體 130 的鐵電性。

【0430】注意，在不使用絕緣體 155 的情況下，絕緣體 287 與絕緣體 152a 在不重疊於電容器 100 的區域中接觸，由絕緣體 152a、絕緣體 152b 和絕緣體 287 密封電容器 100。

【0431】此外，如圖 19 所示，電晶體 200 也由被用作氫阻擋絕緣膜的絕緣體 283、絕緣體 214 和絕緣體 212 密封。由此，可以氫從絕緣體 283 及絕緣體 212 的外部擴散到電晶體 200 而降低電晶體 200 所包括的氧化物半導體膜的氫濃度。因此，可以提高電晶體 200 的電特性及可靠性。

【0432】雖然在圖 19 所示的記憶體裝置中電晶體 200 與電容器 100 電連接，但是本發明不侷限於此。如圖 20A 所示，電晶體 200 與電容器 100 也可以不電連接。在此，在圖 20A 所示的記憶體裝置中，絕緣體 212 上的電晶體 200 及電容器 100 具有與圖 19 所示的記憶體裝置相同的結構。絕緣體 212 下的結構既可與圖 19 所示的記憶體裝置相同又可為以與絕緣體 212 的底面接觸的方式設置基板 311 的結構。

【0433】此外，如圖 20A 所示，可以在絕緣體 286、絕緣體 152b、絕緣體 152a 以及絕緣體 155 中形成開口，並以嵌入該開口的方式設置導電體 288 及絕緣體 289。導電體 288 及絕緣體 289 分別具有與導電體 240 及絕緣體 241 相同的結構。在此，電晶體 200 的源極及汲極中的一個藉由導電體 288 電連接於佈線 1003，電晶體 200 的源極及汲極中的另一個藉由導電體 288 電連接於佈線 1008。此外，電容器 100 的一個電極（導電體 120）藉由導電體 288 電連接於佈線 1005。此外，電容器 100 的另一個電極（導電體 110）藉由導電體 240、形成在與導電體 205 相同的層中的導電體 255、導電體 112 以及導電體 288 電連接於佈線 1009。

【0434】此外，如圖 20A 所示，電晶體 200 及電容器 100 也可以具有分別被密封膜密封的結構。在圖 20A 所示的記憶體裝置中，電晶體 200 被絕緣體 283、絕緣體 214 以及絕緣體 212 密封。此外，如圖 20A 所示，被用作與電容器 100 連接的佈線或插頭的導電體 240 及導電體 255 與電晶體 200 也可以分別被密封。在此情況下，絕緣體 283 與絕緣體 214 接觸的區域形成在電晶體 200 與導電體 240 及導電體 255 之間。

【0435】此外，雖然圖 20A 示出在電晶體 200 與電容器 100 之間設置絕緣體 285 及絕緣體 287 的結構，但是本發明不侷限於此。例如，如圖 20B 所示，可以具有導電體 112、導電體 110 以及絕緣體 155 的底面與絕緣體 283 接觸的

結構，而不設置絕緣體 285 及絕緣體 287。在此情況下，電容器 100 被絕緣體 152a、絕緣體 152b、絕緣體 155 以及絕緣體 283 密封。由此，不需要設置絕緣體 285 及絕緣體 287，從而可以提高記憶體裝置的生產率。

【0436】圖 21A 是圖 20A 所示的電容器 100 的放大圖。如圖 21A 所示，電容器 100 與圖 19 所示的電容器 100 同樣被絕緣體 287、絕緣體 152a、絕緣體 152b 以及絕緣體 155 密封。在此，絕緣體 155、絕緣體 152a、絕緣體 152b 以及絕緣體 287 被用作密封膜。由此，可以抑制氫從絕緣體 152b 及絕緣體 287 的外部擴散到電容器 100，俘獲和固定絕緣體 152b 及絕緣體 287 內部的氫，由此降低電容器 100 的絕緣體 130 的氫濃度。因此，可以提高絕緣體 130 的鐵電性。

【0437】此外，在圖 21A 所示的電容器 100 中，絕緣體 130 與絕緣體 287 的頂面、導電體 110 的頂面及側面接觸，但是本發明不侷限於此。如圖 21B 所示，可以在絕緣體 130 與絕緣體 287 及導電體 110 之間設置絕緣體 115a。也就是說，絕緣體 130 與絕緣體 115a 的頂面接觸，絕緣體 287 及導電體 110 與絕緣體 115a 的底面接觸。在此，作為絕緣體 115a，可以使用上述實施方式中的圖 1C2 等所示的絕緣體 115a。此外，絕緣體 115a 的厚度可以為 0.2nm 以上且 2nm 以下，較佳為 0.5nm 以上且 1nm 以下。藉由採用這種結構，可以將圖 21B 所示的電容器 100 用作圖 1C1 及圖 1C2 所示的連接電容器與二極體的 FTJ。

【0438】此外，在圖 21A 所示的電容器 100 中，絕緣體 130 與導電體 120 的底面接觸，但是本發明不侷限於此。如圖 21C 所示，可以在絕緣體 130 與導電體 120 之間設置絕緣體 115b。也就是說，絕緣體 130 與絕緣體 115b 的底面接觸，導電體 120 與絕緣體 115b 的頂面接觸。在此，作為絕緣體 115b，可以使用上述實施方式中的圖 1C3 等所示的絕緣體 115b。此外，絕緣體 115b 的厚度可以為 0.2nm 以上且 2nm 以下，較佳為 0.5nm 以上且 1nm 以下。藉由採用這

種結構，可以將圖 21C 所示的電容器 100 用作圖 1C1 及圖 1C3 所示的連接電容器與二極體的 FTJ。

【0439】此外，圖 22A 所示，電容器 100 有時在絕緣體 130 中形成多晶區域。在圖 22A 中，示出在導電體 110 的側端部的上側形成多晶區域 131a 及多晶區域 131b 的例子。圖 22A 所示的絕緣體 130 沿由導電體 110 形成的被形成面的步階形成，有時在該步階的頂部附近形成多晶區域 131a 及多晶區域 131b。多晶區域 131a 及多晶區域 131b 為形成有多個圖 4B 所示的晶粒或晶界的區域。例如，在絕緣體 130 中，多晶區域 131a 及多晶區域 131b 包含比與導電體 110 的平坦性高的頂面接觸的區域（可以說是夾在多晶區域 131a 與多晶區域 131b 之間的區域）多的晶粒。反過來說，在絕緣體 130 中，夾在多晶區域 131a 與多晶區域 131b 之間的區域包含比多晶區域 131a 及多晶區域 131b 多的圖 3 所示的單晶。

【0440】此外，在圖 22A 所示的電容器 100 中，以與絕緣體 152a 的底面接觸的方式設置絕緣體 155，但是本發明不侷限於此。例如，如圖 22B 所示，絕緣體 152a 的底面可以與絕緣體 287 的頂面、絕緣體 130 的側面、導電體 120 的側面以及導電體 120 的頂面接觸，而不設置絕緣體 155。

【0441】此外，在圖 22A 等中，絕緣體 130 及導電體 120 覆蓋導電體 110 的側面，但是本發明不侷限於此。如圖 22C 所示，可以具有絕緣體 130 的側面及導電體 120 的側面位於導電體 110 的側面的內側的結構。在此情況下，在俯視時，絕緣體 130 及導電體 120 的外緣位於導電體 110 的外緣的內側。

【0442】在上述結構中，絕緣體 130 及導電體 120 不形成在由導電體 110 形成的被形成面的步階附近，由此圖 22A 所示的多晶區域 131a 及多晶區域 131b 不形成在圖 22C 所示的絕緣體 130 中。因此，圖 22C 所示的絕緣體 130 的整體與導電體 110 的平坦性高的頂面接觸，並包含多個圖 3 所示的單晶。由此，

圖 22C 的絕緣體 130 有時可以具有圖 4A 所示的多個結晶的層在 c 軸方向上層疊的結構來增加極化。如此，可以使圖 22C 所示的絕緣體 130 具有良好的鐵電性，可以將電容器 100 用作鐵電體器件。

【0443】此外，如圖 22C 所示，絕緣體 155 的側面也可以位於導電體 110 的側面的內側。此時，絕緣體 130、導電體 120 以及絕緣體 155 的側面較佳為對齊。此外，絕緣體 152a 覆蓋導電體 110、絕緣體 130、導電體 120 以及絕緣體 155 而設置。絕緣體 152b 設置在絕緣體 152a 上。

【0444】此外，在圖 22C 中，與圖 20A 同樣，在絕緣體 152b 上設置有絕緣體 286，並且在絕緣體 155、絕緣體 152a、絕緣體 152b 以及絕緣體 286 中形成有到達導電體 120 的開口。與圖 20A 同樣，在該開口中配置有導電體 288 及絕緣體 289。

【0445】雖然在圖 20A 中未示出，但是在圖 22C 中，在導電體 288 上設置有與其接觸的導電體 162，在導電體 162 上設置有絕緣體 166，以覆蓋導電體 162 及絕緣體 166 的方式設置有絕緣體 168a，並且在絕緣體 168a 上設置有絕緣體 168b。在圖 22C 中，示出電容器 100、導電體 288 以及導電體 162 等位於同一剖面上的結構，但是本發明不侷限於此。導電體 162 與導電體 120 之間的接觸有時形成在另一部分，該部分不同於電容器 100 與導電體 162 的重疊部分。

【0446】導電體 162 是用作佈線的導電體，也可以與圖 20A 所示的導電體 288 同樣與佈線 1005 電連接。導電體 162 可以使用可用於導電體 112 的導電材料。

【0447】絕緣體 166 可以使用與絕緣體 155 相同的絕緣體，絕緣體 168a 可以使用與絕緣體 152a 相同的絕緣體，並且絕緣體 168b 可以使用與絕緣體 152b 相同的絕緣體。藉由採用這種結構，可以使用被用作氫障壁膜的絕緣體 168a 及絕緣體 152b 夾持絕緣體 286、導電體 288 以及導電體 162。再者，在被夾在絕

緣體 168a 與絕緣體 152b 之間的區域中配置具有俘獲和固定氫的功能的絕緣體 166。由此，可以抑制氫從絕緣體 168b 及絕緣體 152a 的外部擴散，可以俘獲和固定絕緣體 168b 及絕緣體 152a 內部的氫，由此可以降低絕緣體 286、導電體 288 以及導電體 162 等的氫濃度。如此，藉由降低絕緣體 286、導電體 288 以及導電體 162 等的氫濃度，可以減少擴散到絕緣體 130 的氫，由此可以提高絕緣體 130 的鐵電性。

【0448】其次，參照圖 23A 至圖 23B 說明圖 22C 所示的結構的製造方法。關於器件及製程的詳細內容等可以參照上述實施方式的記載等。

【0449】首先，在絕緣體 287 上形成導電體 110。導電體 110 可以藉由使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成。例如，導電體 110 可以使用氮化鈦。在此，較佳為對導電體 110 的頂面進行 CMP 處理等，以提高導電體 110 的平坦性。例如，導電體 110 的頂面的粗糙度在表示為算術平均表面粗糙度（Ra）或均方根面粗糙度（RMS：Root Mean Square）時可以為 2nm 以下，較佳為 1nm 以下，更佳為 0.8nm 以下，進一步較佳為 0.5nm 以下，更進一步較佳為 0.4nm 以下，還進一步較佳為 0.2nm 以下。如此，藉由提高導電體 110 的頂面的平坦性，可以提高在後續製程中形成的絕緣體 130 的結晶性。

【0450】其次，使用光微影法等形成導電體 110 的圖案（參照圖 23A）。在此，較佳為以導電體 110 覆蓋導電體 288 的方式形成圖案。

【0451】其次，以覆蓋導電體 110 的方式形成絕緣體 130（參照圖 23A）。絕緣體 130 可以藉由使用濺射法、CVD 法、ALD 法等形成。例如，藉由使用熱 ALD 法形成絕緣體 130。例如，絕緣體 130 可以使用 $HfZrO_x$。在此，較佳為使用不包含碳化氫的材料作為前驅物。藉由使用這種前驅物，可以減少絕緣體 130 中的氫、碳、碳化氫等。例如，前驅物可以使用 $HfCl_4$ 及/或 $ZrCl_4$。

此外，在使用熱 ALD 法形成絕緣體 130 的情況下，可以使用 H_2O 或 O_3 作為氧化劑。

【0452】此外，在前驅物包含氯的情況下，較佳為儘量減少包含在絕緣體 130 中的氯。例如，藉由將進行熱 ALD 時的基板溫度設定為 400°C以上，可以減少包含在絕緣體 130 中的氯。此外，在按照圖 7A 所示的成膜序列形成膜的情況下，較佳為延長氧化劑 H_2O 的引入時間。由此，可以充分分離鍵合於被形成面的氯，來充分降低包含在絕緣體 130 中的氯濃度。

【0453】在此，如圖 23A 所示，在絕緣體 130 中，有時在導電體 110 的側端部的上側形成多晶區域 131a 及多晶區域 131b。

【0454】其次，在絕緣體 130 上形成導電體 120a（參照圖 23A）。導電體 120a 可以藉由使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成。例如，作為導電體 110 可以使用利用 ALD 法或濺射法形成的氮化鈦。

【0455】其次，在導電體 120a 上形成導電體 120b（參照圖 23A）。導電體 120b 可以藉由使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成。例如，作為導電體 110 可以使用利用金屬 CVD 法形成的鎢。此外，不一定需要形成導電體 120b，例如，導電體 120 也可以具有只由導電體 120a 構成的單層結構。

【0456】再者，在形成導電體 120 之後，較佳為進行熱処理。作為該熱處理，例如，可以在基板溫度為 300°C以上，較佳為 325°C以上，更佳為 350°C以上的情況下進行成膜。此外，例如，可以在基板溫度為 600°C以下，較佳為 500°C以下，更佳為 450°C以下的情況下進行成膜。例如，基板溫度可以為 500°C左右。例如，熱處理可以進行約 30 秒以上且 120 秒以下。該熱處理可以在包含氧氣體、氮氣體以及惰性氣體中的一個以上的氛圍下進行。

【0457】藉由進行上述熱處理，可以促進絕緣體 130 的結晶化，提高結晶性。換言之，可以增大包含在絕緣體 130 中的單晶區域。此外，當在形成導電體 120 時使用如熱 ALD 法等進行基板加熱的成膜方法的情況下，即使不進行上述熱處理，有時也可以充分使絕緣體 130 結晶化。

【0458】其次，在導電體 120b 上形成絕緣體 155（參照圖 23B）。絕緣體 155 可以藉由使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成。絕緣體 155 較佳為使用可用作絕緣體 214 或絕緣體 282 等的具有俘獲且固定氫的功能的絕緣體。例如，作為絕緣體 155 可以使用利用 ALD 法或濺射法形成的氧化鋁。例如，絕緣體 155 的厚度可以為 20nm 以上且 40nm 以下左右。

【0459】藉由在導電體 120 上設置上述絕緣體 155，可以俘獲且固定電容器 100 的絕緣體 130 所包含的氫而降低絕緣體 130 的氫濃度。由此，可以提高絕緣體 130 的結晶性，並提高絕緣體 130 的鐵電性。

【0460】其次，使用光微影法形成絕緣體 130、導電體 120a、導電體 120b 以及絕緣體 155 的圖案（參照圖 23C）。由此，絕緣體 130、導電體 120a、導電體 120b 以及絕緣體 155 的側面位於導電體 110 的側面的內側。由此，可以去除形成在絕緣體 130 中的多晶區域 131a 及多晶區域 131b，來形成包含多個單晶且結晶性高的絕緣體 130。

【0461】其次，以覆蓋絕緣體 287、導電體 110、絕緣體 130、導電體 120 以及絕緣體 155 的方式形成絕緣體 152a，並在絕緣體 152a 上形成絕緣體 152b（參照圖 23D）。作為絕緣體 152a 及絕緣體 152b，使用可用於上述絕緣體 283 等的阻擋絕緣膜即可。藉由設置這種絕緣體 152a 及絕緣體 152b，可以抑制絕緣體 286 等所包括的氫等雜質擴散到電容器 100 的絕緣體 130。在此，絕緣體 152a 的厚度例如可以為 10nm 以上且 40nm 以下左右。此外，絕緣體 152b 的厚度例如可以為 3nm 以上且 10nm 以下左右。

【0462】絕緣體 152a 利用濺射法形成即可。例如，作為絕緣體 152a 可以使用利用濺射法形成的氮化矽。因為濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體 152a 的氫濃度。如此，與導電體 112 及絕緣體 285 接觸的絕緣體 152a 的氫濃度得到降低，由此可以抑制氫從絕緣體 152a 擴散到導電體 112 及絕緣體 285。

【0463】絕緣體 152b 較佳為利用 ALD 法形成，尤其較佳為利用 PEALD 法形成。例如，作為絕緣體 152b 可以使用利用 PEALD 法形成的氮化矽。由此，可以以高覆蓋性形成絕緣體 152b，所以即使因基底的凹凸而在絕緣體 152a 中形成針孔或斷開等，也藉由由絕緣體 152b 覆蓋它們可以減少氫擴散到導電體 112 及絕緣體 285。

【0464】藉由如上所述那樣形成絕緣體 152a 及絕緣體 152b，可以使用絕緣體 155、絕緣體 152a、絕緣體 152b 以及絕緣體 287 密封電容器 100。

【0465】然後，在絕緣體 152b 上形成絕緣體 286（參照圖 23D）。藉由在絕緣體 286、絕緣體 152b、絕緣體 152a 以及絕緣體 155 中形成到達導電體 120 的開口，在該開口中形成導電體 288 及絕緣體 289（參照圖 22C）。

【0466】其次，使用與導電體 110 相同的方法在導電體 288 上形成導電體 162，使用與絕緣體 155 相同的方法在導電體 162 上形成絕緣體 166（參照圖 22C）。使用與絕緣體 152a 相同的方法形成覆蓋絕緣體 286、導電體 162 以及絕緣體 166 的絕緣體 168a，並且使用與絕緣體 152b 相同的方法在絕緣體 168a 上形成絕緣體 168b（參照圖 22C）。

【0467】較佳為在形成絕緣體 168b 之後進行熱處理。作為該熱處理，例如，可以在基板溫度為 300℃以上，較佳為 325℃以上，更佳為 350℃以上的情況下進行成膜。此外，例如，可以在基板溫度為 600℃以下，較佳為 500℃以下，更佳為 450℃以下的情況下進行成膜。例如，基板溫度可以為 400℃左

右。例如，熱處理可以進行約 1 小時以上且 10 小時以下。該熱處理可以在包含氧氣體、氮氣體以及惰性氣體中的一個以上的氛圍下進行。此外，上述熱處理不侷限於在形成絕緣體 168b 後進行，只要在形成絕緣體 152b 之後就可以適當地進行。

【0468】藉由進行上述熱處理，可以抑制氫從絕緣體 152b 及絕緣體 287 的外部擴散到電容器 100，俘獲和固定絕緣體 152b 及絕緣體 287 內部的氫，由此降低電容器 100 的絕緣體 130 的氫濃度。因此，可以提高絕緣體 130 的鐵電性。

【0469】再者，在被夾在絕緣體 168a 與絕緣體 152b 之間的區域中配置具有俘獲和固定氫的功能的絕緣體 166。由此，可以在上述熱處理中抑制氫從絕緣體 168b 及絕緣體 152a 的外部擴散，同時，可以俘獲和固定絕緣體 168b 及絕緣體 152a 內部的氫，由此可以降低絕緣體 286、導電體 288 以及導電體 162 等的氫濃度。

【0470】雖然在上述圖 20A 所示的記憶體裝置中電晶體 200 與電容器 100 不電連接，但是本發明不侷限於此。圖 20A 所示的結構中的與電晶體 200 電連接的佈線 1003、佈線 1004、佈線 1006 以及佈線 1008 中的任一個或多個可以電連接於與電容器 100 電連接的佈線 1005 及佈線 1009 中的一個或兩個。此外，上述圖 20A 至圖 22C 所示的記憶體裝置的有關記載的一部或全部也可以援用於圖 18、圖 19、圖 24 至圖 27 等所示的裝置。

【0471】<記憶體裝置的變形例子 2>

在圖 19 所示的記憶體裝置中，電晶體 200 及電容器 100 各自被氫阻擋絕緣膜密封，但本發明不侷限於此。如圖 24 所示，也可以採用由氫阻擋絕緣膜（絕緣體 212、絕緣體 152a 及絕緣體 152b）將電晶體 200 及電容器 100 密封在一起的結構。

【0472】在圖 24 所示的記憶體裝置中，絕緣體 214、絕緣體 216、絕緣體 222、絕緣體 275、絕緣體 280、絕緣體 282、絕緣體 283、絕緣體 285 及絕緣體 155 中形成有到達絕緣體 212 的開口。沿著該開口的側面及底面形成有絕緣體 155 上的絕緣體 152a 及絕緣體 152b。絕緣體 152a 在該開口的底面與絕緣體 212 的頂面接觸。

【0473】藉由採用這種結構，可以由絕緣體 212、絕緣體 152a 及絕緣體 152b 將電晶體 200 及電容器 100 密封在一起。由此，可以抑制氫從絕緣體 212 及絕緣體 152b 的外部擴散到電容器 100 及電晶體 200 而降低電容器 100 的絕緣體 130 以及電晶體 200 的氧化物半導體膜的氫濃度。因此，可以提高絕緣體 130 的鐵電性並提高電晶體 200 的電特性及可靠性。

【0474】<記憶體裝置的變形例子 3>

在圖 24 所示的記憶體裝置中，電晶體 200 上設置有電容器 100，但本發明不侷限於此。如圖 25 所示，也可以採用在與電晶體 200 相同的層中設置電容器 100 的結構。

【0475】如圖 25 所示，被用作電容器 100 的下電極的導電體 110 較佳為由與被用作電晶體 200 的背閘極的導電體 205 相同的層的導電體形成。在導電體 110 上配置絕緣體 130，在絕緣體 130 上配置導電體 120（導電體 120a 及導電體 120b）。在此，絕緣體 130 較佳為覆蓋導電體 110 的頂面以使導電體 110 和導電體 120 分隔。絕緣體 130 及導電體 120 採用與圖 19 等所示的結構同樣的結構即可，其詳細內容可以參照[記憶體裝置的結構例子]及上述實施方式等的記載。以覆蓋絕緣體 130 及導電體 120 的方式配置絕緣體 222。

【0476】以與導電體 120b 的頂面接觸的方式設置有導電體 240，以與該導電體 240 的頂面接觸的方式設置有導電體 112。該導電體 112 與電連接到電晶體 200 的源極和汲極中的一個的導電體 240 接觸。也就是說，被用作圖 25 所示

的電容器 100 的上電極的導電體 120 與電晶體 200 的源極和汲極中的一個電連接。此外，被用作電容器 100 的下電極的導電體 110 與佈線 1005 電連接。

【0477】此外，與圖 24 所示的記憶體裝置同樣，可以由絕緣體 212、絕緣體 152a 及絕緣體 152b 將電晶體 200 及電容器 100 密封在一起。由此，可以抑制氫從絕緣體 212 及絕緣體 152b 的外部擴散到電容器 100 及電晶體 200 而降低電容器 100 的絕緣體 130 以及電晶體 200 的氧化物半導體膜的氫濃度。因此，可以提高絕緣體 130 的鐵電性並提高電晶體 200 的電特性及可靠性。

【0478】<記憶體裝置的變形例子 4>

圖 19 等所示的記憶體裝置具有在電晶體 300 上設置電晶體 200 並將電容器 100 連接到電晶體 200 的結構，但本發明不侷限於此。如圖 26A 所示，也可以採用不設置電晶體 200 並將電容器 100 連接到電晶體 300 的結構。

【0479】如圖 26A 所示，絕緣體 320、絕緣體 322 及絕緣體 287 中形成有到達電晶體 300 的低電阻區域 314a 的開口，以嵌入該開口的方式形成有導電體 357。導電體 357 可以使用與導電體 328 等同樣的導電體。導電體 357 的頂面與電容器 100 的導電體 110 的底面接觸。如此，被用作電容器 100 的下電極的導電體 110 與被用作電晶體 300 的源極和汲極中的一個的低電阻區域 314a 藉由導電體 357 連接。注意，電晶體 300、電容器 100 及包括它們的層的結構與圖 19 所示的結構同樣，可以參照關於圖 19 所示的結構的記載。

【0480】此外，與圖 19 所示的記憶體裝置同樣，在圖 26A 所示的記憶體裝置中可以由絕緣體 287、絕緣體 152a 及絕緣體 152b 密封電容器 100。由此，可以抑制氫從絕緣體 287 及絕緣體 152b 的外部擴散到電容器 100 而降低電容器 100 的絕緣體 130 的氧化物半導體膜的氫濃度。因此，可以提高絕緣體 130 的鐵電性。

【0481】此外，在圖 26A 所示的結構中，藉由導電體 357 直接連接電晶體 300 的低電阻區域 314a 與電容器 100 的導電體 110，但本發明不侷限於此。電容器 100 與電晶體 300 間可以設置有圖 19 等所示的多個佈線層。例如，如圖 26B 所示，也可以在電晶體 300 上形成導電體 328，在導電體 328 上形成導電體 330，在導電體 330 上形成導電體 356，並且在導電體 356 上形成導電體 357。電晶體 300 的低電阻區域 314a 與電容器 100 的導電體 110 藉由導電體 328、導電體 330、導電體 356 及導電體 357 電連接。注意，導電體 328、導電體 330、導電體 356 及包括它們的佈線層可以參照[記憶體裝置的結構例子]的記載。

【0482】<電晶體的變形例子>

圖 19 等示出電晶體 200 與包含可具有鐵電性的材料的電容器 100 連接的結構，但本發明不侷限於此。例如，也可以採用作為電晶體 200 及設置在其周圍的絕緣體使用可具有鐵電性的材料的結構。參照圖 27A 至圖 27C 說明這種結構的電晶體。圖 27A 至圖 27C 所示的電晶體 200 設置有導電體 240a、導電體 240b、導電體 246a、導電體 246b、絕緣體 241a 及絕緣體 241b 而代替圖 11 所示的電晶體 200 中的電容器 100。

【0483】圖 27A 所示的電晶體 200 使用絕緣體 130a 代替絕緣體 222。絕緣體 130a 可以使用與絕緣體 130 同樣的可具有鐵電性的材料。也就是說，在圖 27A 所示的電晶體 200 中，第二閘極絕緣體使用可具有鐵電性的材料。

【0484】圖 27B 所示的電晶體 200 使用絕緣體 130b 代替絕緣體 252、絕緣體 250 及絕緣體 254。絕緣體 130b 可以使用與絕緣體 130 同樣的可具有鐵電性的材料。也就是說，在圖 27B 所示的電晶體 200 中，第一閘極絕緣體使用可具有鐵電性的材料。藉由採用這種結構，可以將圖 27B 所示的電晶體 200 用作圖 1B1 所示的 FeFET。注意，在圖 27B 中第一閘極絕緣體都是鐵電材料，但本發

明不侷限於此。例如，也可以採用圖 12B 所示的絕緣體 252、絕緣體 250a、絕緣體 250b 和絕緣體 254 中的一個或多個使用可具有鐵電性的材料的結構。

【0485】在圖 27C 所示的電晶體 200 中，導電體 260 上設置有絕緣體 130c，絕緣體 130c 上設置有導電體 262。絕緣體 130c 可以使用與絕緣體 130 同樣的可具有鐵電性的材料。此外，導電體 262 可以使用可用於導電體 260 的導電材料。以覆蓋絕緣體 130c 及導電體 262 的方式設置有絕緣體 282。也可以看作，在圖 27C 所示的半導體裝置中電晶體 200 的閘極電極上設置有鐵電電容器的一個端子。

【0486】雖然以上示出電晶體 200 的例子，但是本發明不侷限於此。例如，也可以在圖 26 所示的電晶體 300 中使用與圖 27A 至圖 27C 所示的電晶體 200 同樣的可具有鐵電性的材料。例如，藉由使用矽基板作為電晶體 300 的基板 311，可以將 Si 電晶體用作 FeFET。

【0487】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0488】

實施方式 4

在本實施方式中，參照圖 28A 及圖 28B 對根據本發明的一個實施方式的使用將氧化物用於半導體的電晶體（以下有時稱為 OS 電晶體）及鐵電電容器的記憶體裝置進行說明。根據本實施方式的裝置是至少包括電容器和控制該電容器的充放電的 OS 電晶體的記憶體裝置。根據本實施方式的裝置被用作使用鐵電電容器的 1 電晶體 1 電容器型鐵電記憶體。

【0489】<記憶體裝置的結構例子>

圖 28A 示出記憶體裝置的結構的一個例子。記憶體裝置 1400 包括週邊電路 1411 及記憶單元陣列 1470。週邊電路 1411 包括行電路 1420、列電路 1430、輸出電路 1440 及控制邏輯電路 1460。

【0490】列電路 1430 例如包括列解碼器、位元線驅動電路、預充電電路、感測放大器及寫入電路等。預充電電路具有對佈線進行預充電的功能。感測放大器具有放大從記憶單元讀出的資料信號的功能。注意，上述佈線是連接到記憶單元陣列 1470 所包括的記憶單元的佈線，下面描述其詳細內容。被放大的資料信號作為資料信號 RDATA 藉由輸出電路 1440 輸出到記憶體裝置 1400 的外部。此外，行電路 1420 例如包括行解碼器、字線驅動電路等，並可以選擇要存取的行。

【0491】對記憶體裝置 1400 從外部供應作為電源電壓的低電源電壓（VSS）、週邊電路 1411 用高電源電壓（VDD）及記憶單元陣列 1470 用高電源電壓（VIL）。此外，對記憶體裝置 1400 從外部輸入控制信號（CE、WE、RE）、位址信號 ADDR 及資料信號 WDATA。位址信號 ADDR 被輸入到行解碼器及列解碼器，資料信號 WDATA 被輸入到寫入電路。

【0492】控制邏輯電路 1460 對從外部輸入的控制信號（CE、WE、RE）進行處理來生成行解碼器及列解碼器的控制信號。控制信號 CE 是晶片賦能信號，控制信號 WE 是寫入賦能信號，並且控制信號 RE 是讀出賦能信號。控制邏輯電路 1460 所處理的信號不侷限於此，根據需要而輸入其他控制信號即可。

【0493】記憶單元陣列 1470 包括配置為行列狀的多個記憶單元 MC 及多個佈線。注意，連接記憶單元陣列 1470 和行電路 1420 的佈線的個數取決於記憶單元 MC 的結構、包括在一個列中的記憶單元 MC 的個數等。此外，連接記

憶單元陣列 1470 和列電路 1430 的佈線的個數取決於記憶單元 MC 的結構、包括在一個行中的記憶單元 MC 的個數等。

【0494】此外，雖然在圖 28A 中示出在同一平面上形成週邊電路 1411 和記憶單元陣列 1470 的例子，但是本實施方式不侷限於此。例如，如圖 28B 所示，也可以以重疊於週邊電路 1411 的一部分上的方式設置記憶單元陣列 1470。例如，也可以採用以重疊於記憶單元陣列 1470 下的方式設置感測放大器的結構。

【0495】注意，本實施方式所示的週邊電路 1411 及記憶單元陣列 1470 等的結構不侷限於上述結構。此外，也可以根據需要改變、去除或追加這些電路及連接到該電路的佈線、電路元件等的配置或功能。本發明的一個實施方式的記憶體裝置能夠長期間保持資料且其工作速度快。

【0496】<記憶單元的結構例子>

圖 29A 的電路圖示出上述記憶單元 MC 的結構例子。記憶單元 MC 包括電晶體 Tr 及電容器 Fe。在此，作為記憶單元 MC 可以使用上述實施方式所示的包括電晶體 200 及電容器 100 的半導體裝置等。此時，電晶體 Tr 及電容器 Fe 分別對應於電晶體 200 及電容器 100。電晶體 Tr 除了閘極之外還可以包括背閘極，也可以不包括背閘極。此外，圖 29A 中的電晶體 Tr 為 n 通道型電晶體，但也可以為 p 通道型電晶體。

【0497】電晶體 Tr 的源極和汲極中的一個與佈線 BL 電連接。電晶體 Tr 的源極和汲極中的另一個與電容器 Fe 的一個電極電連接。電晶體 Tr 的閘極與佈線 WL 電連接。電容器 Fe 的另一個電極與佈線 PL 電連接。

【0498】佈線 WL 被用作字線，藉由控制佈線 WL 的電位可以控制電晶體 Tr 的開啟/關閉。例如，可以藉由使佈線 WL 的電位成為高電位來使電晶體 Tr 成為開啟狀態，可以藉由使佈線 WL 的電位成為低電位來使電晶體 Tr 成為關閉

狀態。佈線 WL 與行電路 1420 所包括的字線驅動電路電連接，可以藉由字線驅動電路控制佈線 WL 的電位。

【0499】佈線 BL 被用作位元線，在電晶體 Tr 處於開啟狀態時對應於佈線 BL 的電位的電位被供應到電容器 Fe 的一個電極。佈線 BL 與列電路 1430 的位元線驅動電路電連接。位元線驅動電路具有生成寫入到記憶單元 MC 的資料的功能。此外，位元線驅動電路具有讀出從記憶單元 MC 輸出的資料的功能。明確而言，位元線驅動電路設置有感測放大器，可以使用感測放大器讀出從記憶單元 MC 輸出的資料。

【0500】佈線 PL 被用作板線，佈線 PL 的電位可以為電容器 Fe 的另一個電極的電位。

【0501】電晶體 Tr 較佳為使用 OS 電晶體。OS 電晶體具有高耐壓特性。因此，藉由電晶體 Tr 使用 OS 電晶體，即使使電晶體 Tr 微型化也可以向電晶體 Tr 施加高電壓。藉由使電晶體 Tr 微型化，可以減小記憶單元 MC 的佔有面積。例如，圖 29A 所示的一個記憶單元 MC 的佔有面積可以為一個 SRAM 單元的佔有面積的 1/3 至 1/6。因此，可以以高密度配置記憶單元 MC。由此，可以使根據本發明的一個實施方式的記憶體裝置成為記憶容量大的記憶體裝置。

【0502】電容器 Fe 在兩個電極之間包括可具有鐵電性的材料作為介電層。以下將電容器 Fe 所包括的介電層稱為鐵電層。

【0503】作為可具有鐵電性的材料使用可用於上述絕緣體 130 的材料即可。尤其是，可具有鐵電性的材料較佳為包含氧化鉿的材料或者包含氧化鉿及氧化鋯的材料，因為該材料即使被加工為幾 nm 的薄膜也可具有鐵電性。藉由採用可以使其薄膜化的鐵電層，可以實現與微型化了的電晶體組合的記憶體裝置。

【0504】鐵電層具有滯後特性。圖 29B1 是示出該滯後特性的一個例子的圖表。在圖 29B1 中，橫軸表示施加到鐵電層的電壓。該電壓例如可以為電容器 Fe 的一個電極的電位與電容器 Fe 的另一個電極的電位之差。

【0505】此外，在圖 29B1 中，縱軸表示鐵電層的極化量，在極化量為正值時表示負電荷偏於電容器 Fe 的一個電極一側且正電荷偏於電容器 Fe 的另一個電極一側。另一方面，在極化量為負值時表示負電荷偏於電容器 Fe 的另一個電極一側且正電荷偏於電容器 Fe 的一個電極一側。

【0506】此外，圖 29B1 的圖表的橫軸所示的電壓也可以為電容器 Fe 的另一個電極的電位與電容器 Fe 的一個電極的電位之差。此外，圖 29B1 的圖表的縱軸所示的極化量（或極化）也可以在負電荷偏於電容器 Fe 的另一個電極一側且正電荷偏於電容器 Fe 的一個電極一側時為正值，並且在負電荷偏於電容器 Fe 的一個電極一側且正電荷偏於電容器 Fe 的另一個電極一側時為負值。

【0507】如圖 29B1 所示，鐵電層的滯後特性可以以曲線 51 及曲線 52 表示。將曲線 51 和曲線 52 的交點的電壓作為 VSP 及-VSP。可以說，VSP 和-VSP 的極性不同。

【0508】當在對鐵電層施加-VSP 以下的電壓之後提高施加到鐵電層的電壓時，鐵電層極化量根據曲線 51 增加。另一方面，當對鐵電層施加 VSP 以上的電壓之後降低施加到鐵電層的電壓時，鐵電層的極化量根據曲線 52 減少。因此，VSP 及-VSP 可以說是飽和極化電壓。注意，有時例如將 VSP 稱為第一飽和極化電壓並將-VSP 稱為第二飽和極化電壓。此外，在圖 29B1 中第一飽和極化電壓的絕對值和第二飽和極化電壓的絕對值相等，但也可以不相等。

【0509】在此，將當在鐵電層的極化量根據曲線 51 變化的情況下鐵電層的極化量為“0”時施加到鐵電層的電壓作為 Vc。此外，將當在鐵電層的極化量根據曲線 52 變化的情況下鐵電層的極化量為“0”時施加到鐵電層的電壓作為 V

c。Vc 及-Vc 可以說是矯頑電壓。Vc 的值及-Vc 的值可以說是-VSP 和 VSP 間的值。注意，有時例如將 Vc 稱為第一矯頑電壓並將-Vc 稱為第二矯頑電壓。此外，在圖 29B1 中第一矯頑電壓的絕對值和第二矯頑電壓的絕對值相等，但也可以不相等。

【0510】如上所述那樣，施加到電容器 Fe 所包括的鐵電層的電壓可以以電容器 Fe 的一個電極的電位和電容器 Fe 的另一個電極的電位之差表示。此外，如上所述那樣，電容器 Fe 的另一個電極與佈線 PL 電連接。因此，藉由控制佈線 PL 的電位，可以控制施加到電容器 Fe 所包括的鐵電層的電壓。此外，圖 29B2 是示出呈現理想的鐵電體層的極化量的滯後特性的一個例子的圖表。圖 29B2 所示的直線 52i 及直線 51i 表示理想的鐵電體層的極化量。為了得到圖 29B2 所示的滯後特性，提高鐵電材料的結晶性，去除鐵電材料中及該材料附近的洩漏成分，以及降低鐵電材料的雜質濃度等即可。本發明的一個實施方式的金屬氧化物膜被高度純化，由此可以被期待接近圖 29B2 所示的呈現理想的鐵電體層的極化量的滯後特性的一個例子。

【0511】<記憶單元的驅動方法的一個例子>

以下說明圖 29A 所示的記憶單元 MC 的驅動方法的一個例子。在以下說明中，施加到電容器 Fe 的鐵電層的電壓表示電容器 Fe 的一個電極的電位和電容器 Fe 的另一個電極（佈線 PL）的電位之差。此外，電晶體 Tr 為 n 通道型電晶體。

【0512】圖 29C 是示出圖 29A 所示的記憶單元 MC 的驅動方法的一個例子的時序圖。圖 29C 示出向記憶單元 MC 寫入 2 值的數位資料並將其讀出的例子。明確而言，圖 29C 示出如下例子：在時刻 T01 至時刻 T02 向記憶單元 MC 寫入資料“1”，在時刻 T03 至時刻 T05 進行讀出及改寫，在時刻 T11 至時刻 T1

3 進行讀出並向記憶單元 MC 寫入資料“0”，在時刻 T14 至時刻 T16 進行讀出及改寫，並且在時刻 T17 至時刻 T19 進行讀出並向記憶單元 MC 寫入資料“1”。

【0513】與佈線 BL 電連接的感測放大器被供應 Vref 作為參考電位。在圖 29C 等所示的讀出工作中，在佈線 BL 的電位高於 Vref 時藉由位元線驅動電路讀出資料“1”。另一方面，在佈線 BL 的電位低於 Vref 時藉由位元線驅動電路讀出資料“0”。

【0514】在時刻 T01 至時刻 T02，使佈線 WL 的電位成為高電位。由此，電晶體 Tr 成為開啟狀態。此外，使佈線 BL 的電位成為 Vw。因為電晶體 Tr 為開啟狀態，所以電容器 Fe 的一個電極的電位成為 Vw。並且，佈線 PL 的電位為 GND。由此，施加到電容器 Fe 的鐵電層的電壓成為“Vw-GND”。由此，可以向記憶單元 MC 寫入資料“1”。因此，時刻 T01 至時刻 T02 可以說是進行寫入工作的期間。

【0515】在此，Vw 較佳為 VSP 以上，例如較佳為相等於 VSP。此外，GND 例如可以為接地電位，但如果可以以滿足本發明的一個實施方式的精神的方式驅動記憶單元 MC，就不需為接地電位。例如，當第一飽和極化電壓的絕對值和第二飽和極化電壓的絕對值不同且第一矯頑電壓的絕對值和第二矯頑電壓的絕對值不同時，GND 可以為接地之外的電位。

【0516】在時刻 T02 至時刻 T03，使佈線 BL 的電位及佈線 PL 的電位成為 GND。由此，施加到電容器 Fe 的鐵電層的電壓成為 0V。在時刻 T01 至時刻 T02 施加到電容器 Fe 的鐵電層的電壓“Vw-GND”可以為 VSP 以上，由此在時刻 T02 至時刻 T03，電容器 Fe 的鐵電層的極化量根據圖 29B1 所示的曲線 52 變化。由此，在時刻 T02 至時刻 T03，電容器 Fe 的鐵電層中不發生極化反轉。

【0517】使佈線 BL 的電位及佈線 PL 的電位成為 GND，然後使佈線 WL 的電位成為低電位。由此，電晶體 Tr 成為關閉狀態。由此，寫入工作結束，資

料“1”保持在記憶單元 MC 中。注意，如果電容器 Fe 的鐵電層中不發生極化反轉，亦即，施加到電容器 Fe 的鐵電層的電壓為第二矯頑電壓的-Vc 以上，佈線 BL 及佈線 PL 的電位就可以為任意電位。

【0518】在時刻 T03 至時刻 T04，使佈線 WL 的電位成為高電位。由此，電晶體 Tr 成為開啟狀態。此外，使佈線 PL 的電位成為 Vw。使佈線 PL 的電位成為 Vw，由此施加到電容器 Fe 的鐵電層的電壓成為“GND-Vw”。如上所述那樣，在時刻 T01 至時刻 T02 施加到電容器 Fe 的鐵電層的電壓為“Vw-GND”。因此，電容器 Fe 的鐵電層中發生極化反轉。在極化反轉中，電流流過佈線 BL，而佈線 BL 的電位高於 Vref。由此，位元線驅動電路可以讀出記憶單元 MC 所保持的資料“1”。因此，時刻 T03 至時刻 T04 可以說是進行讀出工作的期間。注意，雖然設想 Vref 高於 GND 且低於 Vw，但例如也可以高於 Vw。

【0519】因為上述讀出是破壞讀出，所以記憶單元 MC 所保持的資料“1”消失。於是，在時刻 T04 至時刻 T05，使佈線 BL 及佈線 PL 的電位分別成為 Vw 及 GND。由此，向記憶單元 MC 改寫資料“1”。因此，時刻 T04 至時刻 T05 可以說是進行改寫工作的期間。

【0520】在時刻 T05 至時刻 T11，使佈線 BL 的電位及佈線 PL 的電位成為 GND。然後，使佈線 WL 的電位成為低電位。由此，改寫工作結束，資料“1”保持在記憶單元 MC 中。

【0521】在時刻 T11 至時刻 T12，使佈線 WL 的電位及佈線 PL 的電位分別成為高電位及 Vw。因為記憶單元 MC 保持資料“1”，所以佈線 BL 的電位高於 Vref，而記憶單元 MC 所保持的資料“1”被讀出。因此，時刻 T11 至時刻 T12 可以說是進行讀出工作的期間。

【0522】在時刻 T12 至時刻 T13，使佈線 BL 的電位成為 GND。因為電晶體 Tr 為開啟狀態，所以電容器 Fe 的一個電極的電位成為 GND。此外，佈線 P

L 的電位為 Vw。由此，施加到電容器 Fe 的鐵電層的電壓成為“GND-Vw”。由此，可以向記憶單元 MC 寫入資料“0”。因此，時刻 T12 至時刻 T13 可以說是進行寫入工作的期間。

【0523】在時刻 T13 至時刻 T14，使佈線 BL 的電位及佈線 PL 的電位成為 GND。由此，施加到電容器 Fe 的鐵電層的電壓成為 0V。在時刻 T12 至時刻 T13 施加到電容器 Fe 的鐵電層的電壓“GND-Vw”可以為-VSP 以下，由此在時刻 T13 至時刻 T14，電容器 Fe 的鐵電層的極化量根據圖 29B1 所示的曲線 51 變化。由此，在時刻 T13 至時刻 T14，電容器 Fe 的鐵電層中不發生極化反轉。

【0524】使佈線 BL 的電位及佈線 PL 的電位成為 GND，然後使佈線 WL 的電位成為低電位。由此，電晶體 Tr 成為關閉狀態。由此，寫入工作結束，資料“0”保持在記憶單元 MC 中。注意，如果電容器 Fe 的鐵電層中不發生極化反轉，亦即，施加到電容器 Fe 的鐵電層的電壓為第一矯頑電壓的 Vc 以下，佈線 BL 及佈線 PL 的電位就可以為任意電位。

【0525】在時刻 T14 至時刻 T15，使佈線 WL 的電位成為高電位。由此，電晶體 Tr 成為開啟狀態。此外，使佈線 PL 的電位成為 Vw。使佈線 PL 的電位成為 Vw，由此施加到電容器 Fe 的鐵電層的電壓成為“GND-Vw”。如上所述那樣，在時刻 T12 至時刻 T13 施加到電容器 Fe 的鐵電層的電壓為“GND-Vw”。因此，電容器 Fe 的鐵電層中不發生極化反轉。因此，流過佈線 BL 的電流量比電容器 Fe 的鐵電層中發生極化反轉的情況更小。由此，佈線 BL 的電位的上升幅度比電容器 Fe 的鐵電層中發生極化反轉的情況更小，明確而言，佈線 BL 的電位成為 Vref 以下。由此，位元線驅動電路可以讀出記憶單元 MC 所保持的資料“0”。因此，時刻 T14 至時刻 T15 可以說是進行讀出工作的期間。

【0526】在時刻 T15 至時刻 T16，使佈線 BL 的電位成為 GND，佈線 PL 的電位為 Vw。由此，向記憶單元 MC 改寫資料“0”。因此，時刻 T15 至時刻 T16 可以說是進行改寫工作的期間。

【0527】在時刻 T16 至時刻 T17，使佈線 BL 的電位及佈線 PL 的電位成為 GND。然後，使佈線 WL 的電位成為低電位。由此，改寫工作結束，資料“0”保持在記憶單元 MC 中。

【0528】在時刻 T17 至時刻 T18，使佈線 WL 的電位及佈線 PL 的電位分別成為高電位及 Vw。因為記憶單元 MC 保持資料“0”，所以佈線 BL 的電位低於 Vref，而記憶單元 MC 所保持的資料“0”被讀出。因此，時刻 T17 至時刻 T18 可以說是進行讀出工作的期間。

【0529】在時刻 T18 至時刻 T19，使佈線 BL 的電位成為 Vw。因為電晶體 Tr 為開啟狀態，所以電容器 Fe 的一個電極的電位成為 Vw。此外，佈線 PL 的電位為 GND。由此，施加到電容器 Fe 的鐵電層的電壓成為“Vw-GND”。由此，可以向記憶單元 MC 寫入資料“1”。因此，時刻 T18 至時刻 T19 可以說是進行寫入工作的期間。

【0530】在時刻 T19 之後，使佈線 BL 的電位及佈線 PL 的電位成為 GND。然後，使佈線 WL 的電位成為低電位。由此，寫入工作結束，資料“1”保持在記憶單元 MC 中。

【0531】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而實施。

【0532】

實施方式 5

在本實施方式中，說明使用上述實施方式所示的半導體裝置的記憶體裝置的應用例子。上述實施方式所示的半導體裝置例如可以應用於各種電子裝置

（例如，資訊終端、電腦、智慧手機、電子書閱讀器、數位相機（也包括攝影機）、錄影再現裝置、導航系統等）的記憶體裝置。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。或者，上述實施方式所示的半導體裝置應用於記憶卡（例如，SD卡）、USB記憶體、SSD（固態硬碟）等各種卸除式存放裝置。圖30A至圖30E示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的半導體裝置加工為被封裝的記憶體晶片並用於各種記憶體裝置或卸除式記憶體。

【0533】圖30A是USB記憶體的示意圖。USB記憶體1100包括外殼1101、蓋子1102、USB連接器1103及基板1104。基板1104被容納在外殼1101中。例如，基板1104上安裝有記憶體晶片1105及控制器晶片1106。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1105等。由此，可以使USB記憶體1100的記憶容量更大。

【0534】圖30B是SD卡的外觀示意圖，圖30C是SD卡的內部結構的示意圖。SD卡1110包括外殼1111、連接器1112及基板1113。基板1113被容納在外殼1111中。例如，基板1113上安裝有記憶體晶片1114及控制器晶片1115。藉由在基板1113的背面一側也設置記憶體晶片1114，可以增大SD卡1110的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板1113。由此，藉由主機裝置與SD卡1110之間的無線通訊，可以進行記憶體晶片1114的資料的讀出及寫入。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1114等。由此，可以使SD卡1110的記憶容量更大。

【0535】圖30D是SSD的外觀示意圖，圖30E是SSD的內部結構的示意圖。SSD1150包括外殼1151、連接器1152及基板1153。基板1153被容納在外殼1151中。例如，基板1153上安裝有記憶體晶片1154、記憶體晶片1155及控制器晶片1156。記憶體晶片1155為控制器晶片1156的工作記憶體，例

如，可以使用 DOSRAM 晶片。藉由在基板 1153 的背面一側也設置記憶體晶片 1154，可以增大 SSD1150 的容量。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片 1154 等。由此，可以使 SSD1150 的記憶容量更大。

【0536】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0537】

實施方式 6

根據本發明的一個實施方式的半導體裝置可以應用於如 CPU、GPU 等處理器或晶片。藉由將上述實施方式所示的半導體裝置應用於 CPU、GPU 等處理器或晶片，可以使它們小型化並使記憶容量更大。圖 31A 至圖 31H 示出具有根據本發明的一個實施方式的如 CPU、GPU 等處理器或晶片的電子裝置的具體例子。

【0538】<電子裝置及系統>

根據本發明的一個實施方式的 GPU 或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，例如除了電視機、用於桌上型或筆記本式資訊終端等的顯示器、數位看板（Digital Signage）、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、電子書閱讀器、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的 GPU 或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0539】本發明的一個實施方式的電子裝置也可以包括天線。藉由使用天線接收信號，可以在顯示部上顯示影像、資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0540】本發明的一個實施方式的電子裝置也可以包括感測器（該感測器具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）。

【0541】本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態圖片、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體（程式）的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。圖 31A 至圖 31H 示出電子裝置的例子。

【0542】

[資訊終端]

圖 31A 示出資訊終端之一的行動電話機（智慧手機）。資訊終端 5100 包括外殼 5101 及顯示部 5102，作為輸入介面在顯示部 5102 中具備觸控面板，並且在外殼 5101 上設置有按鈕。

【0543】藉由將本發明的一個實施方式的晶片應用於資訊終端 5100，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部 5102 上的應用程式、識別由使用者輸入到顯示部 5102 所具備的觸控面板的文字或圖形等來將該文字或該圖形顯示在顯示部 5102 上的應用程式、執行指紋、聲紋等的生物識別的應用程式等。

【0544】圖 31B 示出筆記本式資訊終端 5200。筆記本式資訊終端 5200 包括資訊終端主體 5201、顯示部 5202 及鍵盤 5203。

【0545】與上述資訊終端 5100 同樣，藉由將本發明的一個實施方式的晶片應用於筆記本式資訊終端 5200，可以執行利用人工智慧的應用程式。作為利

用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表自動生成軟體等。此外，藉由使用筆記本式資訊終端 5200，可以研發新穎的人工智慧。

【0546】注意，在上述例子中，圖 31A 及圖 31B 分別示出智慧手機及筆記本式資訊終端作為電子裝置的例子，但是也可以應用智慧手機及筆記本式資訊終端以外的資訊終端。作為智慧手機及筆記本式資訊終端以外的資訊終端，例如可以舉出 PDA（Personal Digital Assistant：個人數位助理）、桌上型資訊終端、工作站等。

【0547】

[遊戲機]

圖 31C 示出作為遊戲機的一個例子的可攜式遊戲機 5300。可攜式遊戲機 5300 包括外殼 5301、外殼 5302、外殼 5303、顯示部 5304、連接部 5305 及操作鍵 5306 等。可以將外殼 5302 及外殼 5303 從外殼 5301 拆卸。藉由將設在外殼 5301 中的連接部 5305 安裝到其他外殼（未圖示），可以將輸出到顯示部 5304 的影像輸出到其他視頻顯示裝置（未圖示）。此時，外殼 5302 及外殼 5303 分別可以被用作操作部。由此，多個遊戲玩者可以同時玩遊戲。可以將上述實施方式所示的晶片嵌入到設置在外殼 5301、外殼 5302 及外殼 5303 的基板的晶片等。

【0548】此外，圖 31D 示出遊戲機之一的固定式遊戲機 5400。固定式遊戲機 5400 以無線或有線連接有控制器 5402。

【0549】藉由將本發明的一個實施方式的 GPU 或晶片應用於可攜式遊戲機 5300 及固定式遊戲機 5400 等遊戲機，可以實現低功耗的遊戲機。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0550】再者，藉由將本發明的一個實施方式的 GPU 或晶片應用於可攜式遊戲機 5300，可以實現具備人工智慧的可攜式遊戲機 5300。

【0551】遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機 5300，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

【0552】此外，當使用可攜式遊戲機 5300 玩需要多個遊戲玩者的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

【0553】雖然圖 31C 及圖 31D 示出可攜式遊戲機及固定式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的 GPU 或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的 GPU 或晶片的遊戲機，例如可以舉出設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0554】

[大型電腦]

可以將本發明的一個實施方式的 GPU 或晶片應用於大型電腦。

【0555】圖 31E 示出作為大型電腦的一個例子的超級電腦 5500。圖 31F 示出超級電腦 5500 所包括的機架（rack mount）式電腦 5502。

【0556】超級電腦 5500 包括機架 5501 及多個機架式電腦 5502。注意，多個電腦 5502 容納在機架 5501 中。此外，電腦 5502 設有多個基板 5504，在該基板上可以安裝上述實施方式所說明的 GPU 或晶片 。

【0557】超級電腦 5500 主要是適合於科學計算的大型電腦。科學計算需要以高速進行龐大的運算，因此功耗大且晶片的發熱高。藉由將本發明的一個實施方式的 GPU 或晶片應用於超級電腦 5500，可以實現低功耗的超級電腦。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路及模組帶來的負面影響。

【0558】在圖 31E 及圖 31F 中，作為大型電腦的一個例子示出超級電腦，然而應用本發明的一個實施方式的 GPU 或晶片的大型電腦不侷限於此。作為應用本發明的一個實施方式的 GPU 或晶片的大型電腦，例如可以舉出提供服務的電腦（伺服器）、大型通用電腦（主機）等。

【0559】

[移動體]

本發明的一個實施方式的 GPU 或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

【0560】圖 31G 是示出移動體的一個例子的汽車室內的前擋風玻璃周邊的圖。圖 31G 示出安裝在儀表板的顯示面板 5701、顯示面板 5702、顯示面板 5703 以及安裝在支柱的顯示面板 5704。

【0561】藉由顯示速度表、轉速計、行駛距離、燃料表、排檔狀態、空調的設定，顯示面板 5701 至顯示面板 5703 可以提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板 5701 至顯示面板 5703 還可以用作照明設備。

【0562】藉由將由設置在汽車的攝像裝置（未圖示）拍攝的影像顯示在顯示面板 5704 上，可以彌補被支柱遮擋的視野（死角）。也就是說，藉由顯示由設置在汽車外側的攝像裝置拍攝的影像，可以彌補死角，從而可以提高安全

性。此外，藉由顯示彌補看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板 5704 還可以用作照明設備。

【0563】因為可以將本發明的一個實施方式的 GPU 或晶片用作人工智慧的組件，例如可以將該晶片用於汽車的自動駕駛系統。該晶片也可以用於進行導航、危險預測等的系統。此外，可以在顯示面板 5701 至顯示面板 5704 上顯示導航、危險預測等資訊。

【0564】雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

【0565】

[電器產品]

圖 31H 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。

【0566】藉由將本發明的一個實施方式的晶片應用於電冷藏冷凍箱 5800，可以實現具備人工智慧的電冷藏冷凍箱 5800。藉由利用人工智慧，可以使電冷藏冷凍箱 5800 具有基於儲存在電冷藏冷凍箱 5800 中的食品或該食品的消費期限等自動生成功能表的功能、根據所儲存的食品自動調整電冷藏冷凍箱 5800 的溫度的功能。

【0567】作為電器產品的一個例子說明了電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH 炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0568】在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

【0569】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

實施例 1

【0570】在本實施例中，作為呈現鐵電性的絕緣體，製造氧化鉿鋯（HfZrOx），並說明該絕緣體的電壓-極化特性及疲勞特性等的測量結果。

【0571】<樣本結構>

圖 32A 是示出用於評價的樣本 800 的外觀的光學顯微照片。圖 32B 是樣本 800 的剖面示意圖。

【0572】樣本 800 使用單晶矽作為基板 801 而形成。明確而言，在基板 801 上形成作為絕緣體 802 的厚度為 100nm 的熱氧化膜，在絕緣體 802 上形成被用作下部電極的導電體 803（導電體 803a 及導電體 803b），在導電體 803 上形成絕緣體 804，並且在絕緣體 804 上形成被用作上部電極的導電體 805（導電體 805a 及導電體 805b）。

【0573】此外，在導電體 803、絕緣體 804 以及導電體 805 上形成絕緣體 806。此外，在絕緣體 806 上形成與導電體 803 電連接的導電體 807 及與導電體 805 電連接的導電體 808。導電體 807 及導電體 808 被用作被輸入測量信號的電極。

【0574】此外，導電體 803、導電體 805、導電體 807、導電體 808、設置在絕緣體 806 及絕緣體 804 中的接觸孔藉由使用習知的光微影法及蝕刻法而形成。

【0575】作為樣本 800，分別製造被用作上部電極的導電體 805 的形成條件及上部電極形成後的熱處理條件互不相同的三個樣本（樣本 800A、樣本 800B 以及樣本 800C）。

【0576】表 1 示出樣本 800A、樣本 800B 以及樣本 800C 的每一個所具備的導電體 803a、導電體 803b、絕緣體 804、導電體 805a 以及導電體 805b 的成膜條件。

【0577】雖然未記載於表 1，但是作為絕緣體 806 使用 PECVD 法形成厚度為 200nm 的氧氮化矽。此外，作為導電體 807 及導電體 808，使用濺射（SP）法形成厚度為 50nm 的 Ti、厚度為 200nm 的 Al 以及厚度為 50nm 的 Ti 的三層疊層膜。

【0578】樣本 800A 及樣本 800B 的導電體 805a 使用濺射法而形成，樣本 800C 的導電體 805a 使用金屬 CVD（MCVD）法而形成。此外，樣本 800B 在形成之後被進行利用 RTA 法的熱處理。表 1 還示出該熱處理條件。

【0579】

[表 1]

樣本名稱	800A	800B	800C
樣本形成後熱處理條件	無	熱處理方法：RTA 熱處理溫度：500℃ 加熱氛圍：氮 加熱時間：60sec	無
805b	成膜方法：SP 法 組成：W，厚度：20nm 成膜溫度：130℃		成膜方法：SP 法 組成：W，厚度：20nm 成膜溫度：130℃
805a	成膜方法：SP 法 組成：TiNx，厚度：10nm 成膜溫度：室溫（沒有加熱）		成膜方法：MCVD 法 組成：TiNx，厚度：10nm 成膜溫度：400℃
804	成膜方法：ALD 法，組成：HfZrOx，厚度：10nm 前驅物：氯化物類前驅物，氧化劑：H_2O，成膜溫度：300℃		
803b	成膜方法：MCVD 法，組成：TiNx，厚度：10nm 成膜溫度：400℃		
803a	成膜方法：SP 法，組成：W，厚度：30nm 成膜溫度：130℃		

【0580】<測量及分析>

對導電體 807 與導電體 803 間施加電壓幅值為 3V 且頻率為 100Hz 的三角波，以測量絕緣體 804 的自發極化的變化（P-E 特性）。圖 32C 示出輸入電壓波形。此外，關於作為樣本 800A、樣本 800B 以及樣本 800C 的每一個中的絕緣體 804 的 HfZrOx 膜，使用作為 XRD 分析法之一的掠入射 X 射線繞射法（GIXD：Grazing Incident X-ray Diffraction）調查了結晶狀態。

【0581】在此，說明使用三角波的 P-E 特性的取得方法。首先，對被測量樣本（電容器）的兩個電極間施加作為三角波的輸入電壓 V（圖 33A），以測量流過該電極間的電流（輸出電流 I）（圖 33B）。此外，圖 33A 及圖 33B 的橫軸表示經過時間 t。其次，求出表示輸入電壓 V 與輸出電流 I 的關係的 I-V 特性（圖 33C）。

【0582】接著，藉由使用數學式（1）將輸出電流 I 轉換為極化 P，取得 P-E 特性（圖 33D）。

【0583】

[數學式 1]

$$P = \frac{1}{A}\int I(t)dt \quad \cdots \quad (1)$$

【0584】在數學式（1）中，A 表示電容器的兩個電極重疊處的面積。

【0585】此外，根據 Q=CV，可以求出輸入電壓 V 與容量 C 的關係（圖 33E）。此外，還可以求出輸入電壓 V 與相對介電常數 εr 的關係（圖 33F）。

【0586】圖 34A 示出樣本 800A、樣本 800B 以及樣本 800C 的 P-E 特性測量結果。圖 34A 分別示出施加到每個樣本中的絕緣體 804 的電場強度 E 與極化 P 的關係。圖 34B 示出 GIXD 測量結果。圖 34B 分別示出每個樣本的 X 射線繞射角度（2θ）與所檢出的信號強度的關係。

【0587】由圖 34A 可知，在三個樣本（樣本 800A、樣本 800B 以及樣本 800C）中得到了滯後特性，三個樣本起到鐵電體作用。還可知：樣本 800A 的極化量小於樣本 800B 及樣本 800C 的極化量（在 P-E 特性中是指電場強度 E 為 0 時的最大極化與最小極化的差異），其更接近於順電體。

【0588】由圖 34B 可知，三個樣本都沒在檢出單斜晶（m：monoclinic crystal）的繞射角度附近檢測出信號強度峰而在表示正交晶（o：orthorhombic cryst

al）、四方晶（t：tetragonal crystal）或立方晶（c：cubic crystal）的繞射角度附近檢測出信號強度峰。根據圖 34A 所示的測量結果，可以推測檢測出起到鐵電體作用的正交晶。此外，由圖 34B 也可知，樣本 800A 比樣本 800B 及樣本 800C 更接近於順電體。

【0589】一般來說，鐵電體的極化量（滯後特性）越大越好。當對其導電體 805a 藉由濺射法形成的樣本 800A 和樣本 800B 進行比較時，可知樣本形成後不經熱處理的樣本 800A 不能得到較大的滯後特性。另一方面，其導電體 805a 藉由金屬 CVD 法形成的樣本 800C 即使在樣本形成後不經熱處理也可以得到與經熱處理的樣本 800B 等同的極化量（滯後特性）。藉由使用金屬 CVD 法形成導電體 805a，可以減少樣本的製程。

【0590】對於如上所述那樣製造的樣本 800A 至樣本 800C 的絕緣體 804 及其附近，使用日立高新技術公司製造的“H-9500”以加速電壓 300kV 拍攝了剖面 TEM 影像。圖 35A、圖 36A 以及圖 37A 分別示出樣本 800A、樣本 800B 以及樣本 800C 的剖面 TEM 影像。

【0591】再者，還對圖 35A 所示的 TEM 影像的區域 A1 及區域 A2、圖 36A 所示的 TEM 影像的區域 B1 及區域 B2、圖 37A 所示的 TEM 影像的區域 C1 及區域 C2 進行了快速傅立葉變換（FFT：Fast Fourier Transform）解析。藉由對 TEM 影像進行 FFT 解析，可以得到具有與電子繞射圖案同樣反映了倒格空間資訊的圖案的 FFT 圖形。例如，有時在具有結晶性的 HfZrOx 膜的剖面 TEM 影像的 FFT 圖形中觀察到明顯的斑點。

【0592】圖 35B、圖 36B 以及圖 37B 示出 FFT 解析的結果。圖 35B 示出區域 A1 的 FFT 圖形，圖 35C 示出區域 A2 的 FFT 圖形，圖 36B 示出區域 B1 的 FFT 圖形，圖 36C 示出區域 B2 的 FFT 圖形，圖 37B 示出區域 C1 的 FFT 圖形，並且圖 37C 示出區域 C2 的 FFT 圖形。

【0593】在樣本 800B 中，觀察到區域 B1 及區域 B2 中存在著多個明顯的斑點。同樣，在樣本 800C 中，也觀察到區域 C1 及區域 C2 中存在著多個明顯的斑點。另一方面，在樣本 800A 中，雖然觀察到區域 A1 的斑點，但是不能觀察到區域 A2 中的斑點。也就是說，樣本 800B 及樣本 800C 的結晶性高於樣本 800A 的結晶性。由此可知，極化量大且鐵電性更高的樣本 800B 及樣本 800C 具有高結晶性。

【0594】接著，對於樣本 800A 至樣本 800C 的絕緣體 804 與導電體 805a 的界面附近，使用日立高新技術公司製造的“H-9500”以加速電壓 300kV 拍攝了剖面 TEM 影像。圖 38A 示出樣本 800A 的剖面 TEM 影像，圖 38B 示出樣本 800B 的剖面 TEM 影像，並且圖 38C 示出樣本 800C 的剖面 TEM 影像。在圖 38A 至圖 38C 中，要關注的晶格條紋被放大並以實線示出。

【0595】如圖 38A 所示，在樣本 800A 中，觀察到導電體 805a 中存在著來自 TiNx 的結晶的晶格條紋。此外，如圖 38B 所示，在樣本 800B 中，觀察到絕緣體 804 中存在著來自 HfZrOx 的結晶的晶格條紋。此外，如圖 38C 所示，在樣本 800C 中，觀察到導電體 805a 中存在著來自 TiNx 的結晶的晶格條紋，並觀察到絕緣體 804 中存在著來自 HfZrOx 的結晶的晶格條紋。如此，觀察到樣本 800A 至樣本 800C 的絕緣體 804 與導電體 805a 的界面附近存在著來自 TiNx 或 HfZrOx 的結晶的晶格條紋。另一方面，在圖 38A 至圖 38C 的剖面 TEM 影像中，不能觀察到絕緣體 804 與導電體 805a 的界面附近存在著另一層（例如，TiOx 等）。由此可知，即使絕緣體 804 與導電體 805a 的界面存在另一層，其厚度也為 1nm 以下。

【0596】接著，對於樣本 800A 至樣本 800C 中的絕緣體 804 與導電體 805a 的界面附近及絕緣體 804 與導電體 803b 的界面附近，使用能量色散 X 射線能譜法（EDX：Energy Dispersive X-ray spectroscopy）進行了分析。對縱貫於上

述界面的直線上的各點進行了該 EDX 分析。在本說明書等中，有時將這種 EDX 分析稱為線性 EDX 分析。此外，使用日立高新技術公司製造的“HD-2700”以加速電壓 200kV 進行了該線性 EDX 分析。

【0597】在該線性 EDX 分析中，檢測出氧原子[atomic%]及鉿原子[atomic%]，以計算出絕緣體 804 與導電體 805a 的界面附近及絕緣體 804 與導電體 803b 的界面附近的氧原子[atomic%]及鉿原子[atomic%]的半值。在絕緣體 804 與導電體 805a 的界面附近（或絕緣體 804 與導電體 803b 的界面附近）沒形成 TiOx 等的另一層的情況下，氧原子[atomic%]的半值與鉿原子[atomic%]的半值一致。但是，在該界面形成有 TiOx 等的另一層的情況下，氧原子[atomic%]的半值偏移到導電體 805a（或導電體 803b）一側。也就是說，氧原子[atomic%]的半值與鉿原子[atomic%]的半值的差異被認為相當於 TiOx 的膜厚度。

【0598】圖 39 示出線性 EDX 分析的結果。在圖 39 中，縱軸表示 TiOx 的厚度[nm]。在圖 39 中，各樣本的絕緣體 804 與導電體 805a 的界面附近分別被記為 800A 上部、800B 上部、800C 上部。此外，在圖 39 中，各樣本的絕緣體 804 與導電體 803b 的界面附近分別被記為 800A 下部、800B 下部、800C 下部。

【0599】如圖 39 所示，在樣本 800B 中，800B 上部的 TiOx 厚度為 0.2nm，800B 下部沒檢出由 TiOx 膜構成的另一層。同樣，在樣本 800C 中，800C 上部的 TiOx 厚度為 0.2nm，800C 下部沒檢出由 TiOx 膜構成的另一層。另一方面，在樣本 800A 中，800A 上部的 TiOx 厚度為 0.4nm，800A 下部的 TiOx 厚度為 0.3nm。也就是說，樣本 800B 及樣本 800C 的由 TiOx 膜構成的另一層的厚度易於比樣本 800A 的由 TiOx 膜構成的另一層的厚度薄。由此可知，有時極化量大且鐵電性更高的樣本 800B 及樣本 800C 的由 TiOx 膜構成的另一層較薄。

【0600】接著，在樣本 800C 中，評價了被用作絕緣體 804 的基底的導電體 803b 的表面粗糙度。

【0601】首先，在樣本 800C 中，對於剖面 N1 至剖面 N6，使用日立高新技術公司製造的“HD-2700”的暗場 STEM 功能拍攝 Z 襯度像（ZC 像：Z Contrast Image）。藉由對剖面 N1 至剖面 N6 的 ZC 像進行影像解析，劃出各 ZC 像的絕緣體 804 與導電體 803b 的界面的線。當進行影像解析時，使用用來抽出界面的影像處理軟體“ImageJ”。對於剖面 N1 至剖面 N6 的上述界面的線，計算出算術平均表面粗糙度（Ra）及均方根面粗糙度（RMS：Root Mean Square）。

【0602】圖 40A 示出剖面 N1 至剖面 N6 的 Ra[nm]，圖 40B 示出剖面 N1 至剖面 N6 的 RMS[nm]。如圖 40A 及圖 40B 所示，關於樣本 800C 中的頂面的粗糙度 Ra 及 RMS，剖面 N1 至剖面 N6 都是 1nm 以下；剖面 N1 至剖面 N5 都是 0.4nm 以下。因此，為了在絕緣體 804 中提高結晶性並呈現鐵電性，作為基底的導電體 803b 的頂面的粗糙度 Ra 或 RMS 可以為 2nm 以下，較佳為 1nm 以下，更佳為 0.8nm 以下，進一步較佳為 0.5nm 以下，更進一步較佳為 0.4nm 以下。

【0603】接著，使用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）分別測量樣本 800A、樣本 800B 以及樣本 800C 的絕緣體 804 中的氫（H）濃度、碳（C）濃度、氮（N）濃度以及氯（Cl）濃度。

【0604】從導電體 805b 向導電體 803a 進行了 SIMS 分析。圖 41 至圖 44 示出 SIMS 分析結果。圖 41 至圖 44 中的橫軸表示以導電體 805b 的表面為起點的深度，圖 41 中的縱軸表示絕緣體 804 中的氫濃度，圖 42 中的縱軸表示絕緣體 804 中的碳濃度，圖 43 中的縱軸表示絕緣體 804 中的氮濃度，並且圖 44 中的縱軸表示絕緣體 804 中的氯濃度。此外，在圖 41 至圖 44 中，附記根據膜厚

度及 SIMS 輪廓規定的導電體 805b、導電體 805a、絕緣體 804、導電體 803b 以及導電體 803a 的深度方向上的位置。

【0605】在圖 41 中，曲線 811A 表示樣本 800A 的 SIMS 分析結果，曲線 811B 表示樣本 800B 的 SIMS 分析結果，並且曲線 811C 表示樣本 800C 的 SIMS 分析結果。樣本 800A、樣本 800B 以及樣本 800C 中的絕緣體 804 的氫濃度分別為 4×10^{20}atoms/cm^3 左右、2×10^{20}atoms/cm^3 左右、9×10^{19}atoms/cm^3 左右。

【0606】在圖 42 中，曲線 812A 表示樣本 800A 的 SIMS 分析結果，曲線 812B 表示樣本 800B 的 SIMS 分析結果，並且曲線 812C 表示樣本 800C 的 SIMS 分析結果。樣本 800A、樣本 800B 以及樣本 800C 中的絕緣體 804 的碳濃度分別為 9×10^{18}atoms/cm^3 左右、1×10^{19}atoms/cm^3 左右、6×10^{18}atoms/cm^3 左右（參照圖 42）。

【0607】在圖 43 中，曲線 813A 表示樣本 800A 的 SIMS 分析結果，曲線 813B 表示樣本 800B 的 SIMS 分析結果，並且曲線 813C 表示樣本 800C 的 SIMS 分析結果。樣本 800A、樣本 800B 以及樣本 800C 中的絕緣體 804 的氮濃度都是約 8×10^{20}atoms/cm^3 以下。

【0608】在圖 44 中，曲線 814A 表示樣本 800A 的 SIMS 分析結果，曲線 814B 表示樣本 800B 的 SIMS 分析結果，並且曲線 814C 表示樣本 800C 的 SIMS 分析結果。樣本 800A、樣本 800B 以及樣本 800C 中的絕緣體 804 的氯濃度都是 1×10^{21}atoms/cm^3 左右。

【0609】由圖 41 及圖 42 可知，藉由熱 ALD 法形成導電體 805a 的樣本 800C 中的絕緣體 804 的氫濃度和碳濃度都最小。由圖 43 可知，絕緣體 804 的氮濃度雖然可能受到與其相鄰的氮化鈦（TiNx）的影響但是為約 8×10^{20}atoms/cm^3 以下。由圖 44 及圖 34 可知，在絕緣體 804 中存在 1×10^{21}atoms/cm^3 左右的氯也不會成為阻礙呈現鐵電性的主要原因。

【0610】此外，絕緣體 804 中的氫濃度較佳為 5×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3 以下。此外，絕緣體 804 中的碳濃度較佳為 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{19}atoms/cm^3 以下。

實施例 2

【0611】在本實施例中，說明對實施例 1 所示的樣本 800B 及樣本 800C 進行疲勞特性測量的結果。對於兩個樣本 800B（樣本 800B_1、樣本 800B_2）、三個樣本 800C（樣本 800C_1、樣本 800C_2、樣本 800C_3），進行了疲勞特性測量。樣本 800B_1 及樣本 800B_2 是以與樣本 800B 相同的條件形成在同一基板上的彼此不同的元件。樣本 800C_1、樣本 800C_2 以及樣本 800C_3 是以與樣本 800B 相同的條件形成在同一基板上的彼此不同的元件。

【0612】圖 45A 示出樣本 800B_1 及樣本 800B_2 的疲勞特性的測量結果。圖 45B 示出樣本 800C_1 及樣本 800C_2 的疲勞特性的測量結果。圖 46B 示出樣本 800C_3 的疲勞特性的測量結果。在圖 45A、圖 45B 以及圖 46B 中，橫軸表示循環次數，縱軸表示極化 P。

【0613】明確而言，以將電壓幅值為 3V 且頻率為 100Hz 的矩形角波施加 1 週期為 1 次循環，按照每個規定的循環次數使用實施例 1 所示的三角波測量 P-E 特性，以取得電場強度 E 為 0 時的最小極化及最大極化。

【0614】圖 45A 及圖 45B 示出按照每個規定循環次數測得的電場強度 E 為 0 時的最小極化及最大極化的值。

【0615】樣本 800B_1 及樣本 800C_1 在經 1×10^8 次循環後停止測量，而樣本 800B_2 及樣本 800C_2 在經 1×10^8 次循環後也繼續進行測量。雖然示出樣本 800B_2 在經 8.6×10^{10} 次循環後的測量結果，但是隨後也繼續進行測量，而樣本 800C_2 在經 4.6×10^9 次循環後損壞。

【0616】樣本 800C_3 在經 1×10^{10} 次循環後停止測量。圖 46A 示出樣本 800C_3 中的初始 P-E 特性（曲線 821）及經 1×10^{10} 次循環後的 P-E 特性（曲線 822）。由此可知，相比於圖 9（記於非專利文獻 2 中的疲勞特性），樣本 800B_1、樣本 800B_2、樣本 800C_1、樣本 800C_2 以及樣本 800C_3 的疲勞特性的變化緩慢。因此，可以期待實現 1×10^{15} 次循環以上的疲勞耐性。

實施例 3

【0617】在本實施例中，說明製造作為呈現鐵電性的絕緣體的氧化鉿鋯（HfZrOx）來評價該絕緣體的電壓-極化特性、疲勞特性等的結果。

【0618】<樣本結構>

關於用於評價的樣本 830 的外觀以及剖面示意圖可以參照實施例 1 的有關樣本 800 的記載，由此省略詳細說明。

【0619】樣本 830 使用單晶矽作為基板 801 而形成。明確而言，在基板 801 上形成作為絕緣體 802 的厚度為 100nm 的熱氧化膜，在絕緣體 802 上形成被用作下部電極的導電體 803（導電體 803a 及導電體 803b），在導電體 803 上形成絕緣體 804，並且在絕緣體 804 上形成被用作上部電極的導電體 805（導電體 805a 及導電體 805b）。

【0620】此外，在導電體 803、絕緣體 804 以及導電體 805 上形成絕緣體 806。此外，在絕緣體 806 上形成與導電體 803 電連接的導電體 807 及與導電體 805 電連接的導電體 808。導電體 807 及導電體 808 被用作被輸入測量信號的電極。

【0621】此外，導電體 803、導電體 805、導電體 807、導電體 808、設置在絕緣體 806 及絕緣體 804 中的接觸孔藉由使用習知的光微影法及蝕刻法而形成。

【0622】作為樣本 830，一共製造了 16 個樣本（樣本 830A 至樣本 830P），其中絕緣體 804 的形成條件及厚度、被用作上部電極的導電體 805 的形成條件、上部電極形成後的熱處理條件互不相同。

【0623】<樣本製造條件>

表 2 至表 5 示出樣本 830A 至樣本 830P 的每一個所具備的導電體 803a、導電體 803b、絕緣體 804、導電體 805a 以及導電體 805b 的成膜條件。

【0624】雖然未記載於表 2 至表 5，但是作為絕緣體 806 使用 PECVD 法形成厚度為 200nm 的氧氮化矽。此外，作為導電體 807 及導電體 808，使用濺射（SP）法形成厚度為 50nm 的 Ti、厚度為 200nm 的 Al 以及厚度為 50nm 的 Ti 的三層疊層膜。

【0625】樣本 830A 至樣本 830H 的絕緣體 804 藉由使用無機前驅物的 ALD 法而形成。明確而言，在樣本 830A 至樣本 830H 中，使用 $HfCl_4$（氯化鉿）及 $ZrCl_4$（氯化鋯）作為無機前驅物，並使用 H_2O（水）作為氧化劑。

【0626】樣本 830I 至樣本 830P 的絕緣體 804 藉由使用有機前驅物的 ALD 法而形成。明確而言，在樣本 830I 至樣本 830P 中，使用 $Hf[N(CH_3)_2]_4$（TEMAH：Tetrakis（ethylmethylamino）hafnium）及 Zr（Cp）[（$N(CH_3)_2]_3$（Cyclopentadienyltris（dimethylamino）zirconium）作為有機前驅物，並使用 O_3（臭氧）作為氧化劑。

【0627】樣本 830A、樣本 830E、樣本 830I 以及樣本 830M 的絕緣體 804 的厚度為 4nm。樣本 830B、樣本 830F、樣本 830J 以及樣本 830N 的絕緣體 804 的厚度為 6nm。樣本 830C、樣本 830G、樣本 830K 以及樣本 830O 的絕緣體 804 的厚度為 8nm。樣本 830D、樣本 830H、樣本 830L 以及樣本 830P 的絕緣體 804 的厚度為 10nm。

【0628】樣本 830A 至樣本 830D、樣本 830I 至樣本 830L 的導電體 805a 使用金屬 CVD（MCVD）法而形成。樣本 830E 至樣本 830H、樣本 830M 至樣本 830P 的導電體 805a 使用濺射法而形成。此外，樣本 830E 至樣本 830H、樣本 830M 至樣本 830P 在形成後被進行了使用 RTA 法的熱處理。表 2 至表 5 還示出該熱處理條件。

【0629】

[表 2]

<table>
<tr><td>樣本名稱</td><td>830A</td><td>830B</td><td>830C</td><td>830D</td></tr>
<tr><td>樣本形成後
熱處理條件</td><td colspan="4">無</td></tr>
<tr><td>805b</td><td colspan="4">成膜方法：SP 法，組成：W，厚度：20nm
成膜溫度：130℃</td></tr>
<tr><td>805a</td><td colspan="4">成膜方法：MCVD 法，組成：TiNx，厚度：10nm
成膜溫度：400℃</td></tr>
<tr><td rowspan="2">804</td><td colspan="4">成膜方法：ALD 法，組成：HfZrOx
前驅物：無機前驅物，氧化劑：H_2O，成膜溫度：300℃</td></tr>
<tr><td>厚度：4nm</td><td>厚度：6nm</td><td>厚度：8nm</td><td>厚度：10nm</td></tr>
<tr><td>803b</td><td colspan="4">成膜方法：MCVD 法，組成：TiNx，厚度：10nm
成膜溫度：400℃</td></tr>
<tr><td>803a</td><td colspan="4">成膜方法：SP 法，組成：W，厚度：30nm
成膜溫度：130℃</td></tr>
</table>

【0630】

[表 3]

樣本名稱	830E	830F	830G	830H
樣本形成後熱處理條件	熱處理方法：RTA，熱處理溫度：500℃ 加熱氛圍：氮，加熱時間：60sec			
805b	成膜方法：SP 法，組成：W，厚度：20nm 成膜溫度：130℃			
805a	成膜方法：SP 法，組成：TiNx，厚度：10nm 成膜溫度：室溫（沒有加熱）			
804	成膜方法：ALD 法，組成：HfZrOx 前驅物：無機前驅物，氧化劑：H_2O，成膜溫度：300℃			
	厚度：4nm	厚度：6nm	厚度：8nm	厚度：10nm
803b	成膜方法：MCVD 法，組成：TiNx，厚度：10nm 成膜溫度：400℃			
803a	成膜方法：SP 法，組成：W，厚度：30nm 成膜溫度：130℃			

【0631】

[表 4]

樣本名稱	830I	830J	830K	830L
樣本形成後熱處理條件	無			
805b	成膜方法：SP 法，組成：W，厚度：20nm 成膜溫度：130°C			
805a	成膜方法：MCVD 法，組成：TiNx，厚度：10nm 成膜溫度：400°C			
804	成膜方法：ALD 法，組成：HfZrOx 前驅物：有機前驅物，氧化劑：O_3，成膜溫度：250°C			
	厚度：4nm	厚度：6nm	厚度：8nm	厚度：10nm
803b	成膜方法：MCVD 法，組成：TiNx，厚度：10nm 成膜溫度：400°C			
803a	成膜方法：SP 法，組成：W，厚度：30nm 成膜溫度：130°C			

【0632】

[表 5]

樣本名稱	830M	830N	830O	830P
樣本形成後熱處理條件	熱處理方法：RTA，熱處理溫度：500℃ 加熱氛圍：氮，加熱時間：60sec			
805b	成膜方法：SP 法，組成：W，厚度：20nm 成膜溫度：130℃			
805a	成膜方法：SP 法，組成：TiNx，厚度：10nm 成膜溫度：室溫（沒有加熱）			
804	成膜方法：ALD 法，組成：HfZrOx 前驅物：有機前驅物，氧化劑：O_3，成膜溫度：250℃			
	厚度：4nm	厚度：6nm	厚度：8nm	厚度：10nm
803b	成膜方法：MCVD 法，組成：TiNx，厚度：10nm 成膜溫度：400℃			
803a	成膜方法：SP 法，組成：W，厚度：30nm 成膜溫度：130℃			

【0633】<P-E 特性>

對導電體 807 與導電體 803 間施加電壓幅值為 3V 且頻率為 100Hz 的三角波，以測量絕緣體 804 的自發極化的變化（P-E 特性）。關於輸入電壓波形及 P-E 特性的取得方法可以參照實施例 1 的記載，由此省略詳細說明。

【0634】圖 47 示出樣本 830A 至樣本 830H 的 P-E 特性測量結果。圖 48 示出樣本 830I 至樣本 830P 的 P-E 特性測量結果。圖 47 及圖 48 分別示出施加到各樣本中的絕緣體 804 的電場強度 E 與極化 P 的關係。

【0635】<I-V 特性>

對導電體 807 與導電體 803 間施加電壓，以測量流過的電流（I-V 特性）。

【0636】圖 49 示出樣本 830A 至樣本 830H 的 I-V 特性測量結果。圖 50 示出樣本 830I 至樣本 830P 的 I-V 特性測量結果。圖 49 及圖 50 分別示出各樣本的外加電壓與流過的電流的關係。

【0637】<GIXD>

此外，關於作為樣本 830A 至樣本 830P 的每一個中的絕緣體 804 的 HfZrOx 膜，使用作為 XRD 分析法之一的掠入射 X 射線繞射法（GIXD：Grazing Incident X-ray Diffraction）調查了結晶狀態。

【0638】圖 51 示出樣本 830A 至樣本 830H 的 GIXD 測量結果。圖 52 示出樣本 830I 至樣本 830P 的 GIXD 測量結果。圖 51 及圖 52 分別示出各樣本的 X 射線的入射角度（2θ）與檢出的信號強度的關係。此外，在圖 51 及圖 52 中，以虛線示出 HfZrOx 的結晶的峰位置，m 表示單斜晶（monoclinic crystal）的峰位置，o 表示正交晶（orthorhombic crystal）的峰位置，t 表示四方晶（tetragonal crystal）的峰位置，並且 c 表示立方晶（cubic crystal）的峰位置。在 XRD 中，難以辨別正交晶（o）、四方晶（t）、立方晶（C）。

【0639】<疲勞特性>

以下說明對上述樣本 830H 及樣本 830P 進行疲勞特性測量的結果。

【0640】為了測量疲勞特性，以將電壓幅值為 3V 且頻率為 100Hz 的矩形角波施加 1 週期為 1 次循環，按照每個規定的循環次數使用上述三角波測量 P-E 特性，以取得電場強度 E 為 0 時的最小極化及最大極化。

【0641】圖 53 示出樣本 830H 及樣本 830P 的疲勞特性的測量結果。此外，圖 53 的第一段示出疲勞特性測量開始和結束時的 P-E 特性。圖 53 的第二

段示出疲勞特性的測量結果，其中橫軸表示循環次數，縱軸表示極化 P。圖 53 的第三段示出以疲勞特性測量開始時的極化 P 正規化的值。

實施例 4

【0642】在本實施例中，製造作為呈現鐵電性的絕緣體的氧化鉿鋯（HfZrOx），來說明該絕緣體的相對於電壓-極化特性的輸入電壓（三角波）的頻率依賴性的評價結果。

【0643】<樣本結構>

關於用於評價的樣本的外觀以及剖面示意圖可以參照實施例 1 的有關樣本 800 的記載，由此省略詳細說明。

【0644】樣本使用單晶矽作為基板 801 而形成。明確而言，在基板 801 上形成作為絕緣體 802 的厚度為 100nm 的熱氧化膜，在絕緣體 802 上形成被用作下部電極的導電體 803（導電體 803a 及導電體 803b），在導電體 803 上形成絕緣體 804，並且在絕緣體 804 上形成被用作上部電極的導電體 805（導電體 805a 及導電體 805b）。

【0645】作為導電體 803a，使用濺射（SP）法形成厚度為 30nm 的 W。作為導電體 803b，使用金屬 CVD（MCVD）法形成厚度為 20nm 的 TiNx。

【0646】作為絕緣體 804，藉由使用無機前驅物的 ALD 法形成厚度為 10nm 的氧化鉿鋯（HfZrOx）。明確而言，使用 $HfCl_4$（氯化鉿）及 $ZrCl_4$（氯化鋯）作為無機前驅物，並使用 H_2O（水）作為氧化劑。形成氧化鉿鋯（HfZrOx）時的基板溫度為 300℃。

【0647】作為導電體 805a，使用濺射（SP）法形成厚度為 10nm 的 TiNx。作為導電體 805b，使用濺射（SP）法形成厚度為 20nm 的 W。

【0648】此外，在導電體 803、絕緣體 804 以及導電體 805 上形成絕緣體 806。此外，在絕緣體 806 上形成與導電體 803 電連接的導電體 807 及與導電體

805 電連接的導電體 808。導電體 807 及導電體 808 被用作被輸入測量信號的電極。

【0649】此外，導電體 803、導電體 805、導電體 807、導電體 808、設置在絕緣體 806 及絕緣體 804 中的接觸孔藉由使用習知的光微影法及蝕刻法而形成。

【0650】此外，在樣本形成後，進行了使用 RTA 法的熱處理。熱處理條件為氮氛圍、500°C、60sec。

【0651】<P-E 特性>

對導電體 807 與導電體 803 間施加電壓幅值為 3V 的三角波，以測量絕緣體 804 的自發極化的變化（P-E 特性）。在三角波的頻率分別為 1kHz、100Hz、10Hz 的條件下進行了評價。關於輸入電壓波形及 P-E 特性的取得方法可以參照實施例 1 的記載，由此省略詳細說明。

【0652】圖 54 示出 P-E 特性測量結果。圖 54 示出施加到絕緣體 804 的電場強度 E 與極化 P 的關係。在圖 54 中，實線 831 表示頻率 10Hz 的資料，虛線 832 表示 100Hz 的資料，並且點線 833 表示 1kHz 的資料。

【0653】圖 55A 及圖 55B 是由圖 54 的點劃線表示的區域的放大圖。圖 55C 及圖 55D 示出極化 P 與三角波的頻率的關係。圖 55C 示出電場 E 為 0MV/cm 時的極化 P，圖 55D 示出電場 E 為 3MV/cm（電壓 3V）時的極化 P。

【0654】由圖 54、圖 55A 至圖 55D 可知，具有三角波的頻率越高極化 P 越小的趨勢。

實施例 5

【0655】<有關碳的影響的計算>

在本節中，藉由計算評價碳對氧化鉿鋯（HfZrOx）造成的影響。

【0656】以下說明用於計算的計算模型。

【0657】首先，準備作為正交晶系的結晶結構的氧化鋯的單晶模型。此外，正交晶系的結晶結構的空間群為 $Pca2_1$（29）。此外，該單晶模型內的原子個數為 96。

【0658】接著，上述單晶模型所包含的鋯原子的一半用鉿原子取代。由此，該單晶模型的組成為 Hf：Zr：O=1：1：4。

【0659】接著，上述單晶模型內的一個鉿原子用碳原子取代。使用該單晶模型作為用於第一原理計算的計算模型。圖 56A 示出該計算模型。為了容易理解，未圖示原子的一部分。

【0660】利用圖 56A 所示的計算模型藉由計算進行了原子配置的最佳化。在該計算中，使用第一原理計算軟體 VASP（The Vienna Ab initio simulation）。表 6 示出計算條件。

【0661】

[表 6]

計算程式	VASP
基底函數	平面波
泛函數	GGA-PBE
準位能	PAW
截止能量	500 eV
k 點網格	2×2×2

【0662】電子狀態準位能使用藉由 Projector Augmented Wave（PAW）法生成的勢，泛函數使用 GGA/PBE（Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof）。注意，計算模型大小（晶格常數及軸間夾角）恆定。

【0663】圖 56B 示出經用來使原子配置最佳化的計算後的計算模型。為了容易理解，未圖示原子的一部分。

【0664】在計算前計算模型（參照圖 56A）中，用碳原子取代之前的鈧原子上配置有七個氧原子。另一方面，在計算後計算模型（參照圖 56B）中，碳原子上配置有三個氧原子（由圖 56B 的點劃線圍繞的區域內的氧原子）。換言之，在計算前計算模型中配置在用碳原子取代之前的鈧原子上的其他四個氧原子（由圖 56A 的點劃線圍繞的區域內的氧原子）經計算後離開碳原子。明確而言，在計算後計算模型中，碳原子和配置在該碳原子上的三個氧原子的距離都是 0.13nm 左右，而碳原子和離開該碳原子的四個氧原子的距離是 0.30nm 以上且 0.35nm 以下。

【0665】根據上述內容可知，如果碳混入氧化鈧鋯中，氧化鈧鋯的結構就失序，難以形成正交晶系的結晶結構。

【0666】經計算後配置在碳原子上的氧原子（由圖 56B 的點劃線圍繞的區域內的氧原子）是沒有反演對稱性，亦即，賦予鐵電性的氧原子。該氧原子因被碳原子束縛得較強而可能受到由電場導致的移位的影響。

【0667】此外，與氧化鈧鋯的單晶模型相比，經計算後離開碳原子的氧原子（由圖 56B 的點劃線圍繞的區域內的氧原子）與鈧原子或鋯原子的鍵合個數減少了。由此可知，該氧原子容易缺少。

【0668】根據上述內容可知，如果碳混入氧化鈧鋯中，就可能給鐵電性帶來負面影響。換言之，為了使氧化鈧鋯呈現鐵電性，較佳為降低氧化鈧鋯中的碳濃度。

實施例 6

【0669】<保持測量>

在本實施例中，說明對實施例 1 所示的樣本 800B 進行保持測量的結果。

【0670】圖 57A 示出保持測量的測量系統。圖 57B 示出保持測量的工作序列。圖 58A、圖 58B 以及圖 58C 示出保持測量結果。

【0671】如圖 57A 所示，保持測量的測量系統至少包括脈衝生成器及電流計。在室溫下進行了測量。

【0672】在保持測量中，使用脈衝生成器對樣本供應電位，並測量此時流過的電流。以下說明圖 57B 所示的保持測量的工作序列。在期間 T1，對樣本供應負電位，形成負電位一側的極化狀態。在期間 T2 經 0V 的電位後，在期間 T3 供應兩次正電位的脈衝（3V、5sec 的矩形波），形成負電位一側的極化狀態。在此，在期間 T3 供應兩次脈衝的目的是取消定常洩漏。接著，在約 10 秒的期間 T4 經 0V 的電位後，在期間 T5 供應兩次與期間 T3 同樣的正電位的脈衝。期間 T4 較短，保持樣本的極化，由此在期間 T5 不流過由極化的移位導致的電流，但是存在由洩漏導致的電流。其次，在期間 T6，為了進行保持測量，以 0V 的電位保持 10 分鐘及 10 小時的兩個條件的保持期間。其次，在期間 T7，供應兩次與期間 T3 及期間 T5 同樣的正電位的脈衝，以對比流過樣本的電流。在此，當在期間 T7 流過的電流大於在期間 T5 流過的電流的情況下，在期間 T6 極化減少的可能性很高。另一方面，當在期間 T5 流過的電流與在期間 T7 流過的電流大致相等，或者，在期間 T7 流過的電流小於在期間 T5 流過的電流的情況下，可知在期間 T6 保持極化。

【0673】作為對樣本 800B 進行保持測量的結果，圖 58A 示出期間 T5 的電流變化，圖 58B 示出在期間 T6 保持 10 分鐘後的期間 T7 的電流變化。圖 58C 示出在期間 T6 保持 10 小時後的期間 T7 的電流變化。當對圖 58A、圖 58B 以及圖 58C 進行對比時，可知經 10 小時的保持時間後也不導致期間 T7 的電流增加，由此樣本 800B 能夠保持至少 10 小時的極化狀態。

實施例 7

【0674】在本實施例中，以下說明製造 1Tr1C（1 電晶體、1 電容器）的元件結構來測量其電特性的結果。

【0675】關於 P-V 特性的取得方法在上述實施例 1 中進行了說明，由此不進行詳細說明。藉由對 1 電容器的一對電極間施加電壓幅值為 3V 且頻率為 100 Hz 的三角波，測量絕緣體或介電質的自發極化的變化（P-V 特性）。橫軸表示作為三角波的輸入電壓 V，縱軸表示使用數學式（1）將輸出電流 I 轉換為極化 P 的值。

【0676】電晶體可以使用實施方式 2 所示的製造方法而形成，對電晶體結構沒有特別的限制。採用圖 20A 所示的電晶體 200，明確地說，平面型電容器 100 設置在絕緣體 285 上的結構。圖 59A 示出對比例子、CVD-TiN、SP-TiN 的 P-V 特性測量結果。此外，圖 59B 示出 I-V 特性測量結果。

【0677】電極尺寸為 1.265μm×1.05μm 的 300 並聯，一共有 398.5μm^2。

【0678】作為對比例子，下部電極使用藉由濺射法形成的鎢膜（基板溫度為 130℃，厚度為 30nm）和藉由金屬 CVD 法形成的氮化鈦膜（基板溫度為 400℃，厚度為 10nm）的疊層，在下部電極上使用藉由 ALD 法形成的氧化鋁膜（基板溫度為 250℃，厚度為 14nm）和藉由 PECVD 法形成的氧氮化矽膜（基板溫度為 350℃，厚度為 7nm）的疊層，形成在該疊層上的上部電極使用藉由金屬 CVD 法形成的氮化鈦膜（基板溫度為 400℃，厚度為 10nm）和藉由濺射法形成的鎢膜（基板溫度為 130℃，厚度為 20nm）的疊層。

【0679】記為 CVD-TiN 的樣本與對比例子的不同點在於夾在下部電極與上部電極之間的薄膜不同。在 CVD-TiN 中，使用厚度為 10nm 的 HfZrOx 膜。HfZrOx 膜的成膜條件與實施例 1 的絕緣體 804 的成膜條件相同，其中使用 ALD 法，使用氯化物類前驅物，基板溫度為 300℃，並且使用 H_2O 作為氧化劑。記為 CVD-TiN 的樣本的每單位面積的殘留極化量 Pr 大約為 12.1。

【0680】此外，在記為 SP-TiN 的樣本中，夾在下部電極與上部電極之間的薄膜為厚度為 10nm 的 HfZrOx 膜，在其上使用藉由濺射法形成的氮化鈦膜和藉由濺射法形成的鎢膜（厚度為 20nm）的疊層。作為藉由濺射法形成的氮化鈦膜的成膜條件，基板溫度為室溫。記為 SP-TiN 的樣本的每單位面積的殘留極化量 Pr 大約為 12.8。

【0681】此外，圖 60A 及圖 60B 示出分別用於對比例子、CVD-TiN、SP-TiN 的樣本的電晶體的 I_D-V_G 特性的測量結果。在圖 60A 及圖 60B 中，橫軸表示頂閘極電位 V_G[V]，第一縱軸表示汲極電流 I_D[A]，第二縱軸表示 V_D=0.1V 時的場效移動率 μ_{FE}[cm^2/Vs]。此外，細實線表示 V_D=0.1V 時的汲極電流，粗虛線表示 V_D=1.2V 時的汲極電流，並且細點線表示 V_D=0.1V 時的場效移動率。

【0682】此外，從上述 I_D-V_G 測量結果計算出各電晶體的漂移電壓 Vsh，以求出其標準差 σ（Vsh）。在此，漂移電壓 Vsh 被定義為在電晶體的 I_D-V_G 曲線中曲線上的傾斜度最大的點的切線與 I_D=1pA 的直線交叉的 V_G。圖 60A 的記為 SP-TiN 的樣本的標準差 σ（Vsh）為 64mV，該值良好。圖 60A 的記為 SP-TiN 的樣本的場效移動率 μFE 為 14cm^2/Vs。

【0683】從所得到的 I_D-V_G 曲線算出電晶體的漂移電壓（Vsh）及次臨界擺幅值（S 值）。漂移電壓（Vsh）定義為在電晶體的 I_D-V_G 曲線中曲線上的傾斜最大的點的切線與 I_D=1pA 的直線交叉的 V_G。圖 60A 的記為 SP-TiN 的樣本的 S 值為 107mV/dec。

【0684】圖 60B 示出以密度 8.4/μm^2 配置 1Tr1C（1 電晶體、1 電容器）的元件的測量用電路中的一個電晶體的電特性。此外，圖 60A 示出與圖 60B 不同的佈局的測量用電路中的一個電晶體的電特性。

實施例 8

【0685】在本實施例中，以下說明製造 3Tr1C（3 電晶體、1 電容器）的元件結構，以對其進行寫入工作及讀出工作來測量電特性的結果。

【0686】在圖 61A 中，電晶體 OS1 與閘極線 WWL、信號線 WBL、節點 SN 連接。此外，電晶體 OS2 的閘極與節點 SN 連接，電晶體 OS2 與源極線 SL 連接。此外，電晶體 OS3 與閘極線 RWL 及信號線 RBL 連接。電晶體 OS2 的汲極電極（或源極電極）與電晶體 OS3 的源極電極（或汲極電極）電連接。此外，電晶體 OS1 的背閘極電位 BG1 和電晶體 OS2 及電晶體 OS3 的背閘極電位 BG2 都是恆定電位，明確地說，0V。

【0687】圖 61A 示出使用電容器 MFM 作為 1C 的例子。電容器 MFM 具有層疊有下部電極、厚度為 10nm 的 HfZrOx 膜以及上部電極的結構。電容器 MFM 的面積為 0.25μm^2。電容器 MFM 與節點 SN 及信號線 C 電連接。

【0688】下部電極使用藉由濺射法形成的鎢膜（基板溫度為 130℃，厚度為 30nm）和藉由金屬 CVD 法形成的氮化鈦膜（基板溫度為 400℃，厚度為 10 nm）的疊層，上部電極使用藉由金屬 CVD 法形成的氮化鈦膜（基板溫度為 400℃，厚度為 10nm）和藉由濺射法形成的鎢膜（基板溫度為 130℃，厚度為 20 nm）的疊層。

【0689】此外，電晶體及電容器的製程與實施例 7 所示的記為 CVD-TiN 的樣本相同。

【0690】接著，進行了測量，以確認將電容器 MFM 的殘留極化的方向作為讀出電晶體（電晶體 OS3）的電流差異。

【0691】圖 62A 示出用來測量的時序圖的例子。在時序圖中，WWL、WBL、C、RWL、SN、RBL 等的名稱表示被供應時序圖所示的電位的佈線。雖然在時序圖中未示出源極線 SL，但是該源極線 SL 處於被供應規定電位（恆定電位）的狀態。

【0692】首先，參照圖 62B1 及圖 62B2 說明電容器 MFM 的寫入及讀出。此外，圖 62B1 示出與圖 61A 相同的等效電路，但是未示出 BG1 及 BG2，因為 BG1 和 BG2 都是 0V。

【0693】首先，將閘極線 WWL 的電位設定為使電晶體 OS1 成為開啟狀態的電位，使得電晶體 OS1 成為開啟狀態。由此，將信號線 WBL 的電位供應給電晶體 OS2 的閘極電極。此外，在電晶體 OS1 處於開啟狀態的期間的 10ms 中，對信號線 C 施加 3V。該對電容器 MFM 施加 3V 的期間被稱為 Pr+set 期間。電晶體 OS2 的閘極電極被供應規定電荷，但是在本測量方法中，如圖 62A 的時序圖所示，信號線 WBL 的電位一直為 0V。此外，如圖 62B2 的右一半所示，對電容器 MFM 提供作為正向的殘留極化（Pr+）的方向（第一寫入）。注意，圖 62B2 的右一半所示的箭頭對應於圖 62A 中的 Pr+set 期間的箭頭。

【0694】然後，將閘極線 WWL 的電位設定為使電晶體 OS1 成為關閉狀態的電位，使得電晶體 OS1 成為關閉狀態。

【0695】在起到記憶單元的作用的情況下，閘極線 RWL 相當於讀出字線，閘極線 WWL 相當於寫入字線，信號線 WBL 相當於寫入位元線，並且信號線 RBL 相當於讀出位元線。藉由使電晶體 OS1 成為關閉狀態，在信號線 WBL 已被供應 0V 以外的電位的情況下可以保持電晶體 OS2 的閘極電極已被供應的電荷（保持）。在信號線 WBL 已被供應電位的情況下，因為電晶體 OS1 的關態電流極小，所以可以長時間保持電晶體 OS2 的閘極電極的電荷。

【0696】此外，在上述寫入工作期間，電晶體 OS3 處於關閉狀態。

【0697】接著，藉由使電晶體 OS1 成為關閉狀態，使節點 SN 成為浮動電位，使電晶體 OS3 成為開啟狀態，並且對信號線 C 進行 0V 至 3V 的掃描（電位掃描），由此測量信號線 RBL 的電流值 I_{RBL}。圖 63A 以實線示出此時的電特性（Pr+），其中縱軸表示電流值 I_{RBL}，橫軸表示信號線 C 的電壓 V_C。

【0698】接著，將閘極線 WWL 的電位設定為使電晶體 OS1 成為開啟狀態的電位，並且在電晶體 OS1 處於開啟狀態的期間的 10ms 中，對信號線 C 施加-3V。該對電容器 MFM 施加-3V 的期間被稱為 Pr-set 期間。就是說，電晶體 OS2 的閘極電極被供應規定電荷，如圖 62B2 的左一半所示，對電容器 MFM 提供作為負向的殘留極化（Pr-）的方向（第二寫入）。注意，圖 62B2 的左一半所示的箭頭對應於圖 62A 中的 Pr-set 期間的箭頭。

【0699】此外，在上述寫入工作期間，電晶體 OS3 處於關閉狀態。

【0700】接著，如圖 62C1 所示，藉由使電晶體 OS1 成為關閉狀態，使節點 SN 成為浮動電位，使電晶體 OS3 成為開啟狀態，並且對信號線 C 進行 0V 至 3V 的掃描，由此測量信號線 RBL 的電流值 I_{RBL}。圖 63A 以點線示出此時的電特性（Pr-），其中縱軸表示電流值 I_{RBL}，橫軸表示信號線 C 的電壓 V_C。此外，圖 62C1 示出與圖 61A 相同的等效電路，但是未示出 BG1 及 BG2，因為 BG1 和 BG2 都是 0V。

【0701】此外，在圖 63A 中，重疊地示出對電容器 MFM 施加 3V 之後進行二十次掃描以及對電容器 MFM 施加-3V 之後進行二十次掃描，亦即，一共四十次掃描的結果。

【0702】在對信號線 C 施加 3V 之後讀出的電流值 I_{RBL} 與在對信號線 C 施加-3V 之後讀出的電流值 I_{RBL} 之間有電流差異。關於該電流差異，可以以圖 62C2 所示的正向的電容器 MFM 的殘留極化的方向及圖 62C2 所示的負向的電容器 MFM 的殘留極化的方向為讀出電晶體（電晶體 OS3）的電流差異。因此，根據圖 63A 所示的測量結果，可以確認到電容器 MFM 的殘留極化的方向作為讀出電晶體（電晶體 OS3）的電流差異。

【0703】此外，在圖 61A 所示的 3Tr1C 的元件結構中，電晶體 OS1 在關閉狀態下的洩漏電流非常小。由此，藉由利用能夠保持節點 SN 的電位的特徵，能夠進行資訊寫入、保持、讀出。

【0704】此外，雖然在此只示出一個元件結構的一個記憶單元，但是也可以製造由排列為 n（行）×m（列）的多個記憶單元構成的記憶單元陣列。

【0705】此外，圖 63B 示出使用同一測量方法測量與實施例 7 的對比例子相同的元件結構的結果。在對比例子中，重疊地示出對電容器 MFM 施加 3V 之後進行兩次掃描以及對電容器 MFM 施加-3V 之後進行兩次掃描，亦即，一共四次掃描的結果。在圖 63A 中，實線表示電特性（Pr+），點線表示電特性（Pr-）。

【0706】對比例子的製程與實施例 7 所示的對比例子相同。下部電極使用藉由濺射法形成的鎢膜（基板溫度為 130℃，厚度為 30nm）和藉由金屬 CVD 法形成的氮化鈦膜（基板溫度為 400℃，厚度為 10nm）的疊層，在下部電極上使用藉由 ALD 法形成的氧化鋁膜（基板溫度為 250℃，厚度為 14nm）和藉由 PECVD 法形成的氧氮化矽膜（基板溫度為 350℃，厚度為 7nm）的疊層，形成在該疊層上的上部電極使用藉由金屬 CVD 法形成的氮化鈦膜（基板溫度為 400℃，厚度為 10nm）和藉由濺射法形成的鎢膜（基板溫度為 130℃，厚度為 20nm）的疊層。

【0707】如圖 63B 所示，在對比例子中確認不到電流差異。

實施例 9

【0708】<f特性測量>

在本實施例中，示出使用與實施例 7 同樣製造的樣本進行了 f 特性測量的結果。

【0709】作為特性測量對象的樣本結構為圖 20 所示的電容器 100，電極尺寸為 1.265μm×1.05μm 的 300 個元件藉由佈線層連接，並且面積 A 一共有 398.5 μm^2。

【0710】圖 64A 示出 f 特性的測量系統。圖 64B 示出 f 特性測量的工作序列。圖 64C 及圖 64D 是極化變化的假設圖。圖 65 示出保持測量的結果。

【0711】如圖 64A 所示，f 特性的測量系統至少包括脈衝生成器及電流計。在室溫下進行了測量。在本實施例中，使用 TEKTRONIX 公司所製造的 DG2020A 作為脈衝生成器，並使用 KEYSIGHT 公司所製造的半導體參數分析儀 B1500A 作為電流計。

【0712】在 f 特性測量中，使用脈衝生成器對樣本供應電位，並測量此時流過的電流。以下說明圖 64B 所示的 f 特性測量的工作序列。在期間 T1，對樣本供應負電位的脈衝，形成負電位一側的極化狀態。其次，在期間 T2 保持 0V 的電位，然後，在期間 T3 供應正電位的脈衝，以測量流過樣本的電流。在此，藉由改變在期間 T3 供應的正電位的脈衝寬度（時間）來在多個條件下進行測量，可以評價極化反轉所需的時間。極化反轉所需的時間越短，記憶元件的改寫速度越快，功耗也可以降低，因此這是較佳的。在本實施例中，在期間 T3 將正電位的矩形波脈衝的寬度分別設定為 1sec 至 5nsec，來在多個條件下進行測量。當將矩形波脈衝假設為半週期，1sec、5nsec 的條件分別可以被稱為 0.5Hz、100MHz 的條件。接著，在期間 T4 保持 0V 的電位，然後，在期間 T5 供應正電位脈衝十分長時間，以測量流過樣本的電流。在此，“十分長時間”是指直到流過樣本的電流值幾乎沒有變化的時間，在本實施例中是指 1sec。接著，在期間 T6，供應與期間 T5 同樣的正電位的脈衝，以測量流過樣本的電流。在此，藉由取得在期間 T5 流過的電荷量與在期間 T6 流過電荷量的差值 ΔC，可以分開期間 T5 的起因於極化反轉的電荷量和起因於洩漏成分等其他原因的電

荷量。差值 ΔC 除以面積 A，可以得到作為極化指標的 ΔPr。在此，面積 A 為電容器的兩個電極重疊處的面積。藉由使用對測量資料進行解析而得到的 ΔPr 的值及期間 T3 的脈衝寬度（時間）形成圖表，可以知道能夠在多長期間使極化反轉。此外，雖然不同於本實施例中的測量資料解析，但是也可以在期間 T6 後進行期間 T7 及/或期間 T8 的測量以提高差值 ΔC 的測量精確度。表 7 示出 f 特性測量的工作序列的詳細條件。

【0713】

[表 7]

期間	電壓		時間	備考
T1	-2.5V		5sec	
T2	0V		5sec	
T3	2.5V		1sec、100nsec、10nsec、5nsec	0.5Hz、5MHz、50MHz、100MHz
T4	0V		5sec	
T5	高	2.5V	1sec	
	低	0V	1sec	
T6	高	2.5V	1sec	
	低	0V	1sec	
T7	高	2.5V	1sec	
	低	0V	1sec	
T8	高	2.5V	1sec	
	低	0V	1sec	

【0714】將參照圖 64B、圖 64C 及圖 64D 說明 f 特性測量中得到極化反轉的情況及得不到極化反轉的情況。圖 64C 是在期間 T3 得到極化反轉的情況下的期間 T1 至期間 T5 的極化變化的假設圖，在期間 T4 如 P4a 所示那樣呈現正的極化狀態。圖 64D 是在期間 T3 得不到極化反轉的情況下的期間 T1 至期間 T5 的極化變化的假設圖，在期間 T4 如 P4b 所示那樣不能呈現正的極化狀態。在期間 T3 是否能夠得到極化可以根據在期間 T5 流過的電荷量的多少來判斷，在保持極化的情況下在期間 T5 流過的電荷量變少，而在不能保持極化的情況下在期間 T5 流過的電荷量變多。

【0715】圖 65 示出 f 特性測量結果。作為期間 T3 的條件，設定 1sec（0.5 Hz）、100nsec（5MHz）、10nsec（50MHz）、5nsec（100MHz）的四個條件進行了測量。關於 1sec（0.5Hz）的條件，示出 N=2 的兩次測量結果。此外，還示出在期間 T3 沒有進行寫入的情況下的測量結果。在任一測量條件下，與沒有進行寫入的情況相比，ΔPr 的值十分小，由此可知藉由期間 T3 的寫入而得到極化反轉。由此可知，本實施例的樣本至少能夠在 100MHz 下進行改寫工作。

實施例 10

【0716】<保持測量>

在本實施例中，說明對實施例 1 所示的樣本 800B 進行保持測量的結果。

【0717】在本實施例中，使用與實施例 6 所示的保持測量不同的方法進行了測量。圖 66A 示出保持測量的測量系統。圖 66B 示出保持測量的工作序列。圖 66C 及圖 66D 是極化變化的假設圖。圖 67 示出保持測量的結果。

【0718】如圖 66A 所示，保持測量的測量系統至少包括脈衝生成器及電流計。在室溫下進行了測量。在本實施例中，使用 KEYSIGHT 公司所製造的 M9 185B 作為脈衝生成器，並使用 KEYSIGHT 公司所製造的半導體參數分析儀 B1

500A 作為電流計。此外，在本實施例中，在多個溫度條件下進行保持測量，由此使用具備具有溫度調整功能的載物台的探測器。

【0719】在保持測量中，使用脈衝生成器對樣本供應電位，並測量此時流過的電流。將說明圖 66B 所示的保持測量的工作序列。在期間 T1，對樣本供應負電位的脈衝，形成負電位一側的極化狀態。其次，在期間 T2，為了進行保持測量，在後述保持期間保持 0V 的電位。接著，在期間 T3 供應正電位的脈衝，以測量流過樣本的電流。接著，在期間 T4，供應與期間 T3 同樣的正電位的脈衝，以測量流過樣本的電流。在此，藉由取得在期間 T3 流過的電荷量與在期間 T4 流過電荷量的差值 ΔC，可以分開期間 T3 的起因於極化反轉的電荷量和起因於洩漏成分等其他原因的電荷量。差值 ΔC 除以面積 A，可以得到作為極化指標的 ΔPr。在此，面積 A 為電容器的兩個電極重疊處的面積。藉由使用對測量資料進行解析而得到的 ΔPr 的值及期間 T2 的保持期間的長度形成圖表，可以知道能夠在多長期間保持極化。此外，雖然不同於本實施例中的測量資料解析，但是也可以在期間 T4 後進行期間 T5 及/或期間 T6 的測量以提高差值 ΔC 的測量精確度。表 8 示出保持測量的工作序列的詳細條件。

【0720】

[表 8]

期間	電壓		時間	備考
T1	-2.5V		5sec	
T2	0V		1,10,100,1000、25920 0sec	85℃測量
T2	0V		1,10,100,1000 sec	150℃、200℃測量
T3	高	2.5V	1sec	
	低	0V	1sec	
T4	高	2.5V	1sec	
	低	0V	1sec	
T5	高	2.5V	1sec	
	低	0V	1sec	
T6	高	2.5V	1sec	
	低	0V	1sec	

【0721】將參照圖 66B、圖 66C 及圖 66D 說明保持測量中保持極化的情況及不能保持極化的情況。圖 66C 是在期間 T2 保持極化的情況下的期間 T1 至期間 T3 的極化變化的假設圖，如 P2a 所示那樣保持極化直到期間 T2 結束為止。圖 66D 是在期間 T2 不能保持極化的情況下的期間 T1 至期間 T3 的極化變化的假設圖，在期間 T2 結束時如 P2b 所示那樣極化有所減少。在期間 T2 是否能夠保持極化可以根據在期間 T3 流過的電荷量的多少來判斷，在保持極化的情況下在期間 T3 流過的電荷量變多，而在不能保持極化的情況下在期間 T3 流過的電荷量變少。

【0722】圖 67 示出對樣本 800B 進行保持測量的結果。溫度條件為 85℃、150℃以及 200℃的三個條件。作為期間 T2 的條件，在 85℃的溫度下，在 1sec、10sec、100sec、1000sec 以及 259200sec（三天）的五個條件下進行了測量。在 150℃及 200℃的溫度下，在 1sec、10sec、100sec 以及 1000sec 的四個條件下進行了測量。在任一測量條件下，ΔPr 都為可以判定能夠保持極化的值。

【符號說明】

【0723】

51:曲線

51i:直線

52:曲線

52i:直線

61:點

62:點

100:電容器

110:導電體

112:導電體

115a:絕緣體

115b:絕緣體

120:導電體

120a:導電體

120b:導電體

130:絕緣體

130a:絕緣體

130b:絕緣體

130c:絕緣體

131a:多晶區域

131b:多晶區域

132:c 軸

134:法線

136:晶粒

138a:層

138b:層

150:絕緣體

152a:絕緣體

152b:絕緣體

154a:絕緣體

154b:絕緣體

155:絕緣體

162:導電體

166:絕緣體

168a:絕緣體

168b:絕緣體

200:電晶體

205:導電體

205a:導電體

205b:導電體

210:絕緣體

212:絕緣體

214:絕緣體

216:絕緣體

217:絕緣體

218:導電體

222:絕緣體

224:絕緣體

230:氧化物

230a:氧化物

230b:氧化物

230ba:區域

230bb:區域

230bc:區域

240:導電體

240a:導電體

240b:導電體

241:絕緣體

241a:絕緣體

241b:絕緣體

242:導電體

242a:導電體

242b:導電體

245:絕緣體

246:導電體

246a:導電體

246b:導電體

250:絕緣體

250a:絕緣體

250b:絕緣體

252:絕緣體

254:絕緣體

255:導電體

260:導電體

260a:導電體

260b:導電體

262:導電體

265:密封部

271:絕緣體

271a:絕緣體

271b:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

285:絕緣體

286:絕緣體

287:絕緣體

288:導電體

289:絕緣體

300:電晶體

311:基板

313:半導體區域

314a:低電阻區域

314b:低電阻區域

315:絕緣體

316:導電體

320:絕緣體

322:絕緣體

324:絕緣體

326:絕緣體

328:導電體

330:導電體

350:絕緣體

352:絕緣體

354:絕緣體

356:導電體

357:導電體

400:開口區域

401:前驅物

402:前驅物

403:氧化性氣體

404:載體-吹掃氣體

411:前驅物

412:前驅物

413:前驅物

414:氧化性氣體

500:半導體裝置

800:樣本

800A:樣本

800B:樣本

800B_1:樣本

800B_2:樣本

800C:樣本

800C_1:樣本

800C_2:樣本

800C_3:樣本

801:基板

802:絕緣體

803:導電體

803a:導電體

803b:導電體

804:絕緣體

805:導電體

805a:導電體

805b:導電體

806:絕緣體

807:導電體

808:導電體

811A:曲線

811B:曲線

811C:曲線

812A:曲線

812B:曲線

812C:曲線

813A:曲線

813B:曲線

813C:曲線

814A:曲線

814B:曲線

814C:曲線

821:曲線

822:曲線

830:樣本

830A:樣本

830B:樣本

830C:樣本

830D:樣本

830E:樣本

830F:樣本

830G:樣本

830H:樣本

830I:樣本

830J:樣本

830K:樣本

830L:樣本

830M:樣本

830N:樣本

830O:樣本

830P:樣本

831:實線

832:虛線

833:點線

900:製造設備

901:反應室

903:氣體引入口

904:口

905:排氣口

907:晶圓支撐台

908:軸

950:晶圓

1001:佈線

1002:佈線

1003:佈線

1004:佈線

1005:佈線

1006:佈線

1007:佈線

1008:佈線

1009:佈線

1100:USB 記憶體

1101:外殼

1102:蓋子

1103:USB 連接器

1104:基板

1105:記憶體晶片

1106:控制器晶片

1110:SD 卡

1111:外殼

1112:連接器

1113:基板

1114:記憶體晶片

1115:控制器晶片

1150:SSD

1151:外殼

1152:連接器

1153:基板

1154:記憶體晶片

1155:記憶體晶片

1156:控制器晶片

1400:記憶體裝置

1411:週邊電路

1420:行電路

1430:列電路

1440:輸出電路

1460:控制邏輯電路

1470:記憶單元陣列

2020A:DG

5100:資訊終端

5101:外殼

5102:顯示部

5200:筆記本式資訊終端

5201:主體

5202:顯示部

5203:鍵盤

5300:可攜式遊戲機

5301:外殼

5302:外殼

5303:外殼

5304:顯示部

5305:連接部

5306:操作鍵

5400:固定式遊戲機

5402:控制器

5500:超級電腦

5501:機架

5502:電腦

5504:基板

5701:顯示面板

5702:顯示面板

5703:顯示面板

5704:顯示面板

5800:電冷藏冷凍箱

5801:外殼

5802:冷藏室門

5803:冷凍室門

【發明申請專利範圍】

【請求項1】一種鐵電體器件，包括：

第一導電體；

該第一導電體上的金屬氧化物膜；以及

該金屬氧化物膜上的第二導電體，

其中，該金屬氧化物膜具有鐵電性，

該金屬氧化物膜具有結晶結構，

該結晶結構包括第一層及第二層，

該第一層包含第一氧及鉿，

該第二層包含第二氧及鋯，

該鉿與該鋯藉由該第一氧相鍵合，

並且，該第二氧與該鋯鍵合。

【請求項2】一種鐵電體器件，包括：

第一導電體；

該第一導電體上的金屬氧化物膜；

該金屬氧化物膜上的第二導電體；以及

該第二導電體上的密封膜，

其中，該金屬氧化物膜具有鐵電性，

該金屬氧化物膜具有結晶結構，

該結晶結構包括第一層及第二層，

該第一層包含第一氧及鉿，

該第二層包含第二氧及鋯，

該鈧與該鋯藉由該第一氧相鍵合，

並且，該第二氧與該鋯鍵合。

【請求項3】 如請求項2之鐵電體器件，

其中該密封膜包括第一密封膜及該第一密封膜上的第二密封膜，

該第一密封膜包含氧及鋁，

該第二密封膜包含氮及矽，

並且該第一密封膜具有吸附或俘獲氫的功能。

【請求項4】 一種半導體裝置，包括：

電晶體；以及

與該電晶體電連接的電容器，

其中該電容器包括：

第一導電體；

該第一導電體上的金屬氧化物膜；以及

該金屬氧化物膜上的第二導電體，

其中，該金屬氧化物膜具有鐵電性，

該金屬氧化物膜具有結晶結構，

該結晶結構包括第一層及第二層，

該第一層包含第一氧及鈧，

該第二層包含第二氧及鋯，

該鈧與該鋯藉由該第一氧相鍵合，

並且，該第二氧與該鋯鍵合。

【請求項5】 如請求項4之半導體裝置，

其中電晶體在通道形成區域含有矽。

【請求項6】 如請求項4之半導體裝置，

其中電晶體在通道形成區域含有氧化物半導體。

【請求項7】 如請求項4至6中任一項之半導體裝置，

其中該金屬氧化物膜所包含的氫及碳中的一個以上的藉由SIMS分析而測得的濃度為5×10^{20}atoms/cm^{3}以下。

【請求項8】 如請求項4至6中任一項之半導體裝置，

其中該金屬氧化物膜所包含的氫及碳中的一個以上的藉由SIMS分析而測得的濃度為1×10^{20}atoms/cm^{3}以下。

【請求項9】 如請求項4至6中任一項之半導體裝置，

其中該金屬氧化物膜所包含的氯的藉由SIMS分析而測得的濃度為5×10^{21}atoms/cm^{3}以下。

【請求項10】 如請求項4至6中任一項之半導體裝置，

其中該金屬氧化物膜所包含的氯的藉由SIMS分析而測得的濃度為1×10^{21}atoms/cm^{3}以下。

【請求項11】 一種半導體裝置，包括：

半導體膜；

該半導體膜上的金屬氧化物膜；以及

該金屬氧化物膜上的第二導電體，

其中，該金屬氧化物膜具有鐵電性，

該金屬氧化物膜具有結晶結構，

該結晶結構包括第一層及第二層，

該第一層包含第一氧及鉿，

該第二層包含第二氧及鋯，

該鉿與該鋯藉由該第一氧相鍵合，

並且，該第二氧與該鋯鍵合。

【請求項12】 如請求項11之半導體裝置，

其中該半導體膜包含矽或氧化物半導體，

並且該半導體裝置包括與該半導體膜電連接的源極電極及汲極電極。

【請求項13】 如請求項11或12之半導體裝置，

其中該金屬氧化物膜所包含的氫及碳中的一個以上的藉由SIMS分析而測得的濃度為5×10^{20}atoms/cm^3以下。

【請求項14】 如請求項11或12之半導體裝置，

其中該金屬氧化物膜所包含的氫及碳中的一個以上的藉由SIMS分析而測得的濃度為1×10^{20}atoms/cm^3以下。

【請求項15】 如請求項11或12之半導體裝置，

其中該金屬氧化物膜所包含的氯的藉由SIMS分析而測得的濃度為5×10^{21}atoms/cm^3以下。

【請求項16】 如請求項11或12之半導體裝置，

其中該金屬氧化物膜所包含的氯的藉由SIMS分析而測得的濃度為1×10^{21}atoms/cm^3以下。

【請求項17】 一種半導體裝置，包括：

第一導電體；

該第一導電體上的金屬氧化物膜；

該金屬氧化物膜上的第二導電體；以及

位於該第一導電體的上面及該第二導電體的下面中的一個或兩個的絕緣體，

其中，該金屬氧化物膜具有鐵電性，

該金屬氧化物膜具有結晶結構，

該結晶結構包括第一層及第二層，

該第一層包含第一氧及鉿，

該第二層包含第二氧及鋯，

該鉿與該鋯藉由該第一氧相鍵合，

並且，該第二氧與該鋯鍵合。

【請求項18】 如請求項17之半導體裝置，

其中該絕緣體包含氮及矽。

【請求項19】 如請求項17或18之半導體裝置，

其中該金屬氧化物膜所包含的氫及碳中的一個以上的藉由SIMS分析而測得的濃度為5×10^{20}atoms/cm^3以下。

【請求項20】 如請求項17或18之半導體裝置，

其中該金屬氧化物膜所包含的氫及碳中的一個以上的藉由SIMS分析而測得的濃度為1×10^{20}atoms/cm^3以下。

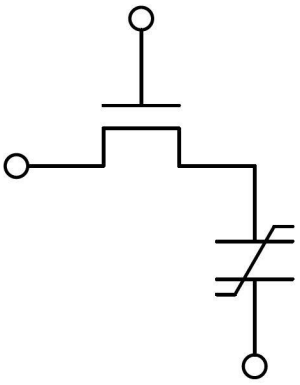
【請求項21】 如請求項17或18之半導體裝置，

其中該金屬氧化物膜所包含的氯的藉由SIMS分析而測得的濃度為5×10^{21}atoms/cm^3以下。

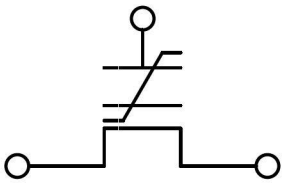
【請求項22】 如請求項17或18之半導體裝置，

其中該金屬氧化物膜所包含的氯的藉由SIMS分析而測得的濃度為1×10^{21}atoms/cm^3以下。

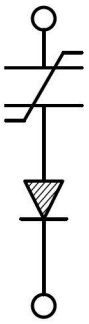
【發明圖式】



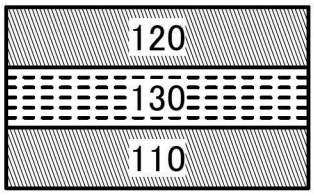
【圖1A1】



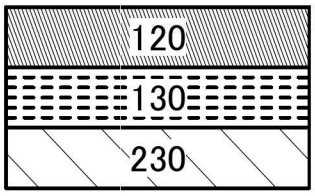
【圖1B1】



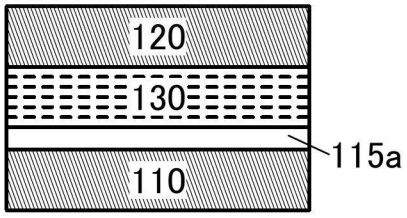
【圖1C1】



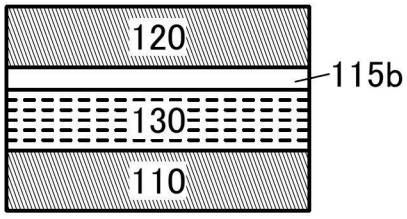
【圖1A2】



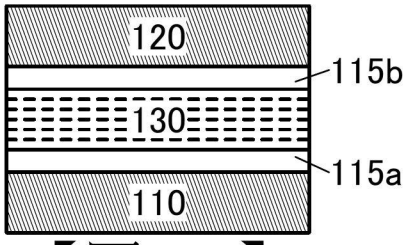
【圖1B2】



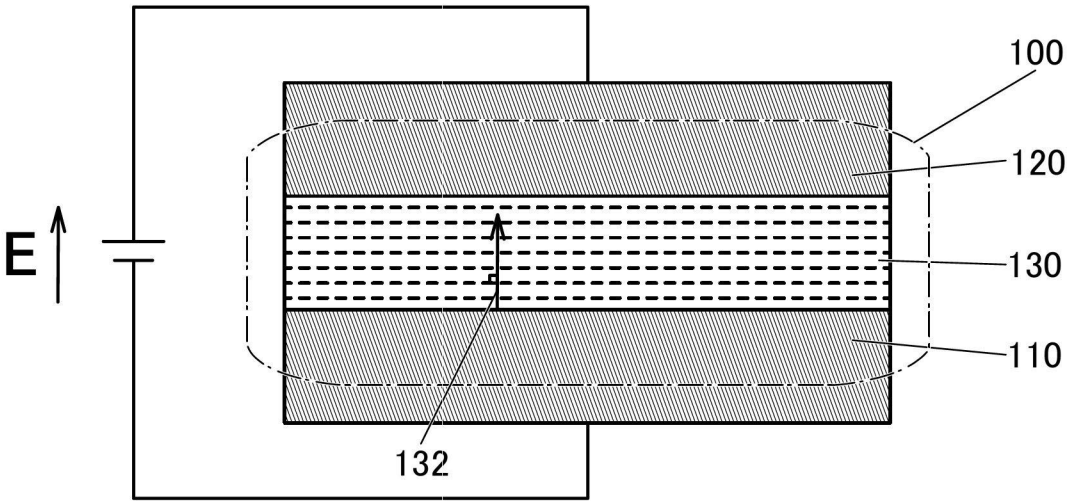
【圖1C2】



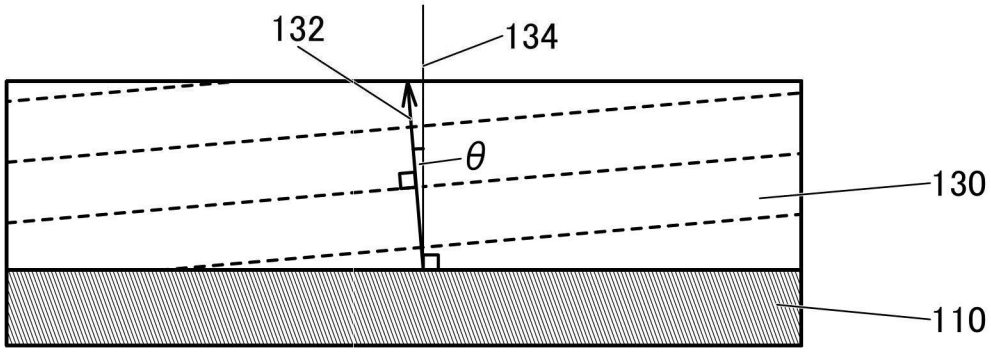
【圖1C3】



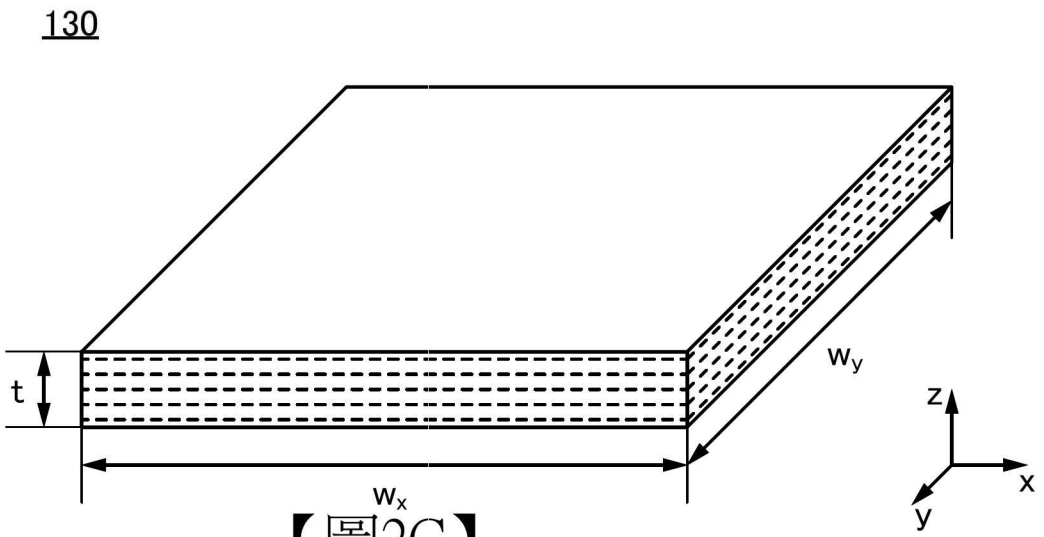
【圖1C4】



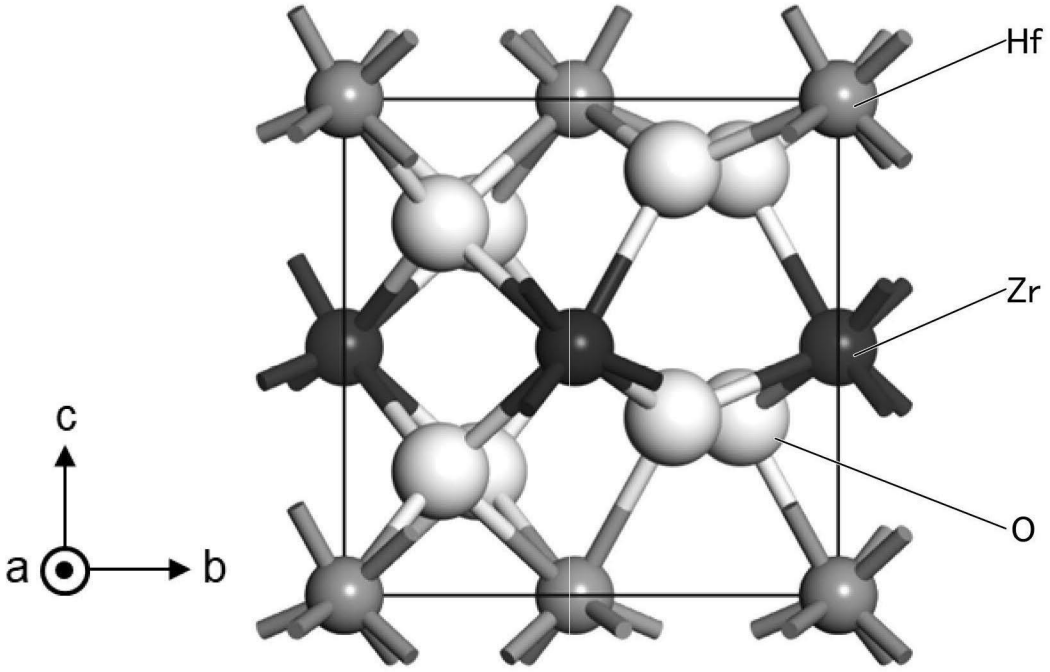
【圖2A】



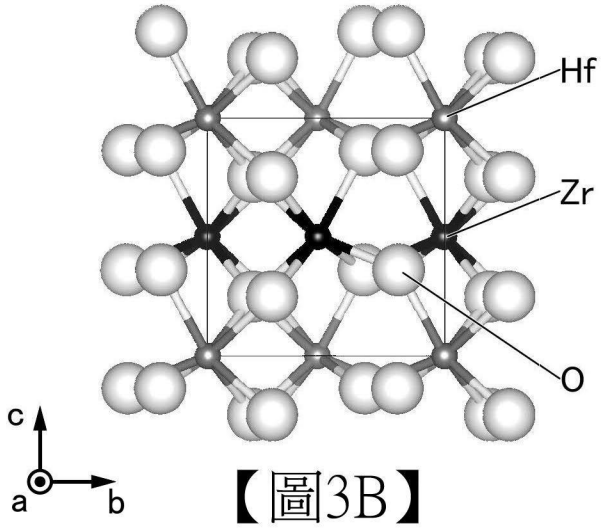
【圖2B】



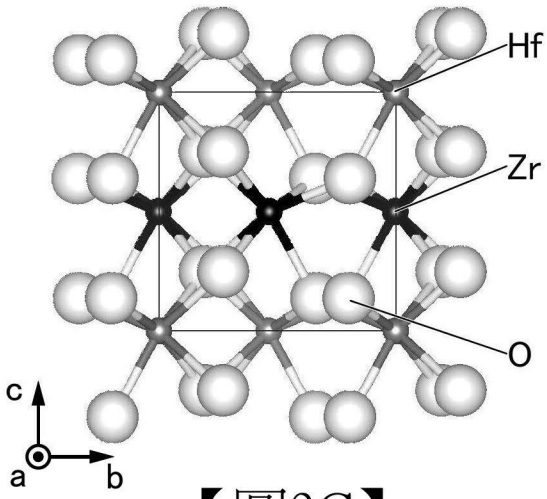
【圖2C】



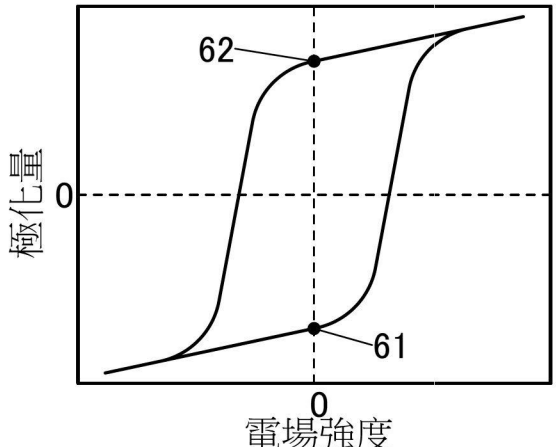
【圖3A】



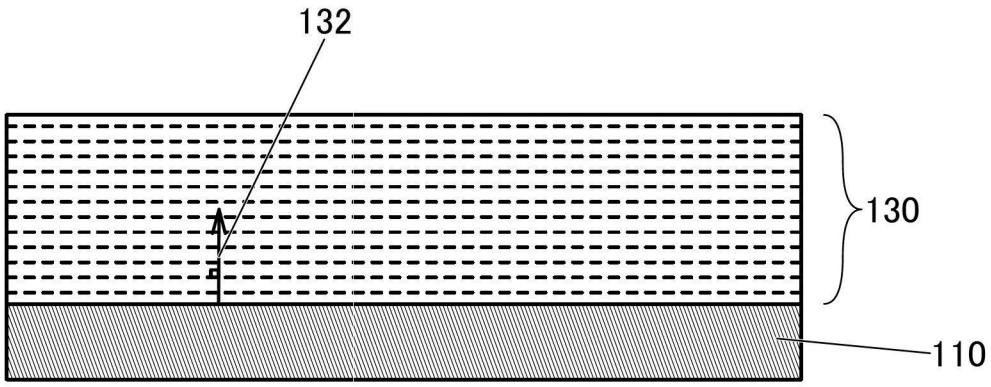
【圖3B】



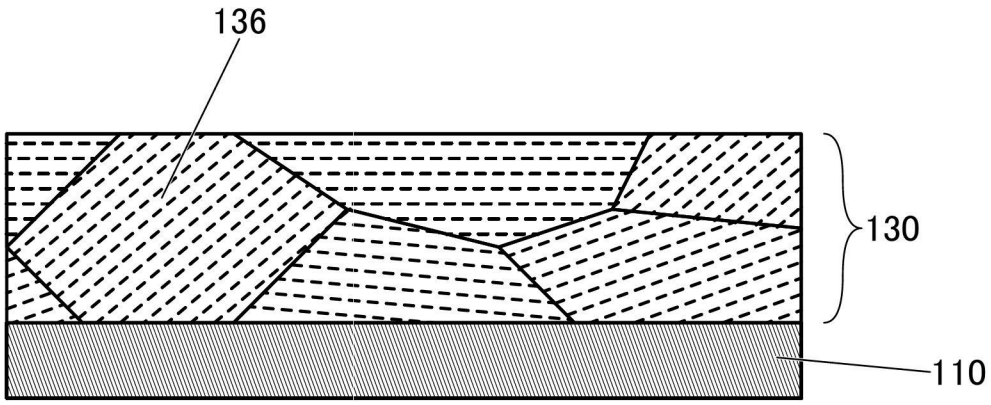
【圖3C】



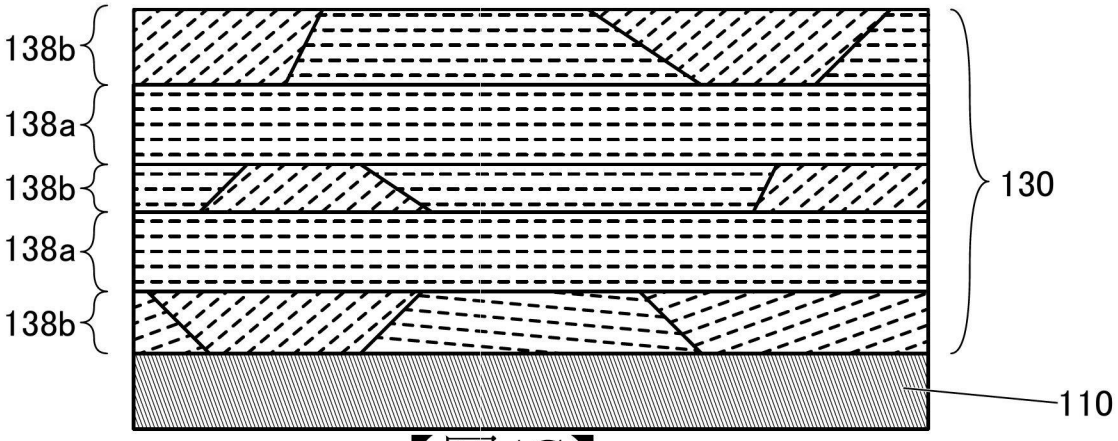
【圖3D】



【圖4A】



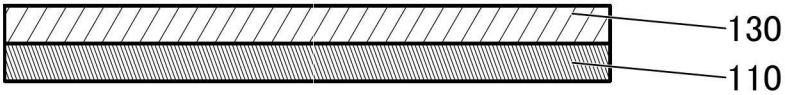
【圖4B】



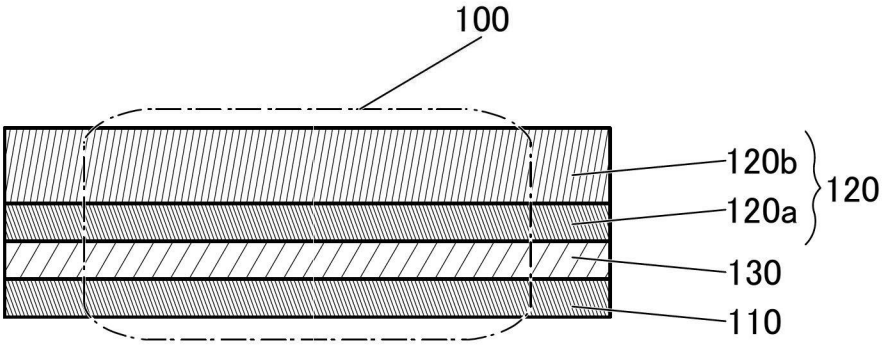
【圖4C】



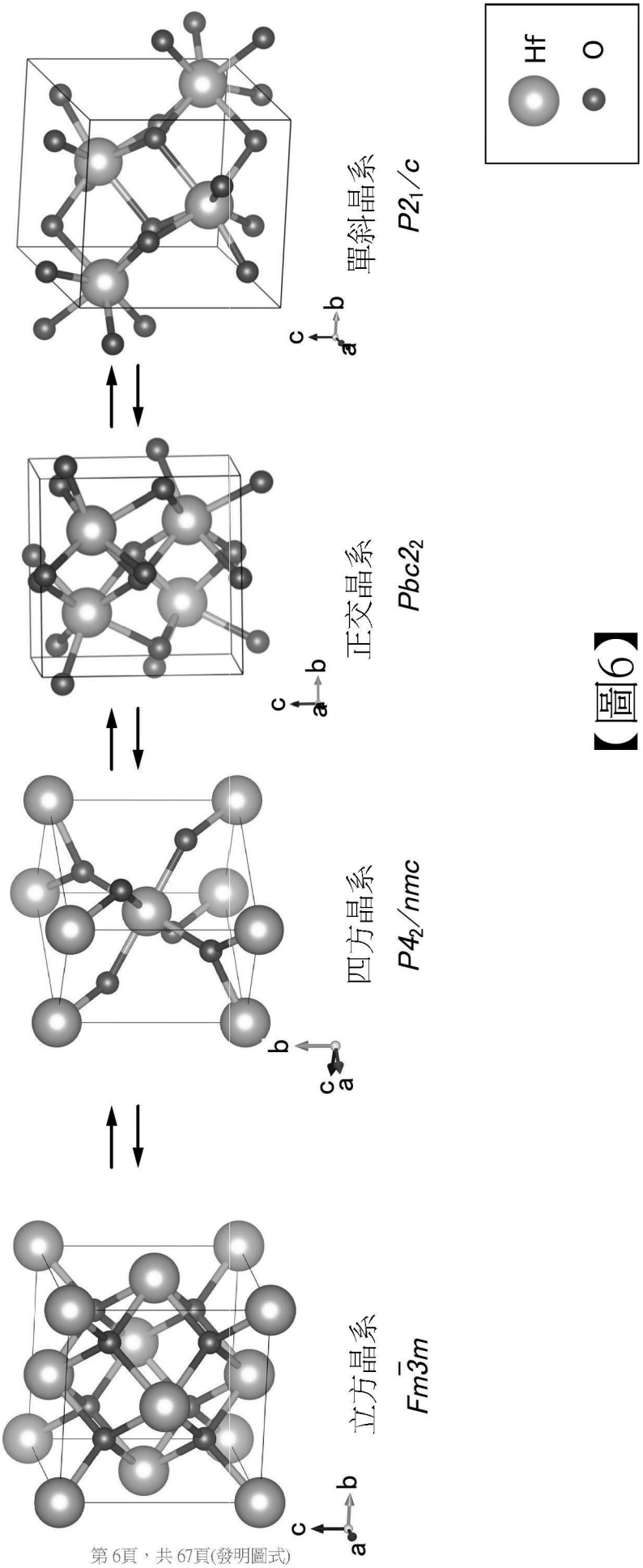
【圖5A】



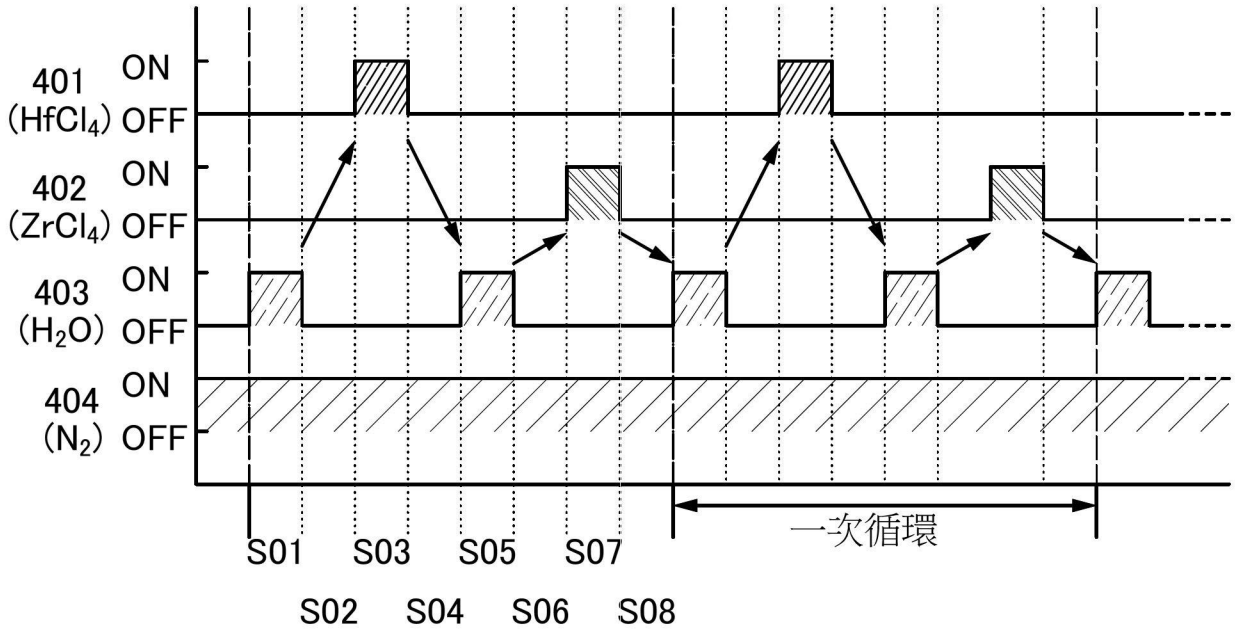
【圖5B】



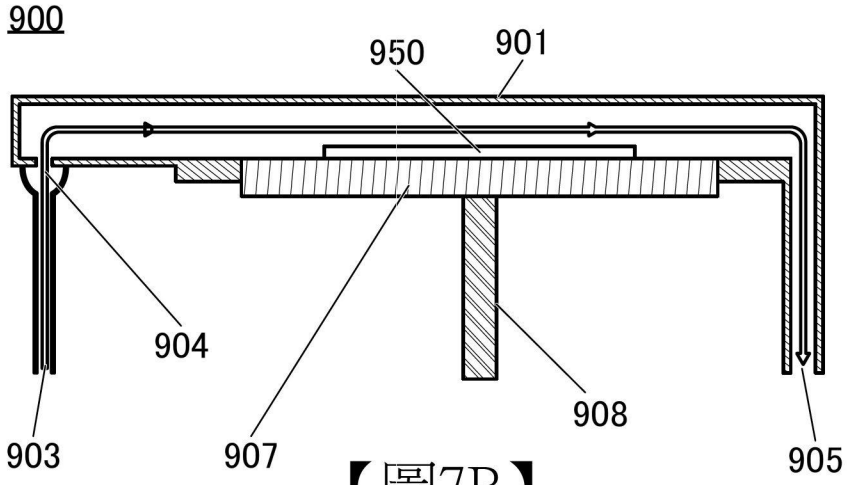
【圖5C】



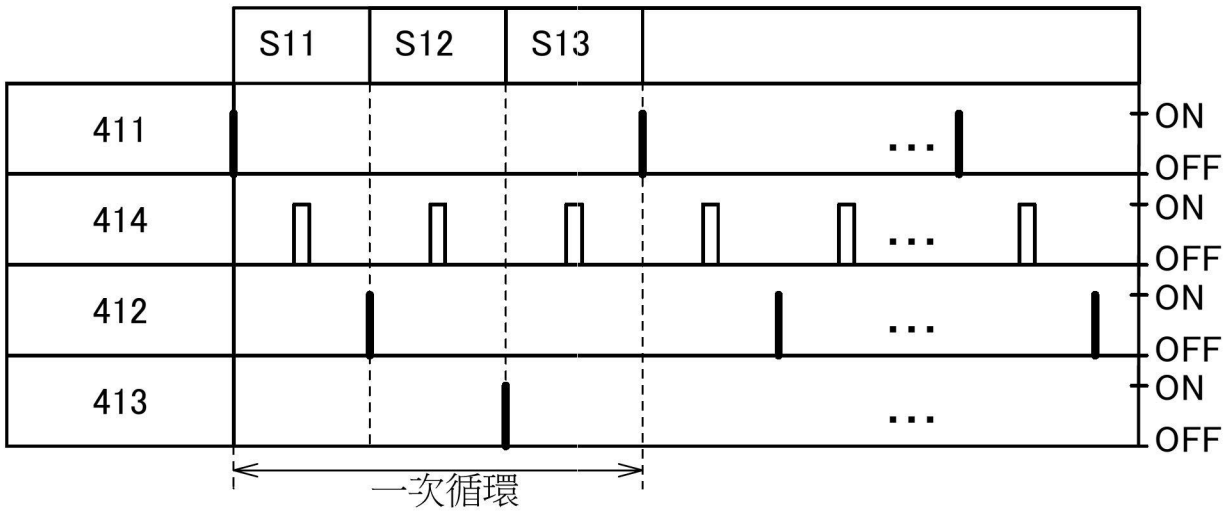
【圖6】


401
(HfCl4)
402
(ZrCl4)
403
(H2O)
404
(N2)
ON
OFF
S01
S02
S03
S04
S05
S06
S07
S08
一次循環

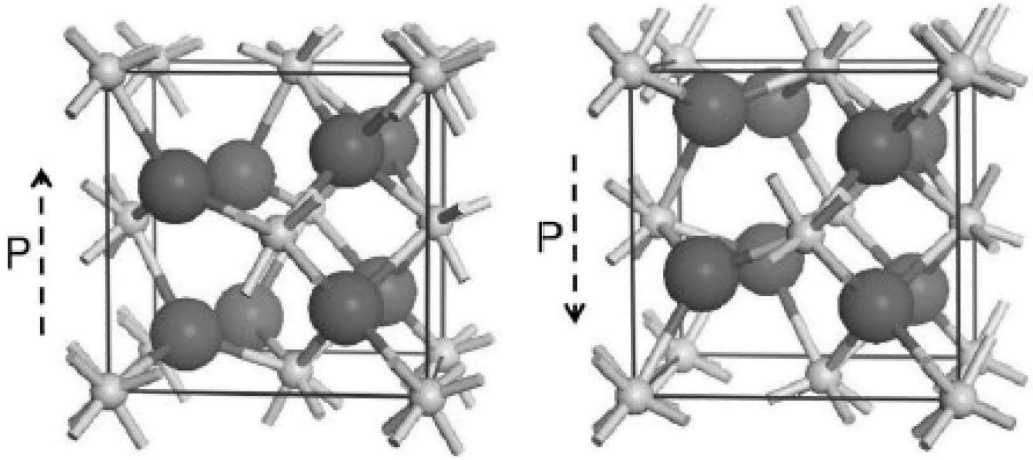
【圖7A】


900
950
901
904
903
907
908
905

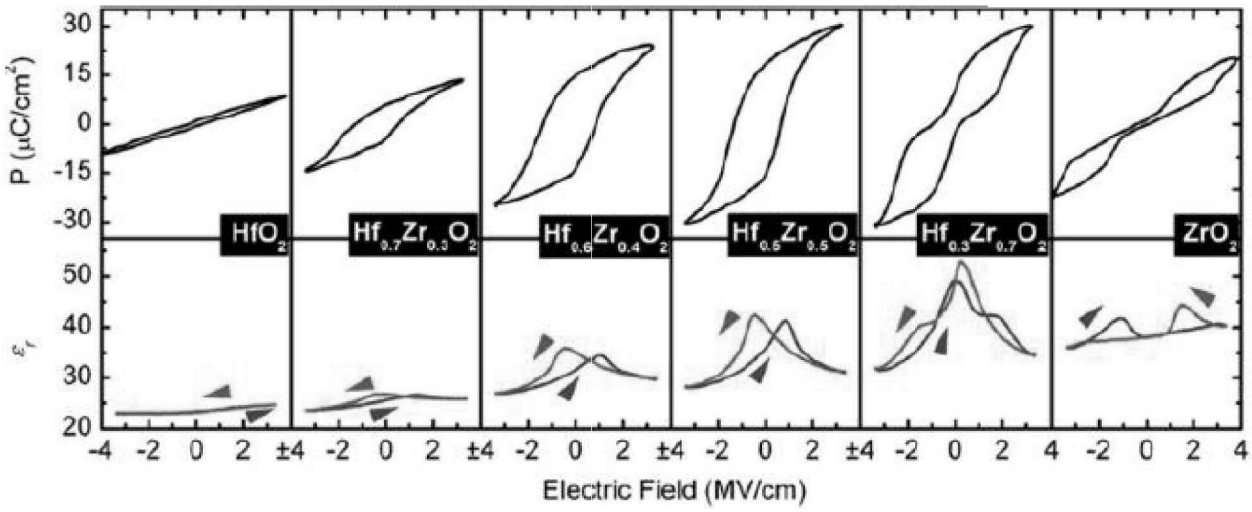
【圖7B】


S11
S12
S13
411
414
412
413
ON
OFF
一次循環

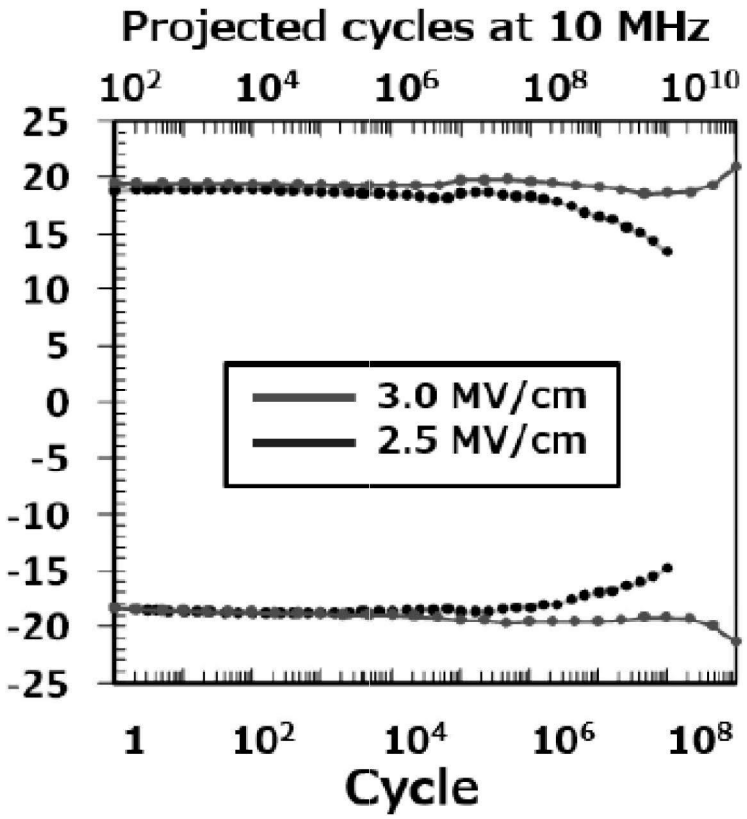
【圖7C】


P
P
Orthorhombic phase
Ferroelectric

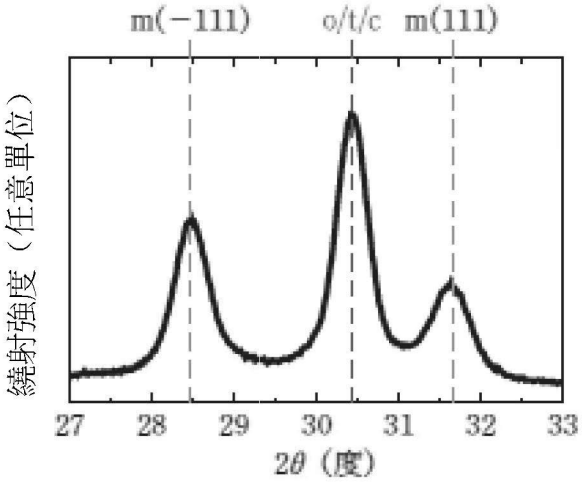
【圖8A】


P (μC/cm²)
30
15
0
-15
-30
50
40
30
20
HfO2
Hf0.7Zr0.3O2
Hf0.6Zr0.4O2
Hf0.5Zr0.5O2
Hf0.3Zr0.7O2
ZrO2
-4 -2 0 2 ±4 -2 0 2 ±4 -2 0 2 ±4 -2 0 2 ±4 -2 0 2 4 -2 0 2 4
Electric Field (MV/cm)

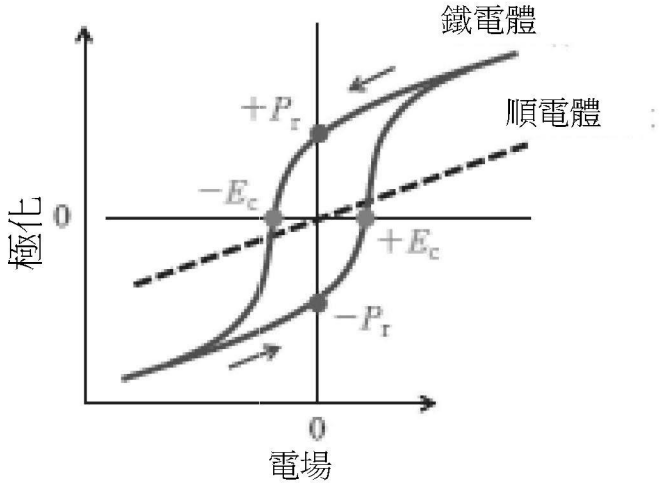
【圖8B】


Projected cycles at 10 MHz
10^2
10^4
10^6
10^8
10^10
25
20
15
10
5
0
-5
-10
-15
-20
-25
3.0 MV/cm
2.5 MV/cm
1
10^2
10^4
10^6
10^8
Cycle

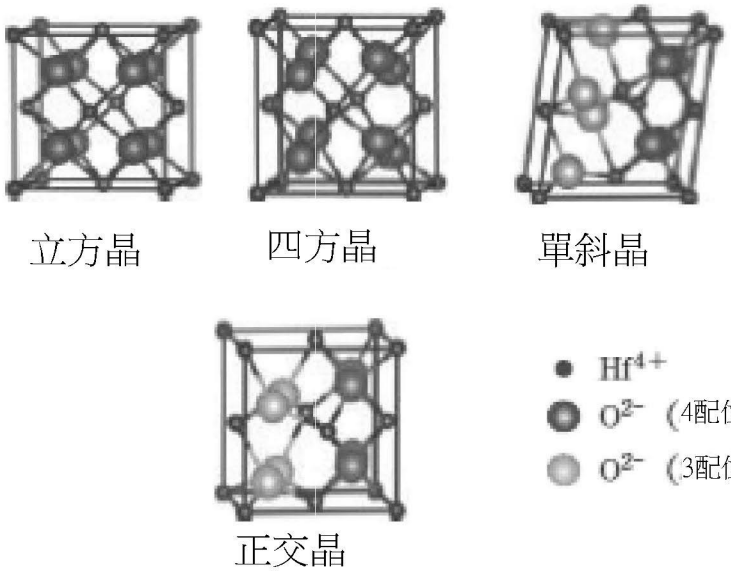
【圖9】



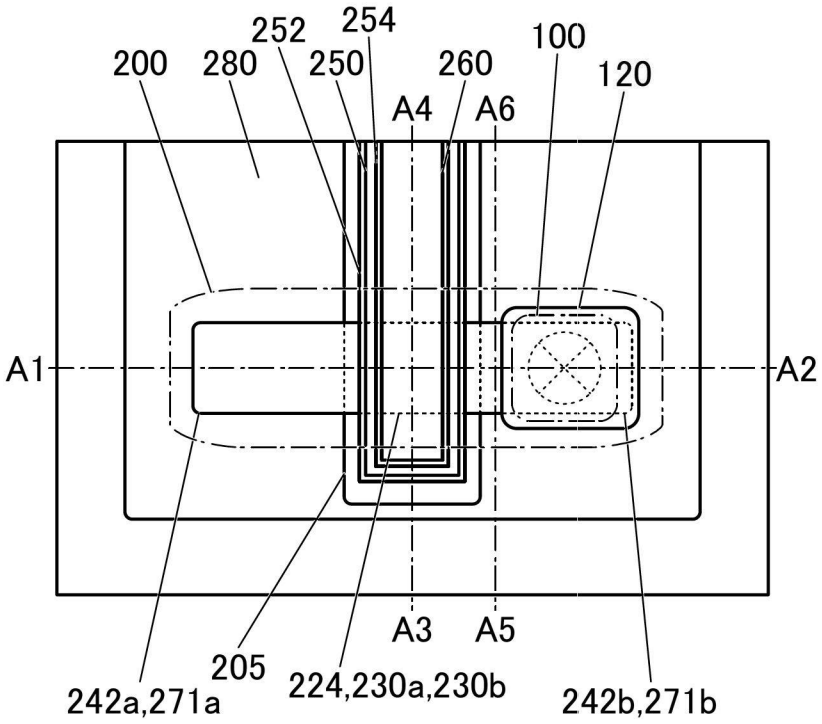
【圖10A】



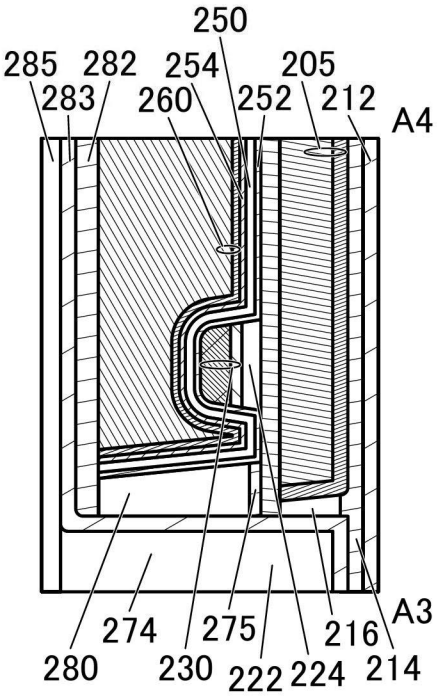
【圖10B】



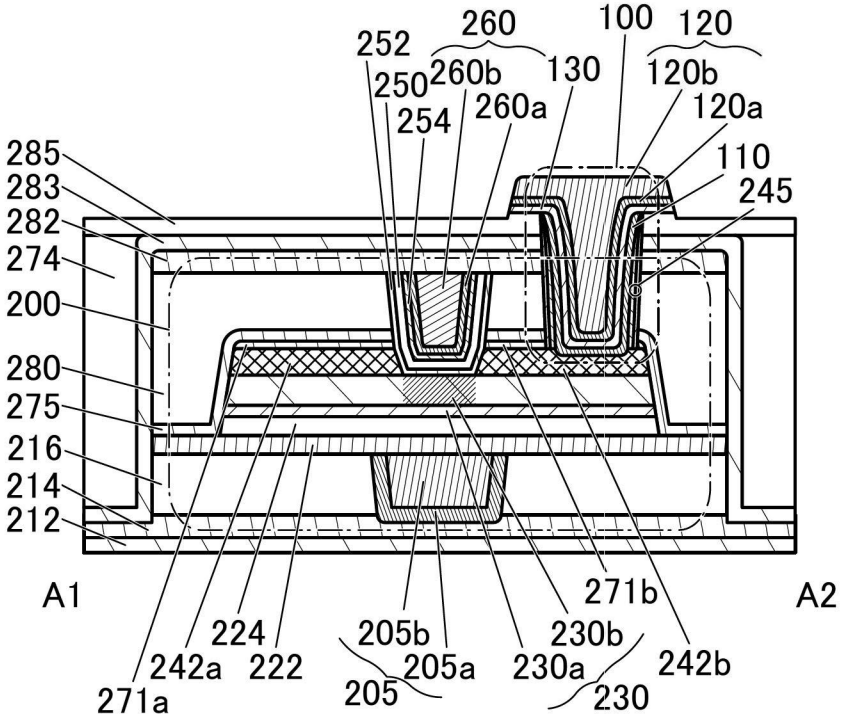
【圖10C】



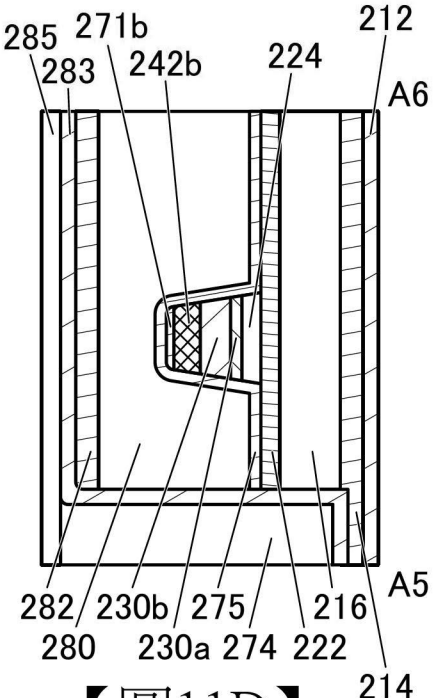
【圖11A】



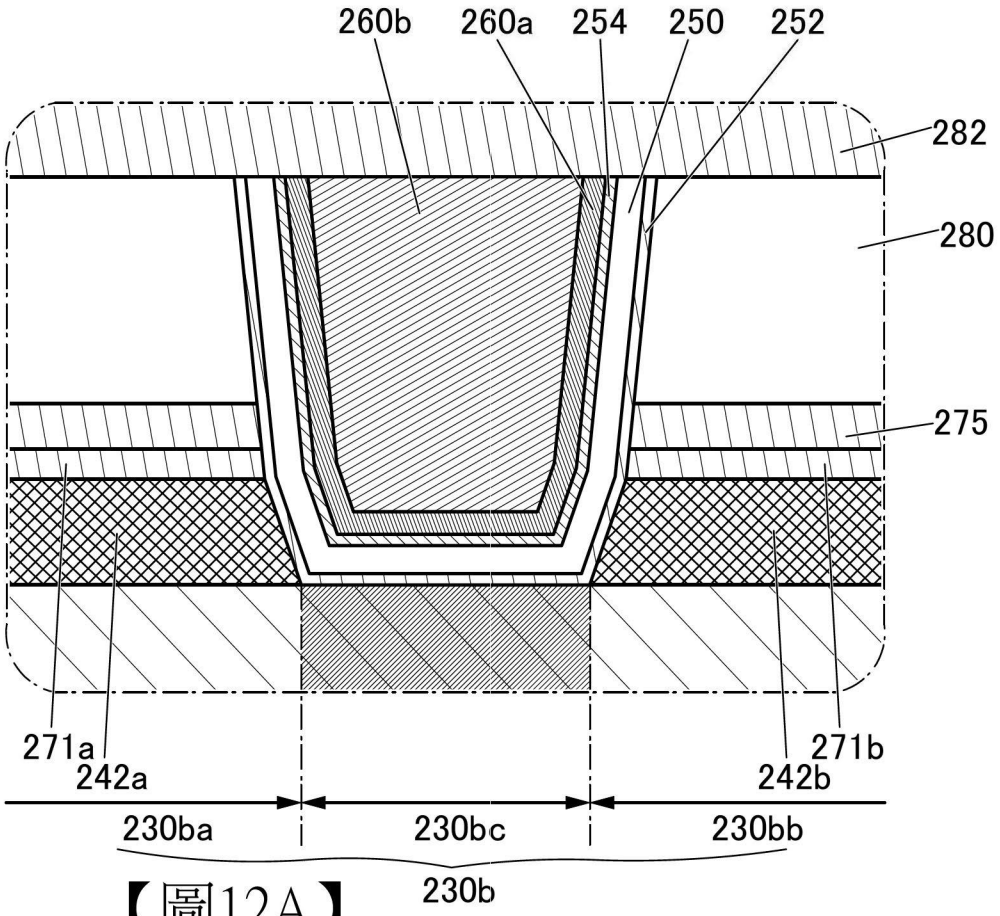
【圖11C】



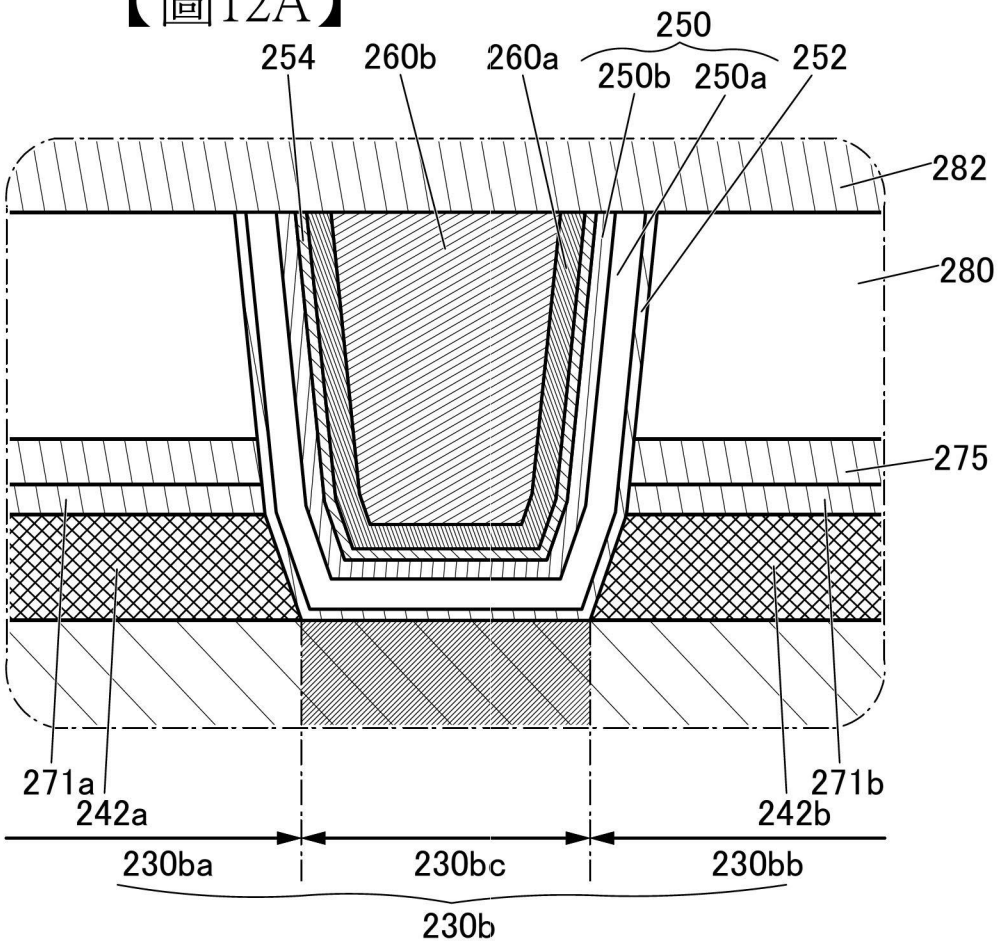
【圖11B】



【圖11D】


260b
260a
254
250
252
282
280
275
271a
242a
242b
271b
230ba
230bc
230bb
230b

【圖12A】

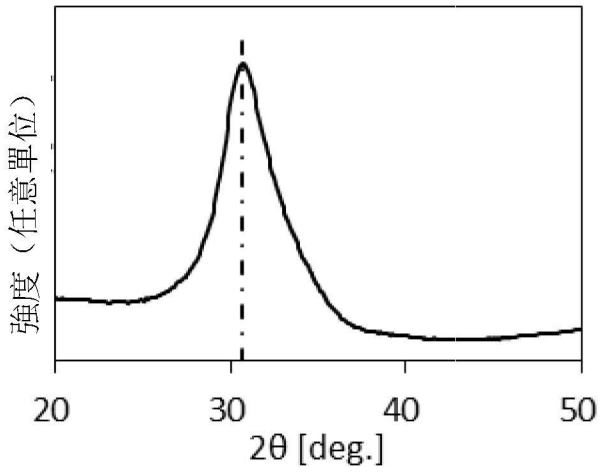

254
260b
260a
250
250b
250a
252
282
280
275
271a
242a
242b
271b
230ba
230bc
230bb
230b

【圖12B】

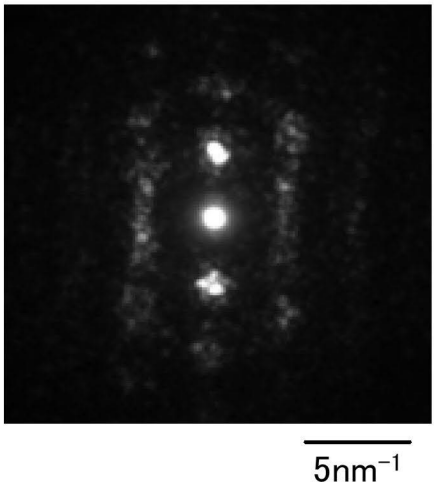
中間狀態
新的邊界區域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC 不包含單晶及多晶	・單晶 ・多晶

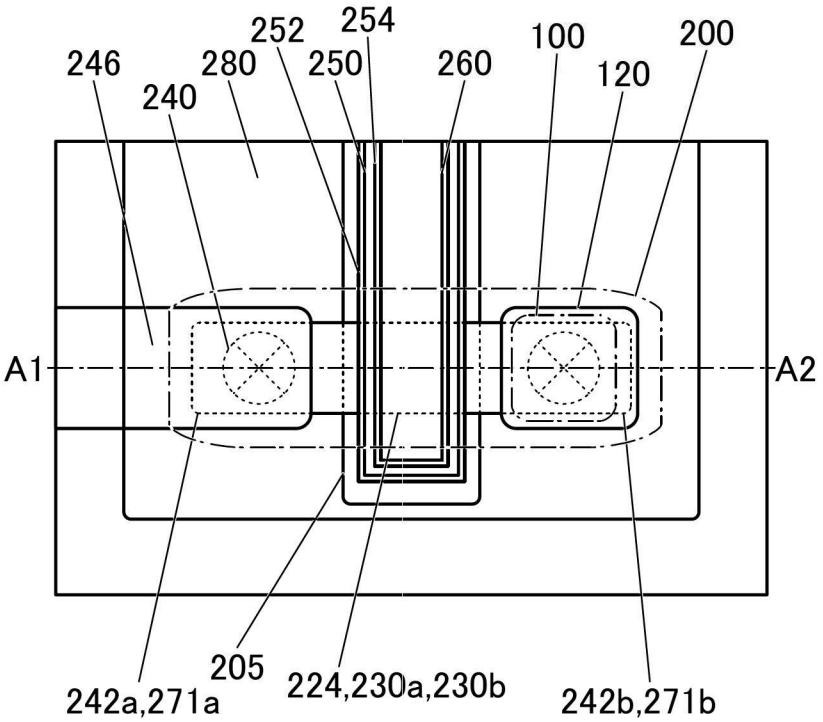
【圖13A】



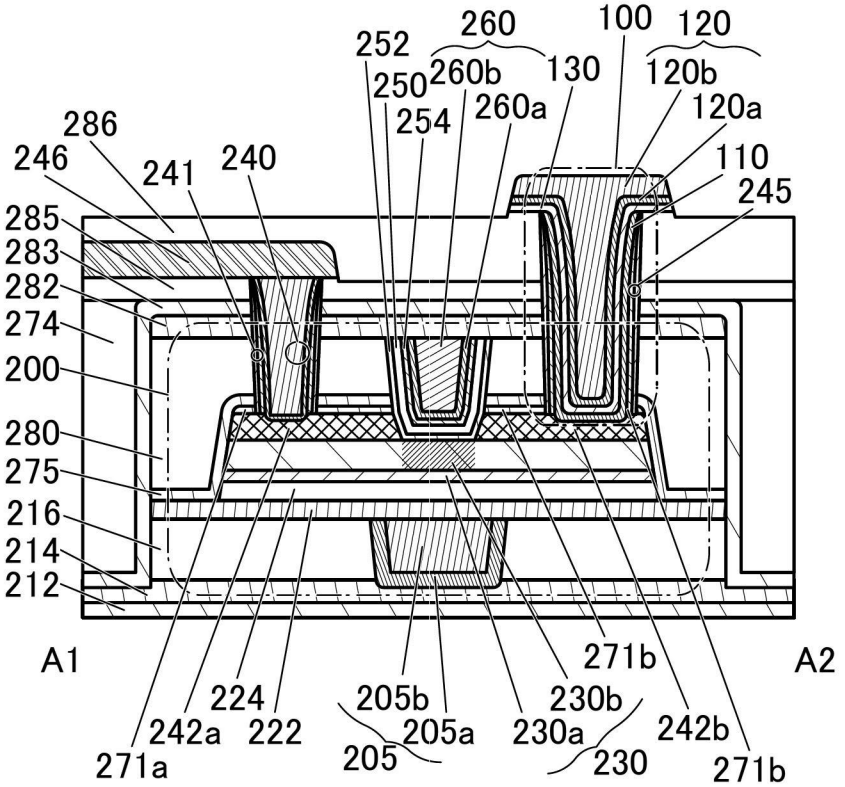
【圖13B】



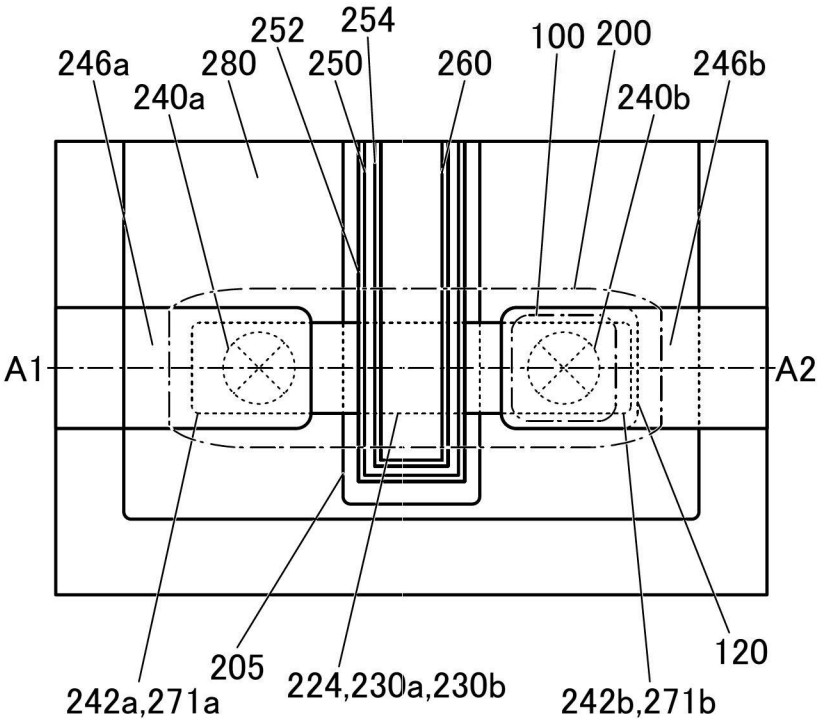
【圖13C】


246
280
240
252
254
250
260
100
120
200
A1
A2
242a,271a
205
224,230a,230b
242b,271b

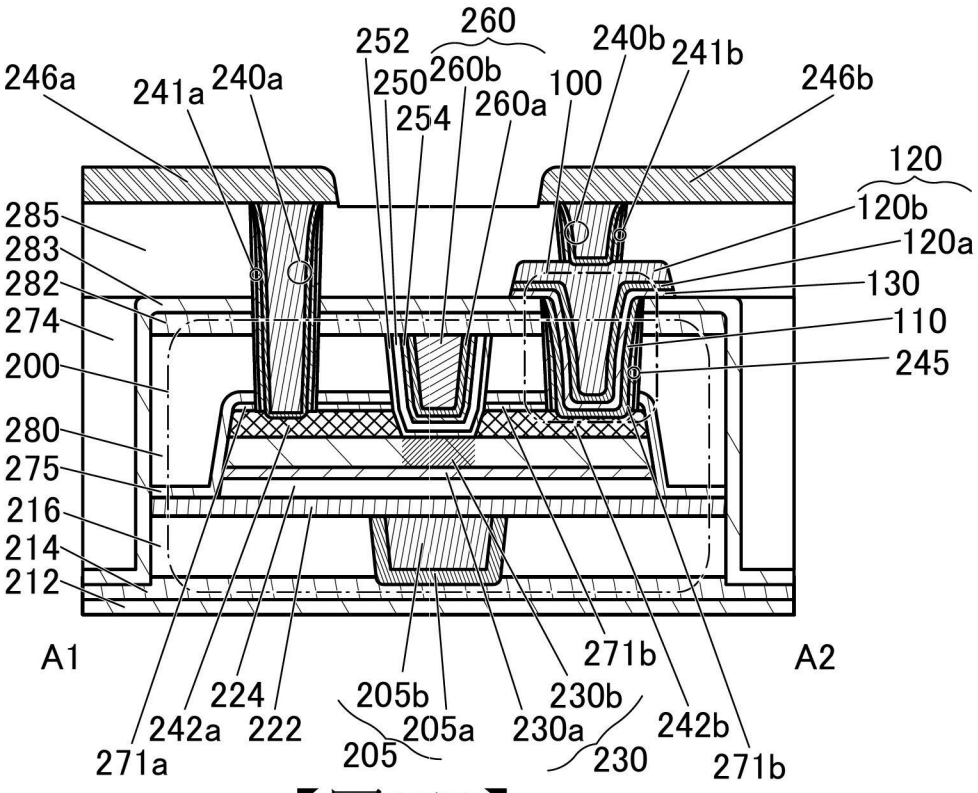
【圖14A】


286
246
241
240
252
260
250
260b
130
100
120
120b
254
260a
120a
110
245
285
283
282
274
200
280
275
216
214
212
A1
A2
271a
242a
224
222
205
205b
205a
230a
230b
271b
230
242b
271b

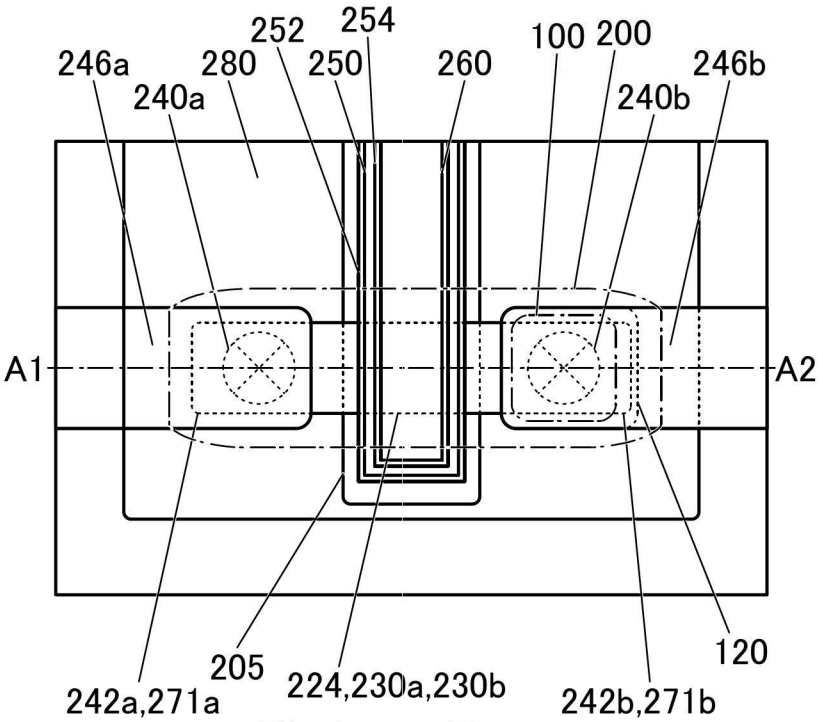
【圖14B】


252
254
246a
280
250
260
100
200
246b
240a
240b
A1
A2
205
120
242a,271a
224,230a,230b
242b,271b

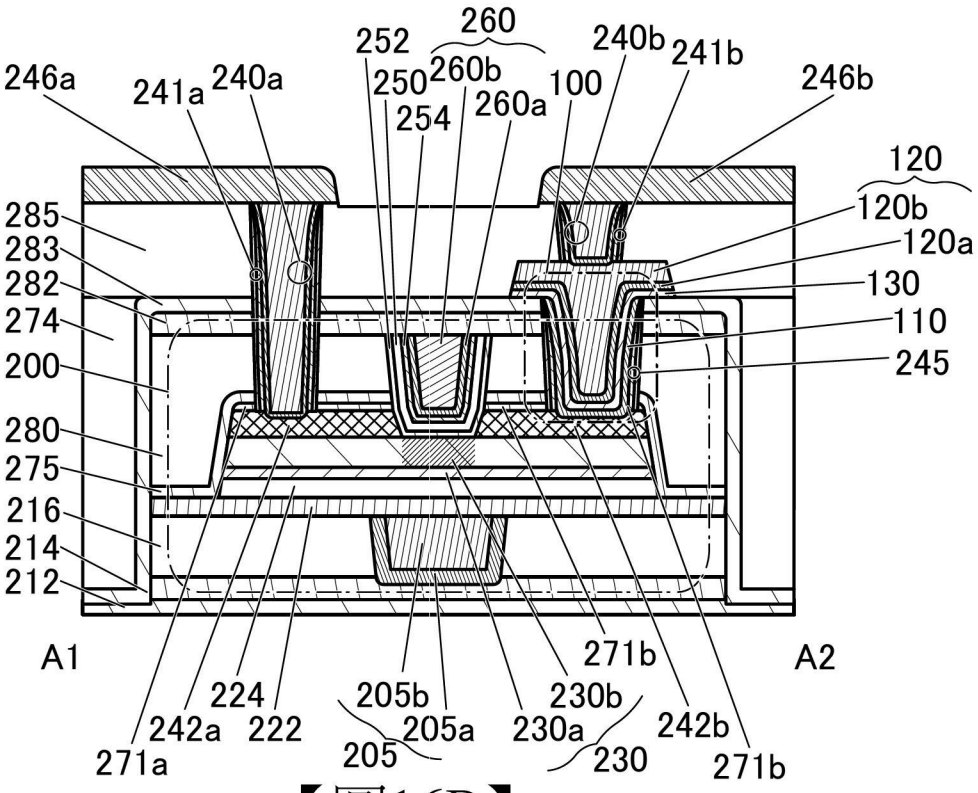
【圖15A】


260
252
240b
241b
246a
241a
240a
250
260b
100
246b
254
260a
120
120b
285
120a
283
130
282
110
274
245
200
280
275
216
214
212
A1
271b
A2
224
205b
230b
242a
222
205a
230a
242b
271a
205
230
271b

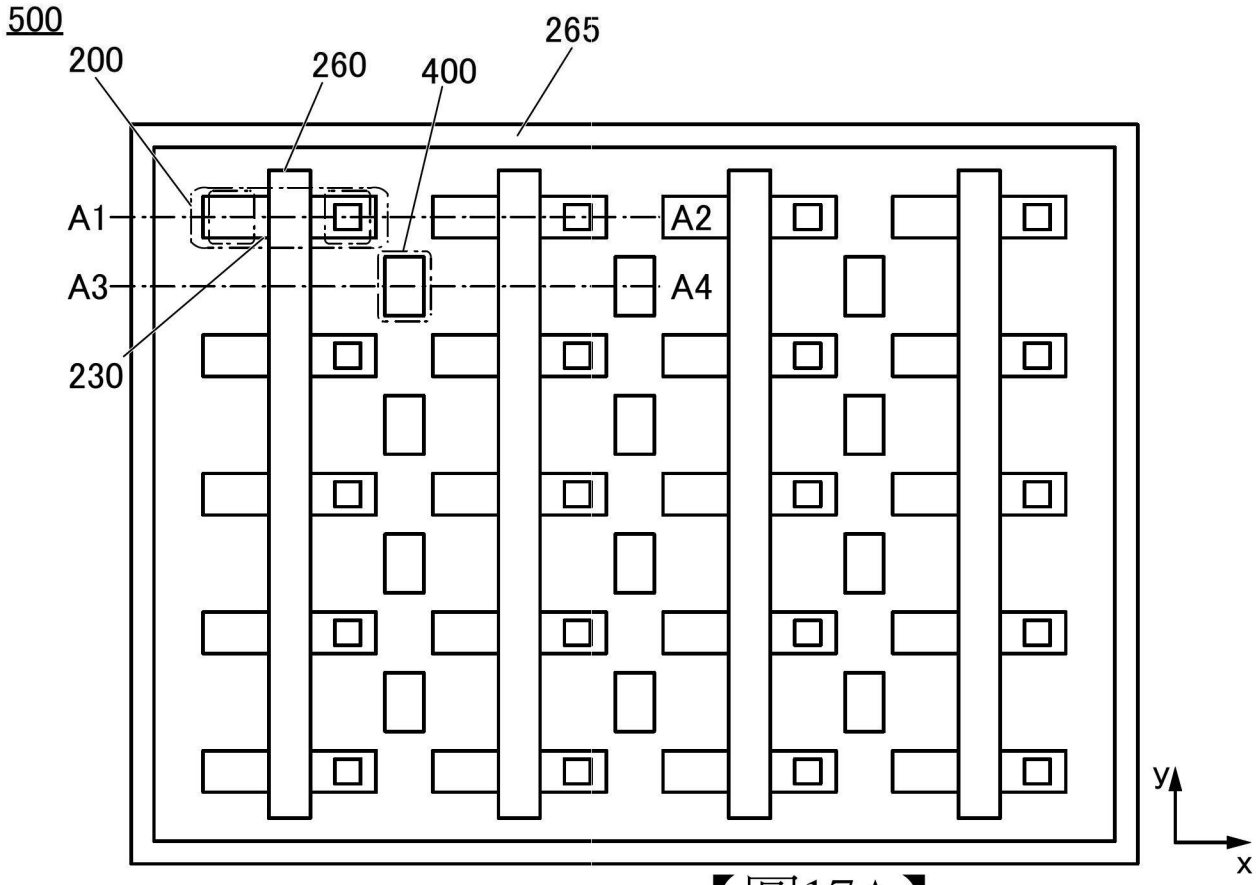
【圖15B】


252
254
246a
280
250
260
100
200
246b
240a
240b
A1
A2
205
120
242a,271a
224,230a,230b
242b,271b

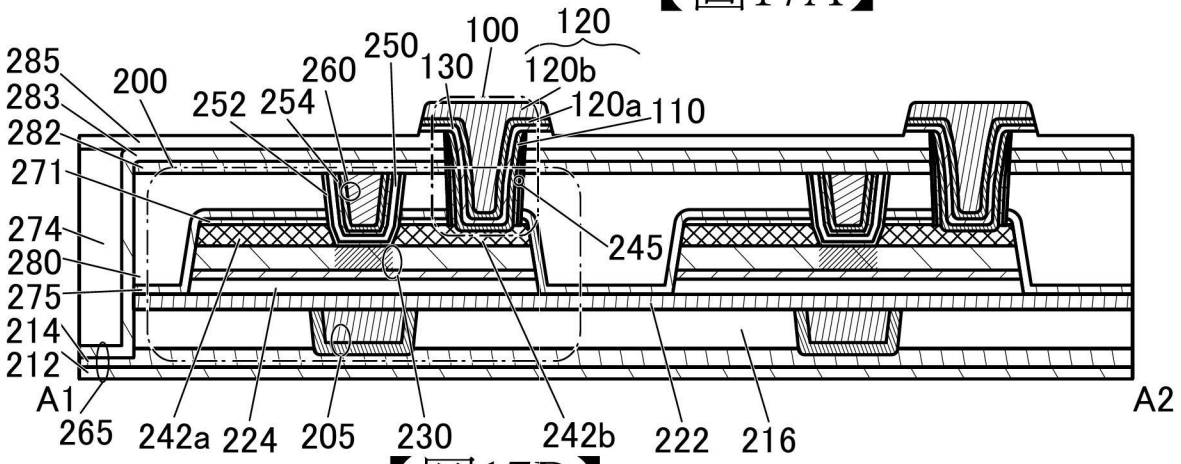
【圖16A】


260
252
240b
241b
246a
241a
240a
250
260b
100
246b
254
260a
120
120b
285
120a
283
130
282
110
274
245
200
280
275
216
214
212
A1
271b
A2
224
205b
230b
242a
222
205a
230a
242b
271a
205
230
271b

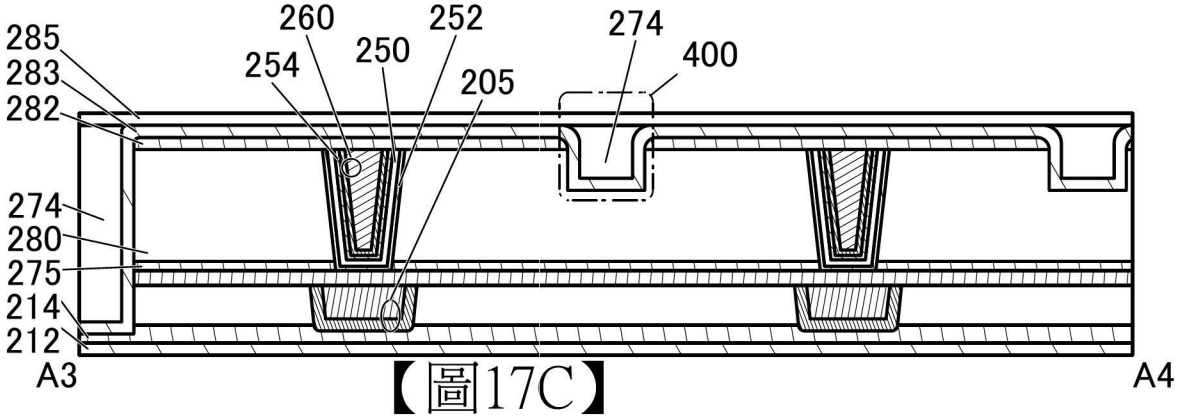
【圖16B】



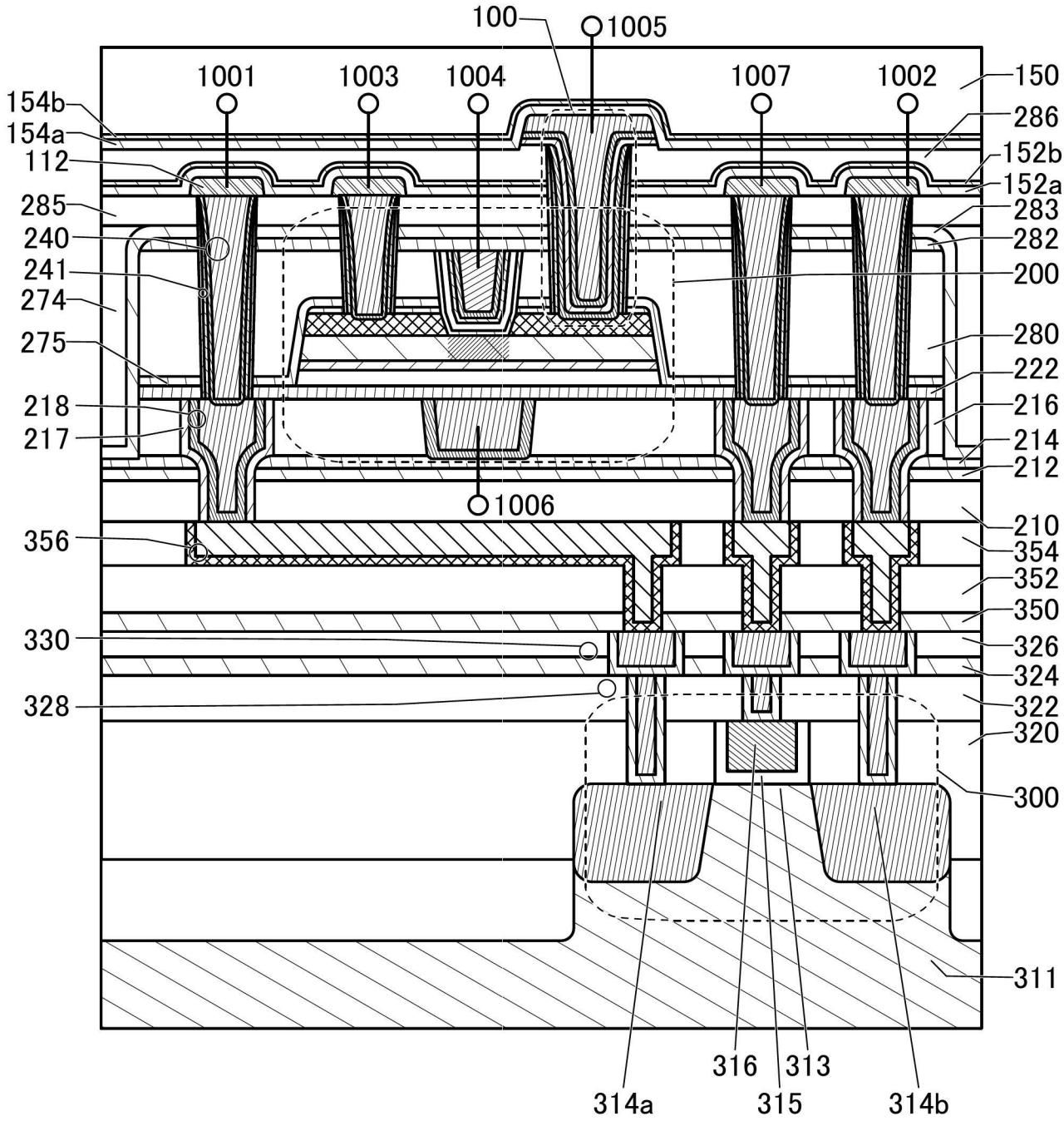
【圖17A】



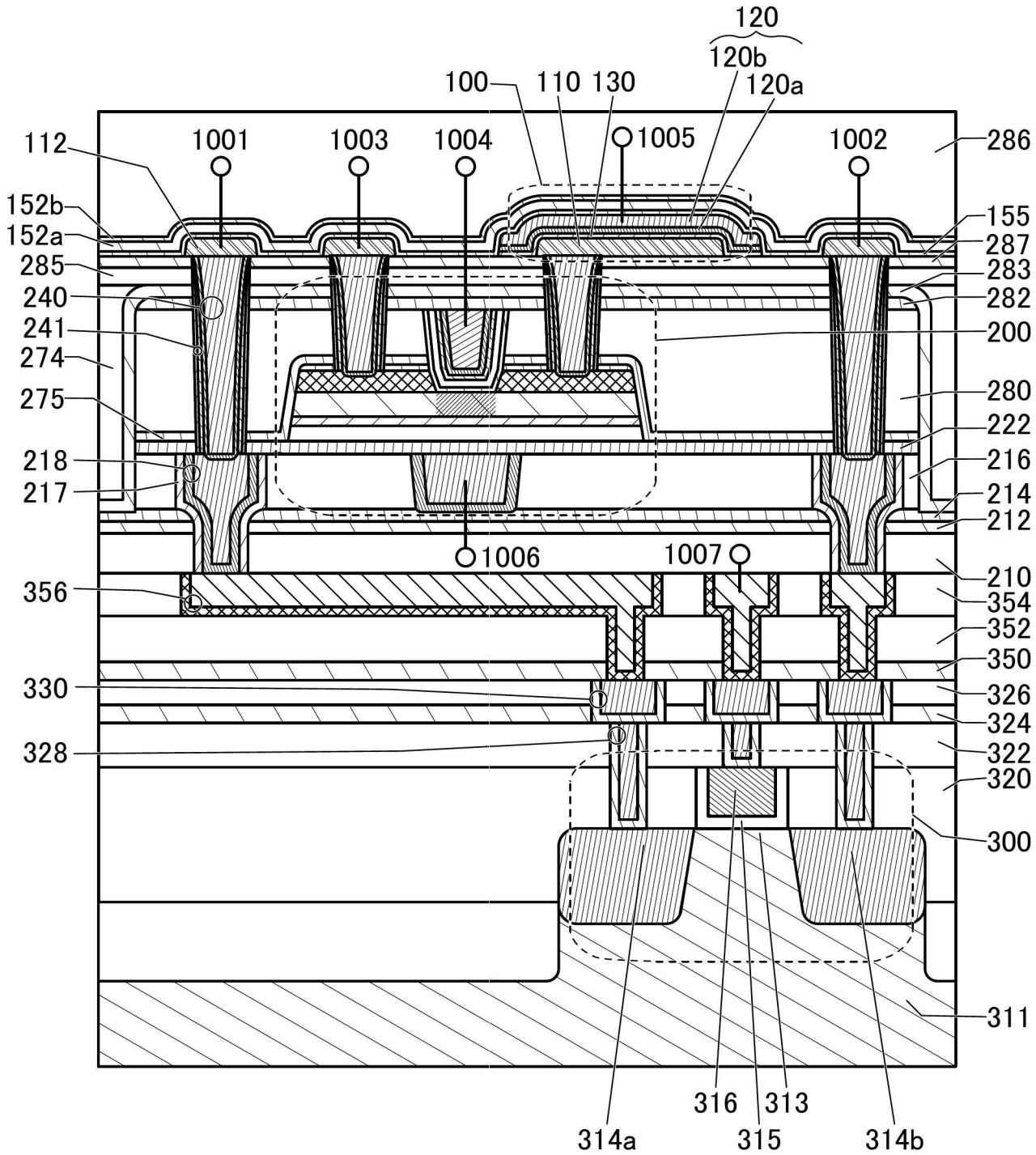
【圖17B】



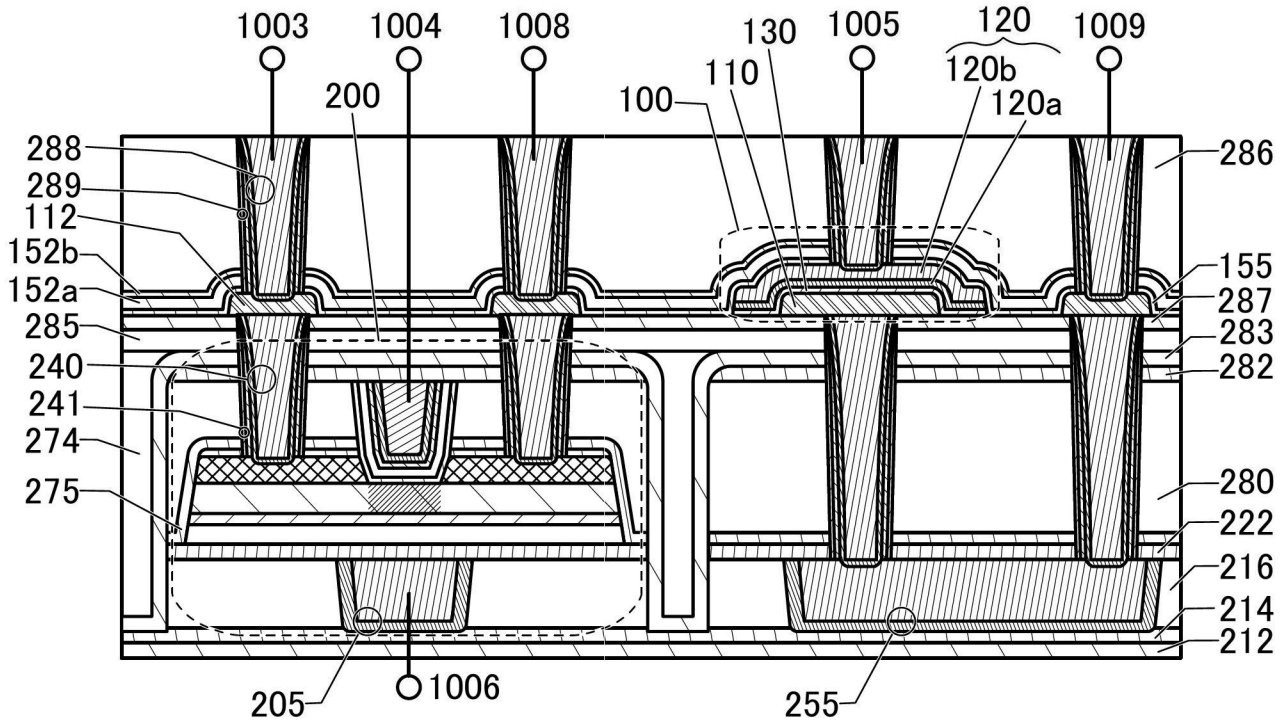
【圖17C】


100
1005
1001
1003
1004
1007
1002
150
154b
154a
286
112
152b
152a
285
283
240
282
241
200
274
280
275
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
315
314a
314b

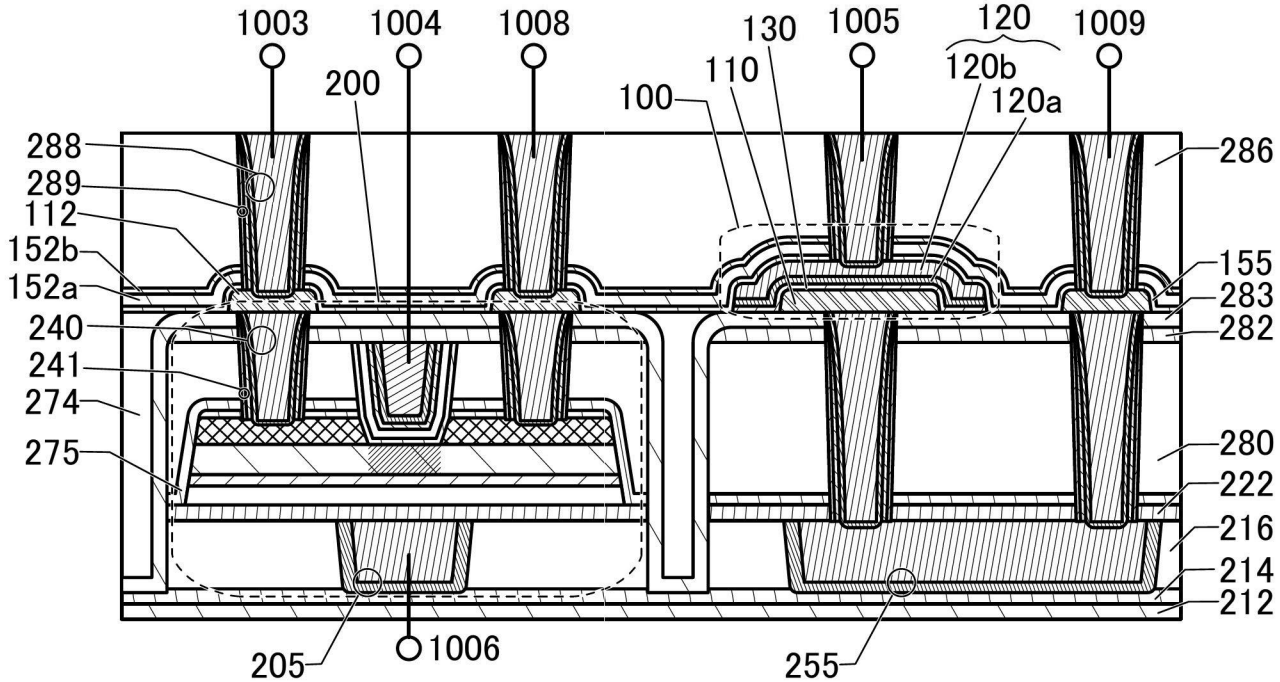
【圖18】


120
120b
120a
100
110
130
112
1001
1003
1004
1005
1002
286
152b
152a
155
287
285
283
240
282
241
200
274
280
275
222
218
216
217
214
212
1006
1007
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

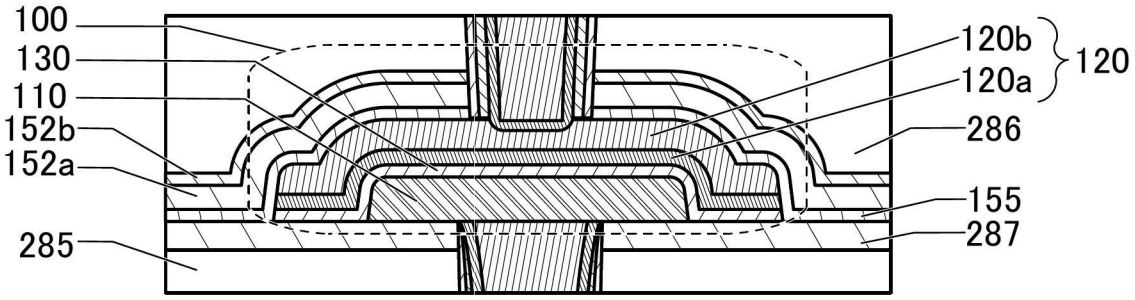
【圖19】


1003
1004
1008
130
1005
120
1009
110
200
100
120b
120a
288
289
112
152b
152a
285
240
241
274
275
286
155
287
283
282
280
222
216
214
212
205
1006
255

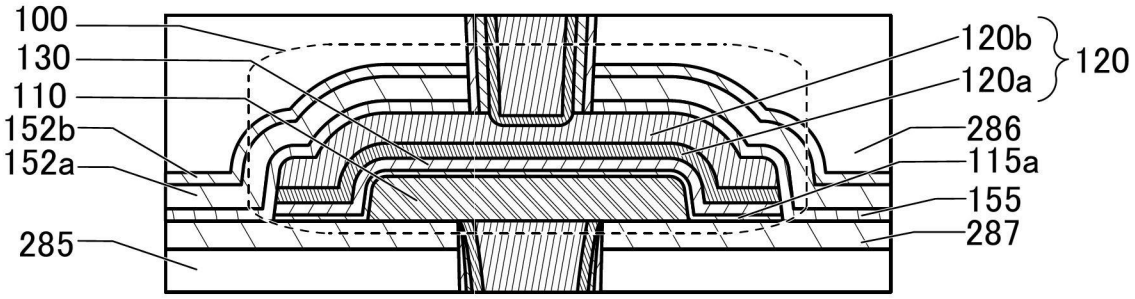
【圖20A】


1003
1004
1008
130
1005
120
1009
110
200
100
120b
120a
288
289
112
152b
152a
240
241
274
275
286
155
283
282
280
222
216
214
212
205
1006
255

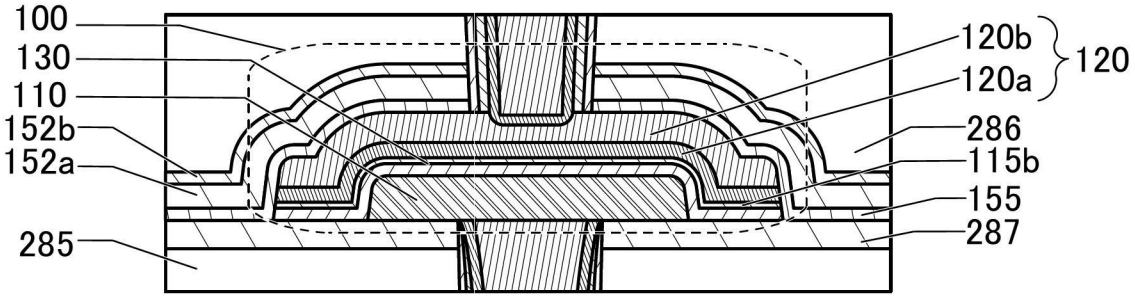
【圖20B】



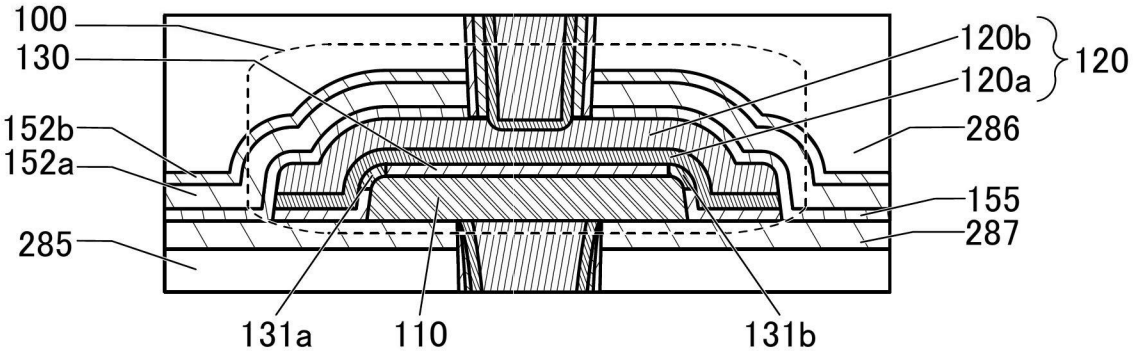
【圖21A】



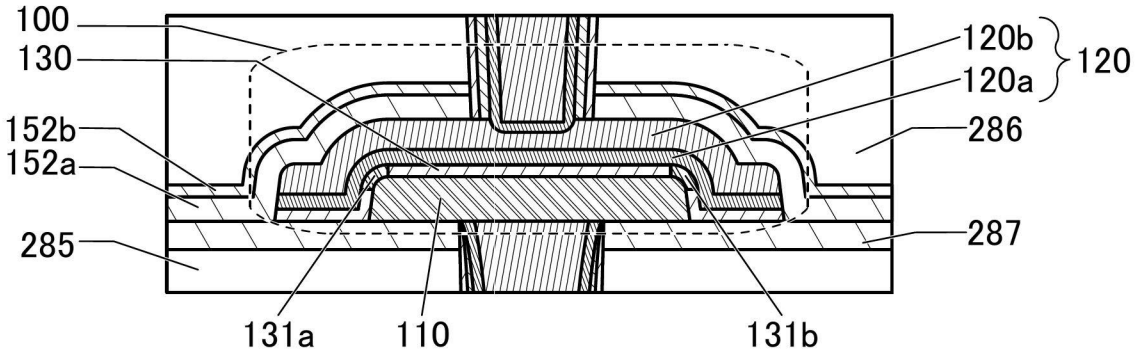
【圖21B】



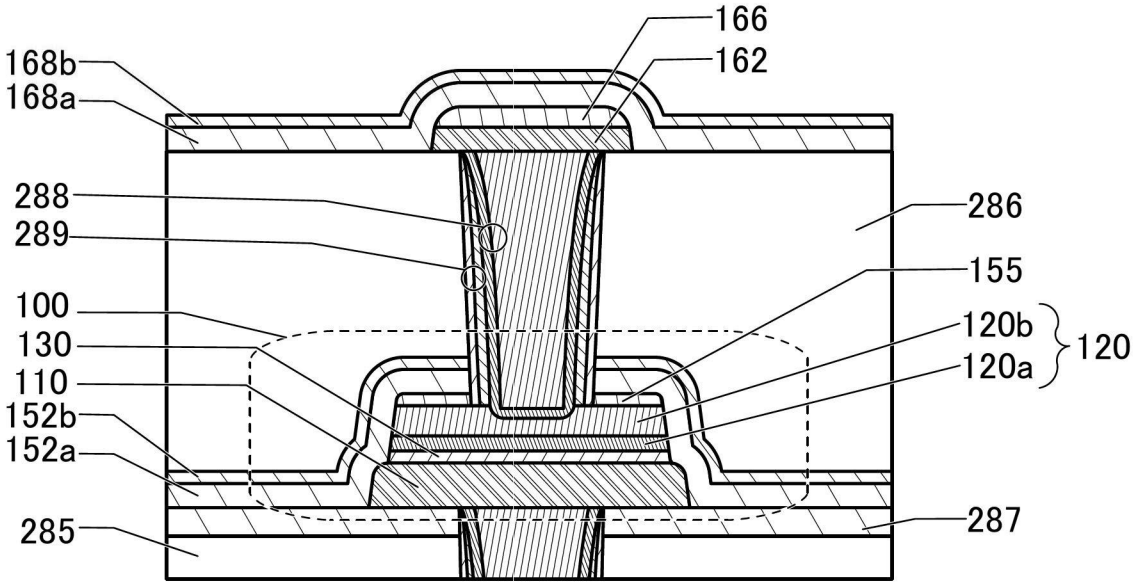
【圖21C】



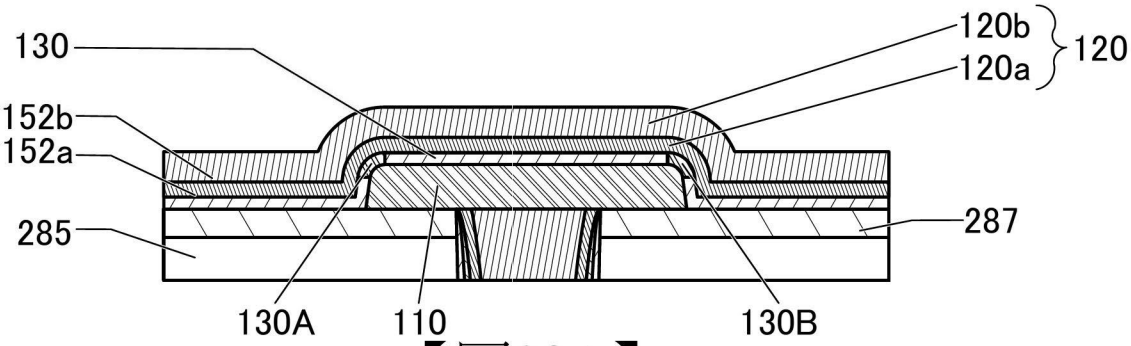
【圖22A】



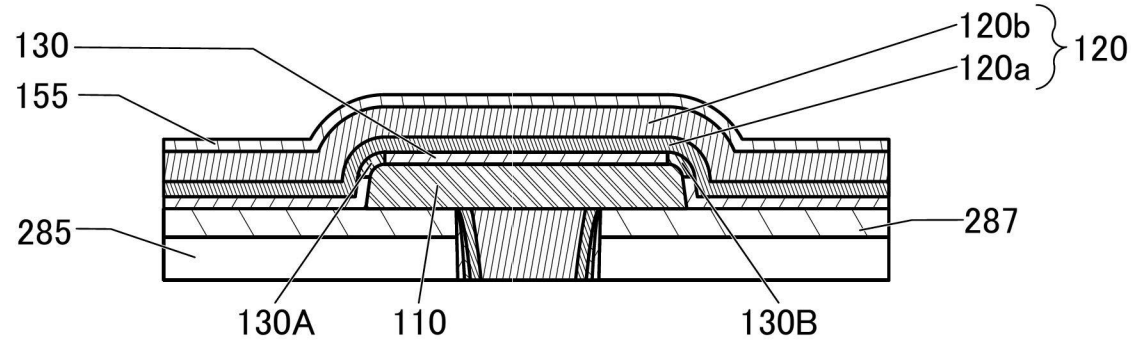
【圖22B】



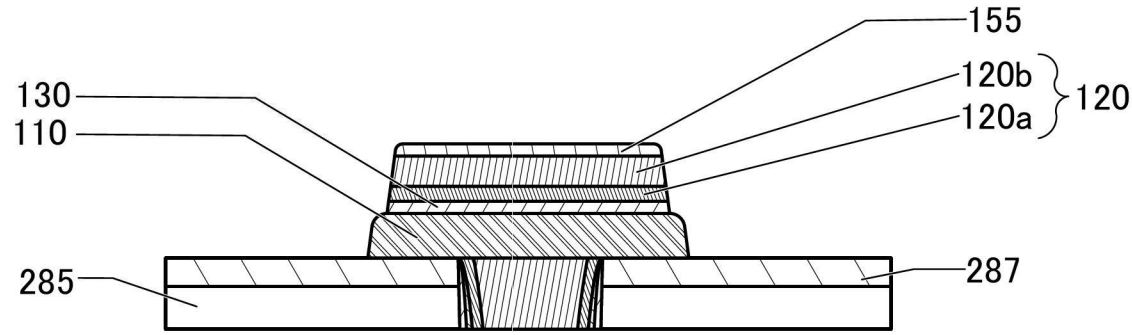
【圖22C】



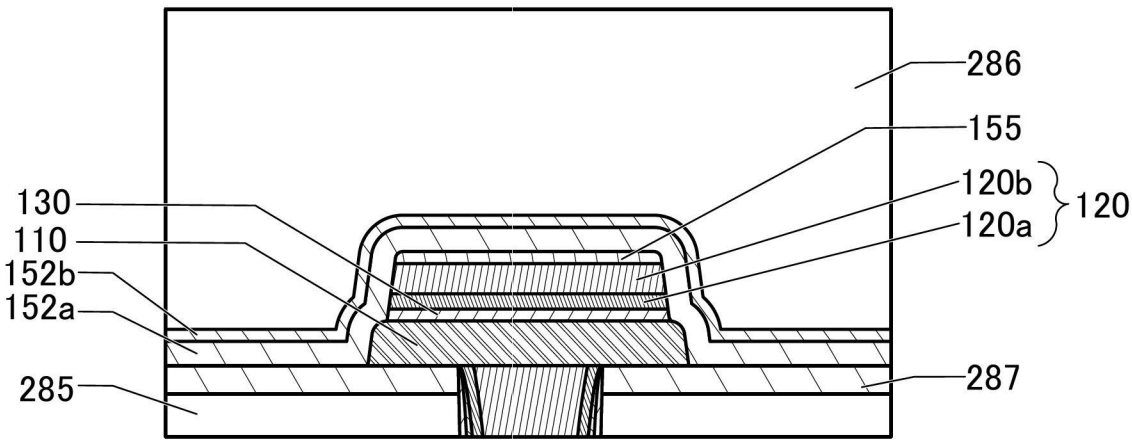
【圖23A】



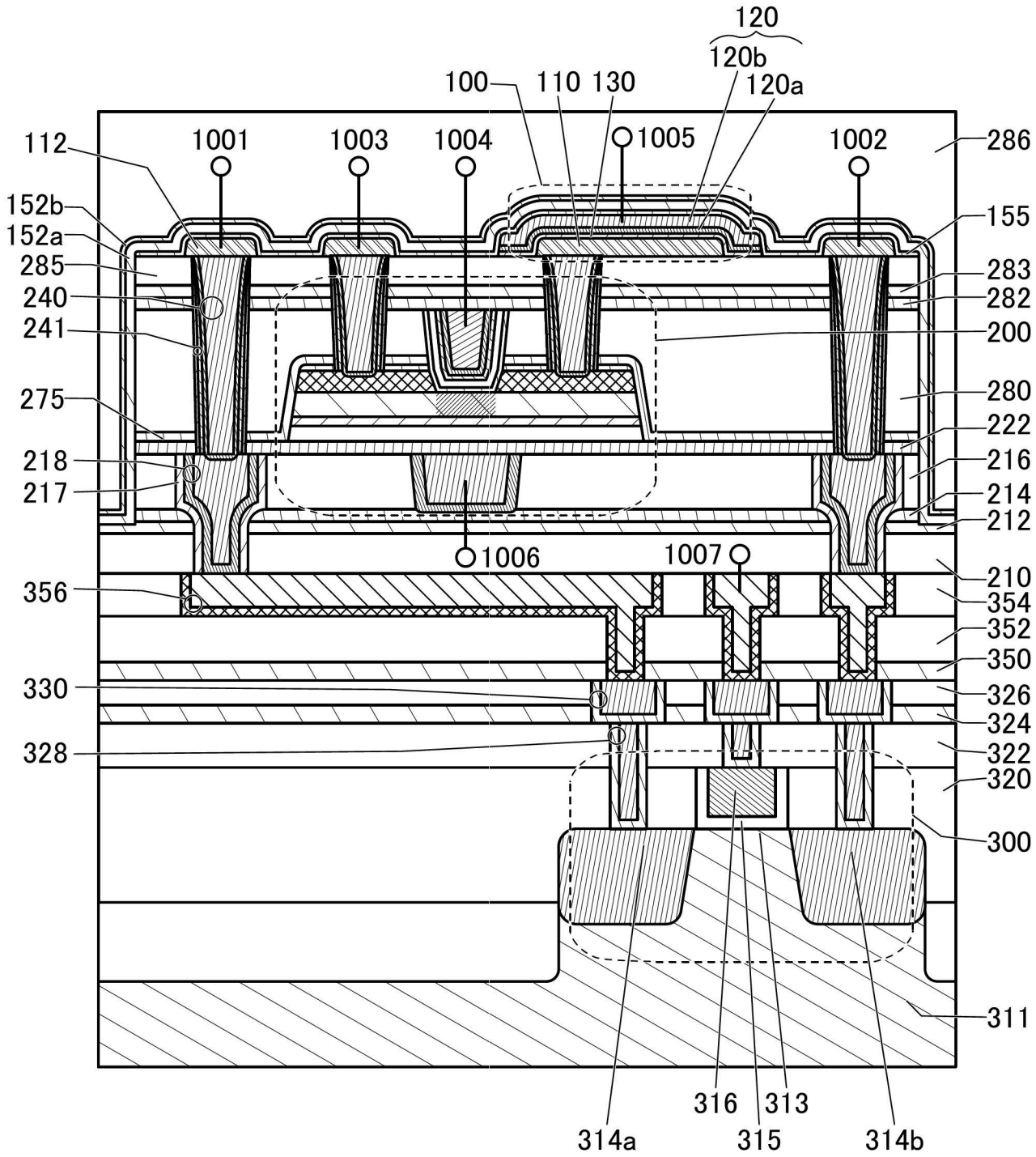
【圖23B】



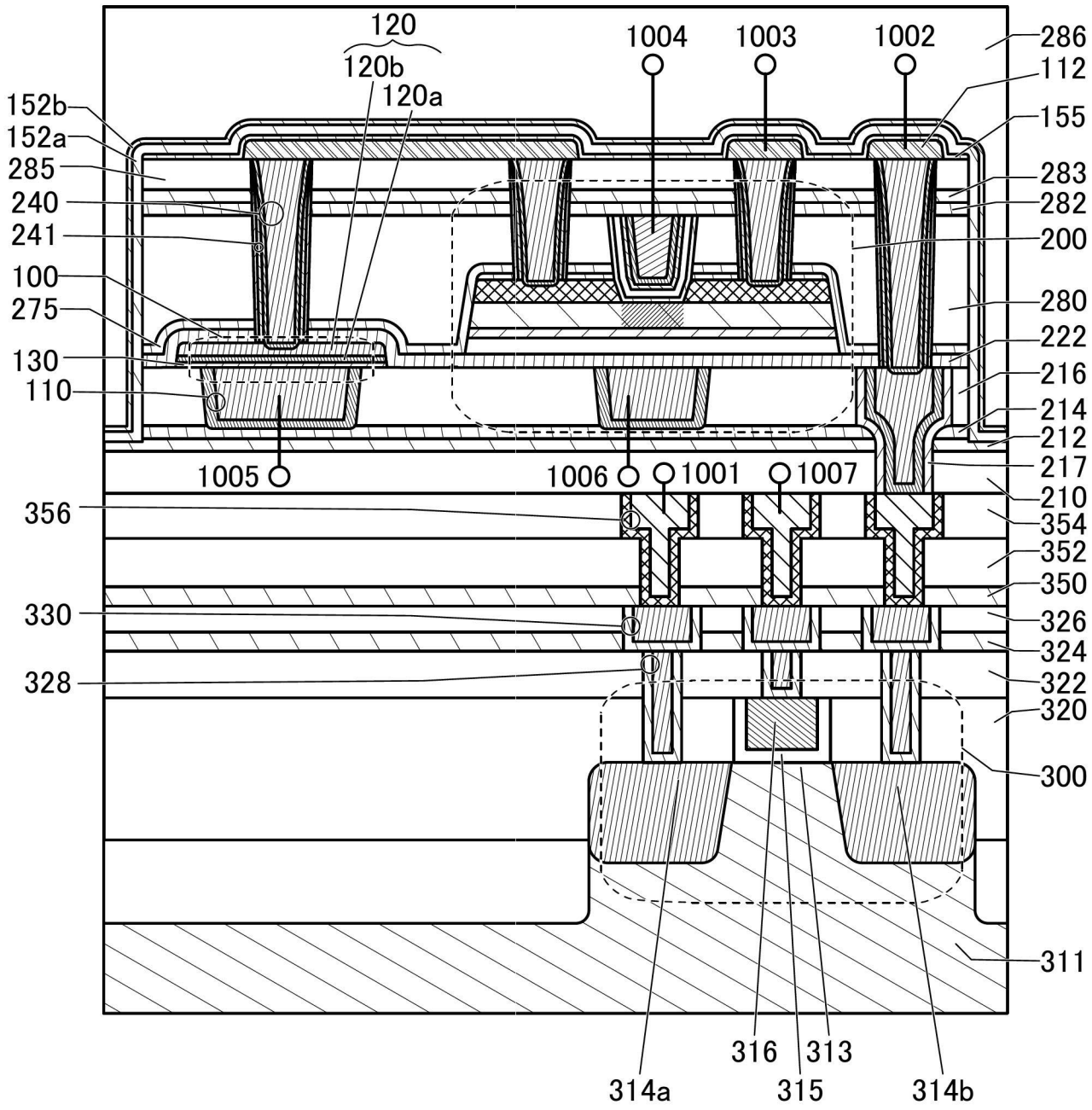
【圖23C】



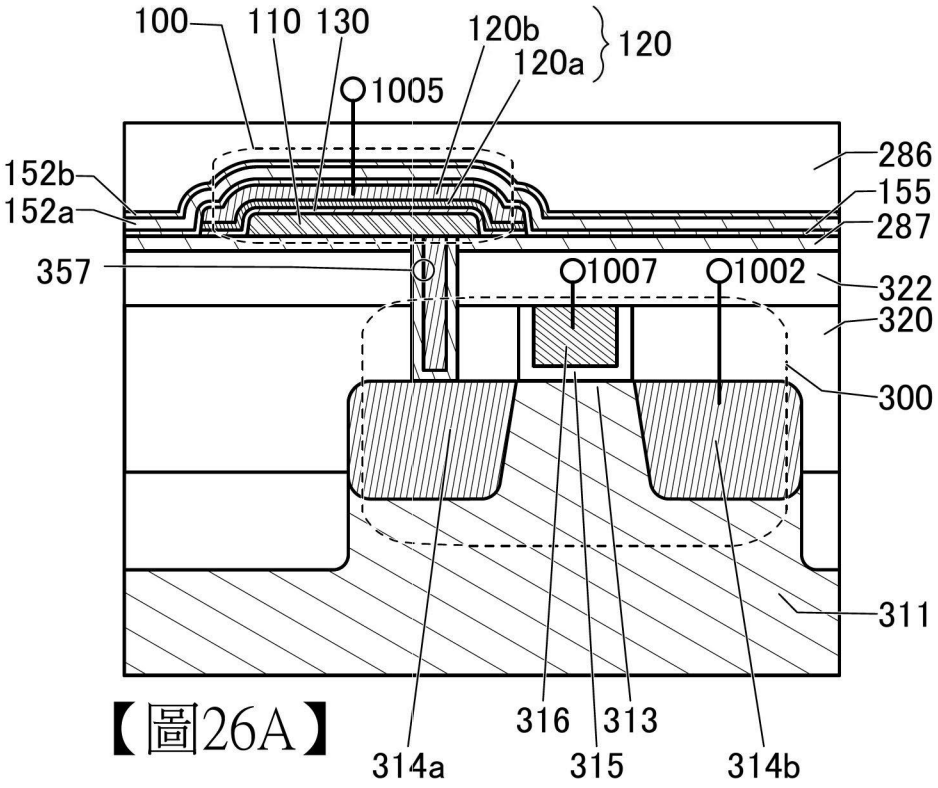
【圖23D】


120
120b
120a
100
110
130
112
1001
1003
1004
1005
1002
286
152b
152a
285
240
241
155
283
282
200
275
280
222
218
217
216
214
212
1006
1007
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
315
314a
314b

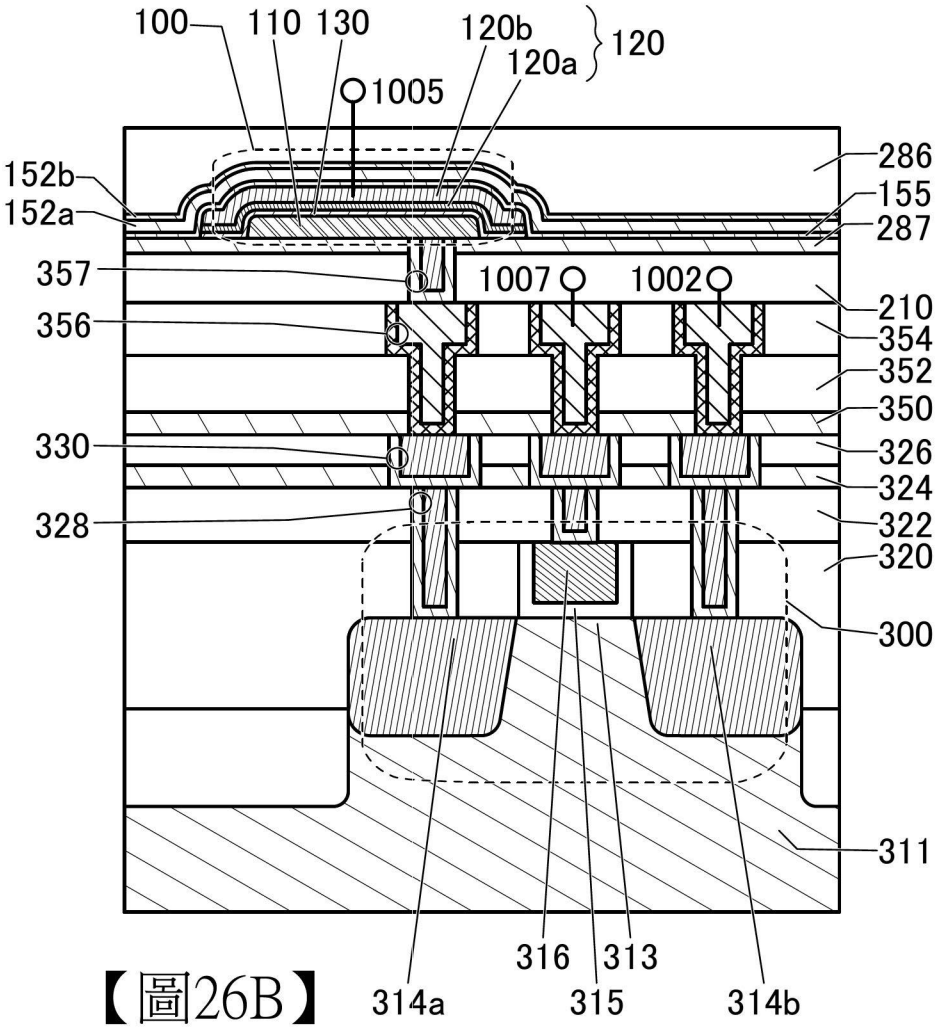
【圖24】


120
120b
120a
1004
1003
1002
286
112
155
152b
152a
285
283
240
282
241
200
100
280
275
222
130
216
110
214
212
1005
1006
1001
1007
217
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

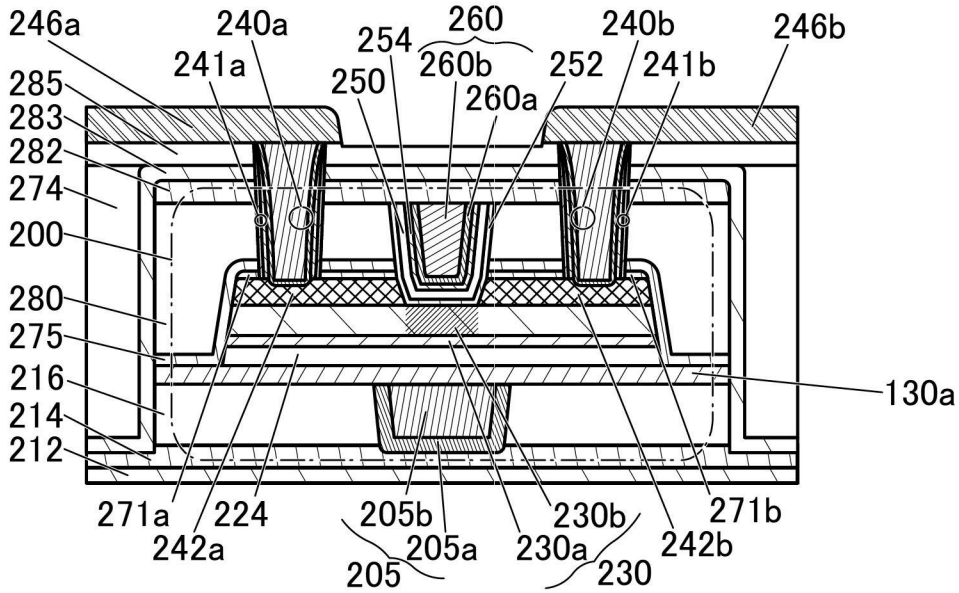
【圖25】


100
110 130
120b
120a
120
1005
152b
152a
286
155
287
357
1007
1002
322
320
300
311
316
313
314a
315
314b

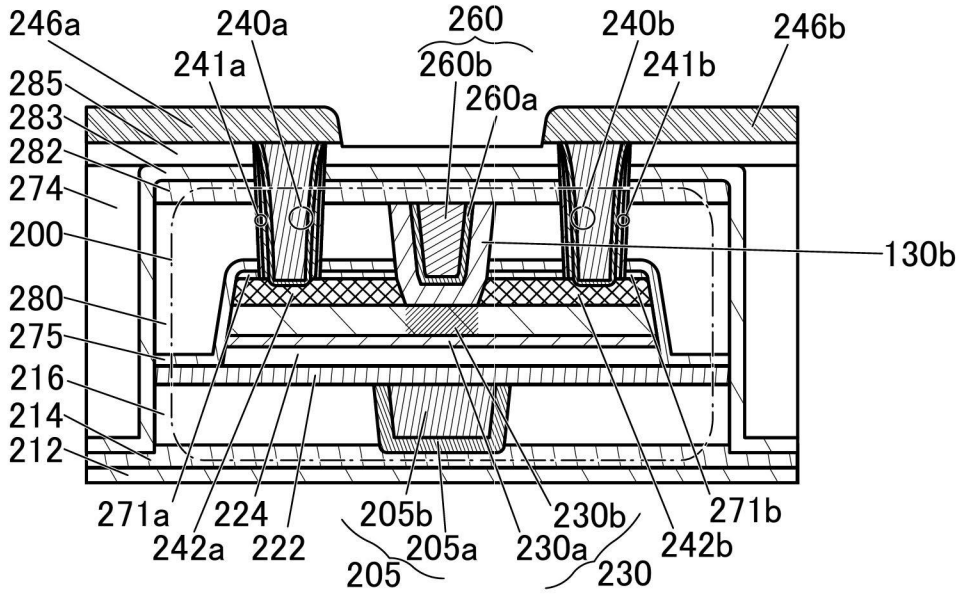
【圖26A】


100
110 130
120b
120a
120
1005
152b
152a
286
155
287
357
1007
1002
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

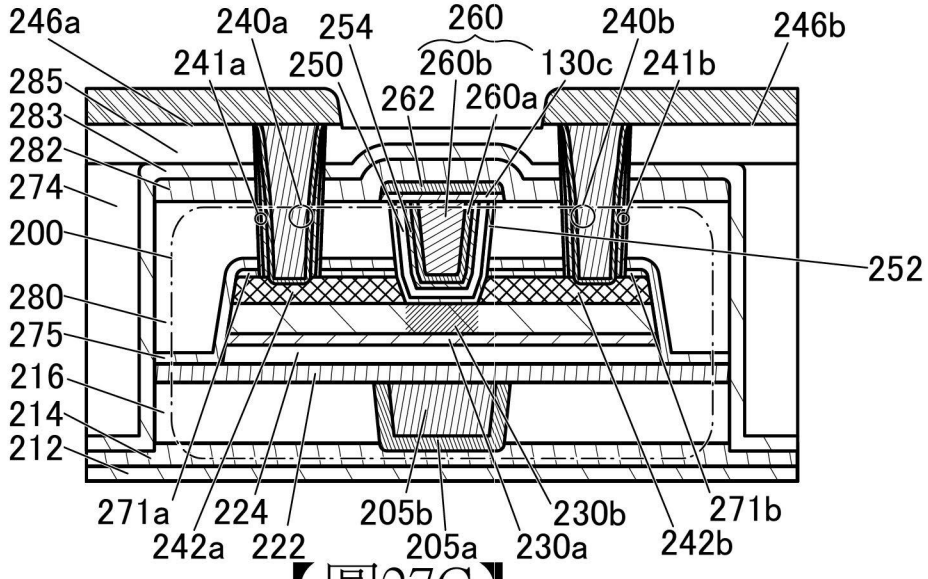
【圖26B】



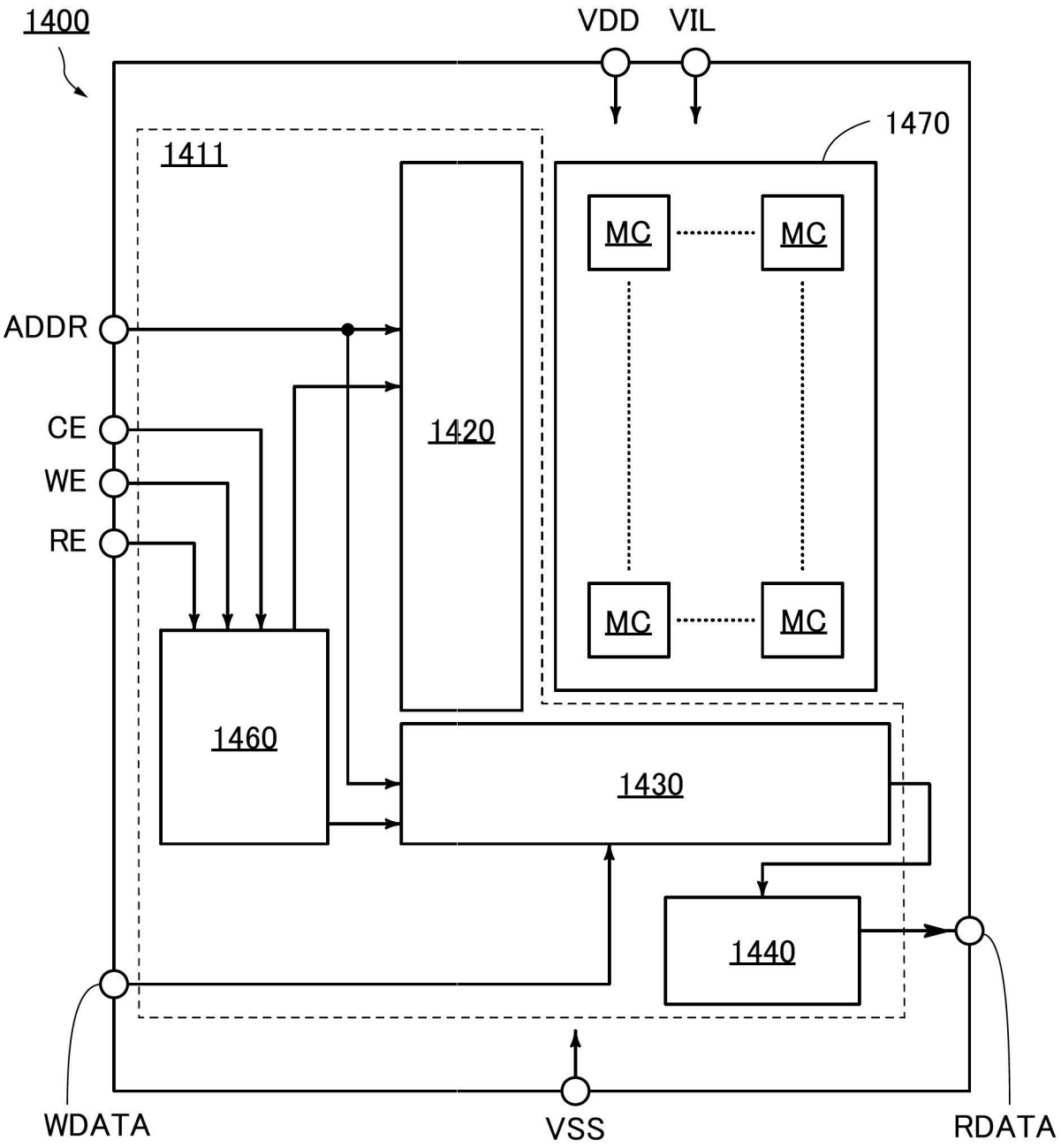
【圖27A】



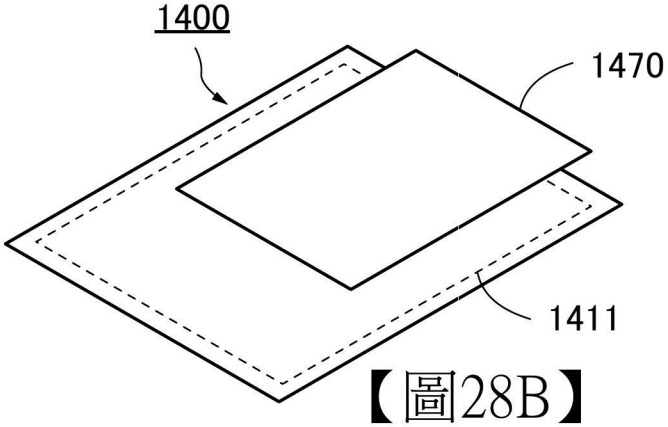
【圖27B】



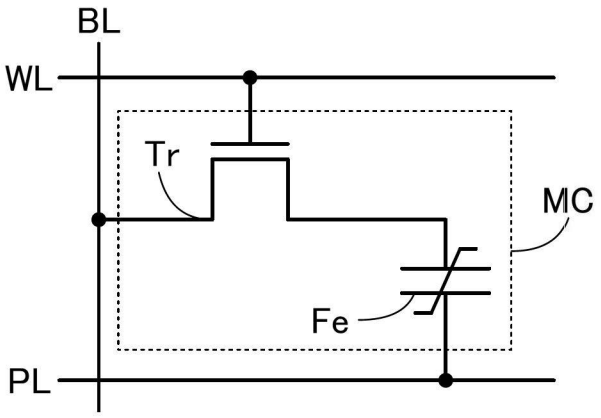
【圖27C】


1400
VDD
VIL
1470
1411
MC
MC
ADDR
CE
WE
RE
1420
MC
MC
1460
1430
1440
WDATA
VSS
RDATA

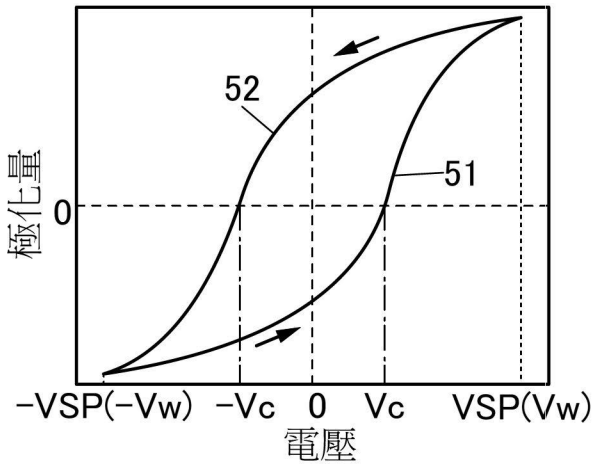
【圖28A】


1400
1470
1411

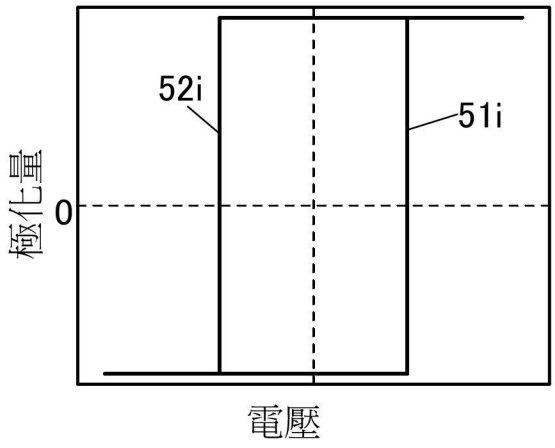
【圖28B】



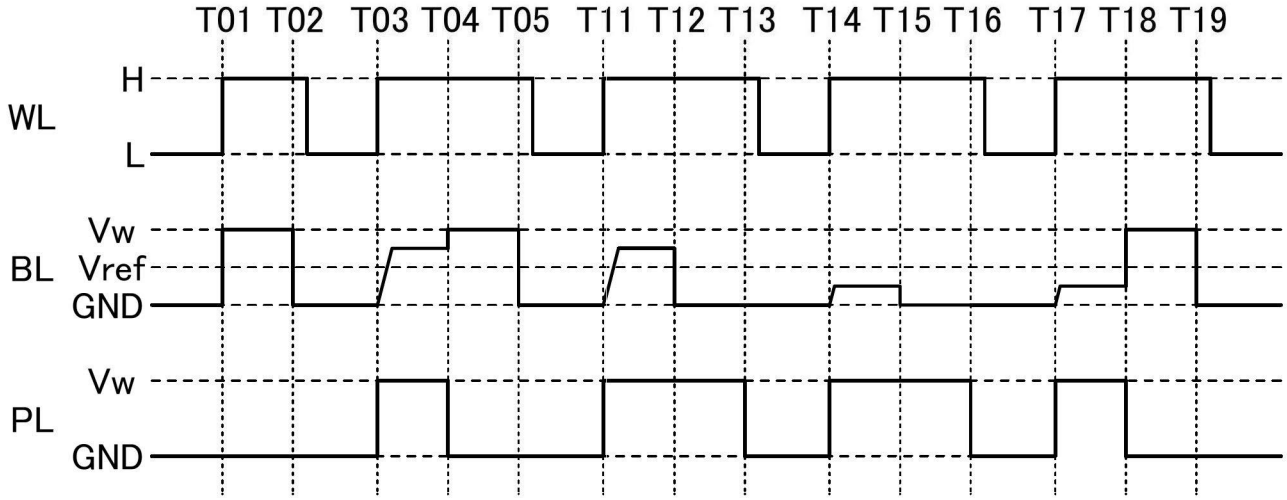
【圖29A】



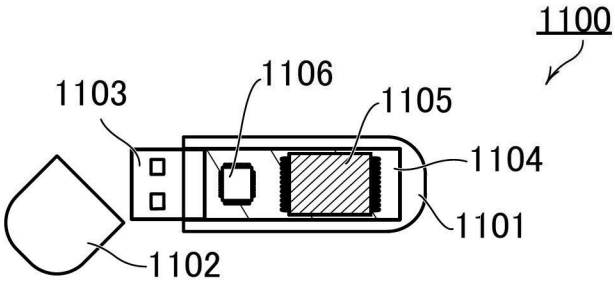
【圖29B1】



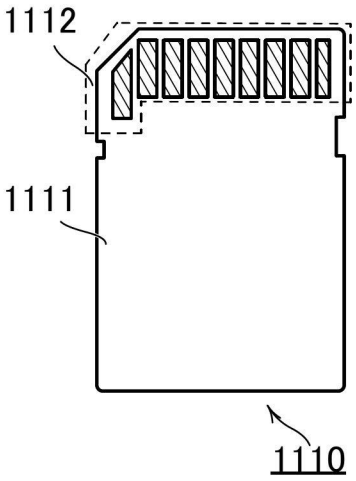
【圖29B2】



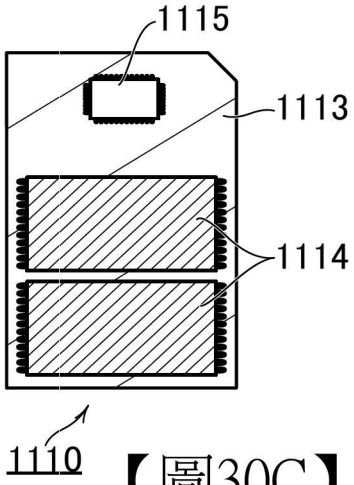
【圖29C】



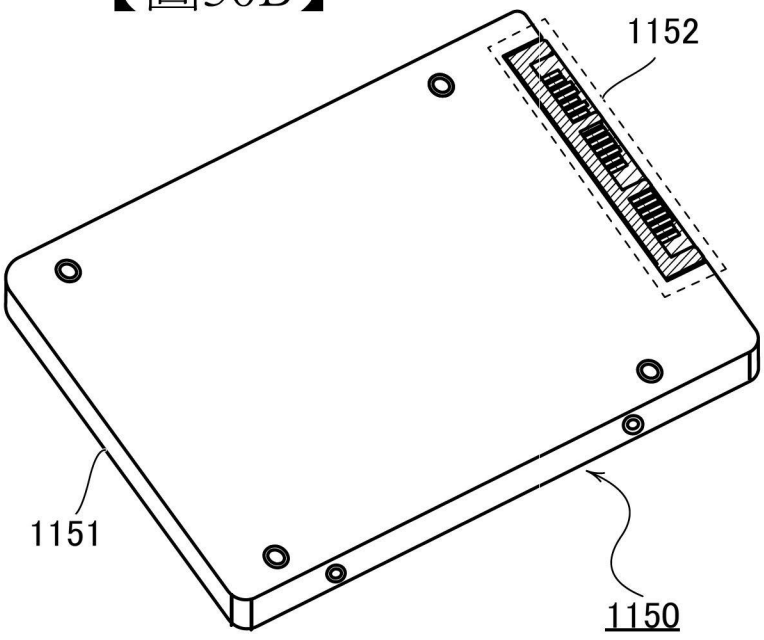
【圖30A】



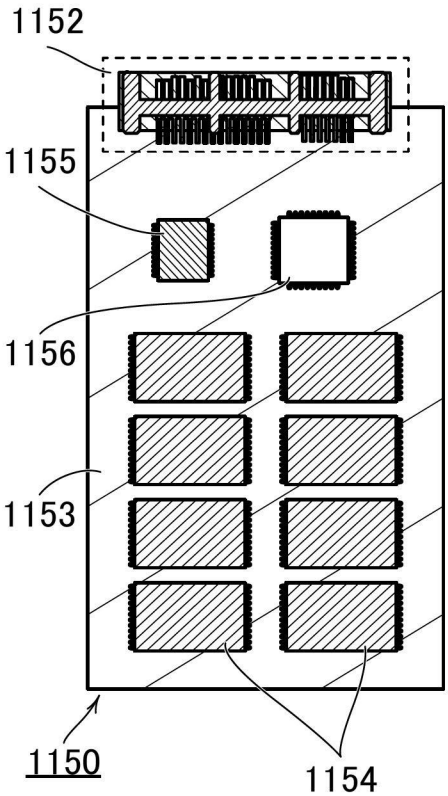
【圖30B】



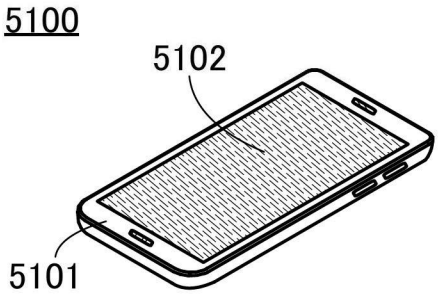
【圖30C】



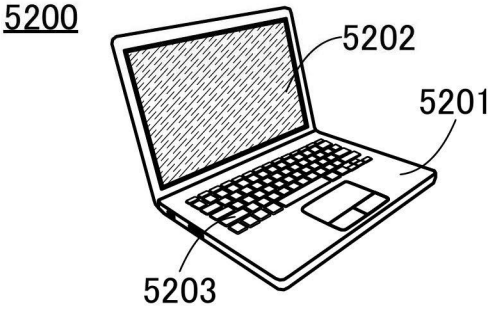
【圖30D】



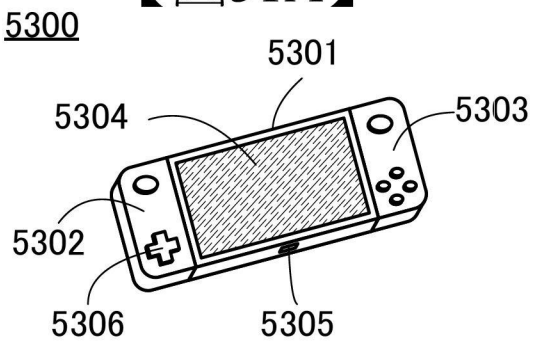
【圖30E】



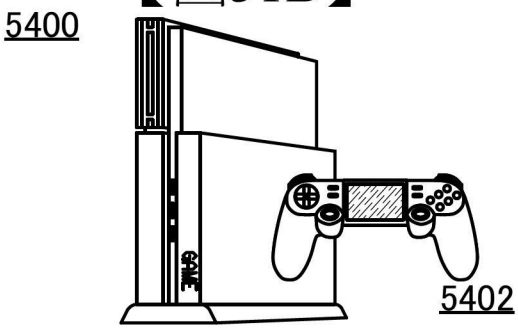
【圖31A】



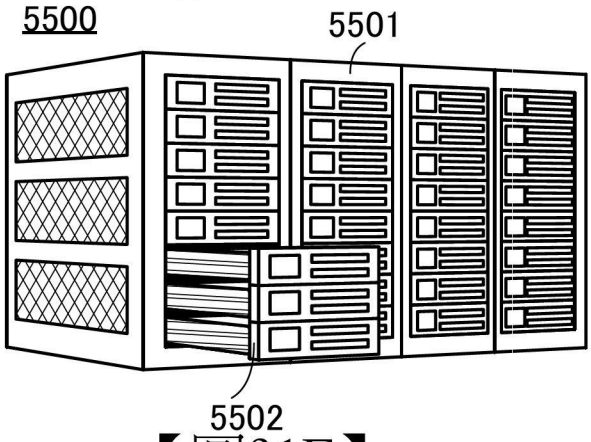
【圖31B】



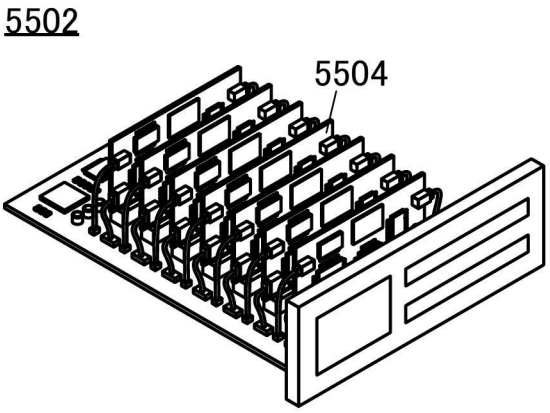
【圖31C】



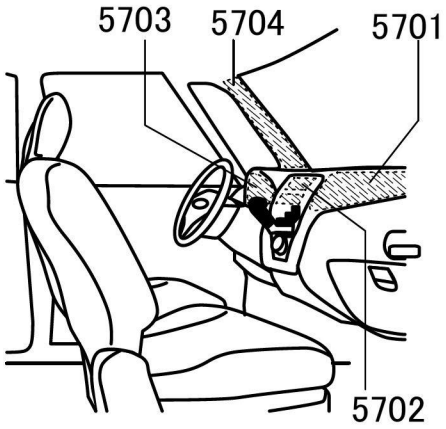
【圖31D】



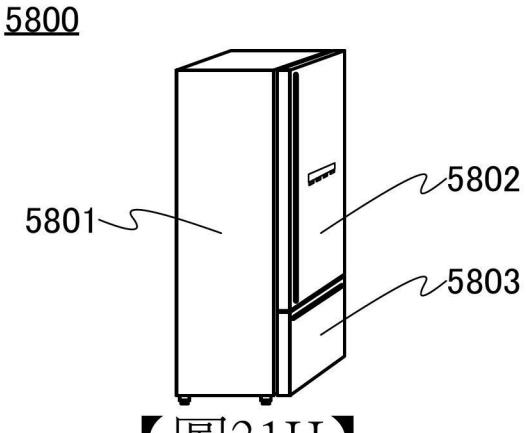
【圖31E】



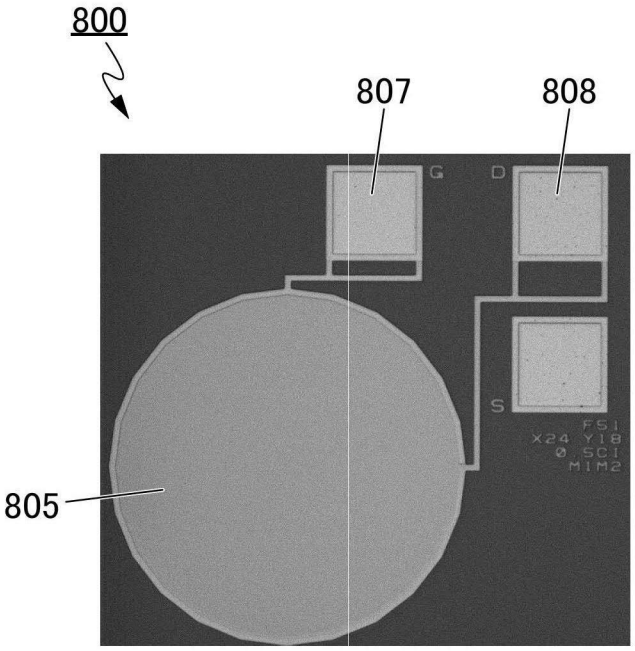
【圖31F】



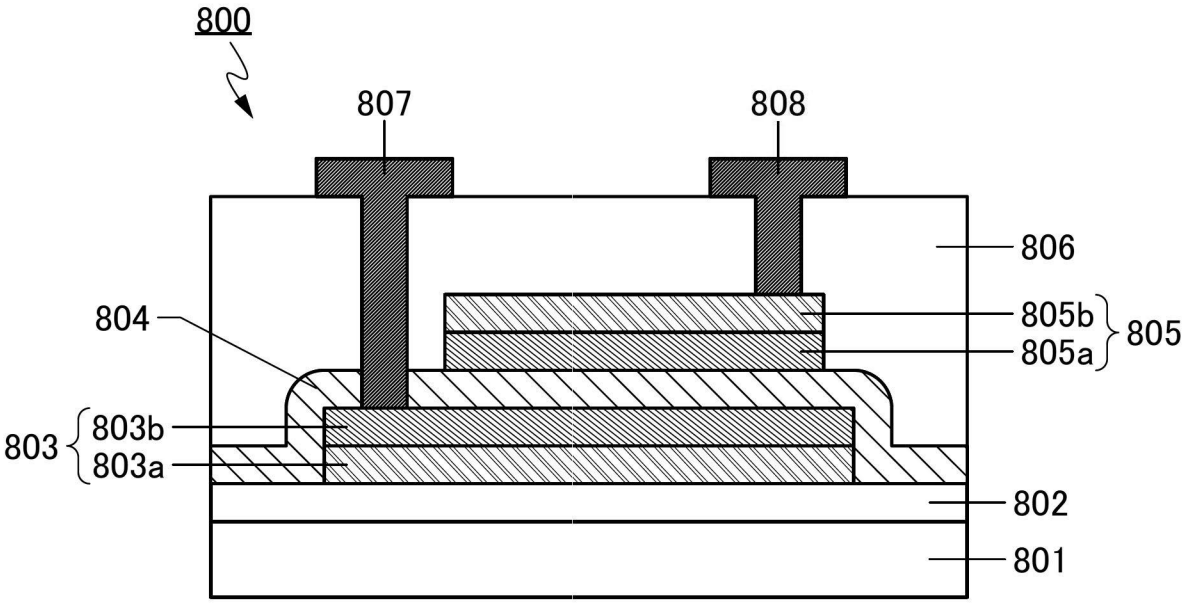
【圖31G】



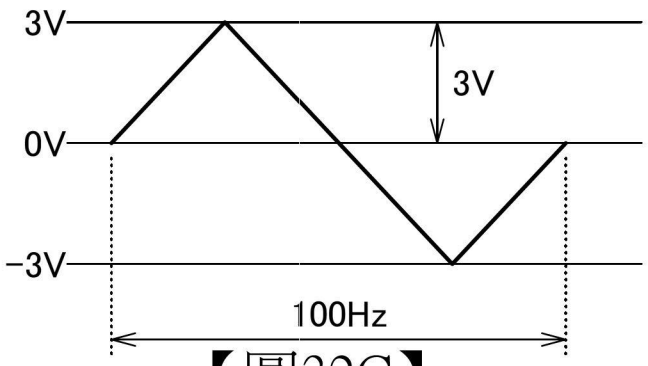
【圖31H】



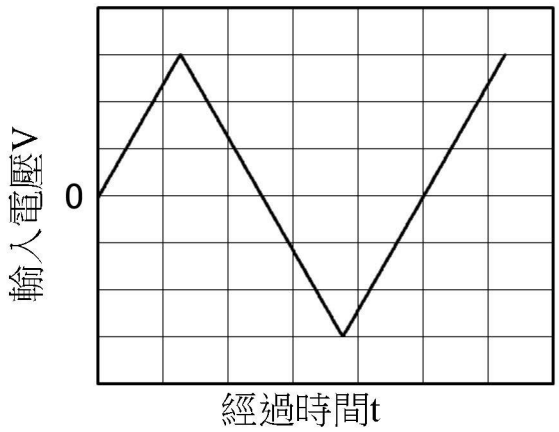
【圖32A】



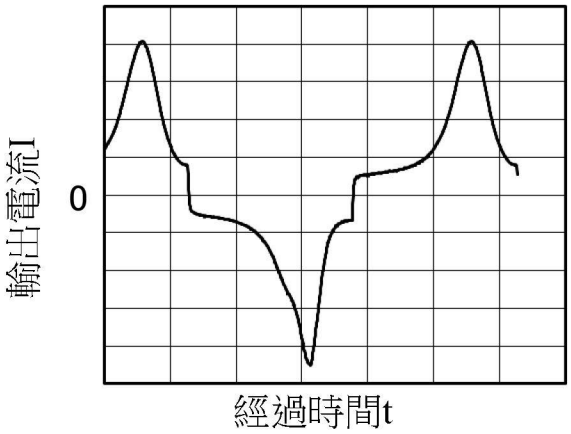
【圖32B】



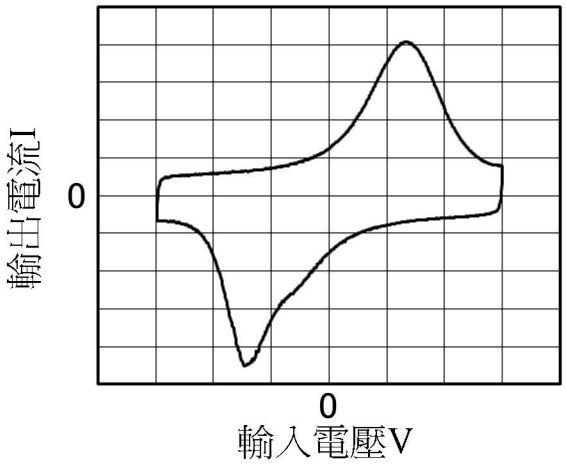
【圖32C】



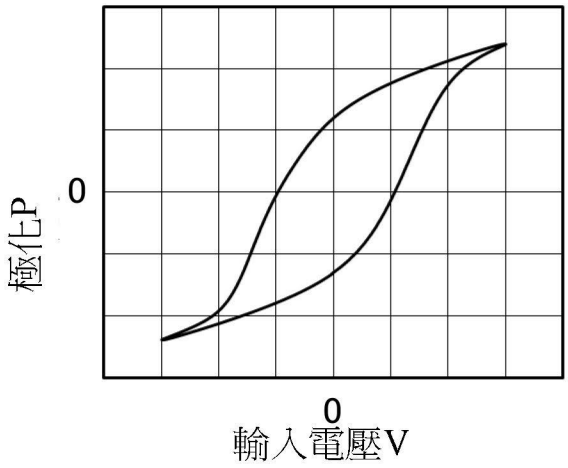
【圖33A】



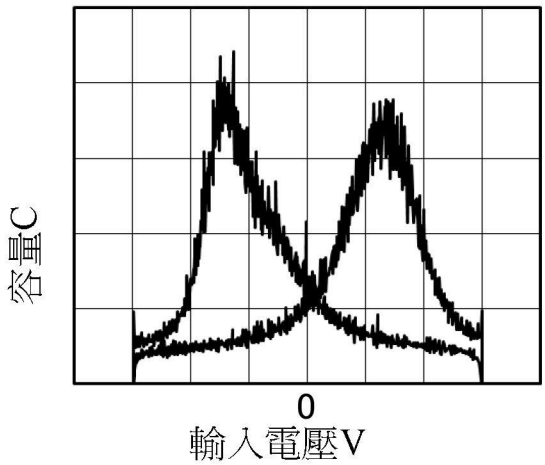
【圖33B】



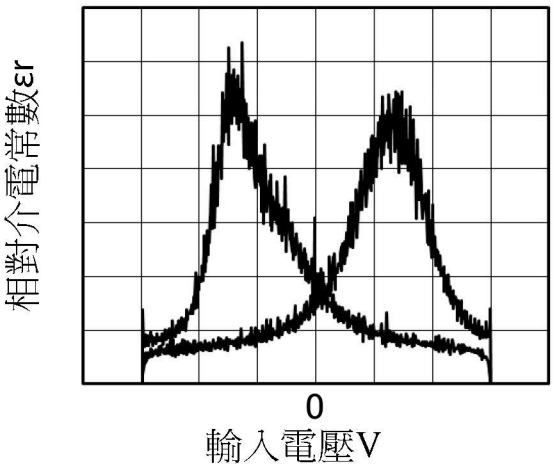
【圖33C】



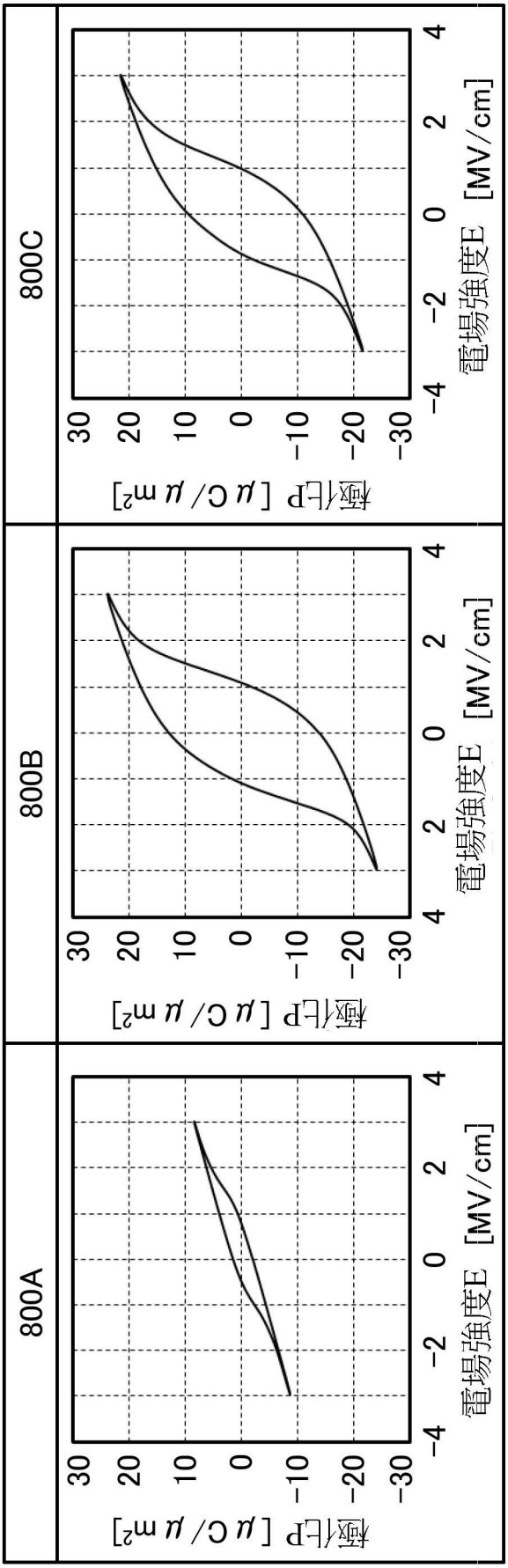
【圖33D】



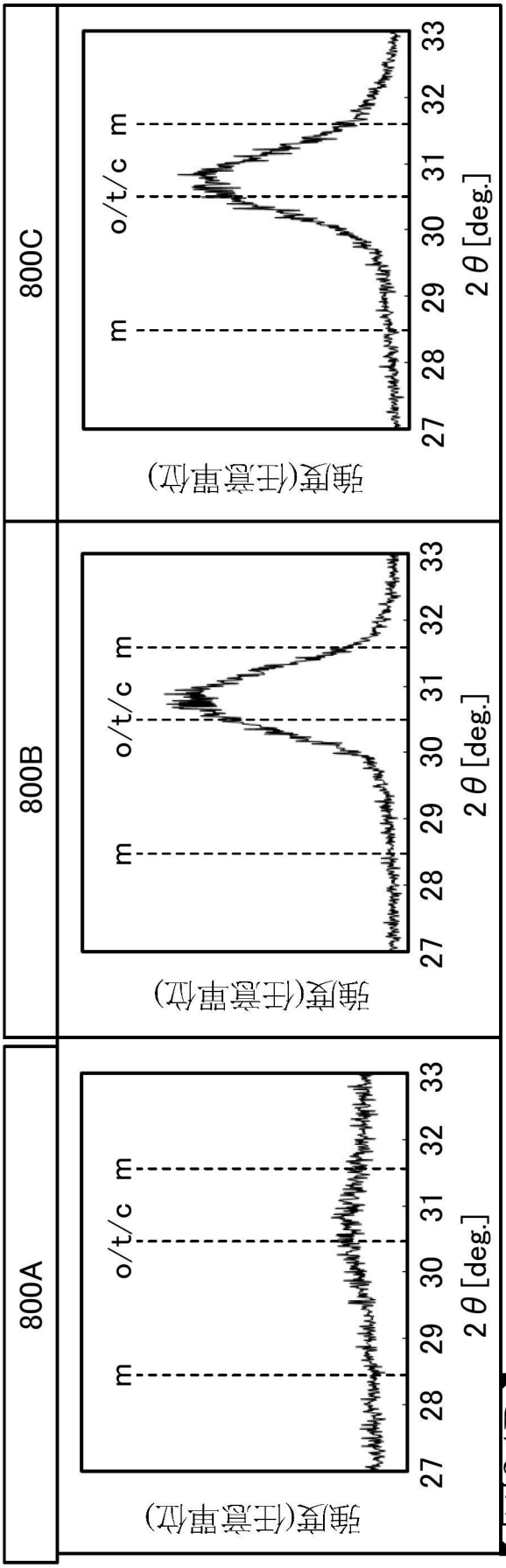
【圖33E】



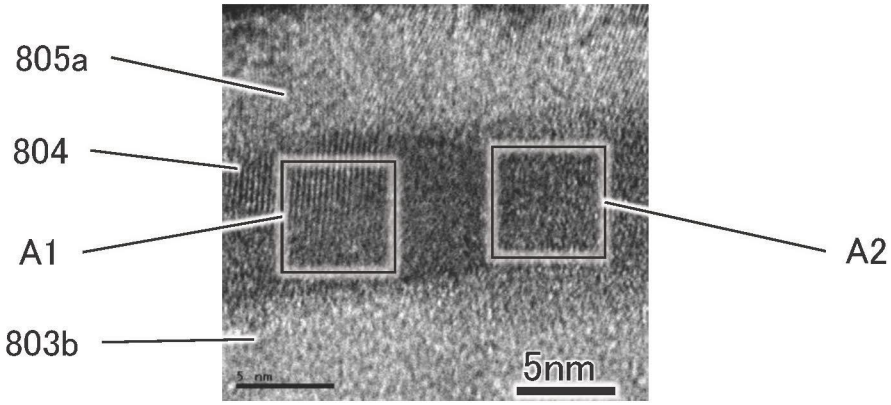
【圖33F】


800A
800B
800C
極化P [μC/μm²]
電場強度E [MV/cm]
30
20
10
0
−10
−20
−30
−4
−2
0
2
4

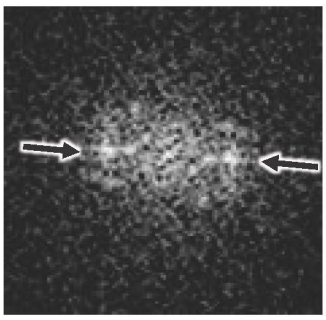
【圖34A】


800A
800B
800C
強度(任意單位)
m
o/t/c
m
27
28
29
30
31
32
33
2θ [deg.]

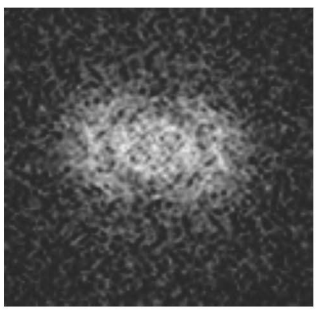
【圖34B】



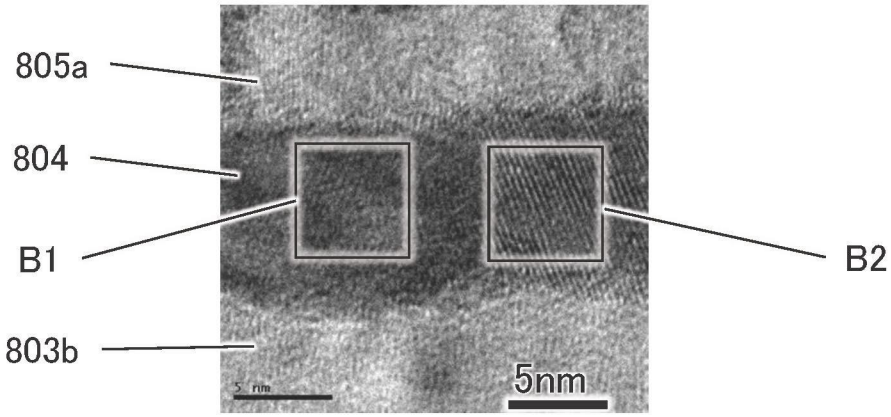
【圖35A】



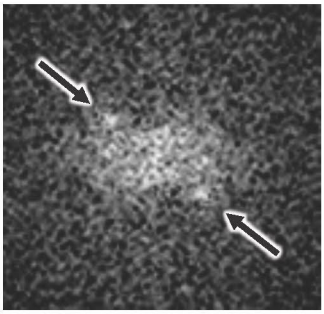
【圖35B】



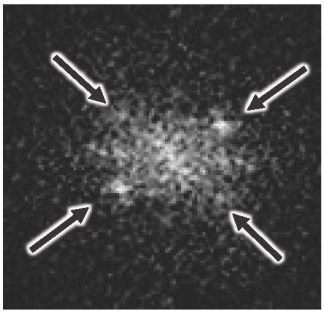
【圖35C】



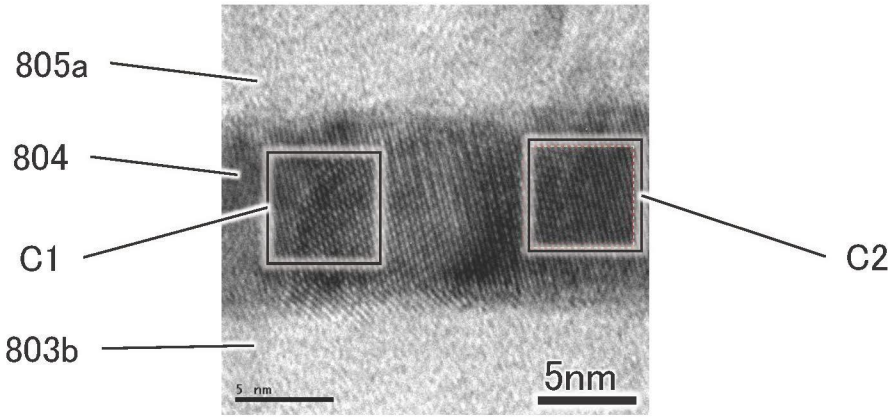
【圖36A】



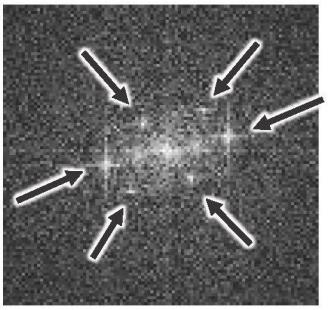
【圖36B】



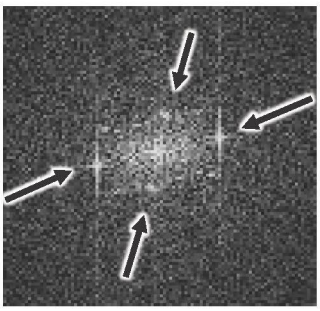
【圖36C】



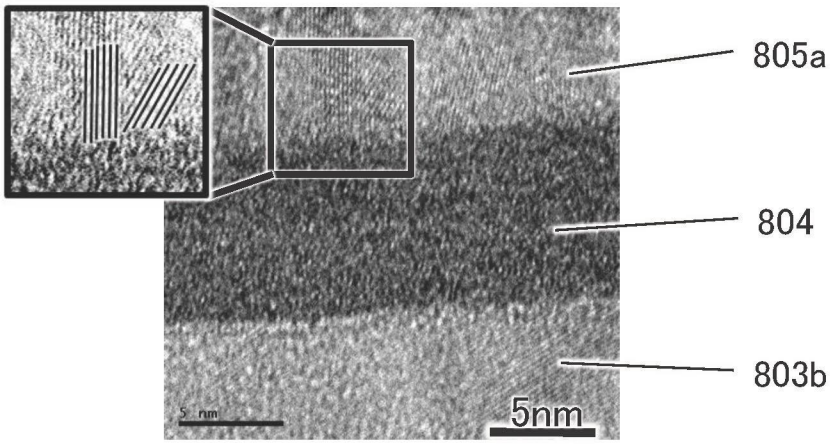
【圖37A】



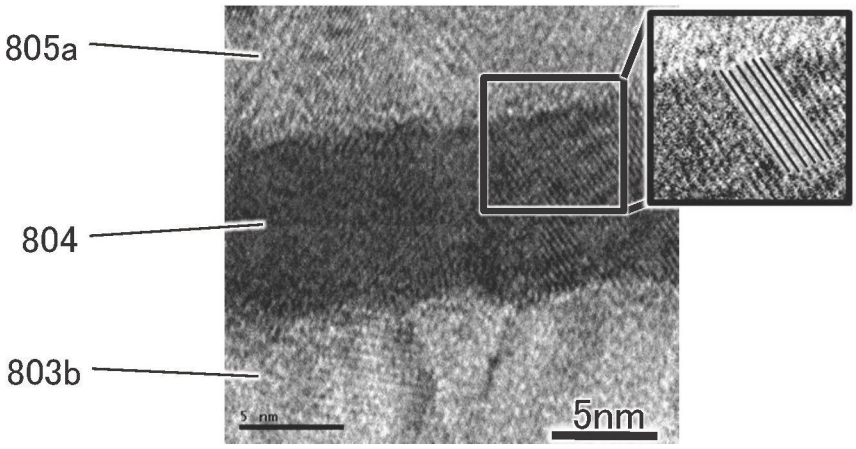
【圖37B】



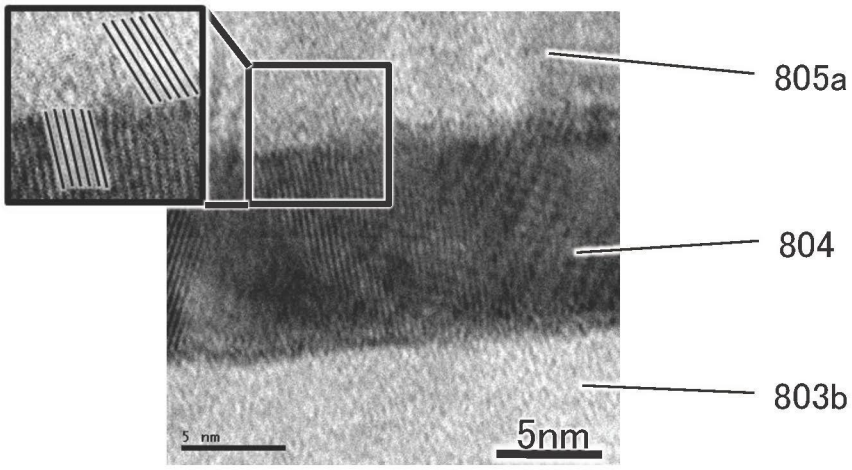
【圖37C】



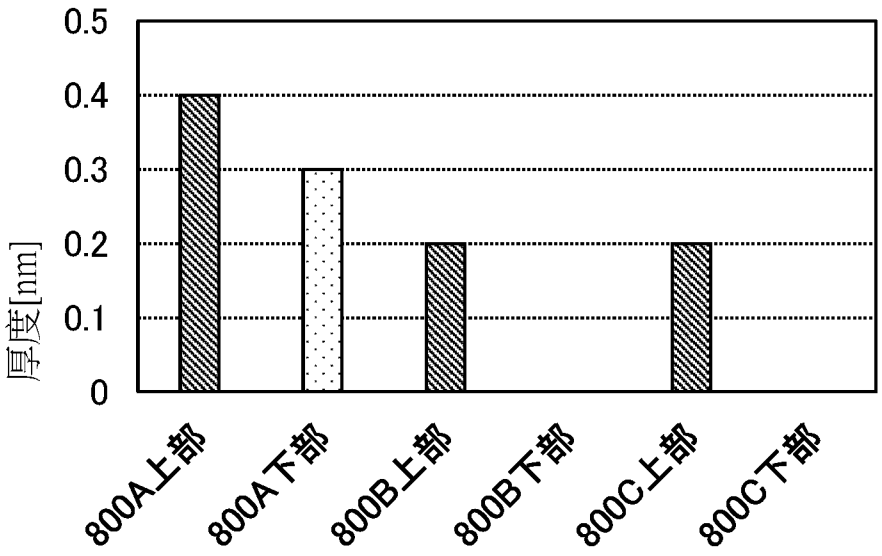
【圖38A】



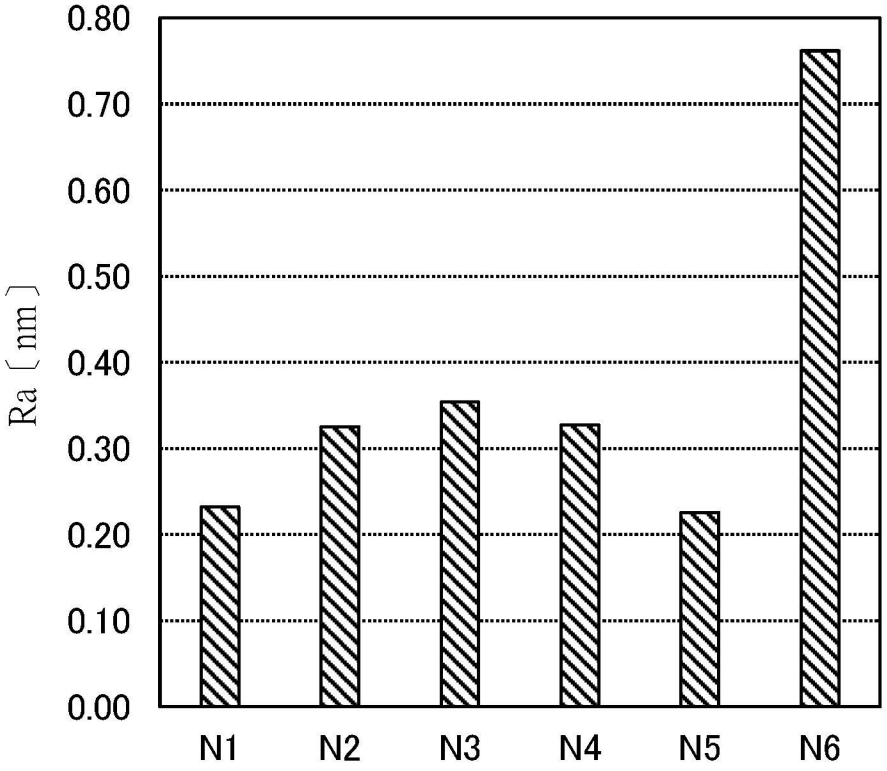
【圖38B】



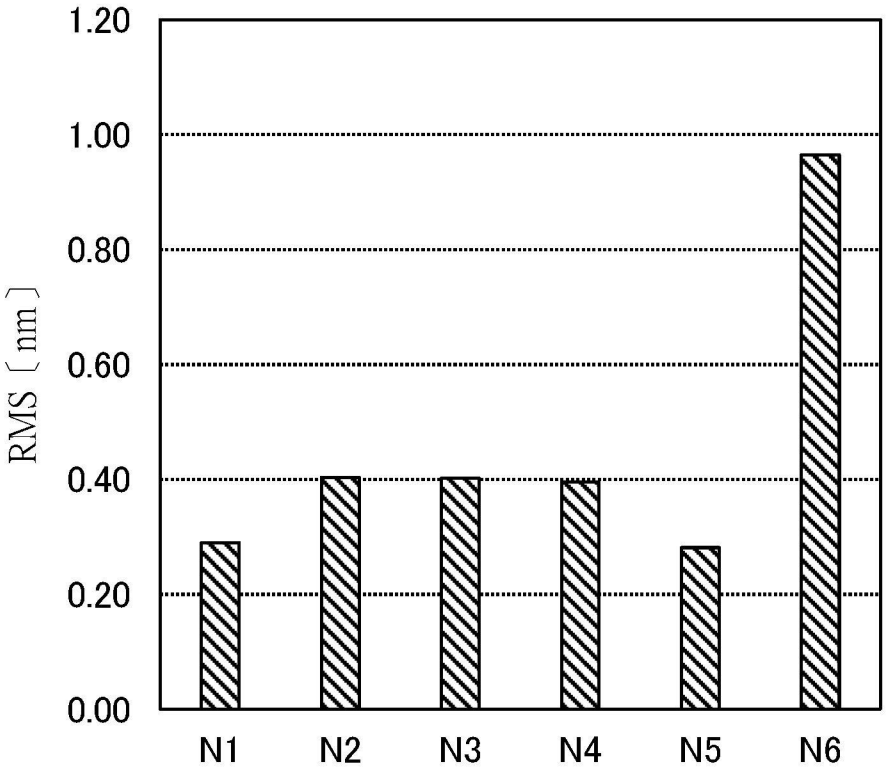
【圖38C】


0.5
0.4
0.3
0.2
0.1
0
厚度[nm]
800A上部
800A下部
800B上部
800B下部
800C上部
800C下部

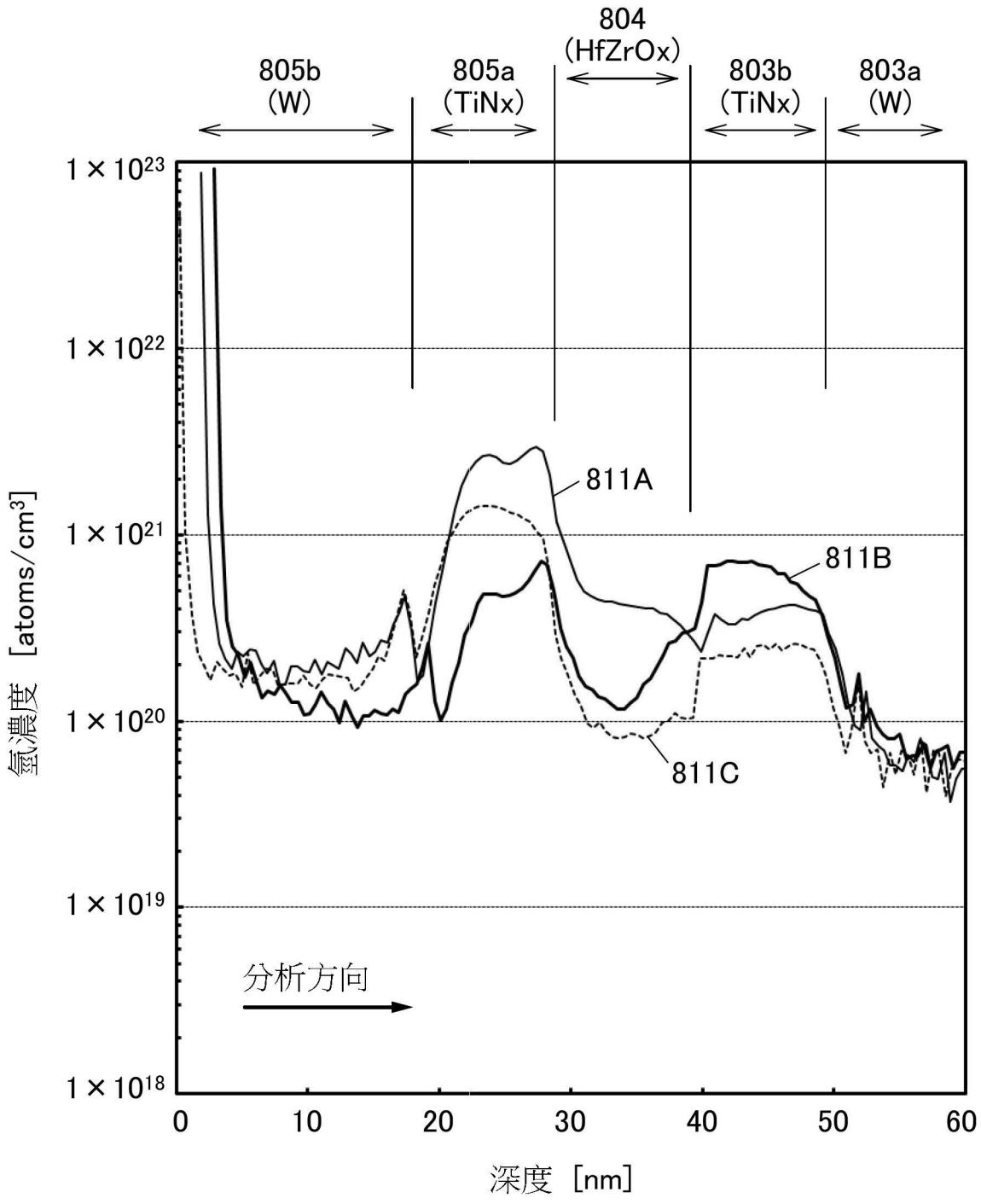
【圖39】


0.80
0.70
0.60
0.50
0.40
0.30
0.20
0.10
0.00
Ra〔nm〕
N1
N2
N3
N4
N5
N6

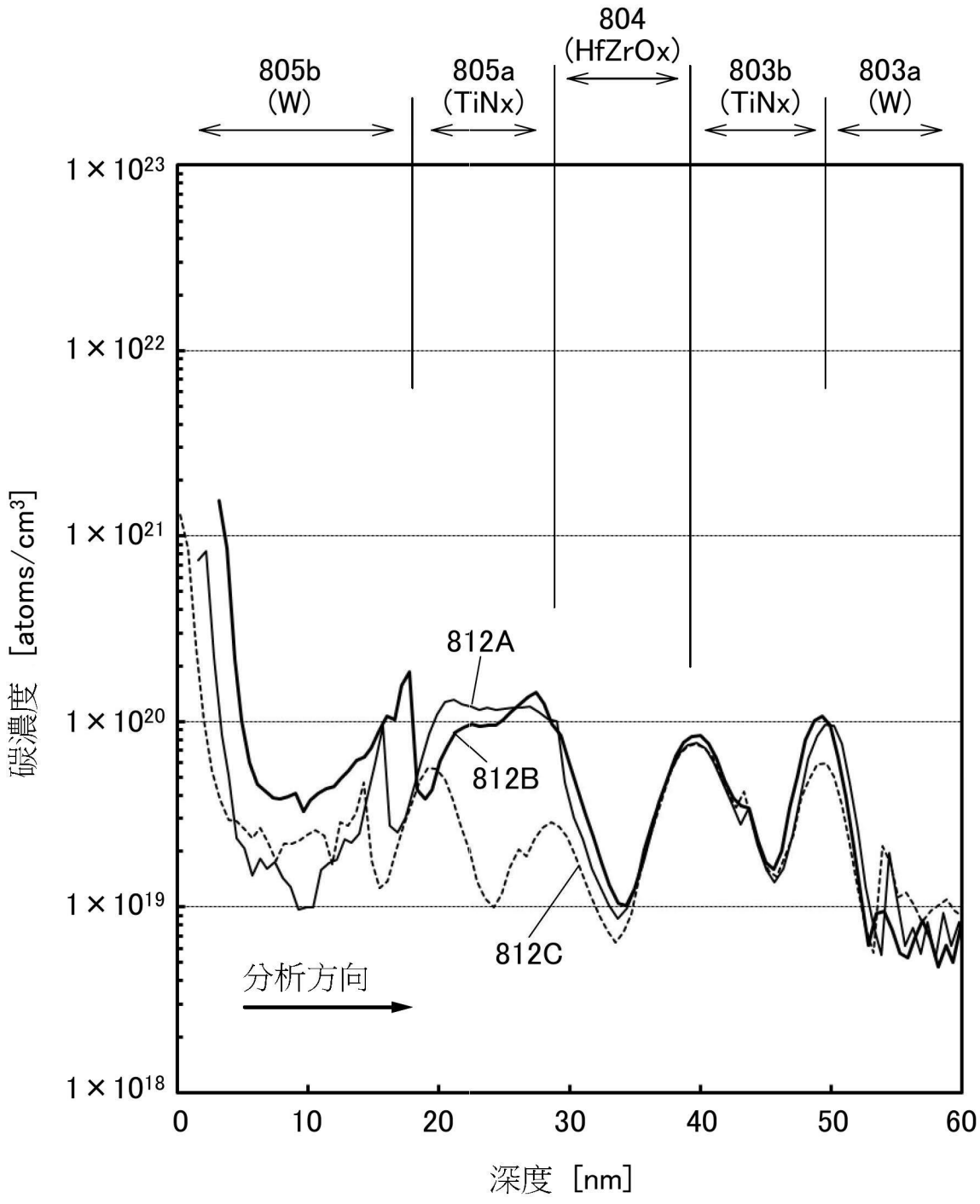
【圖40A】


1.20
1.00
0.80
0.60
0.40
0.20
0.00
RMS〔nm〕
N1
N2
N3
N4
N5
N6

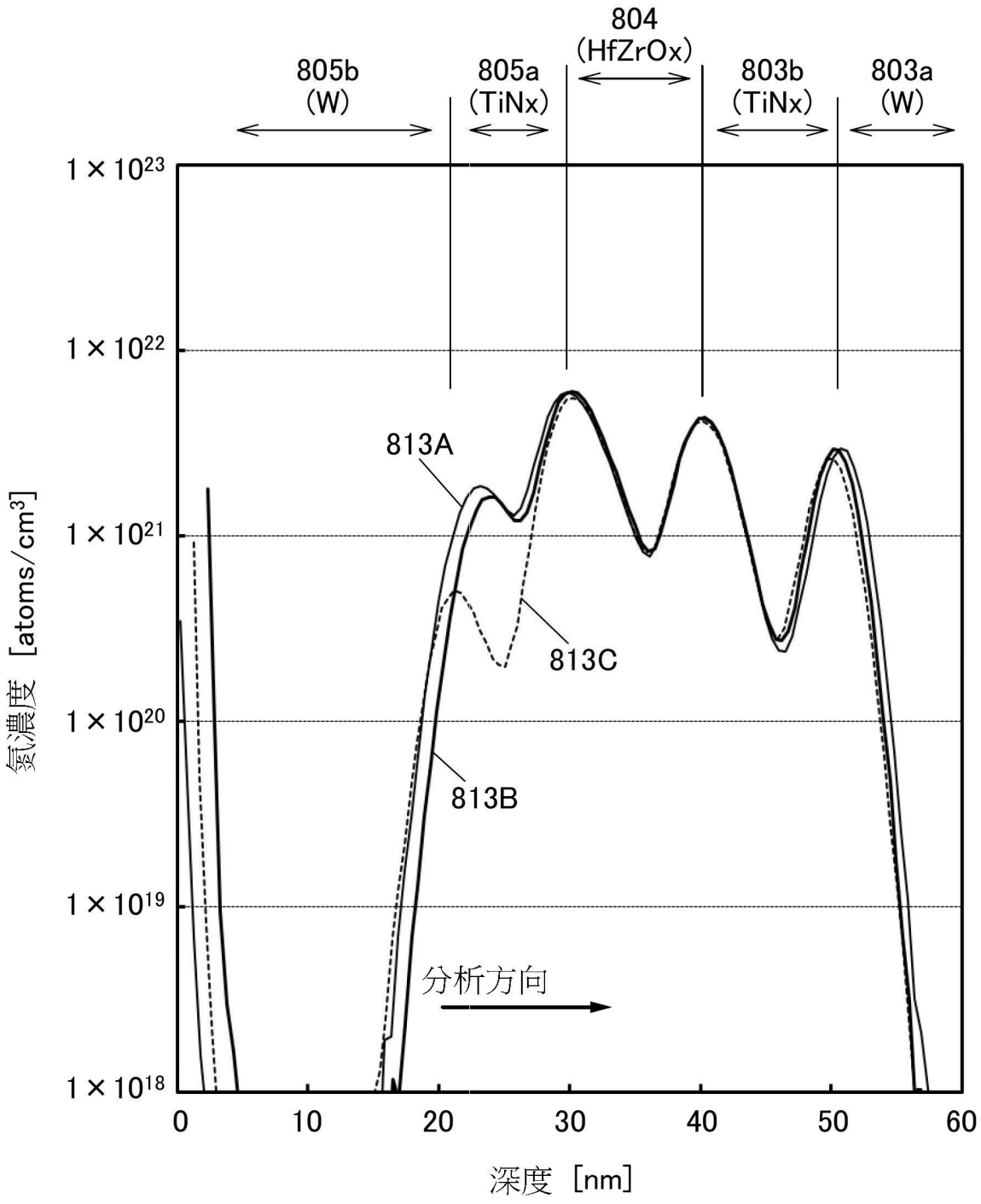
【圖40B】


804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^23
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
氫濃度 [atoms/cm^3]
811A
811B
811C
分析方向
0
10
20
30
40
50
60
深度 [nm]

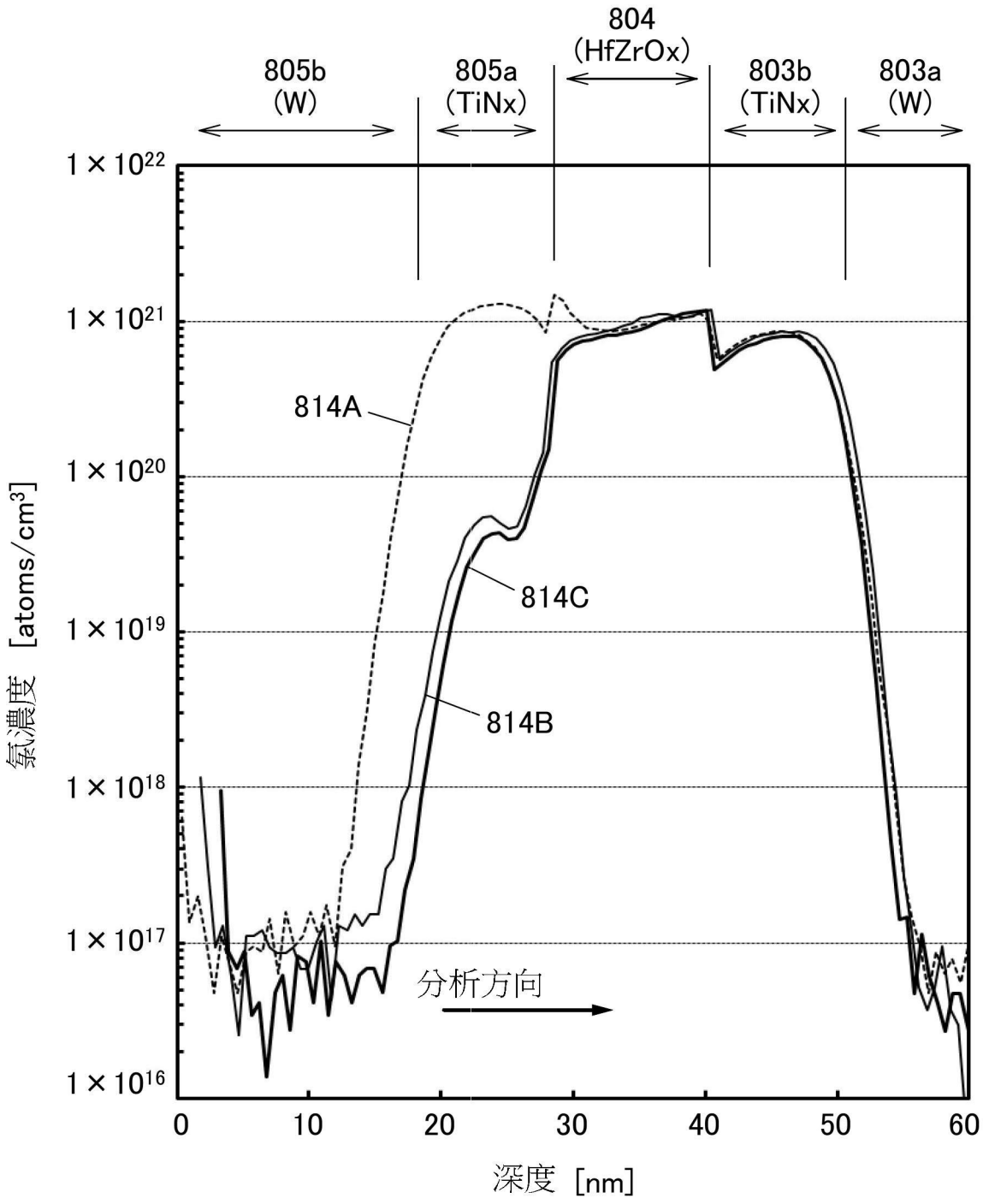
【圖41】


804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^23
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
碳濃度 [atoms/cm^3]
812A
812B
812C
分析方向
0
10
20
30
40
50
60
深度 [nm]

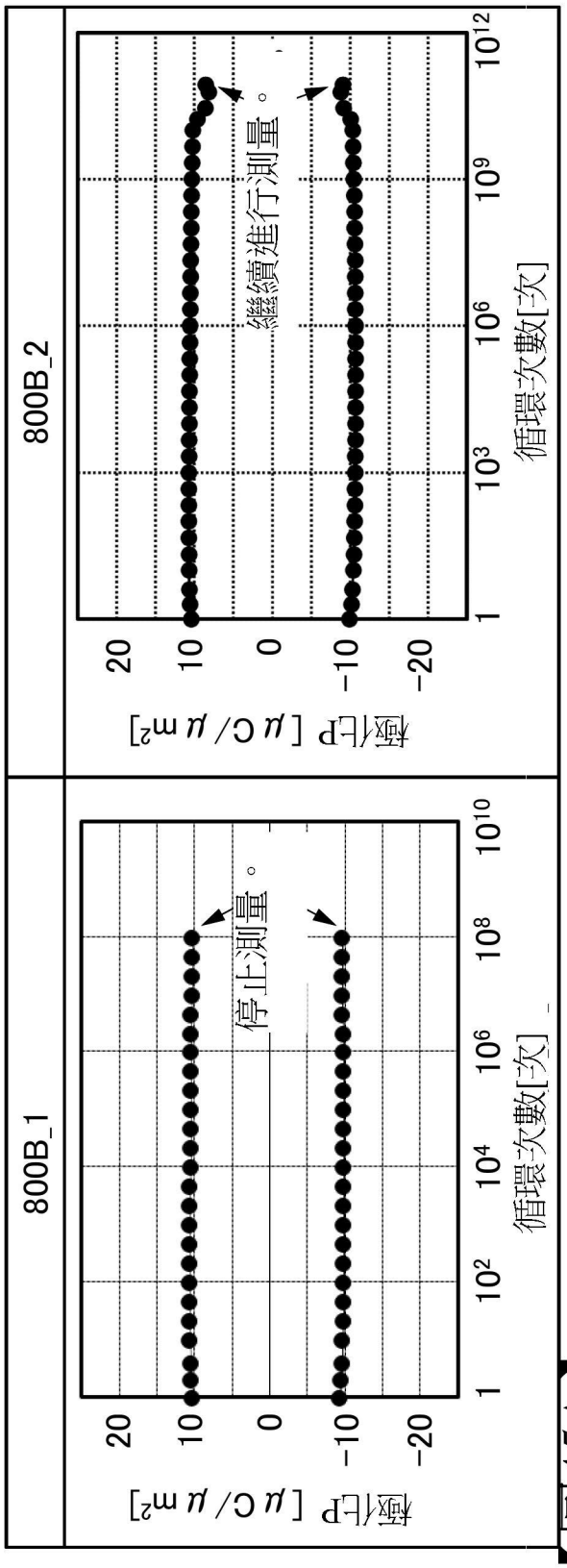
【圖42】


804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^23
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
813A
813C
813B
分析方向
氮濃度 [atoms/cm^3]
0
10
20
30
40
50
60
深度 [nm]

【圖43】

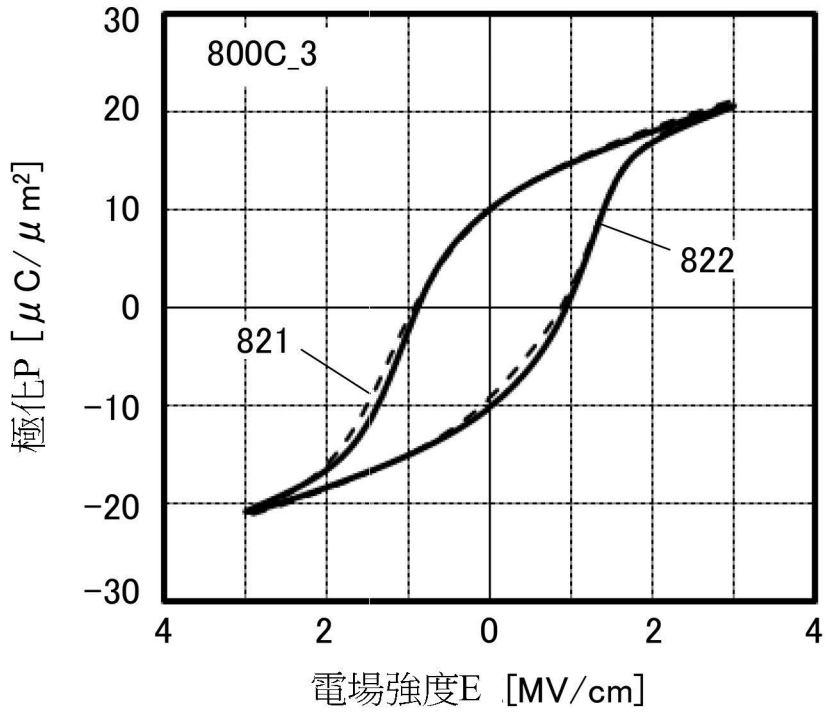

804
(HfZrOx)
805b
(W)
805a
(TiNx)
803b
(TiNx)
803a
(W)
1×10^22
1×10^21
1×10^20
1×10^19
1×10^18
1×10^17
1×10^16
814A
814C
814B
分析方向
氫濃度 [atoms/cm^3]
0
10
20
30
40
50
60
深度 [nm]

【圖44】

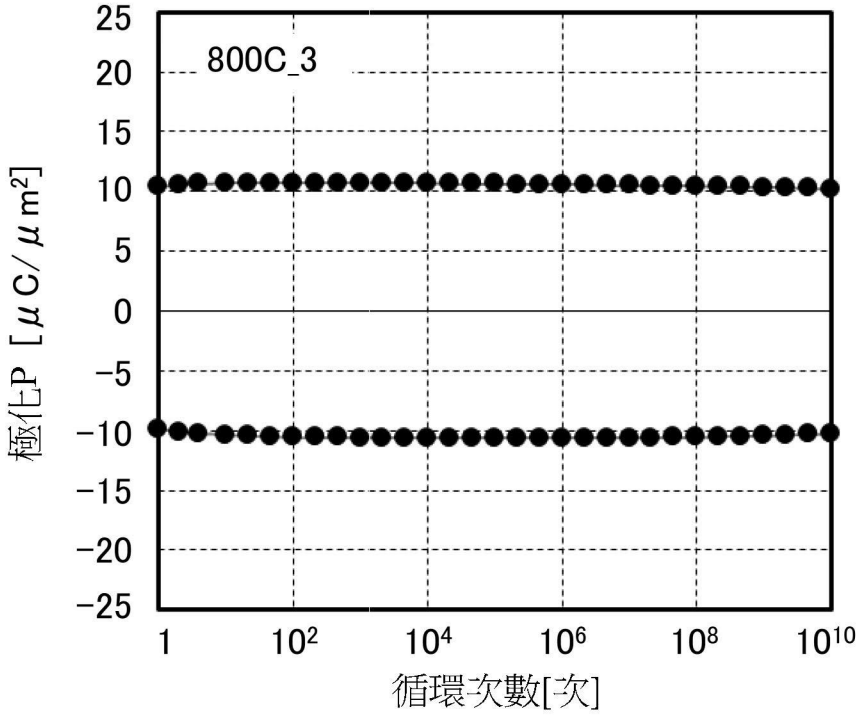


【圖45A】

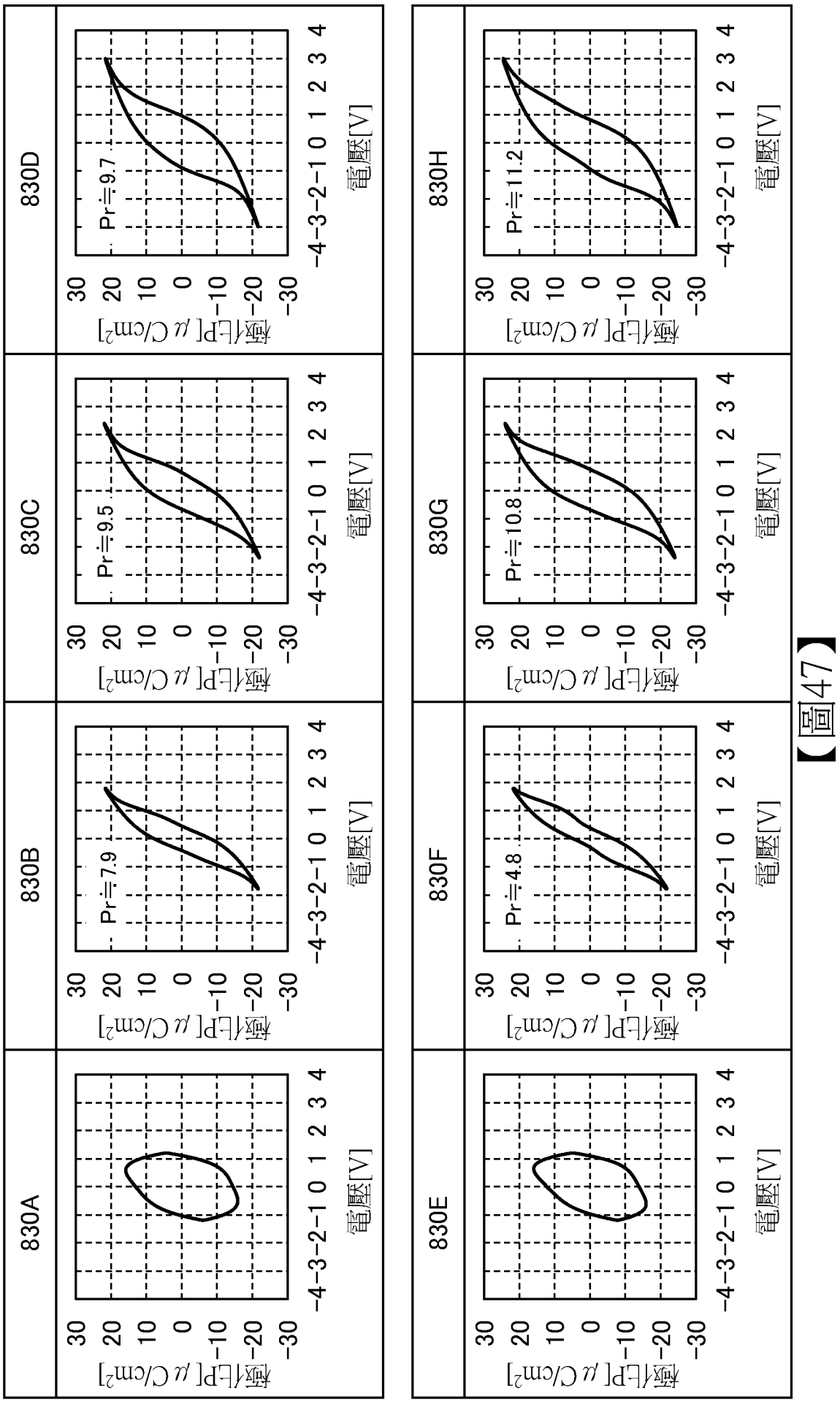
【圖45B】


800C_3
821
822
極化P [μC/μm²]
電場強度E [MV/cm]
30
20
10
0
−10
−20
−30
4
2
0
2
4

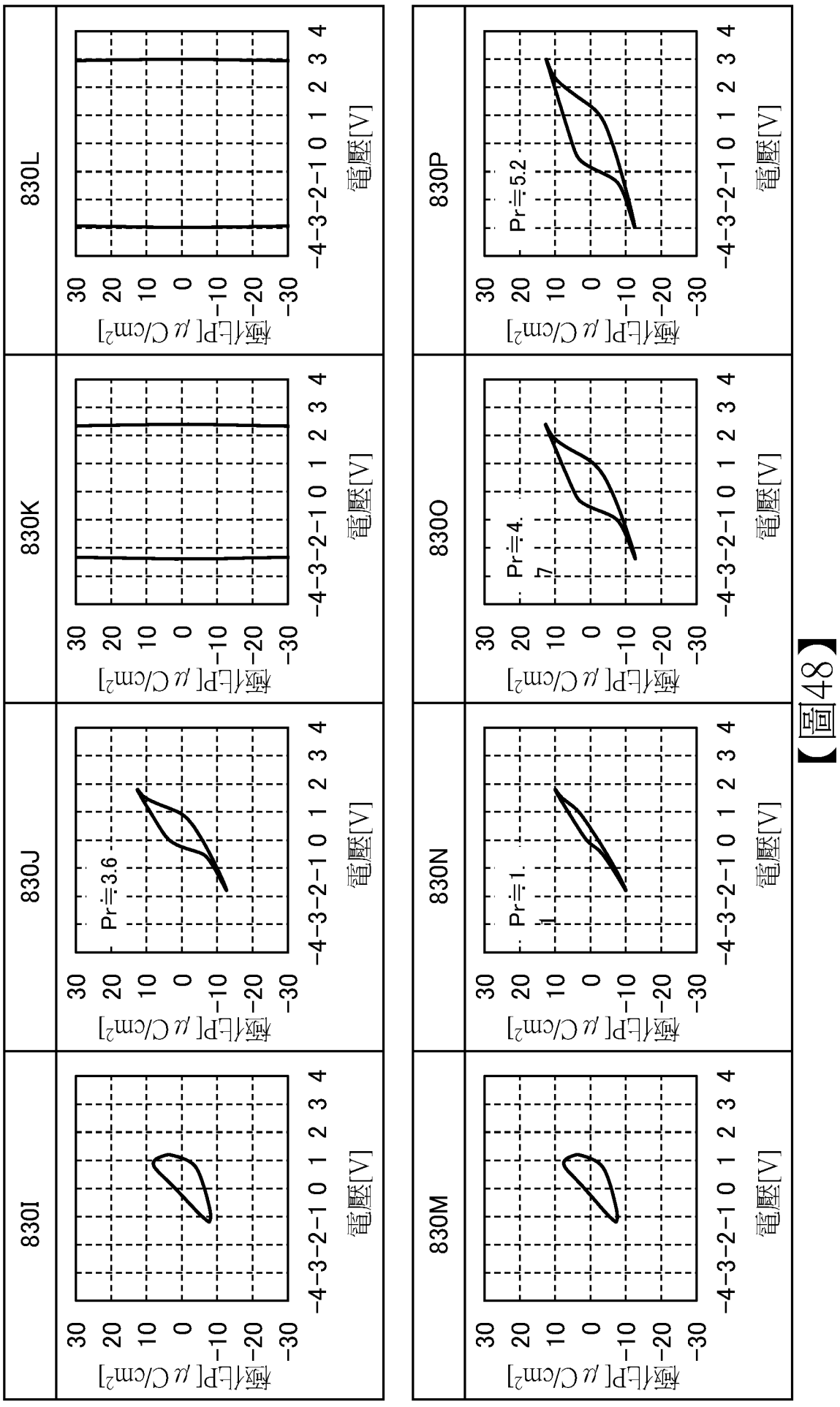
【圖46A】


800C_3
極化P [μC/μm²]
循環次數[次]
25
20
15
10
5
0
−5
−10
−15
−20
−25
1
10²
10⁴
10⁶
10⁸
10¹⁰

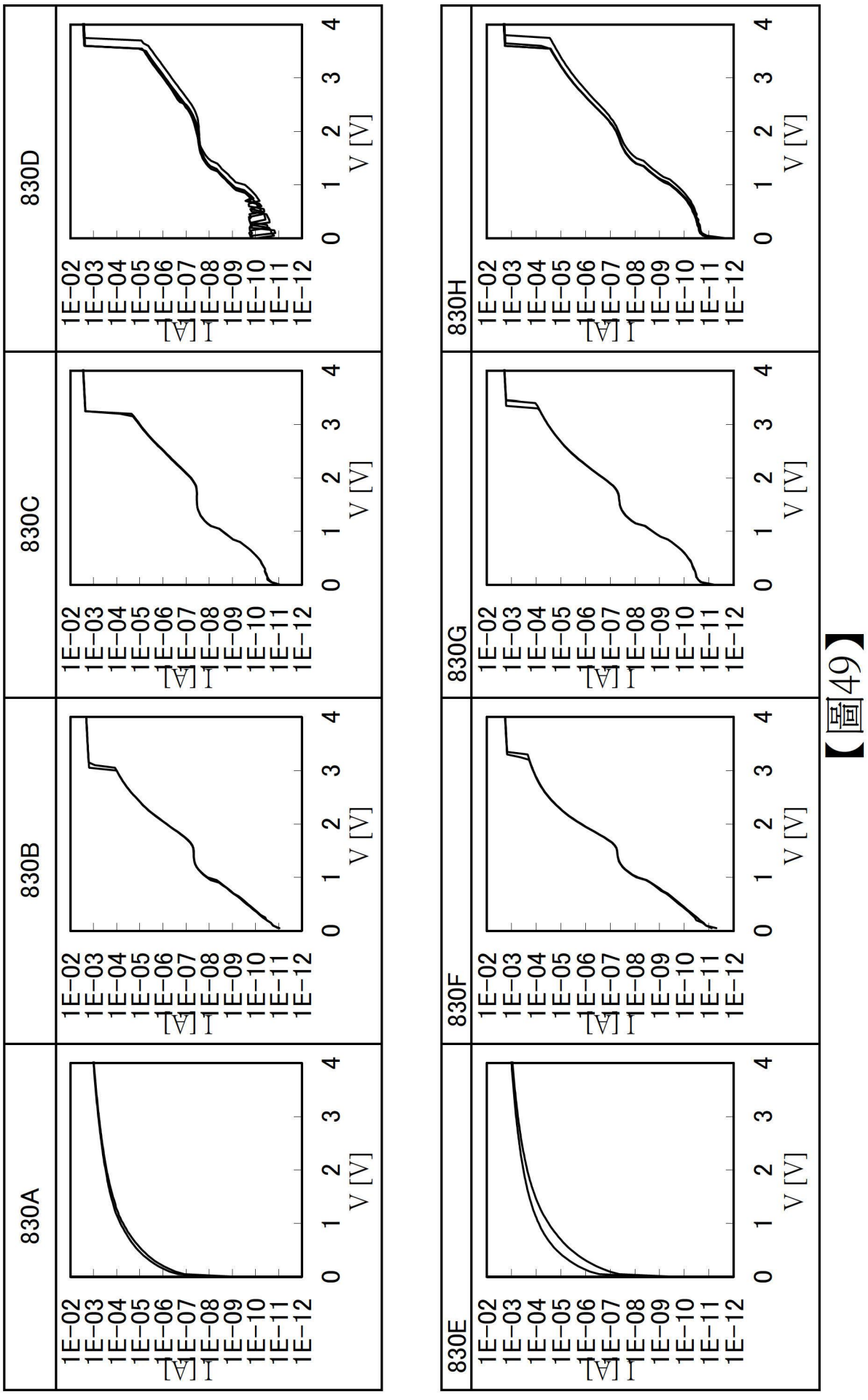
【圖46B】


830A
830B
Pr≒7.9
830C
Pr≒9.5
830D
Pr≒9.7
830E
830F
Pr≒4.8
830G
Pr≒10.8
830H
Pr≒11.2
極化[P[μC/cm²]
電壓[V]
30
20
10
0
−10
−20
−30
−4 −3 −2 −1 0 1 2 3 4

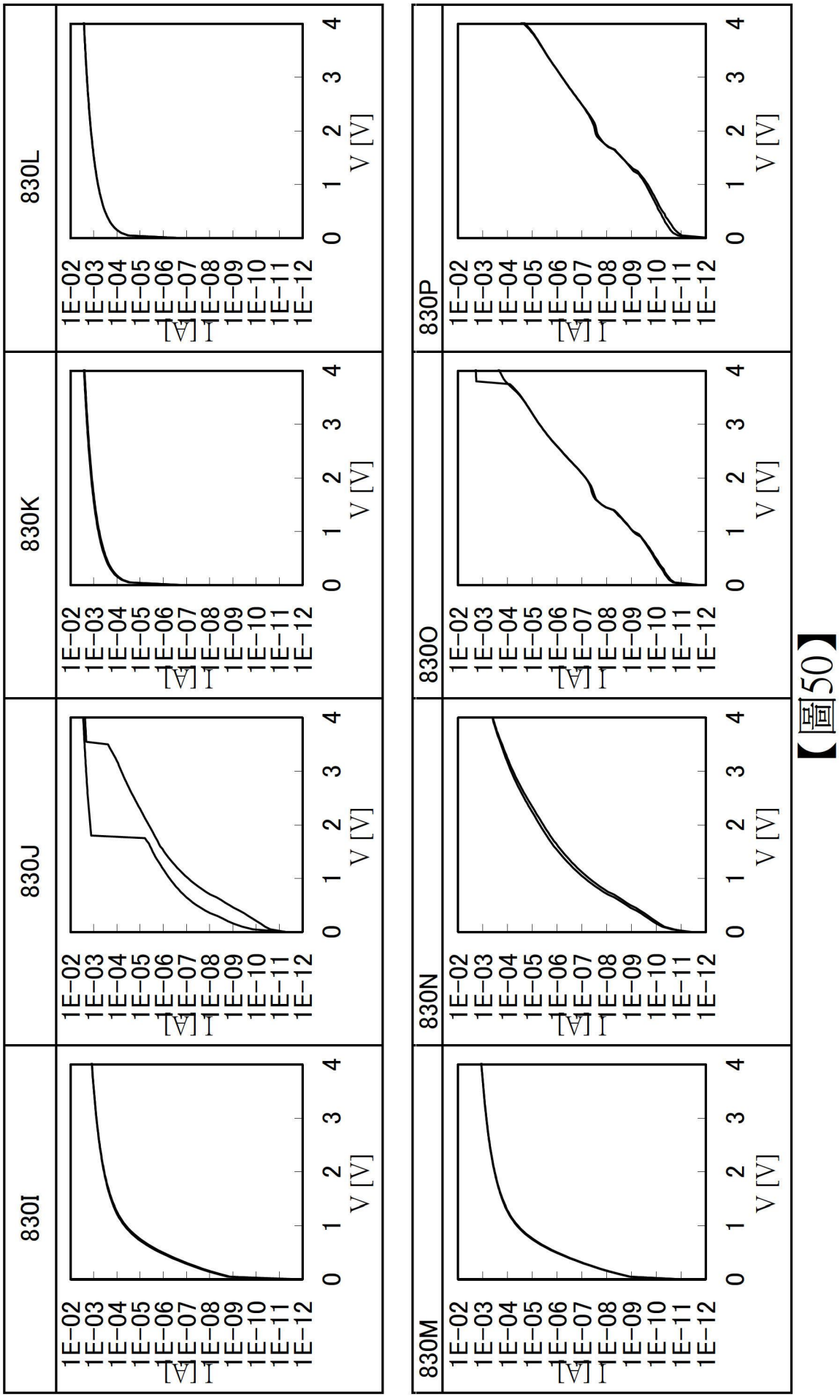
【圖47】


830I
830J
830K
830L
830M
830N
830O
830P
極化P[μC/cm²]
電壓[V]
Pr≒3.6
Pr≒1.
Pr≒4.
Pr≒5.2

【圖48】


830A
830B
830C
830D
830E
830F
830G
830H
I [A]
V [V]
1E−02
1E−03
1E−04
1E−05
1E−06
1E−07
1E−08
1E−09
1E−10
1E−11
1E−12
0
1
2
3
4

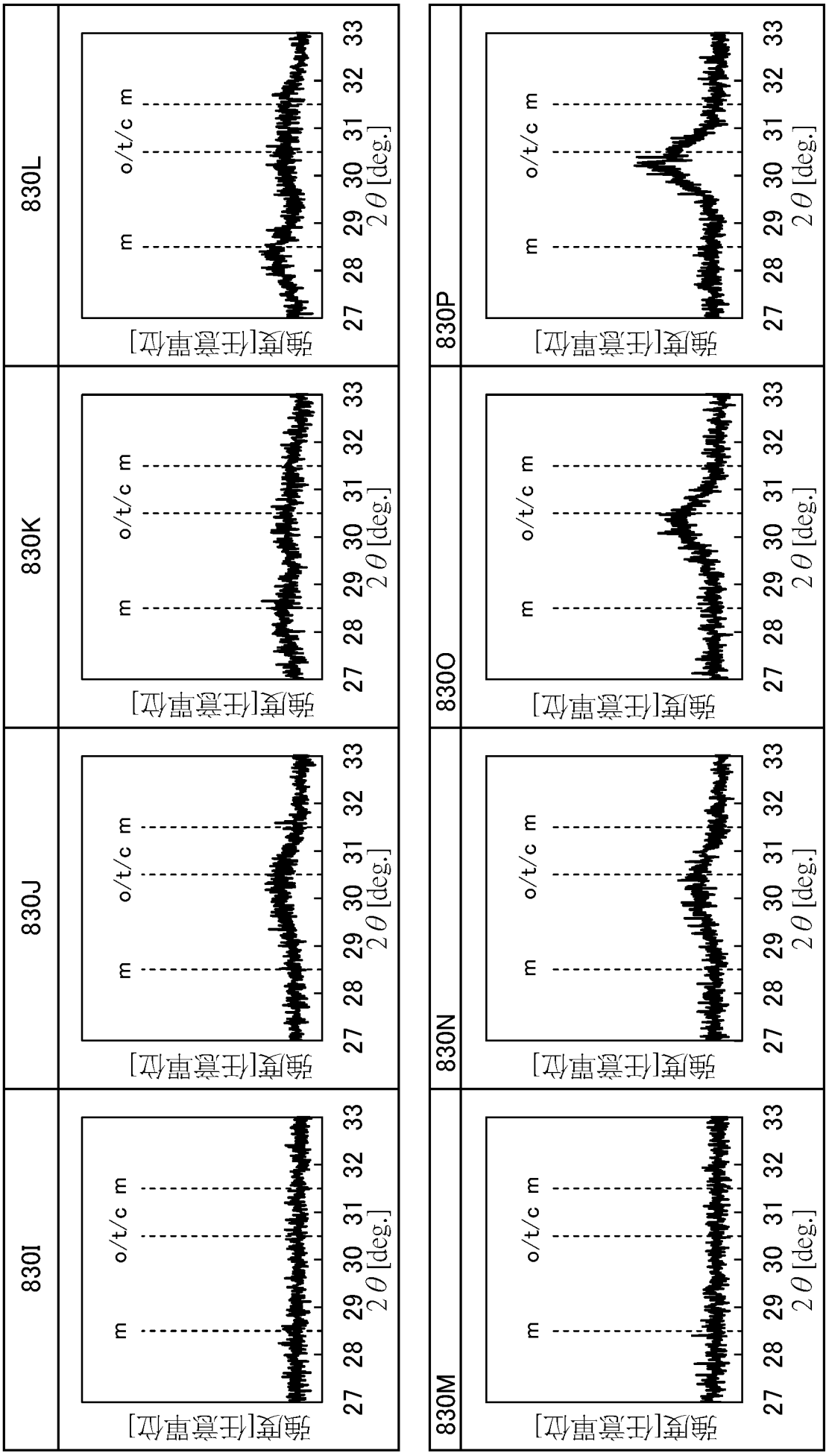
【圖49】


830I
830J
830K
830L
830M
830N
830O
830P
I [A]
1E−02
1E−03
1E−04
1E−05
1E−06
1E−07
1E−08
1E−09
1E−10
1E−11
1E−12
0 1 2 3 4
V [V]

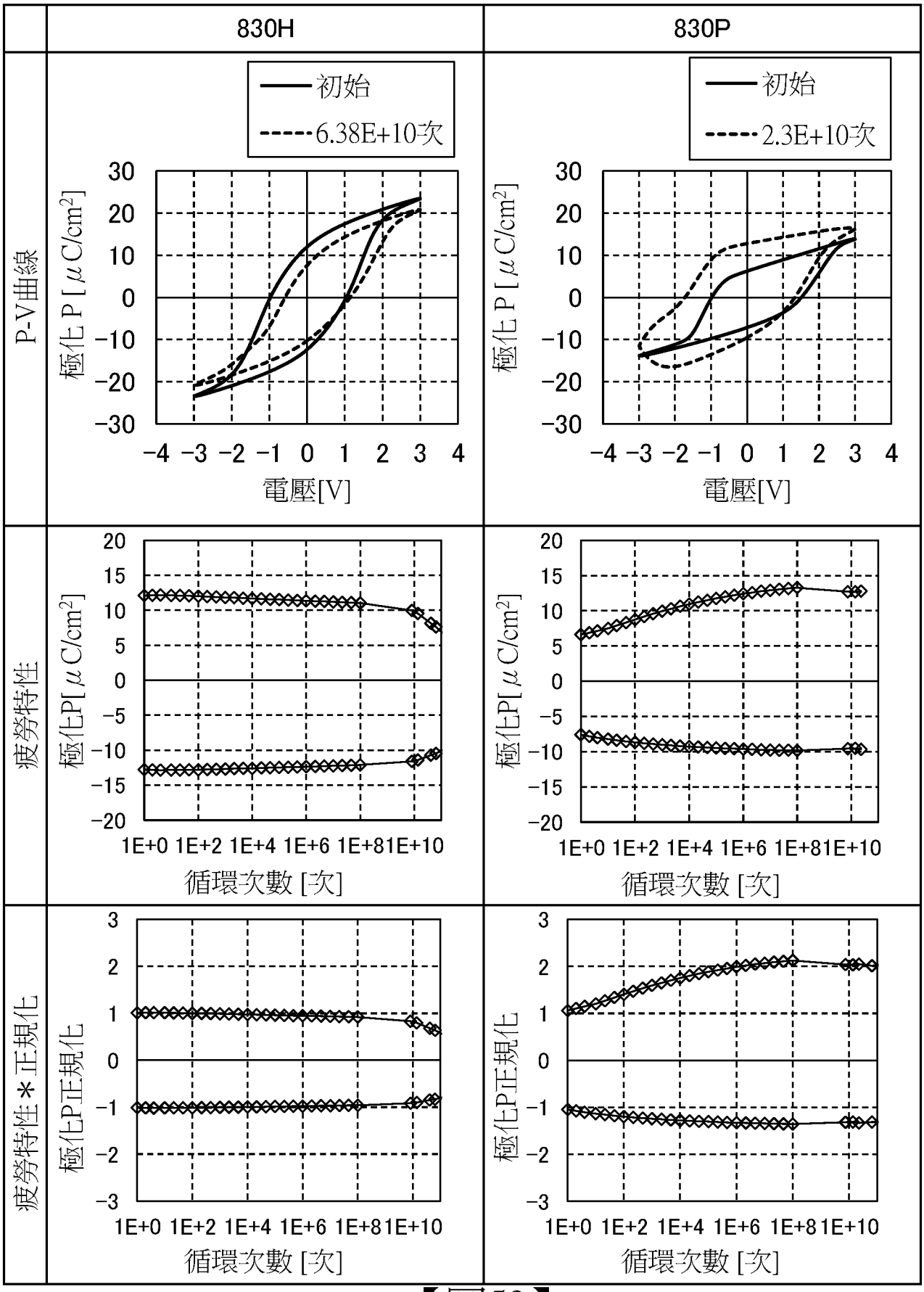
【圖50】

830A
830B
830C
830D
830E
830F
830G
830H
強度[任意單位]
27 28 29 30 31 32 33
2θ [deg.]
m o/t/c m

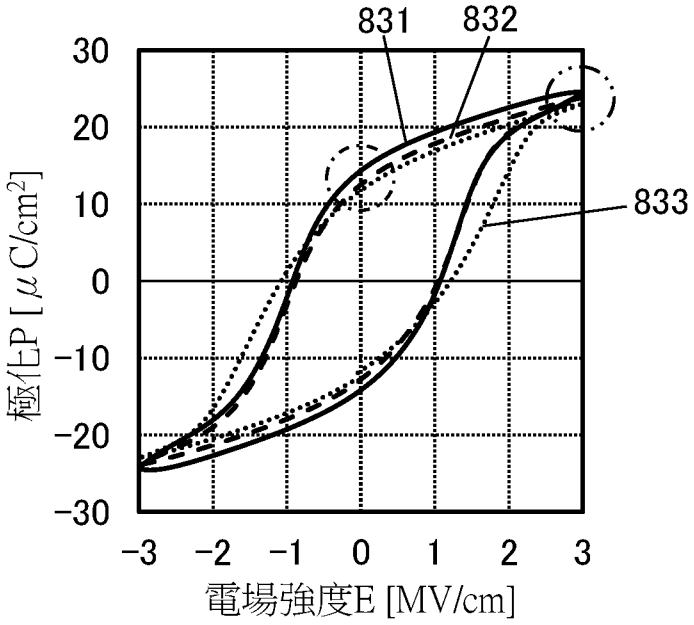
【圖51】


830I
830J
830K
830L
830M
830N
830O
830P
強度[任意單位]
27 28 29 30 31 32 33
2θ [deg.]
m
o/t/c m

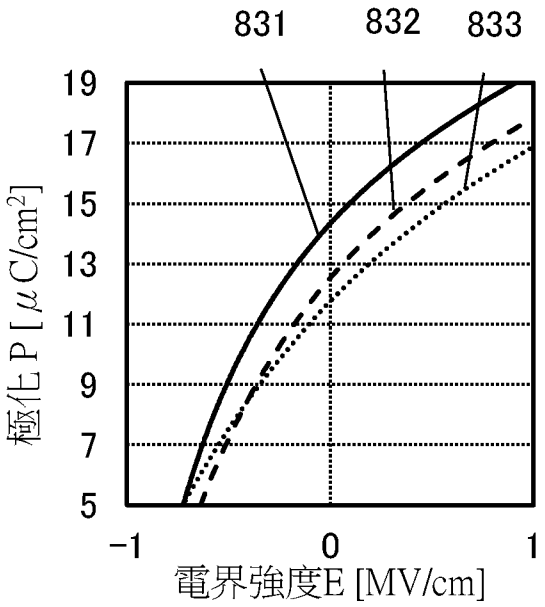
【圖52】


830H
830P
P-V曲線
初始
6.38E+10次
2.3E+10次
極化 P [μC/cm²]
電壓[V]
疲勞特性
極化PI[μC/cm²]
循環次數 [次]
疲勞特性＊正規化
極化P正規化
1E+0 1E+2 1E+4 1E+6 1E+8 1E+10

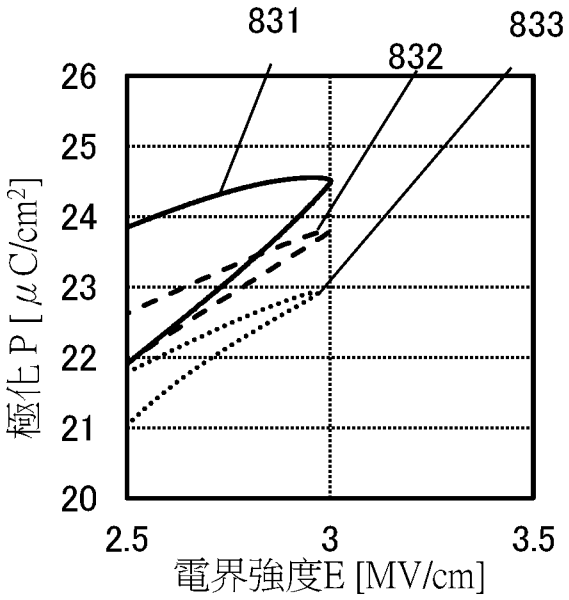
【圖53】



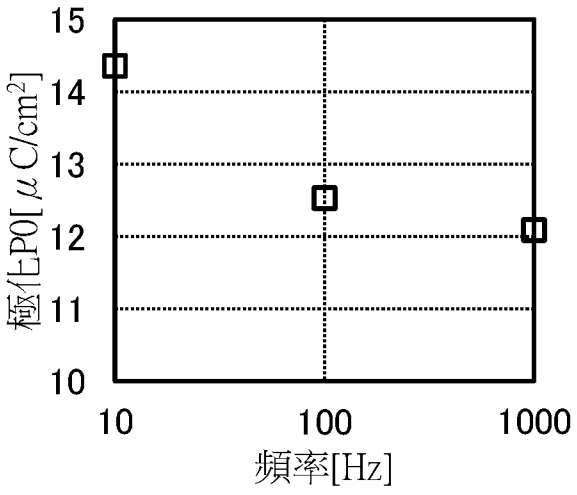
【圖54】



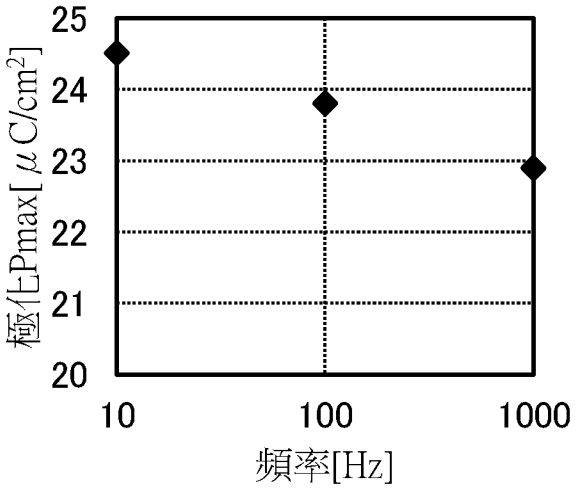
【圖55A】



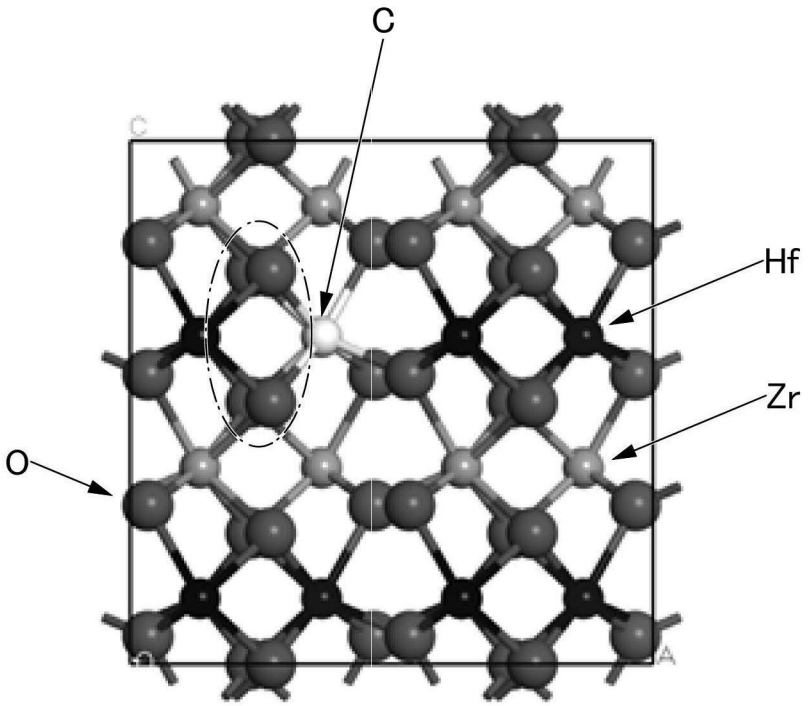
【圖55B】



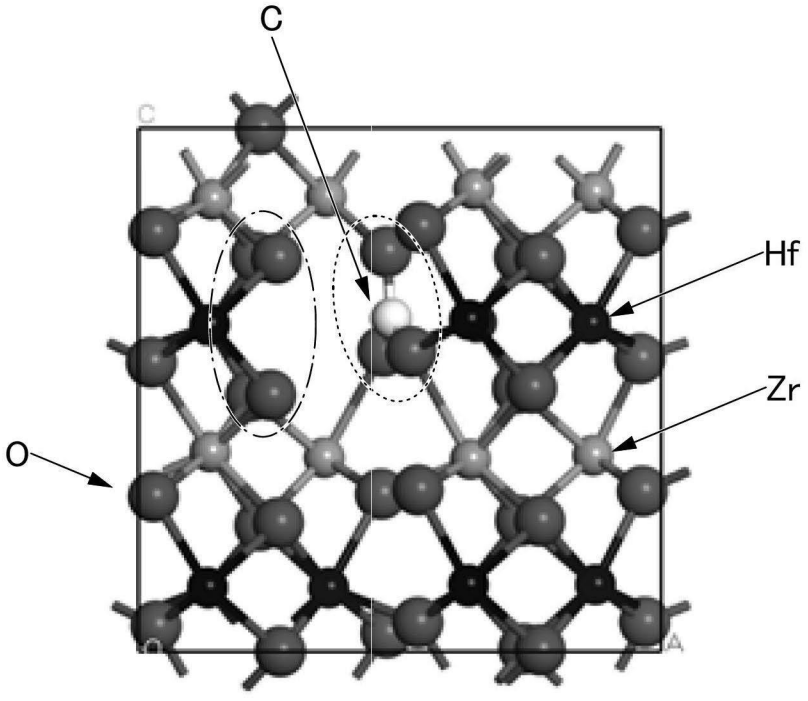
【圖55C】



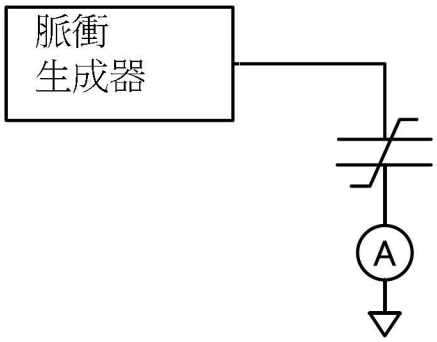
【圖55D】



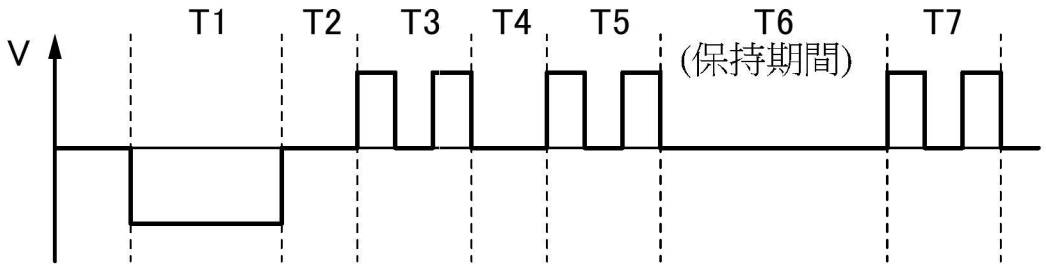
【圖56A】



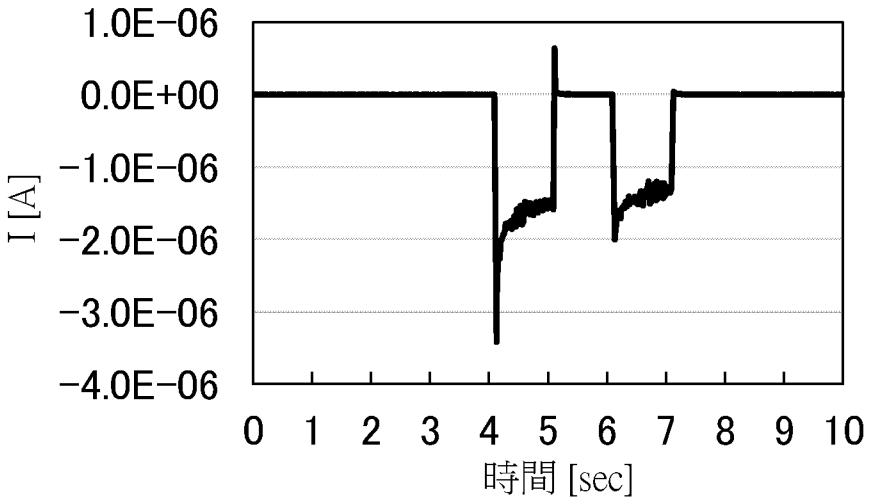
【圖56B】



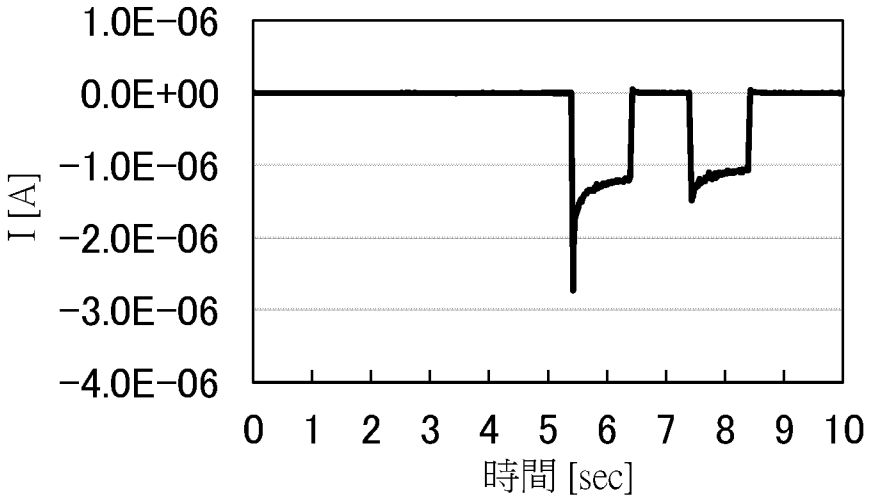
【圖57A】



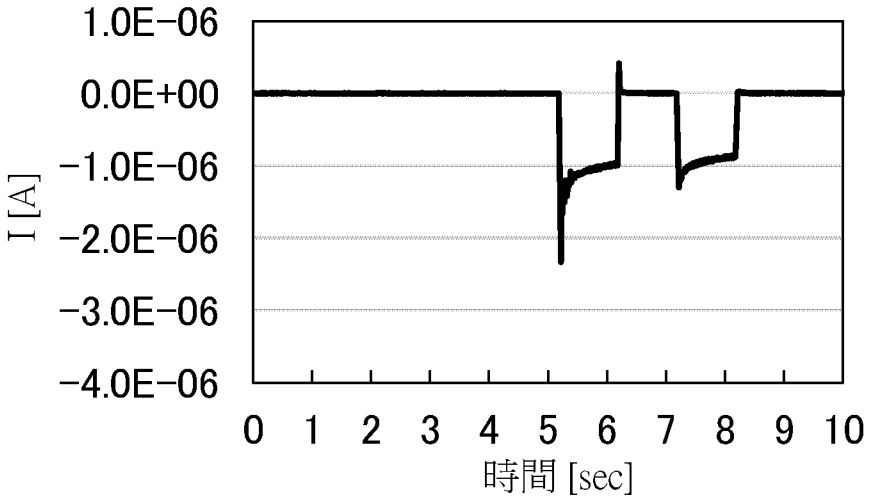
【圖57B】



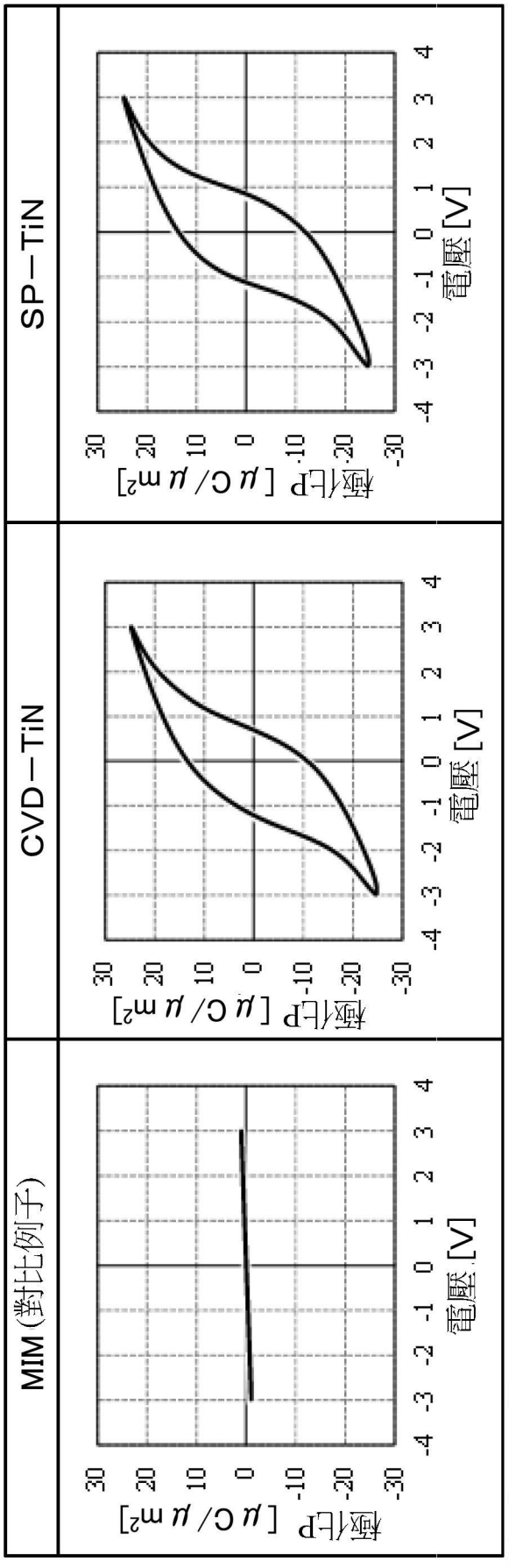
【圖58A】



【圖58B】



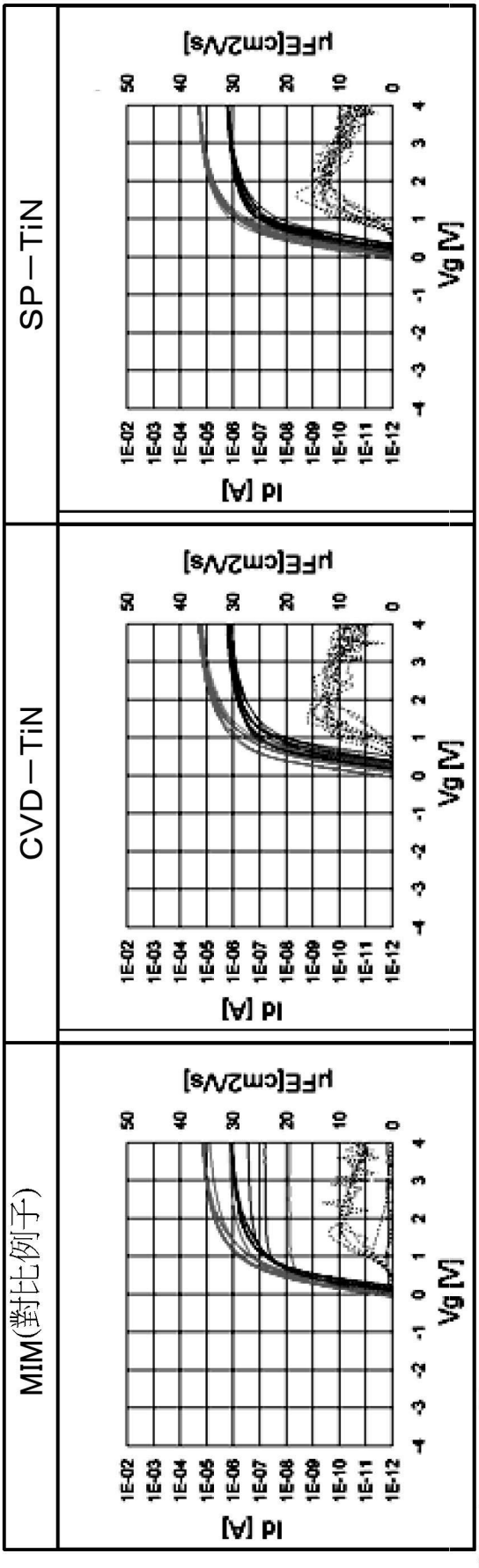
【圖58C】


MIM (對比例子)
CVD—TiN
SP—TiN
極化P [μC/μm²]
電壓 [V]

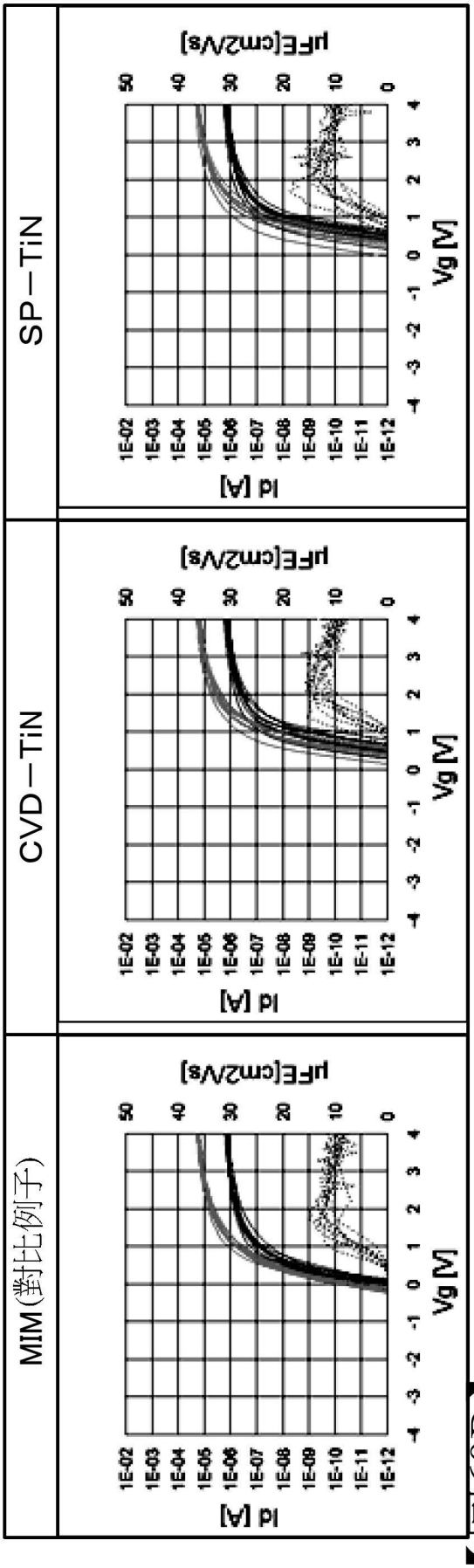
【圖59A】

MIM (對比例子)
CVD—TiN
SP—TiN
電流I [A]
電壓 [V]

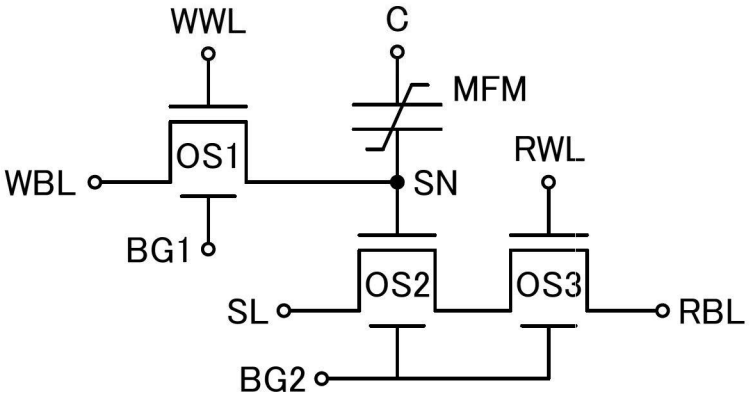
【圖59B】


SP－TiN
CVD－TiN
MIM(對比例子)
Id [A]
μFE[cm2/Vs]
Vg [V]

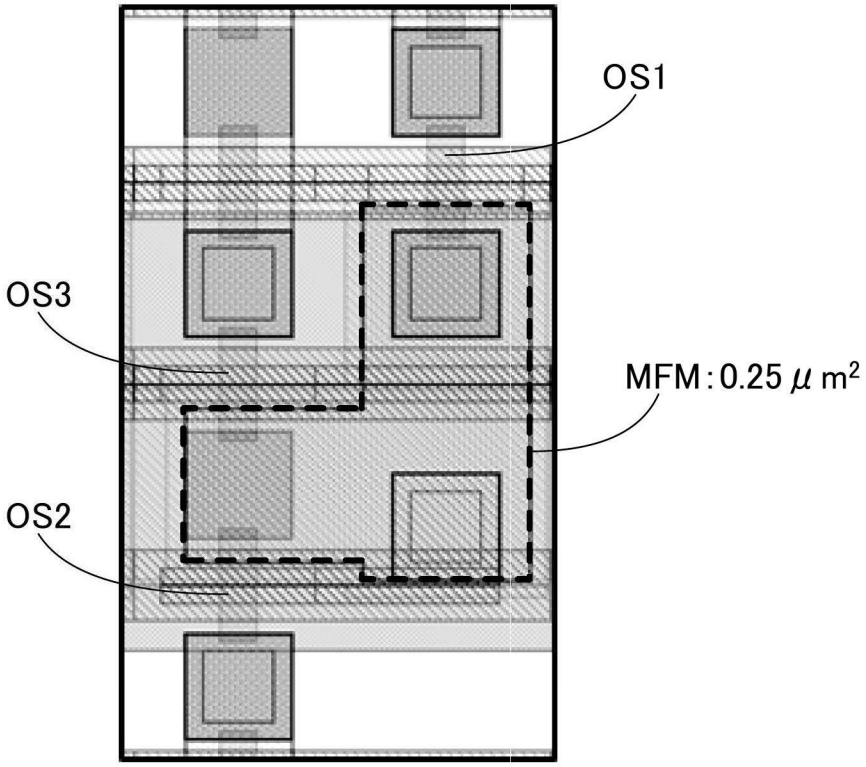
【圖60A】


SP－TiN
CVD－TiN
MIM(對比例子)
Id [A]
μFE[cm2/Vs]
Vg [V]

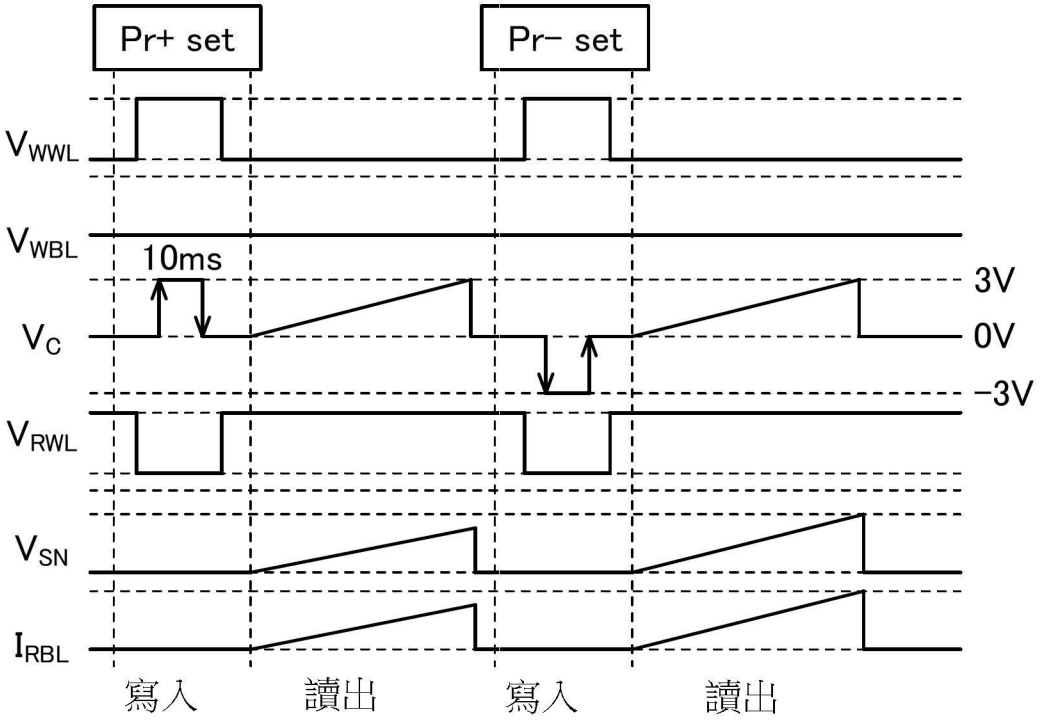
【圖60B】


WWL
C
MFM
OS1
WBL
SN
RWL
BG1
OS2
OS3
SL
RBL
BG2

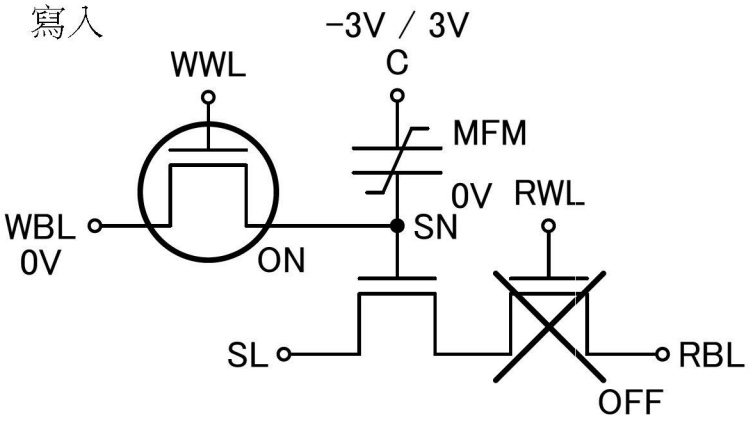
【圖61A】


OS1
OS3
MFM : 0.25 μ m²
OS2

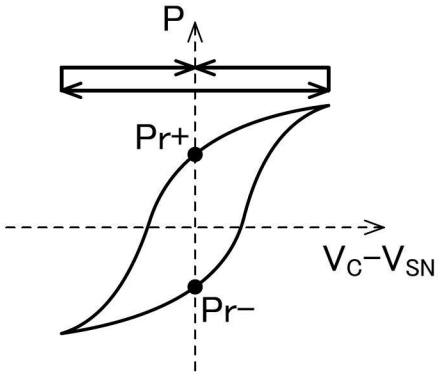
【圖61B】



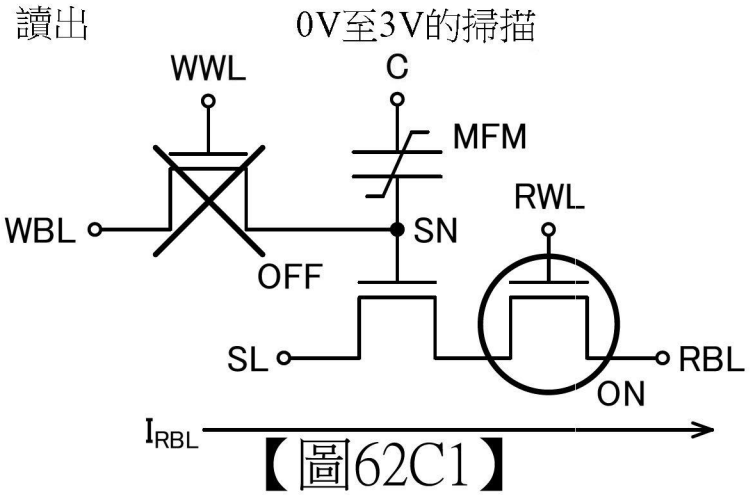
【圖62A】



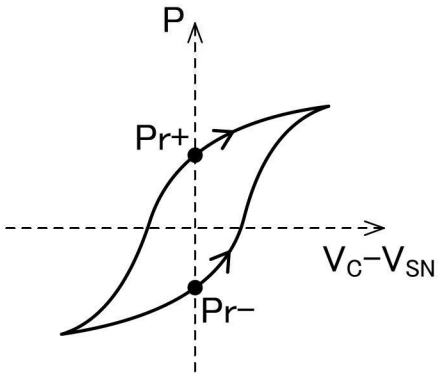
【圖62B1】



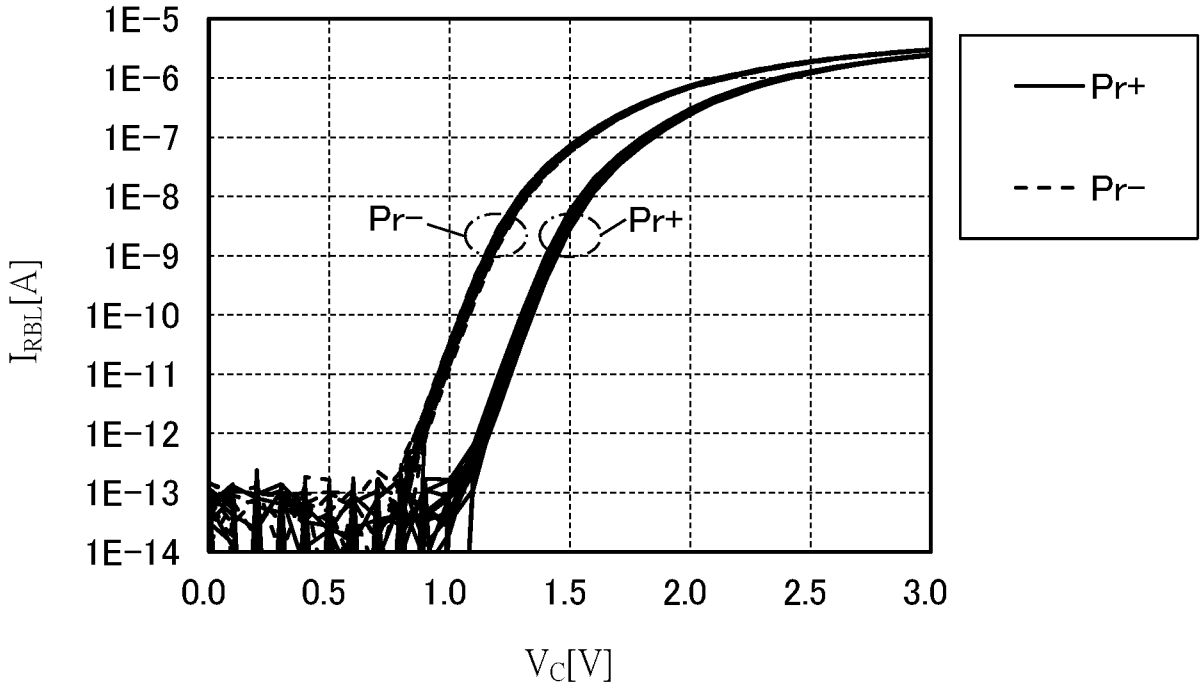
【圖62B2】



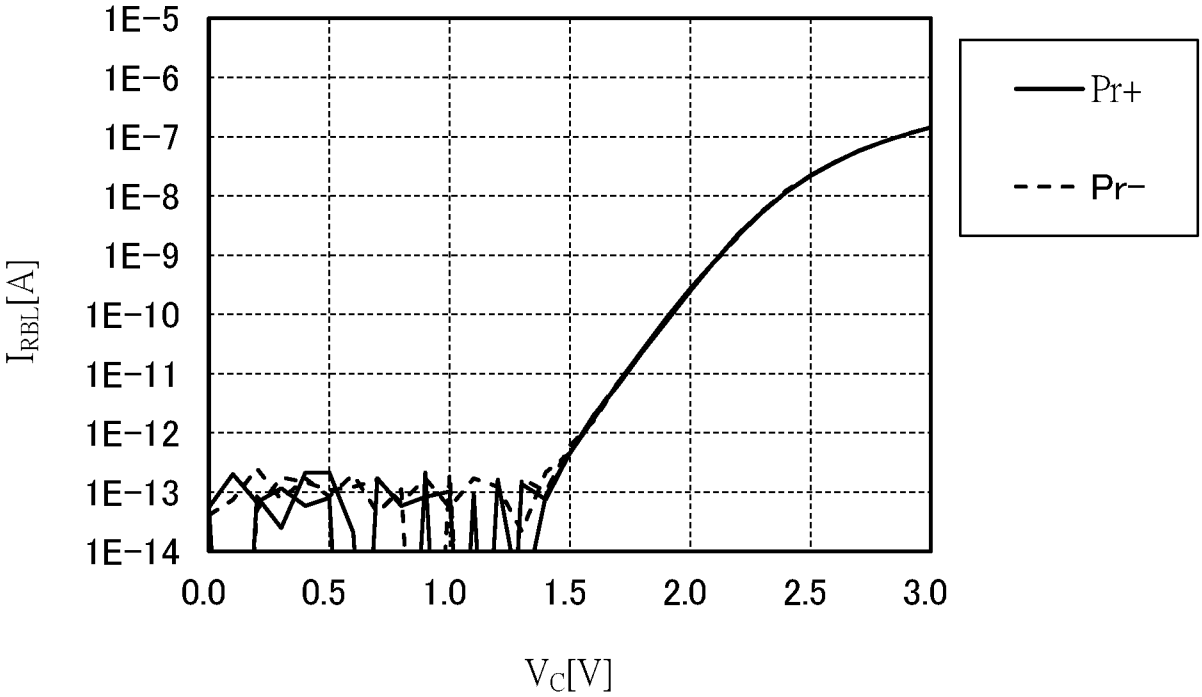
【圖62C1】



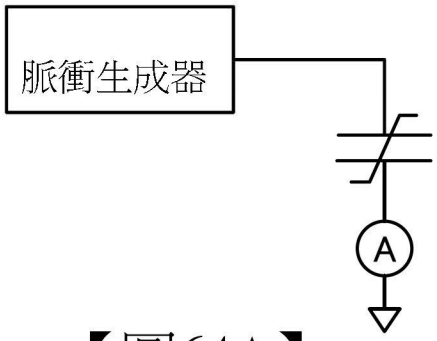
【圖62C2】


1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
Pr−
Pr+
Pr+
Pr−
0.0
0.5
1.0
1.5
2.0
2.5
3.0
IRBL[A]
VC[V]

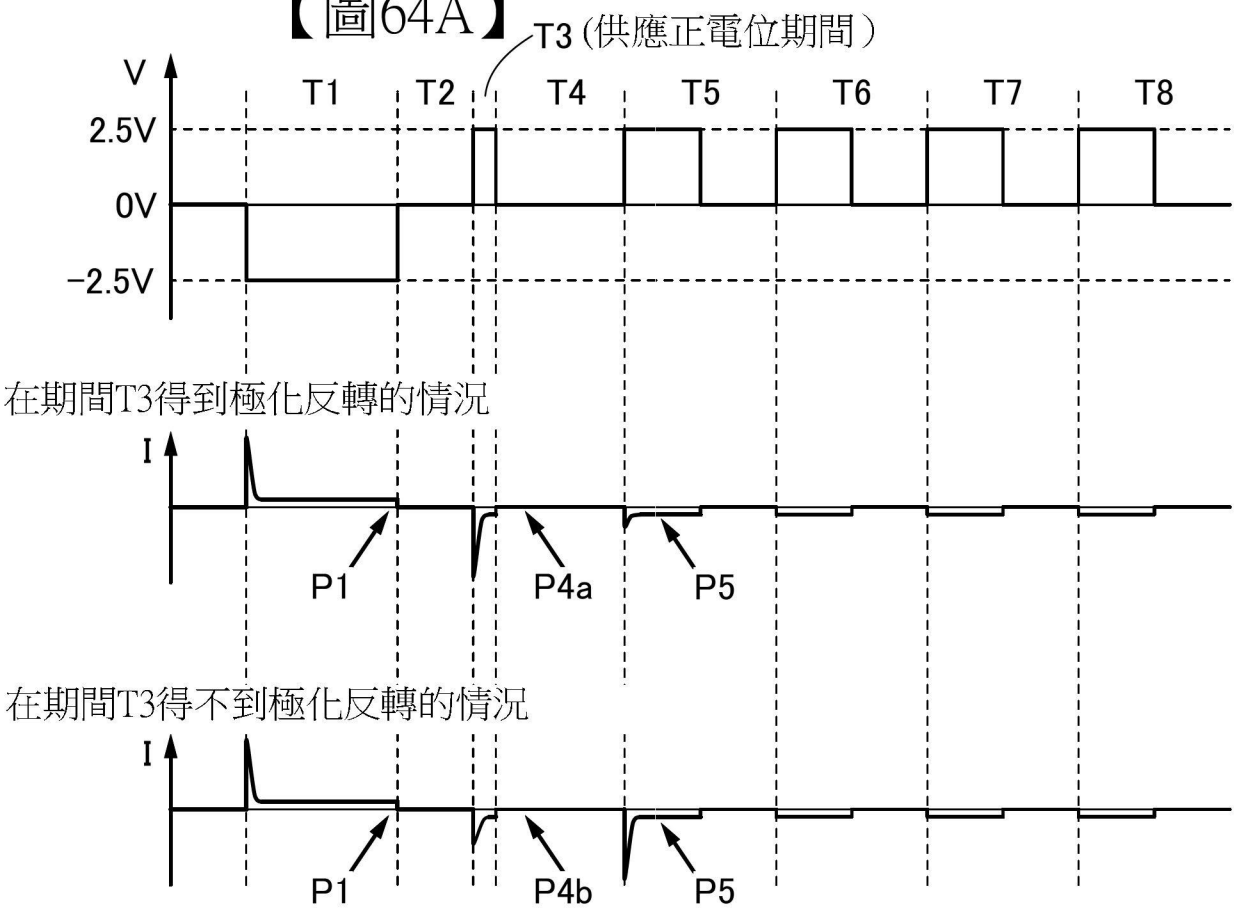
【圖63A】


1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
Pr+
Pr−
0.0
0.5
1.0
1.5
2.0
2.5
3.0
IRBL[A]
VC[V]

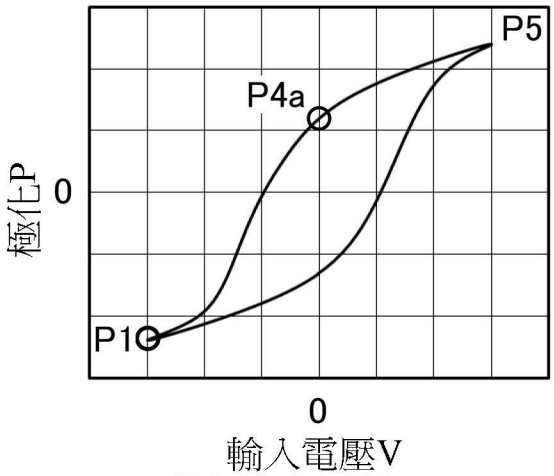
【圖63B】



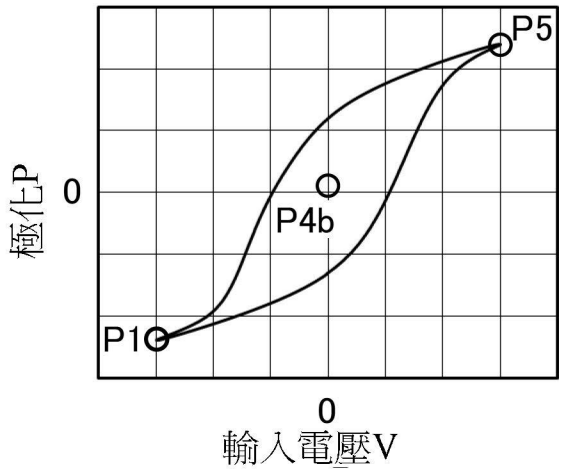
【圖64A】



【圖64B】

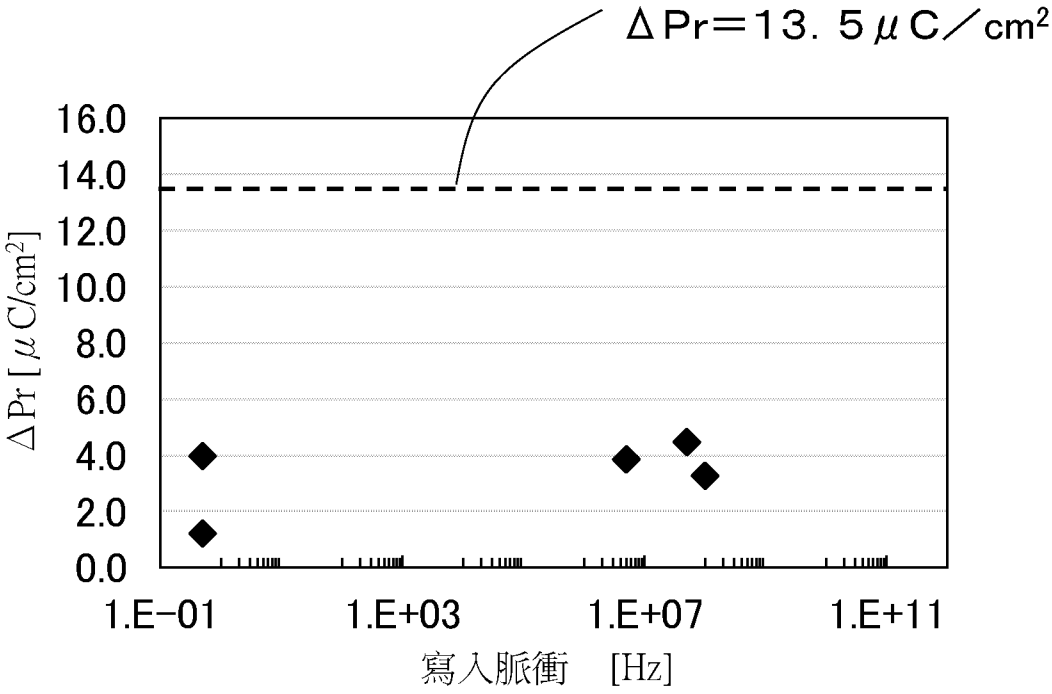


【圖64C】

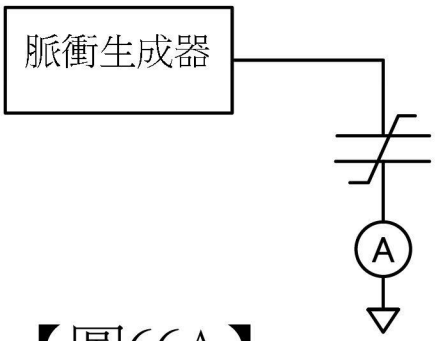


【圖64D】

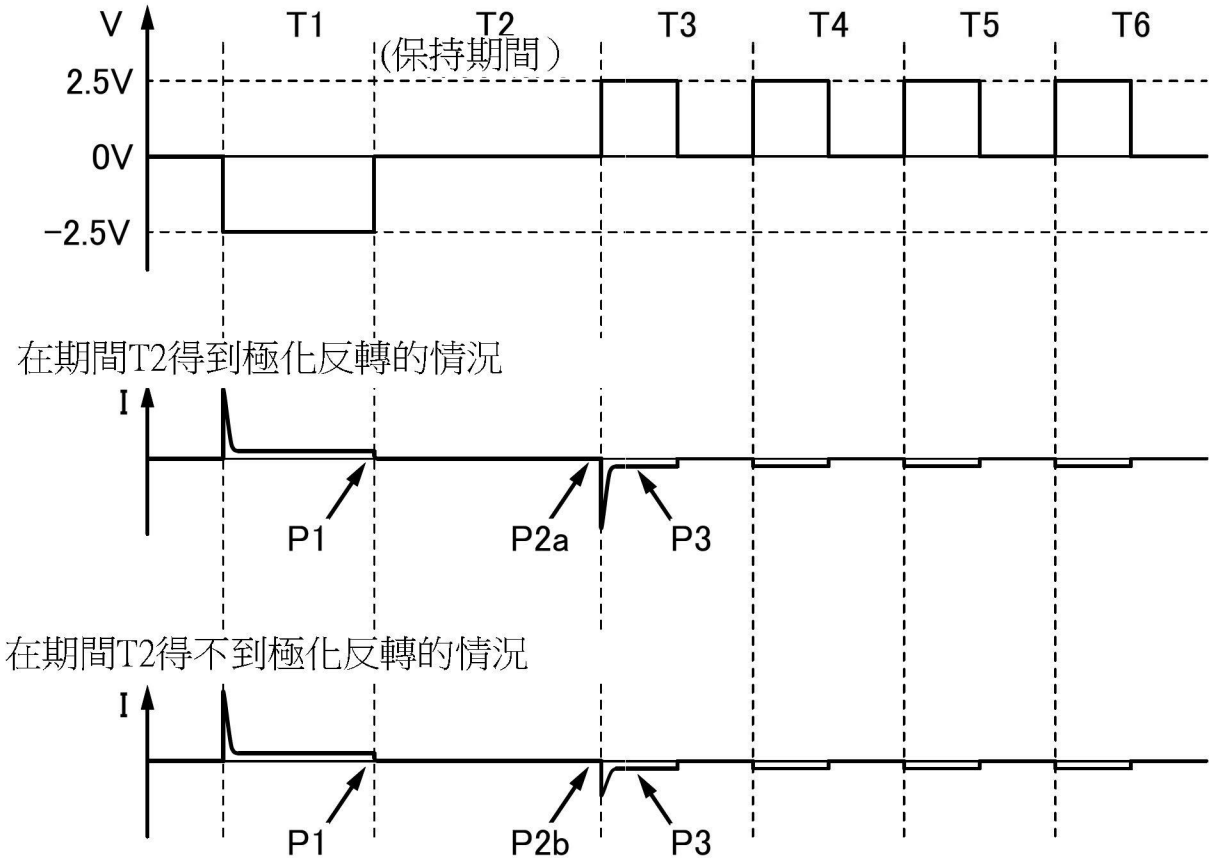
在期間T3沒有進行寫入的情況下，



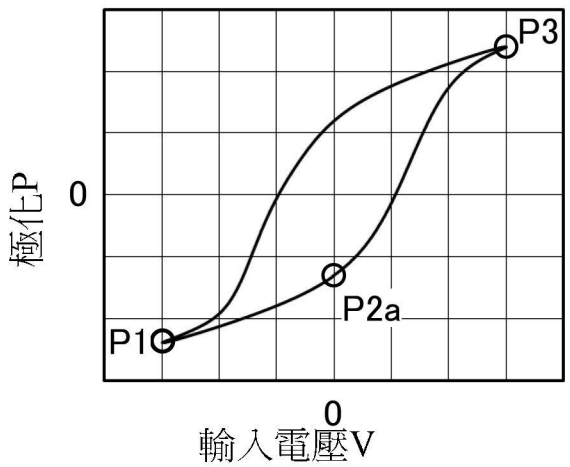
【圖65】



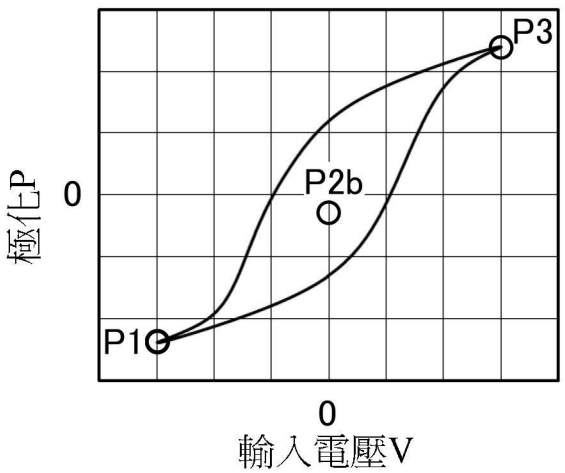
【圖66A】



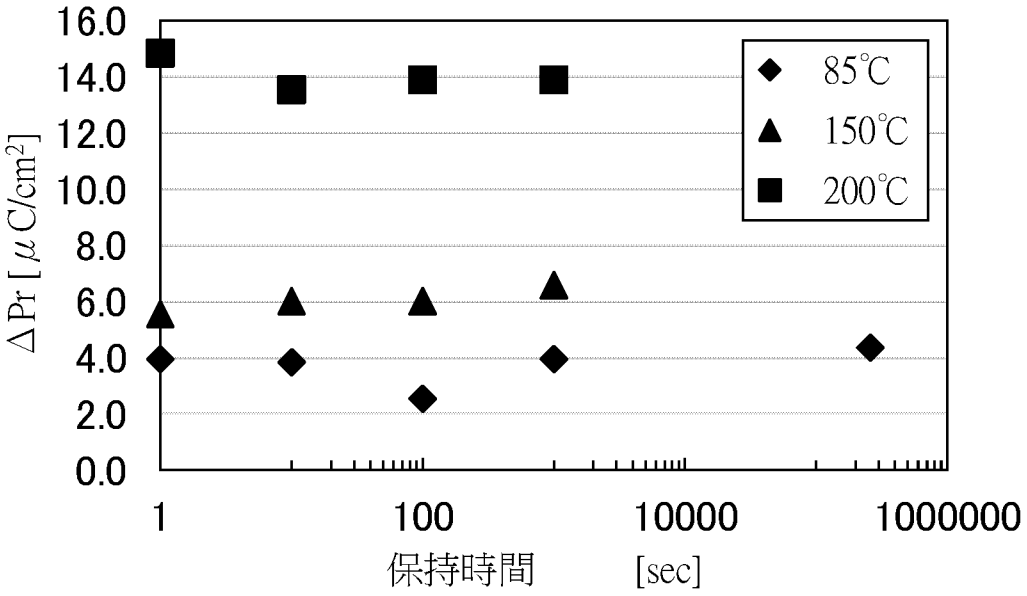
【圖66B】



【圖66C】



【圖66D】


16.0
14.0
12.0
10.0
8.0
6.0
4.0
2.0
0.0
ΔPr [μC/cm²]
85℃
150℃
200℃
1
100
10000
1000000
保持時間
[sec]

【圖67】