

414981 公告本

89. 4. 27

申請日期	87. 8. 14
案 號	87113377
類 別	1+01L 21/60

專利申請案第 87113377 號

ROC Patent Appln. No. 87113377

修正之中文說明書-附件一

Amended Chinese Specification- Encl. I

(89 年 4 月 27 日送呈)

(Submitted on April 27, 2000)

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體元件引線架之彎曲和成型方法
	英 文	BENDING AND FORMING METHOD OF FABRICATING EXPOSED-LEADFRAMES FOR SEMICONDUCTOR DEVICES
二、發明 創作人	姓 名	1. 卡爾特 (Buford H. Carter, Jr.) 2. 克拉克 (Jesse E. Clark) 3. 凱大衛 (David R. Kee)
	國 籍	1-3 皆美國籍
三、申請人	住、居所	1. 美國德州理查森市潘特大道 902 號 902 Pinecrest Drive, Richardson, Texas 75080, USA 2. 美國德州卡羅頓市國王大道 2845 號 2845 Kings Gate Drive, Carrollton, Texas 75006, USA 3. 美國德州理查森市安伯大道 1513 號 1513 Ambleside Lane, Richardson, Texas 75082, USA
	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempler)

414981

裝

訂

線

414981 公告本

89. 4. 27

申請日期	87. 8. 14
案 號	87113377
類 別	1+01L 21/60

專利申請案第 87113377 號

ROC Patent Appln. No. 87113377

修正之中文說明書-附件一

Amended Chinese Specification- Encl. I

(89 年 4 月 27 日送呈)

(Submitted on April 27, 2000)

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體元件引線架之彎曲和成型方法
	英 文	BENDING AND FORMING METHOD OF FABRICATING EXPOSED-LEADFRAMES FOR SEMICONDUCTOR DEVICES
二、發明 創作人	姓 名	1. 卡爾特 (Buford H. Carter, Jr.) 2. 克拉克 (Jesse E. Clark) 3. 凱大衛 (David R. Kee)
	國 籍	1-3 皆美國籍
三、申請人	住、居所	1. 美國德州理查森市潘特大道 902 號 902 Pinecrest Drive, Richardson, Texas 75080, USA 2. 美國德州卡羅頓市國王大道 2845 號 2845 Kings Gate Drive, Carrollton, Texas 75006, USA 3. 美國德州理查森市安伯大道 1513 號 1513 Ambleside Lane, Richardson, Texas 75082, USA
	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempler)

414981

414981

裝

訂

線

414981

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期：西元1997年案號 08/926,150 ，☒有 ☐無主張優先權
9月9日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明範圍

本發明一般與半導體裝置引線架的設計及製造、該等裝置之封裝、以及更特別的與彎曲及成型該引線架的某些線段有關，由是在困難的設計限制下，晶片安裝接合墊得以曝露在封裝的一面。

發明背景

消耗高功率或用於高頻遠距通信的功率半導體裝置及其它積體電路裝置，以往使用曝露其引線架部份於周圍的方法，將裝置所產生的熱量散逸，並提供裝置電氣射頻的接地。如此的方法描述於1997年1月14日美國專利申請序號5,594,234中，本發明與之相關。以此習知技術所製造之半導體裝置典型的以引線架為基礎，包括一在第一水平面的第一多條的線段以及在第二水平面的一晶片安裝接合墊，如此這兩個水平面的距離相對的短，且毫不困難的可以第二多條的線段橋接。由於固有材料的特性，特別是對拉力的容忍度，此距離非常的短，或在如此淺的角度下，由習知技術所製造具有曝露的晶片安裝接合墊之半導體裝置，被限制於低外形的封裝(厚度為1.0mm或更小)。另一方面，標準厚度封裝、標準小型廣體封裝、及PowerPAD™裝置在電子裝備及應用上常有需求。此外，許多應用要求最小需求面積的低外形封裝，但有曝露於外的引線架。習知的技術無法滿足這些要求。

發明概述

本發明相關於半導體裝置使用的引線架，包括在第一水平面的第一多條的線段、安裝在第二水平面的一晶片、以及第二多條的引線架線段，將該晶片安裝接合墊連接至該引線架。該第二多條線段具有一幾何設計，得以在固有材料特性基礎下，容忍超過

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

製

五、發明說明(2)

單純延伸限度的彎曲及拉力。該晶片安裝接合墊延伸並穿過封包的塑膠包裝。

本發明之目的為擴展曝露引線作散熱之用的概念至標準厚度的半導體封裝。

本發明之另一目的，為提供一種經由以超過固有材料特性單純延伸限度的彎曲及拉力形成引線架的方法。

本發明之另一目的，為提供彈性寬引線架之設計以及範圍廣泛的引線架材質方法。

本發明之另一目的為提供一種方法，適用於需要彈性、高功率及高信號能力、高可靠度及經濟效益之數位信號處理、混合信號、微處理器、特定用途產品或其它商用或軍用之各種半導體裝置家族。

本發明之另一目的為提供一種方法，適用於各種半導體封裝型式，包括小型封裝、四方扁平封裝、高頻及高功率表面粘貼封裝等。

這些目的經由關連所需的線性幾合、形成角、材料厚度、材料特性、及拉力而達成。這些組合已應用於標準厚度、高功率及高頻率曝露引線架封裝的製造。

本發明所提出技術上之優點以及其目的，經由以下本發明之較佳實施例的描述，配合相關附圖及專利申請範圍附錄中所列之原創特性來考量將會變得更加清楚。

圖式簡述

本發明第一實施例之半導體導線架，在導線架形成處理前後的頂視圖。

圖1B為在形成處理之後圖1A中之導線架沿著線1B-1B之側視圖。

五、發明說明 (3)

圖2A為圖1A中導線架之重新設計，在導線架形成處理前後之頂視圖。

圖2B為在形成處理之後圖2A中之導線架沿著線2B-2B之側視圖。

圖2C為圖2A中環形線部份的細部，顯示環形線形成處理的前後。

圖3A為依據本發明第二實施例導線架之頂視圖。

圖3B為在圖3A中的導線架形成處理後，沿著線3B-3B之側視圖。

圖3C為在圖3A中的環形線部份細部放大圖，顯示環形線形成處理的前後。

圖4A為依據本發明第三實施例導線架之頂視圖。

圖4B為在圖4A中的導線架形成處理後，沿著線4B-4B之側視圖。

圖4C為在圖4A中的環形線部份細部放大圖，顯示環形線形成處理的前後。

圖5A為依據本發明之另一實施例導線架之頂視圖，顯示導線架形成處理的前後。

圖5B為在圖5A中的導線架形成處理後之側視圖。

圖6A、6B、及6C為標準厚度小型外形及曝光晶片接合墊塑膠封裝不同的視面圖，具有以彎曲及成型之方法所製造的導線架。

圖6D為圖6C部份的細部放大圖。

圖7A、7B、及7C為薄厚度之小型外形、曝光晶片接合墊及最小消耗面積之塑膠功率封裝不同的視面圖，具有以彎曲及成型之方法所製造的導線架。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

頁

五、發明說明(4)

圖7D為圖7C部份的細部放大圖。

較佳實施例之說明

如圖1至圖4所述，本發明相關於可用於現今單晶片半導體導線架之製造處理及所配置的裝備基台。具有一晶片安裝接合墊的單片導線架，形成在裝置半導體晶片的一平面上，與多條導線線段的平面不同。設計一第二多條導線線段，得以在標準厚度半導體裝置半導體之相當距離將之彎曲形成支撐。

半導體裝置導線架的發明(美國專利案號3,716,764及4,043,027)是為了能支援半導體裝置的數個需求及同時的運作。首先，導線架提供穩固的支撐接合墊放置半導體晶片。因為導線架所包括的接合墊是由導電材料製成，當有需求時，可將接合墊偏壓至網路所包含半導體裝置的任何電位，特別是接地電位。其次，導線架提供多個的導線線段將各種的電導體接連至晶片鄰近。線段端點和電路表面導體接合墊間的空隙，典型的由薄的接線橋接，分別的接合至晶片接觸接合墊及導線架線段(接線接合)。

為了製造上的方便及經濟效益，實際上由薄片的金屬如銅(典型的厚度範圍為120至250微米)製造單片的導線架。導線架需求的外形由此原始的薄片蝕刻或壓斷。以此方法，導線架的個別線段採用由設計所決定特殊外形金屬薄條的型式。對大多數的目的，典型線段的長度遠較其寬度為長。此外，在此發展的早期階段，導線架的所有線段維持在一水平面上，稱之為金屬的起始薄板平面。

基於線接合技術上的原因，很快的就有在水平面上置放晶片安裝接合墊稍微由線段平面位移(約為10至20微米)的需求。因此，那些少數與晶片安裝接合墊連接的線段，現在必須形成為稍

五、發明說明(5)

許容納配合兩個平面間所需的步階。此形成是施加一個外部的力量來達成。結果，這些線段變為由原來多條多數線段所分離之多條線段。晶片安裝接合墊的強度保持不變。

在導線架的量產製造上，晶片接合墊、線段及支稱結構的完整樣式，首先由金屬薄片原始平板以壓斷或蝕刻出來，其典型的厚度為0.25或0.15釐米。初始的材料包括但不限定於銅、銅合金、鐵-鎳合金以及不變鋼(銅鎳合金)。接著，將導線架的主要部份夾在一個水平面上，為了壓成一新的水平面，施加一個力至晶片接合墊。支稱晶片接合墊的線段必需擴張以吸收此力，將之“壓製”為其最後的幾何形狀。

以說明之方法，在沿著線段長度的方向施加一外力，可將線段沿著長度的方向擴張，而其寬度僅稍微的減少，所以新的外形看起來被延長。對相較於長度一小量的延伸且達一個限度，稱之為材料所提供的彈性線度，其延伸量與力量成線性的比例。超過此彈性線度，線段承受無法回復的改變且損壞其內部強度，最後終將斷裂。

出現的導線架顯示晶片安裝接合墊延伸並穿過導線架線段封包材料之圍繞部份，以及表面粘裝封裝的半導體晶片(曝露的晶片安裝接合墊導線架，例如美國專利案號5,594,234)，在晶片安裝接合墊的水平面以及線段的水平面間之直接距離顯著的增加。此直接距離落在稱之為“薄”封裝約為400至500微米範圍內，亦即最終厚度為1.0或更小的封裝。但是如果距離是以30度或更小的傾斜角之線段橋接，此等挑戰通常可符合在材料特性限制之範圍內。例如，導線架以銅薄片材料作為基本元件(厚度範圍120至250微米)，可選擇適當的合金結合適當的熱處理，可將導線架設計成具有承受涵蓋淺角度(30度或更小)距離張力的直線段。如果需要

五、發明說明(6)

的話，可採用角度為40度或更小的多重步階來涵蓋該距離。作為一邊際效益，此結構可提供在轉移鑄模的塑膠封裝中強化缺乏塑性的導線架鑄模的優點。

曝露的晶片安裝接合墊提供由晶片至外部散熱器一直接的熱路徑，因此大大的強化了功率裝置熱容量。其它的優點包括電氣導體曝露的RF接地平面(對高頻裝置甚為重要)，縮減了封裝高度，免除傳統塑膠封裝的塑膠底層，以及移去在潮濕環境下塑膠底層受磁率形成可靠度的傷害。因而，有強烈的動機將曝露的晶片安裝接合墊引線架擴展至厚度大於1.0毫米稱之為"標準"的表面粘裝封裝。但是，為了應用此觀念，這些裝置需要該觀念上澈底的改變，因為晶片安裝接合墊水平面及這些線段水平面間的直接距離，增加超過"薄"封裝(在1100至1200微米範圍)中分別距離的260%。對標準厚度的封裝，需要將一銅線段延伸至8%，超過了銅引線架材料的延伸限度且將會造成線段的斷裂。

類似的困難亦發生在"薄"封裝(1.0毫米或更小)，在晶片接合墊及引線架的平面間的直接距離為400至500微米，必需以較30度為陡峭的角度例如45度橋接。此陡峭的角度是對封裝外形儘可能縮小(亦即當將之裝設於印刷線路板所佔用的面積)，或在一封裝上容納一額外的大晶片接合墊需求的結果。再次的，將會有需求將銅線段延展超過8%，此超過銅質材料引線架伸縮的限度。如此之薄半導體封裝在市場上非常有需求，諸如磁碟驅動器、電傳通訊及消費性電子產品。

本發明以一個二次折取代的方法作為此長度延展困境的唯一解決方案。將一設計於內的彎曲線性化，並經由成型來擴展。線性化的貢獻可在首先拓樸邏輯的設計包含有弧形曲線、彎曲、曲折或類似之非線性長的形體來獲得。經由施加力量，至少擴張

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (7)

非線性的一部份或拉直而得以延伸形體。此可由所熟悉成角度的手肘在下臂部份伸直與上臂成直線而看出。

拉直的貢獻類似於如上所述在線段長度的方向延展。此拉直因此將會維持在引線架材料伸縮安全的限度下。此特性及效應經由下列說明描述將會變得很明顯易懂。

現參考圖1A，由頂視圖顯示熱處理測試晶片的銅合金引線架10，晶片11裝置於晶片安裝接合墊12，且多個晶片安裝接合墊13連接結合至多條引線架線段14。引線架10及多條線段14配置於引線架原始平面。四條線段15a、15b、15c及15d連接晶片安裝接合墊12至引線架10。後者多數以兩個步驟表示：在施力將晶片安裝接合墊12成型為最終之平面之前，以虛線表示原始的設計，將在引線架原始平面的線段標示出。如圖1A所示，將這些線段設計為較"最短距離連接"所需為弧形的線段。實線表示在施力彎曲及成型後最終的線段外形。沿著線1B-1B的橫截面以三維顯示多重彎曲及延展這些線段的步驟，橫過晶片安裝接合墊水平面及引線架原始水平面間的距離。

即使在此例中設定相對淺的 30° 成型角度，每一線段15a、15b、15c及15d的總延伸長度，亦即是需要橫過晶片接合墊平面至引線架平面間的距離，需要附加15.5%額外長度的線段至原始的長度。因為材料可適當(銅合金)延展僅為長度額外的8%，高於7%的剩下長度必需由延伸設計在內的弧形環圈線段處獲得。在圖1A的範例中，該線段的擴張聯想起在手肘處伸直手臂。如果角度的形成選取較本例中為陡峭，例如 45° ，這是通常需要的，則由拉直/彎曲設計在內的形狀所獲得將會增至33%(對 45° 角，拉直的貢獻為 $41.4\%-8\%=33.4\%$ 附加的長度)。此數值隨引線架的厚度、基底材料的成份和預行的熱處理而有所變化。

五、發明說明(8)

橫截面1B-1B顯示如圖1B中17a、17b、17c及17d的多數彎曲；它們被設計及壓製為相對淺的角度。

圖1A說明四次曲折對稱的引線架設計部局，如所標示為16a及16b的對稱線。在下圖中此一對稱及類似由設計部局實際經濟效益的觀點及對晶片接觸接合墊接線的限制所導出。

圖2顯示圖1A中引線架10的重新設計，為了可獲得偶數個電氣信號功能引線25a、25b、25c及25d的目的，現為二次曲折的對稱。因此，晶片接合墊22現由線段26支撐，將之設計為一段環圈27的外形。在圖2C中，環圈27以虛線表示在成型處理前其原始的設計，以實線表示成型處理後的最終外形。此經由設計在內之弧形環圈拉直所造成附加線段長度的貢獻可以很明顯的看出。在圖2B中，引線架的橫截面顯示成型處理後的多數彎曲28a、28b、28c及28d。

圖3A至3C及圖4A至4C顯示相對高引線數(分別為100引線及44引線)，稱之為四方平板封裝(Quad Flat Package)引線架的範例。圖3A至3C及圖4A至4C為連接晶片接合墊及引線架之線段所選取的設計選項，包括各種環圖形的結構。在圖3A中，將連接晶片接合墊31及引線架30之多數線段32置於晶片接合墊的一邊，且環圈33為該線段的一部份。圖3B顯示相對淺角度的多數彎曲34a、34b、34c及34d。圖3C顯示其中之一環圈線段33的細節；虛線表示在成型處理前其原始的設計，以實線表示成型處理後的最終外形。此經由將設計在內弧形環圈拉直，達成附加的線段長度其重要之貢獻可很明顯的看出。

在圖4A中連接晶片接合墊41及引線架40的多數線段42，置於晶片接合墊的角落，且再次的環圈43為該線段的部份。圖4B顯示彎曲的線段44a、44b、44c及44d，以及圖4C說明在成型處理後環

五、發明說明(9)

圖43的拉直。再次的，設計在內的弧形環圈的拉直對在達成線段額外的長度非常重要。

圖5A為低引線數功率裝置的引線架50範例。在圖5A的引線架範例僅有一對稱線。圖5B中的側視圖未依據此對稱線，但意圖說明線段52的陡角將晶片安裝接合墊51與引線架50連接；同時顯示由晶片安裝接合墊延伸具刻痕的側翼54。在成型處理中，將設計在內的弧形53連接線段相當的拉直，聯想起伸直手肘處的手臂角度。

以此將彎曲設計於其中的能力，及將選取的引線架線段拉長超過材料固有特性單純延伸限度，可製造出習知技術無法達成之具曝露晶片接合墊引線架特性的半導體裝置。首先，現在可製造出具曝露晶片接合墊標準厚度(>1.0毫米)的塑膠封裝，因為依據本發明其引線架允許在晶片接合墊及引線架間一寬的距離。其次，現可製造具曝露晶片接合墊非常嚴格外形限制的薄塑膠封裝(<1.0毫米)，因為依據本發明選取的引線架線段，允許彎曲及成型為陡峭的角度外形來橋接晶片接合墊及引線架間的距離。本發明彎曲及成型方法進一步的優點為在晶片附著及接合之後，引線架材料為組成及封裝處理的步驟保持相當之延展性，這是因為它在延展限度下形成；延展的品質相當於處理變異容許度的改良及較高的產出率。

各種家族半導體產品許多的引線架設計，由低至高引線數、低至高功率散佈，以及低至高頻能力均包含合併於本發明之概念中。例如，圖6顯示一2.43毫米厚的塑膠小型封裝。在其上使用0.25毫米厚的銅引線架，具有曝露晶片接合墊及多個鷗翼式引線。引線架顯示一與導線線段平面分離甚寬的晶片安裝接合墊且因而使用本發明彎曲及成型的方法來設計製造引線架。

五、發明說明(10)

圖7說明一曝露晶片接合墊之"薄"(約為1.0毫米厚)塑膠小型封裝。其銅合金引線架為0.15毫米厚且需要相當之大於30度的彎曲，來橋接在封裝型式所允許小尺寸之晶片接合墊及引線間的距離。因此，其設計包括一環圈形的引線架線段，將晶片接合墊固定至引線架，並使用本發明之彎曲及成型的方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

四、中文發明摘要(發明之名稱:)

半導體元件引線架之彎曲和成型方法

本發明與可使用於現行半導體裝置製造之單件引線架有關。引線架在一水平面上有多條線段，在另一水平面有晶片安裝接合墊、及另外有多條線段將該晶片安裝接合墊與該引線架連接。後者的多條線段具有一幾何設計，得以在固有材料特性基礎下，容忍超過單純延伸限度的彎曲及拉力。該引線架之晶片安裝接合墊得以經由延伸穿過封裝的設計，提供與外部熱導體或散熱裝置的直接熱接觸。曝露的晶片接合墊也可電氣的用作接地連接。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱:)

BENDING AND FORMING METHOD OF
FABRICATING EXPOSED LEADFRAMES FOR
SEMICONDUCTOR DEVICES

The invention relates to a single piece leadframe that can be used in current semiconductor device production. The leadframe has a plurality of segments in a horizontal plane, a chip mount pad in a different horizontal plane, and another plurality of segments connecting said chip mount pad with said leadframe. The latter plurality of segments has a geometry designed so as to tolerate bending and stretching beyond the limit of simple elongation based upon the inherent material characteristics. The chip mount pad of said leadframe provides direct thermal contact to an external heat conductor or heat sink by being designed so as to extend through the encapsulating package. The exposed chip pad can also be used electrically as a ground connection.

四、中文發明摘要(發明之名稱:)

半導體元件引線架之彎曲和成型方法

本發明與可使用於現行半導體裝置製造之單件引線架有關。引線架在一水平面上有多條線段，在另一水平面有晶片安裝接合墊、及另外有多條線段將該晶片安裝接合墊與該引線架連接。後者的多條線段具有一幾何設計，得以在固有材料特性基礎下，容忍超過單純延伸限度的彎曲及拉力。該引線架之晶片安裝接合墊得以經由延伸穿過封裝的設計，提供與外部熱導體或散熱裝置的直接熱接觸。曝露的晶片接合墊也可電氣的用作接地連接。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱:)

BENDING AND FORMING METHOD OF
FABRICATING EXPOSED LEADFRAMES FOR
SEMICONDUCTOR DEVICES

The invention relates to a single piece leadframe that can be used in current semiconductor device production. The leadframe has a plurality of segments in a horizontal plane, a chip mount pad in a different horizontal plane, and another plurality of segments connecting said chip mount pad with said leadframe. The latter plurality of segments has a geometry designed so as to tolerate bending and stretching beyond the limit of simple elongation based upon the inherent material characteristics. The chip mount pad of said leadframe provides direct thermal contact to an external heat conductor or heat sink by being designed so as to extend through the encapsulating package. The exposed chip pad can also be used electrically as a ground connection.

六、申請專利範圍

1. 一種用於半導體電路之引線架，包括：
 - 在第一水平面之第一多個引線架線段；
 - 在第二水平面之晶片安裝接合墊；以及
 - 以第二多個引線架線段將該引線架連接該晶片接合墊，以一種幾何設計適用於超過固有材料特性為基礎之單純伸張限度的彎曲及張力。
2. 一種用於半導體電路之引線架，包括：
 - 在第一水平面之第一多個引線架線段；
 - 在第二水平面之晶片安裝接合墊；以及
 - 以選取數量的該第一多個引線架線段將該引線架連接該晶片接合墊，該第二多個引線架線段具有一種幾何設計，適用於超過固有材料特性為基礎之單純伸張限度的彎曲及張力。
3. 如申請專利範圍第1項所述之引線架，其中該第二多個引線架線段可適用於重複的彎曲。
4. 一種半導體裝置，包括：
 - 在第一水平面之第一多個引線架線段；
 - 在第二水平面之晶片安裝接合墊；
 - 以第二多個引線架線段將該引線架連接該晶片接合墊，以一種幾何設計適用於超過固有材料特性為基礎之單純伸張限度的彎曲及張力；
 - 裝設於該晶片安裝接合墊的電路晶片；以及
 - 一種圍繞之封裝將一部份的引線架引線、電路晶片、一部份的該晶片安裝接合墊封包，該晶片安裝接合墊延伸並通過該封裝之封包。
5. 如申請專利範圍第4項所述之半導體裝置，其中該晶片安裝接合墊提供該電路晶片一直接的熱路徑。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1. 一種用於半導體電路之引線架，包括：
 - 在第一水平面之第一多個引線架線段；
 - 在第二水平面之晶片安裝接合墊；以及
 - 以第二多個引線架線段將該引線架連接該晶片接合墊，以一種幾何設計適用於超過固有材料特性為基礎之單純伸張限度的彎曲及張力。
2. 一種用於半導體電路之引線架，包括：
 - 在第一水平面之第一多個引線架線段；
 - 在第二水平面之晶片安裝接合墊；以及
 - 以選取數量的該第一多個引線架線段將該引線架連接該晶片接合墊，該第二多個引線架線段具有一種幾何設計，適用於超過固有材料特性為基礎之單純伸張限度的彎曲及張力。
3. 如申請專利範圍第1項所述之引線架，其中該第二多個引線架線段可適用於重複的彎曲。
4. 一種半導體裝置，包括：
 - 在第一水平面之第一多個引線架線段；
 - 在第二水平面之晶片安裝接合墊；
 - 以第二多個引線架線段將該引線架連接該晶片接合墊，以一種幾何設計適用於超過固有材料特性為基礎之單純伸張限度的彎曲及張力；
 - 裝設於該晶片安裝接合墊的電路晶片；以及
 - 一種圍繞之封裝將一部份的引線架引線、電路晶片、一部份的該晶片安裝接合墊封包，該晶片安裝接合墊延伸並通過該封裝之封包。
5. 如申請專利範圍第4項所述之半導體裝置，其中該晶片安裝接合墊提供該電路晶片一直接的熱路徑。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

6. 如申請專利範圍第4項所述之半導體裝置，其中該晶片安裝接合墊用作該電路晶片熱對流之熱表面。
7. 如申請專利範圍第4項所述之半導體裝置，其中形成於封裝外的該引線架引線，係當將封裝之封包設置於印刷接線板上時，用來置放延伸穿過半導體裝置封裝頂部的晶片接合墊。
8. 如申請專利範圍第4項所述之半導體裝置，與一印刷電路板以及與該曝露之晶片接合墊熱接觸的一散熱裝置組合。
9. 一種製造該引線架的方法，包括：
當夾住引線架時對晶片安裝接合墊施力；
將該第二多個引線架線段材料拉緊；
將該多個引線架線段幾何的設計彎曲及拉直。
10. 如申請專利範圍第9項所述之方法，其中該彎曲可包括淺的及陡斜的角。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

414981

82113372

公告本

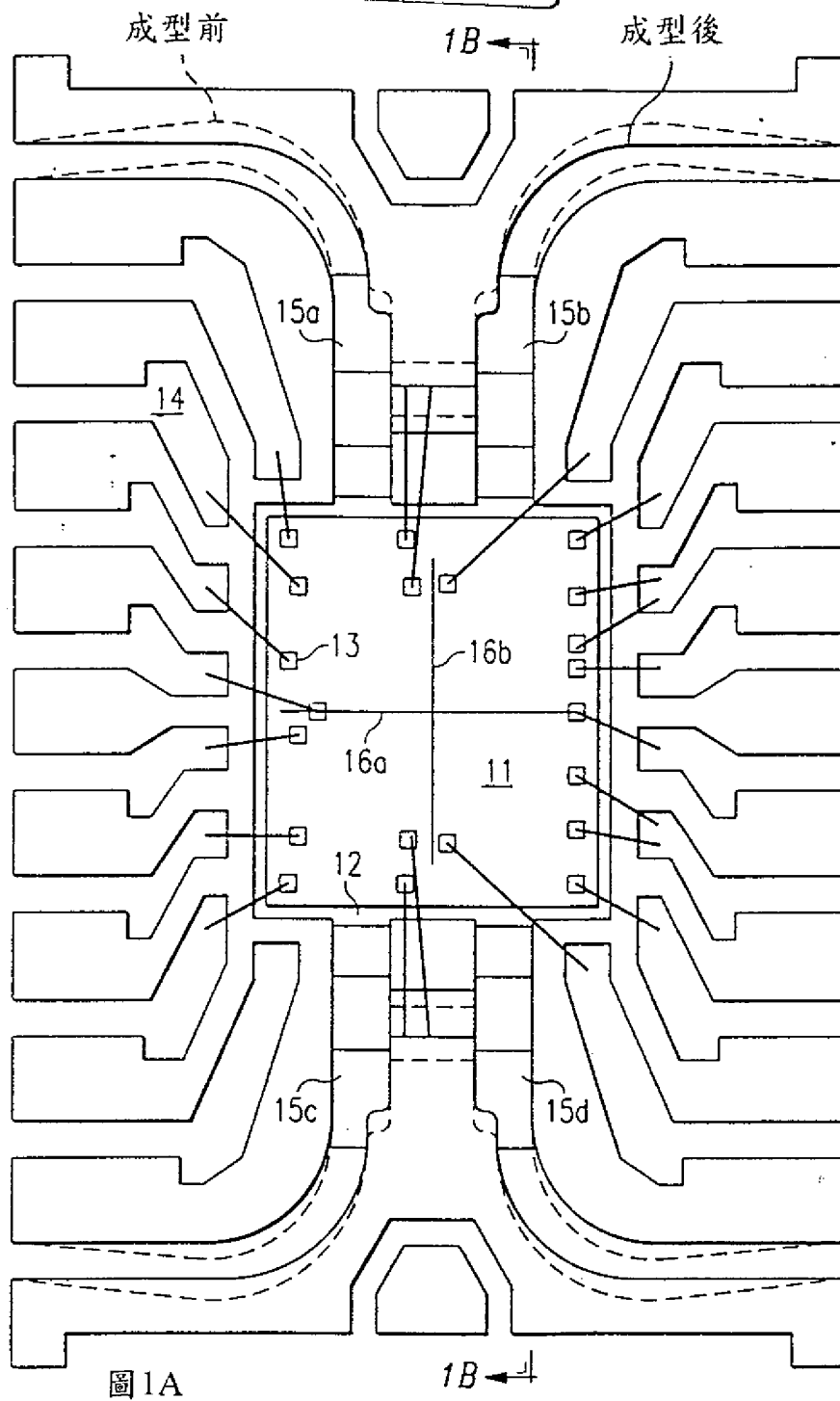


圖1A



圖1B

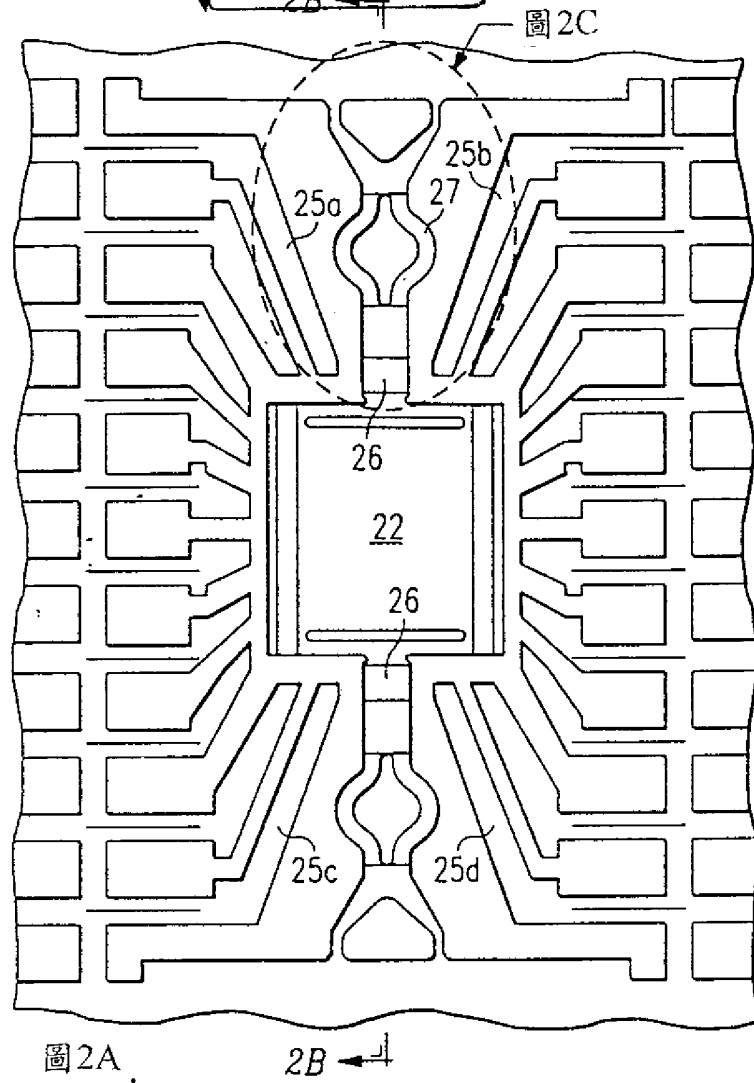
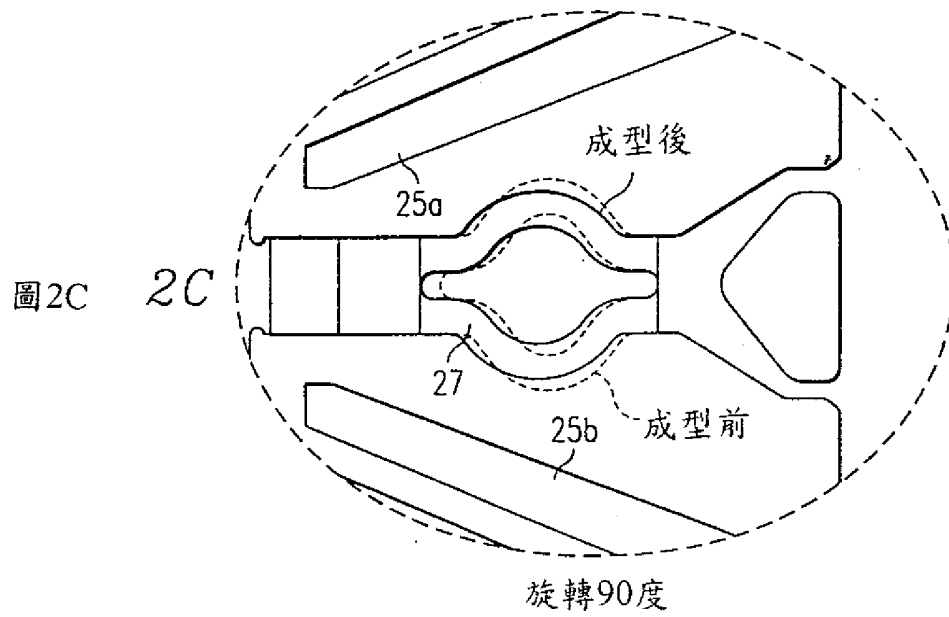
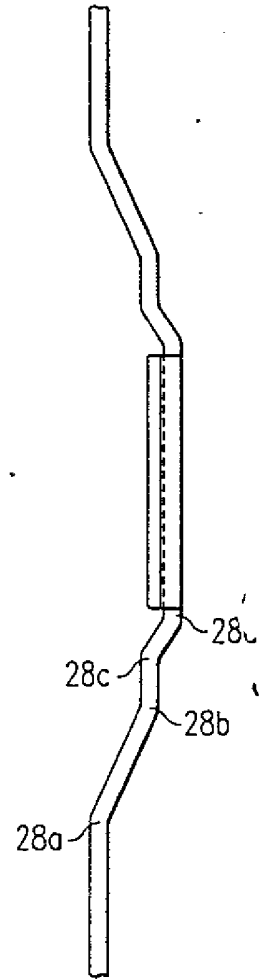


圖2B



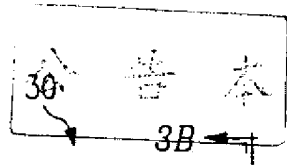


圖 3A

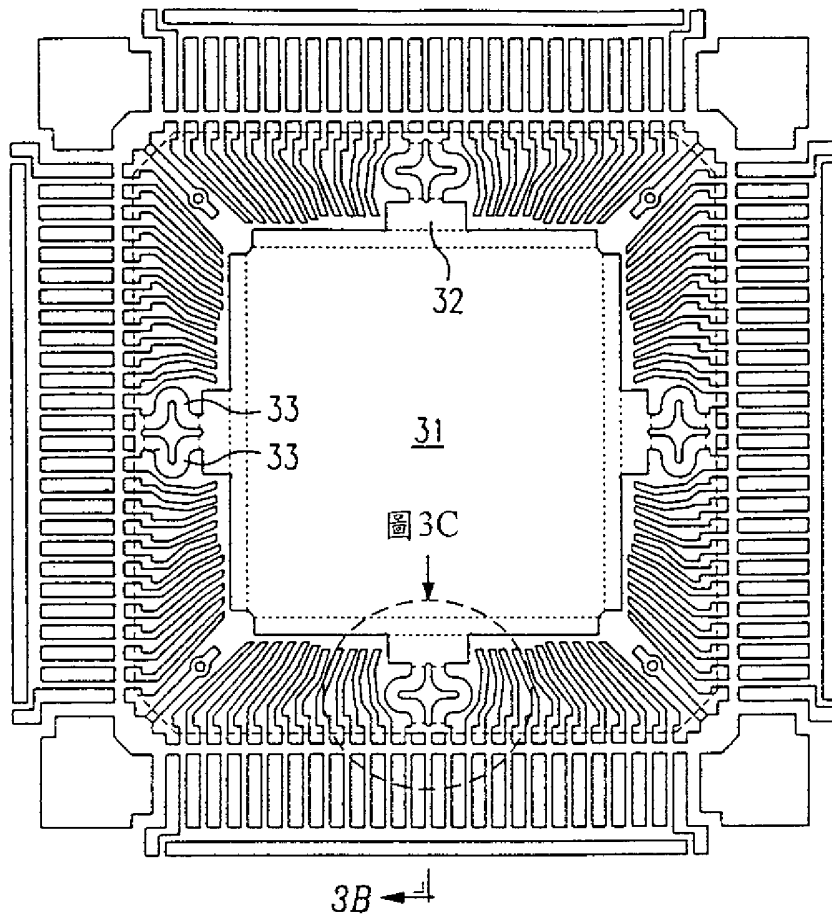


圖 3B

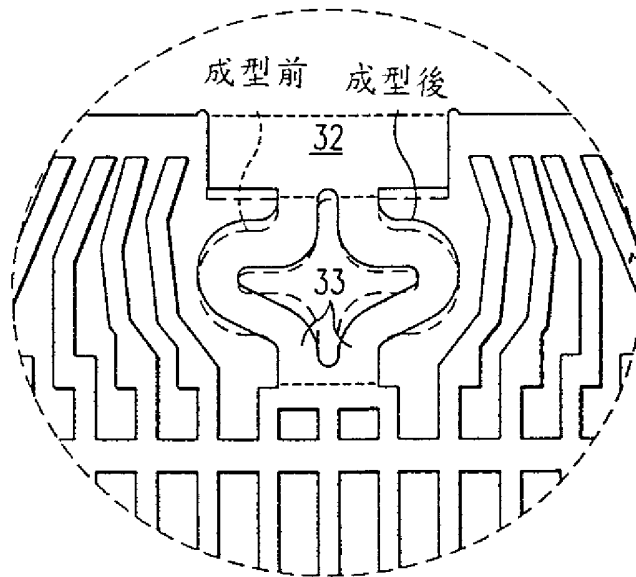
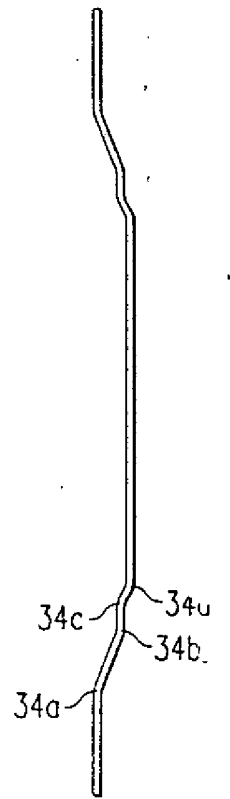


圖 3C

圖4A

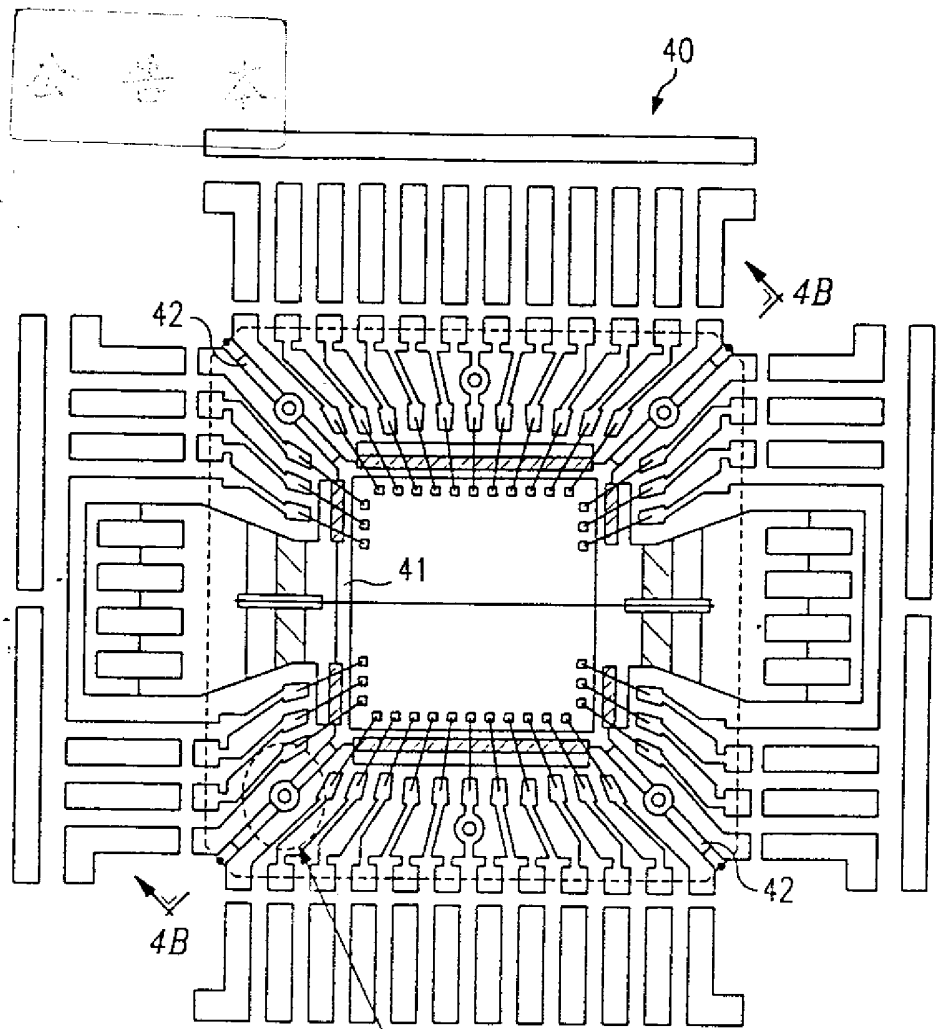


圖4C

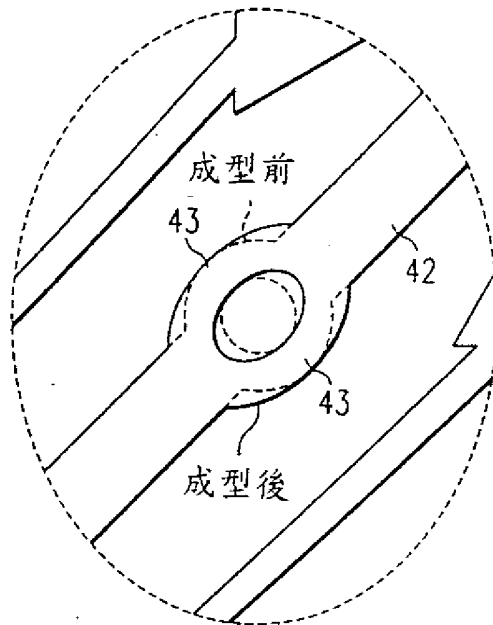


圖4C

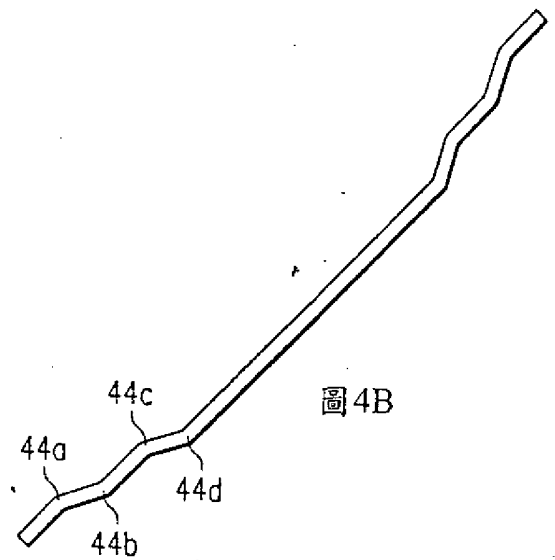


圖4B

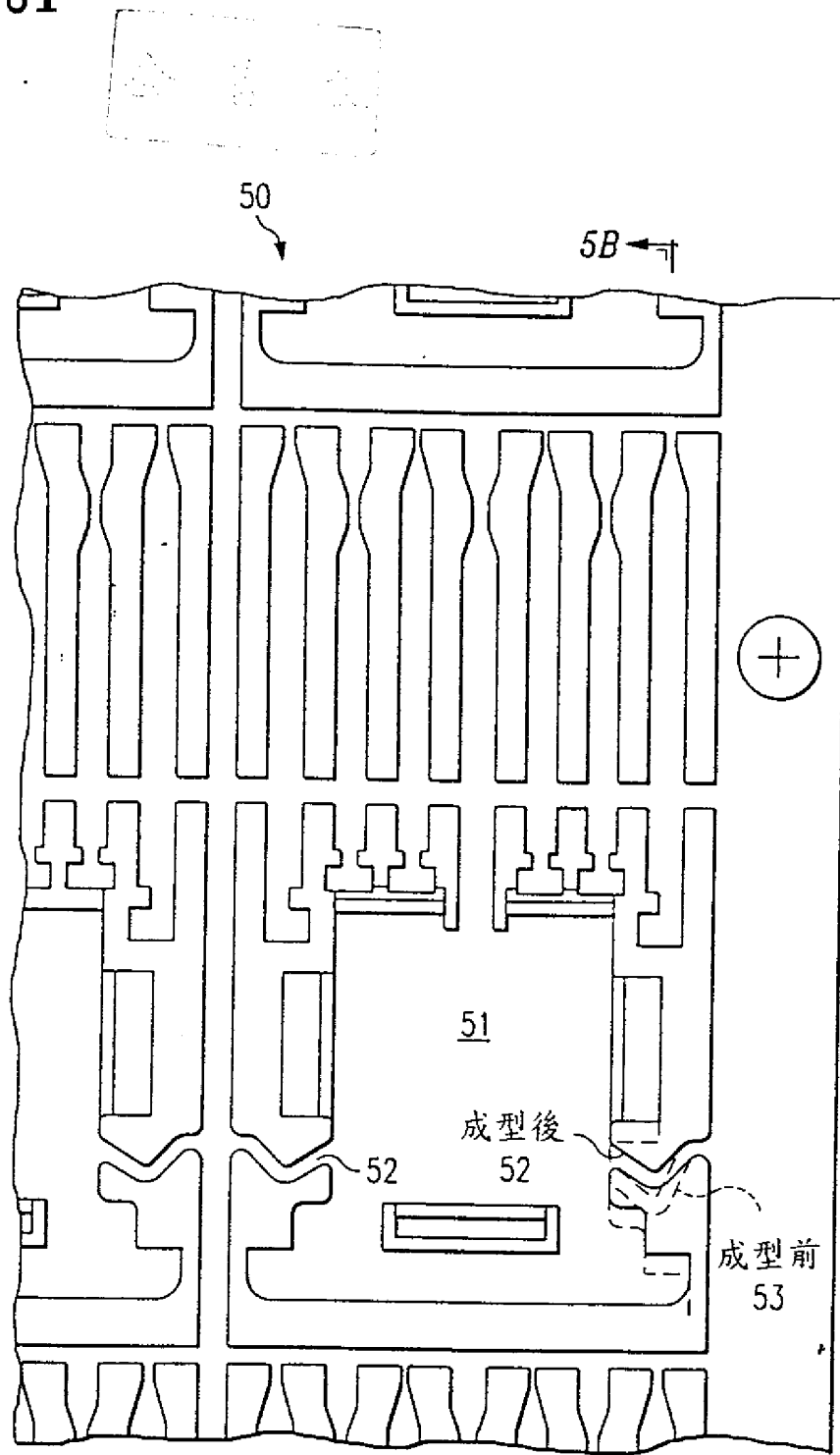


圖5A

5B ←

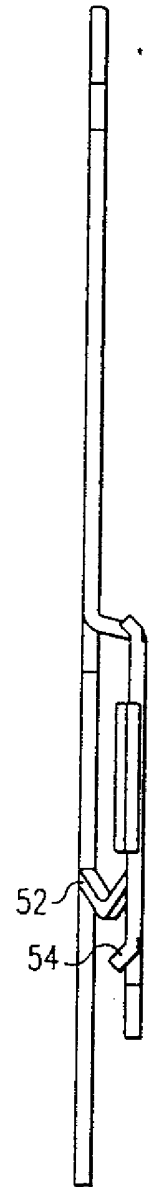


圖5B

