(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[8]
H01L 27/146 (2006.01)

(45) 공고일자 2006년01월10일
(11) 등록번호 10-0540099
(24) 등록일자 2005년12월23일

(21) 출원번호 10-2000-0070198
(22) 출원일자 2000년11월24일

(65) 공개번호 10-2001-0061945
(43) 공개일자 2001년07월07일

(30) 우선권주장 1999-333785 1999년11월25일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 이자와신이찌로
일본기후껭모또스궁신세이쪼소께571-1

(74) 대리인 주성민
장수길

심사관 : 고광석

(54) 고체 촬상 소자 및 그 제조 방법

요약

CCD 고체 촬상 소자의 미세화를 가능하게 한다.

N형의 실리콘 기판(11)의 표면 영역에 P형 확산층(12)이 형성되고, 이 P형 확산층(12) 내에 N형 확산층(14)이 형성된다. N형 확산층(14) 내에 복수의 P형의 분리 영역(13)이 일 방향으로 연장되어 상호 일정한 거리를 두고 평행하게 형성된다. 이 분리 영역(13)은 N형 확산층(14)보다도 얕게 형성된다.

대표도

도 1

색인어

반도체 기판, 고체 촬상 소자, 분리 영역

명세서

도면의 간단한 설명

도 1은 본 발명의 고체 촬상 소자의 촬상부의 구조를 나타내는 단면도.

도 2는 전하 전송 영역의 포텐셜의 시뮬레이션 결과를 나타내는 도면.

도 3은 본 발명의 고체 촬상 소자의 제조 방법을 설명하는 공정별 단면도.

도 4는 프레임 전송 방식의 고체 촬상 소자의 개략을 나타내는 평면도.

도 5는 종래의 고체 촬상 소자의 촬상부의 구조를 나타내는 평면도.

도 6은 도 5의 X-X선의 단면도.

도 7은 도 5의 Y-Y선의 단면도.

도 8은 종래의 고체 촬상 소자의 포텐셜을 나타내는 프로파일도.

〈도면의 주요 부분에 대한 부호의 설명〉

l : 촬상부

s : 축적부

h : 수평 전송부

d : 출력부

1, 11 : 실리콘 기판

2, 12 : P형 확산층

3, 13 : 분리 영역

4, 14 : N형 확산층

5, 15 : 절연막

6, 16 : 전송 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, CCD 고체 촬상 소자 및 그 제조 방법에 관한 것이다.

도 4는 프레임 전송 방식의 고체 촬상 소자의 구성을 나타내는 개략도이다.

프레임 전송 방식의 CCD 고체 촬상 소자는 촬상부(i), 축적부(s), 수평 전송부(h) 및 출력부(d)를 갖는다. 촬상부(i)는 수직 방향으로 연장되어 상호 평행하게 배열된 복수의 시프트 레지스터로 이루어지고, 각 시프트 레지스터의 각 비트가 수광 화소를 구성한다. 축적부(s)는 촬상부(i)의 시프트 레지스터에 연속하는 차광된 복수의 시프트 레지스터로 이루어지고, 각 시프트 레지스터의 각 비트가 축적 화소를 구성한다. 수평 전송부(h)는 수평 방향으로 연장되는 단일의 시프트 레지스터로 이루어지고, 각 비트에 축적부(s)의 시프트 레지스터의 출력이 접속된다. 출력부(d)는 수평 전송부(h)로부터 전송 출력되는 전하를 일시적으로 축적하는 용량 및 그 용량에 축적된 전하를 배출하는 리세트 트랜지스터를 포함한다. 이에 따라, 촬

상부(i)의 각 수광 화소에 축적되는 정보 전하는 각 화소마다 독립하여 축적부(s)의 축적 화소로 전송된 후, 1행씩 축적부(s)로부터 수평 전송부(h)로 전송되고, 또한, 1 화소 단위로 수평 전송부(h)에서 출력부(d)로 전송된다. 그리고, 출력부(d)에서 1 화소마다 전하량이 전압치로 변환되고, 그 전압치의 변화가 CCD 출력으로서 외부 회로로 공급된다.

도 5는 촬상부(i)의 구조를 나타내는 평면도이고, 도 6, 도 7은 각각 도 5의 X-X선 및 Y-Y선의 단면도이다.

N형의 실리콘 기판(1)의 일 주면(一主面)에, 소자 영역이 되는 P형의 확산층(2)이 형성된다. 이 확산층(2)의 표면 영역에, 고농도의 P형의 분리 영역(3)이 수직 방향으로 연장되어 상호 평행하게 배치된다. 이들 분리 영역(3) 사이에는 N형의 확산층(4)이 형성되고, 정보 전하의 전송 경로가 되는 채널 영역이 형성된다. 확산층(4) 상에는 산화 실리콘막으로 이루어지는 절연막(5)을 통해 다결정 실리콘으로 이루어지는 복수의 전송 전극(6)이, 각각 일정한 거리를 두고 평행하게 배치된다. 이들 전송 전극(6)에는 예를 들면, 3상의 전송 클럭 φ1～φ3이 인가되고, 채널 영역의 포텐셜의 상태가 제어된다.

도 8은 실리콘 기판(1) 내의 깊이 방향(도 6의 A-A선 위)의 포텐셜의 상태를 나타내는 프로파일도이다.

실리콘 기판(1) 내의 포텐셜은 전송 전극(6)에 인가되는 전위에 따라 표면측의 레벨이 결정되고, 실리콘 기판(1)에 인가되는 전위에 따라 심부(深部)의 레벨이 결정된다. 포텐셜은 전하의 축적 시 게이트 절연막(5)으로부터 N형 확산층(4)의 도중까지 서서히 깊게 되어, N형 확산층(4)의 도중에서 극소치를 나타내도록 형성된다. 또한, N형 확산층(4)의 도중으로부터 P형 확산층(2)의 도중까지 서서히 얕게 되어, P형 확산층(2)의 도중에서 극대치를 나타낸 후, N형의 실리콘 기판(1) 심부를 향해 깊게 되도록 형성된다. 이에 따라, N형 확산층(4) 내의 극소치와 P형 확산층(2) 내의 극대치와의 차가 포텐셜 장벽으로 되어, 실리콘 기판(1) 내에서 발생되는 정보 전하의 축적을 가능하게 한다. 그리고, 실리콘 기판(1) 내에 축적 허용량을 초과한 양의 정보 전하가 발생된 경우에는, 과잉 전하가 포텐셜 장벽을 넘어 실리콘 기판(1)의 심부측으로 배출된다.

화소를 분리하는 분리 영역(3)은 채널 영역이 되는 확산층(4)을 형성할 때의 마스크 어긋남을 고려하고, 또한, 전기적인 분리가 가능하도록 충분한 폭을 확보할 필요가 있다. 이 때문에, 고체 촬상 소자의 고해상도화에 따라 화소 사이즈가 축소되면, 분리 영역(3)의 점유 면적이 커져, 수광 효율이 저하된다. 또한, 실리콘 기판(1)과 전송 전극(6)과의 전위에 따라 블루밍(blooming) 억압 제어를 하는 경우에는, 분리 영역(3)의 영향에 의해 확산층(4) 내의 포텐셜을 정밀하게 제어할 수 없게 된다. 이러한 분리 영역(3)에 의한 영향은 화소 사이즈가 작아진 경우에 현저히 나타나게 된다.

발명이 이루고자 하는 기술적 과제

그래서 본 발명은, 전송 효율을 저하시키지 않고, 화소 사이즈의 축소에 적합한 고체 촬상 소자의 제공을 목적으로 한다.

본 발명의 고체 촬상 소자는 반도체 기판의 일 주면에 형성되는 일 도전형(一導電型)을 갖는 제1 반도체 영역과, 상기 제1 반도체 영역의 표면측에 형성되고, 역 도전형(逆導電型)을 갖는 제2 반도체 영역과, 상기 제2 반도체 영역 내에 일 방향으로 연장하여 상호 평행하게 배치되고, 일 도전형을 갖는 복수의 분리 영역과, 상기 반도체 기판 상에 상기 복수의 분리 영역과 교차하는 방향으로 연장되어 상호 평행하게 배치되는 복수의 전송 전극을 포함하는 촬상부를 구비하고, 상기 분리 영역은 상기 제2 반도체 영역보다도 얕게 형성되는 것을 특징으로 한다.

본 발명에 따르면, 전하의 전송 영역이 되는 제2 반도체 영역보다도 분리 영역을 얕게 형성함으로써 분리 영역에 의한 포텐셜의 영향이 제2 반도체 영역에 미치기 어렵다.

그리고, 본 발명의 고체 촬상 소자의 제조 방법은 반도체 기판의 표면 영역에 형성되는 일 도전형의 제1 반도체 영역 내에 역 도전형의 불순물을 소정의 깊이까지 확산하여 제2 반도체 영역을 형성하는 제1 공정과, 상기 제2 반도체 영역 내에, 일 도전형의 불순물을 일정한 거리를 두고 스트라이프형으로 주입하고, 복수의 분리 영역을 형성하는 제2 공정과, 상기 반도체 기판 상에 복수의 전송 전극을 형성하는 제3 공정으로 형성되는 촬상부를 갖는 고체 촬상 소자의 제조 방법에서, 상기 제2 공정은, 상기 제1 공정에서 역 도전형의 불순물을 확산시킨 깊이보다도 얕게 일 도전형의 불순물을 주입하는 것을 특징으로 한다.

본 발명에 따르면, 제2 반도체 영역 내에 분리 영역을 형성하고 있기 때문에, 분리 영역의 형성에 있어서, 전하의 전송 영역과 분리 영역과의 위치 어긋남이 생기지 않게 된다.

발명의 구성 및 작용

도 1은 본 발명의 고체 촬상 소자의 주요부를 나타내는 단면도이다. 이 도면에 있어서는, 도 6과 동일 부분을 나타내고 있다.

N형의 실리콘 기판(11)의 일 주면에, 소자 영역이 되는 P형 확산층(12)이 형성되고, 이 P형 확산층(12)의 표면 영역에 전하의 전송 영역이 되는 N형 확산층(14)이 형성된다. 그리고, N 확산층(14) 내에는 고농도의 P형의 분리 영역(13)이 일 방향으로 연장되어 일정한 간격으로 형성된다. 이 분리 영역(13)은 도 6에 도시한 분리 영역(3)과 동등한 것으로, 전하의 전송 방향에 따라서 형성된다. 여기서, N형 확산층(14)은 P형 확산층(12)보다도 얕게 형성되고, 분리 영역(13)은 N형 확산층(14)보다도 얕게 형성된다.

P형 확산층(12), N형 확산층(14) 및 분리 영역(13)이 형성된 실리콘 기판(11) 상에는, 산화 실리콘막으로 이루어지는 절연막(15)이 적층되고, 이 절연막(15) 상에 다결정 실리콘으로 이루어지는 복수의 전송 전극(16)이, 각각 일정한 거리를 두고 평행하게 배치된다. 이들 전송 전극(16)은 도 7에 도시한 전송 전극(6)과 동일한 것으로, 분리 영역(13)에 교차하여 배치되고, 다상(多相)의 전송 클럭이 인가됨으로써 채널 영역의 포텐셜의 상태를 제어한다.

본 발명의 특징으로 하는 바는, 전하의 전송 영역이 되는 N형 확산층(14) 내에 분리 영역(13)을 N형 확산층(14)보다도 얕게 형성하는 것이다. 즉, 전송 영역의 폭[분리 영역(13)의 간격]이 좁아지는 경우, 예를 들면 6㎛ 이하가 되면, P형 확산층(12) 부분에 형성되는 포텐셜 장벽보다도 분리 영역(13)에 의해 형성되는 포텐셜 장벽 쪽이 전송 영역의 포텐셜 상태에 크게 영향을 미친다. 그래서, 분리 영역(13)을 N형 확산층(14)보다도 얕게 형성함으로써 P형 확산층(12) 부분에 형성되는 포텐셜 장벽이 전송 영역의 포텐셜 상태에 지배적으로 영향을 미치게 되어 있다.

도 2는 전하의 전송 영역의 포텐셜의 상태를 산출한 시뮬레이션 결과이다. 이 도면에 있어서, (a)는 도 1의 파선으로 둘러싼 영역의 포텐셜의 범위를 나타내며, (b)는 분리 영역이 N형 확산층보다 깊게 형성되어 있는 종래의 구조의 고체 촬상 소자에 있어서, (a)와 동등한 영역의 포텐셜의 범위를 나타낸다. 이들 도면을 비교하면, (b)에 도시한 종래의 구조와 비교하여 (a)에 도시한 본 발명의 구조 쪽이 등전위선의 밀도가 높지 않아 분리 영역(13)에 의한 포텐셜의 변화가 전하 전송 영역에 영향을 미치기 어렵게 되어 있는 것을 확인할 수 있다.

본 발명의 고체 촬상 소자에 있어서는, 전하 전송 영역의 포텐셜을 P형 확산층(12) 및 N형 확산층(14)의 불순물 농도 분포에 의해 설계할 수 있게 되기 때문에, 구조적인 수치의 최적화가 용이하다.

도 3은 본 발명의 고체 촬상 소자의 제조 방법을 설명하는 공정별 단면도이다. 이 도면에 있어서는, 도 1과 동일 부분의 제조 공정을 나타내고 있다.

(a) 제1 공정

N형의 실리콘 기판(11)의 표면 영역에 P형의 불순물을 확산하여 P형 확산층(12)을 형성한다. 이 P형 확산층(12)이 소자의 형성 영역이 된다. 그리고, P형 확산층(12) 내에 N형의 불순물을 확산시켜 P형 확산층(12)보다도 얕은 N형 확산층(14)을 형성한다.

(b) 제2 공정

N형 확산층(14)을 덮어 레지스트 패턴(20)을 형성한다. 이 마스크 패턴(20)은 실리콘 기판(11) 상에서 일 방향으로 연장되어 상호 일정한 거리를 두고 평행하게 배치되는 복수의 개구를 갖는다. 그리고, 레지스트 패턴(20)을 마스크로 하여 P형 불순물을 고농도로 주입함으로써 전하의 전송 영역을 구획하는 P형의 분리 영역(13)을 형성한다. 이 주입 공정에 있어서는, 주입 에너지를 제어함으로써 불순물이 N형 확산층(14)보다도 깊게 주입되지 않는다.

(c) 제3 공정

분리 영역(13) 및 N형 확산층(14)을 덮어 산화 실리콘을 적층하고, 절연막(15)을 형성한다. 이 절연막(15) 상에 다결정 실리콘을 적층하고, 그 다결정 실리콘막을 패터닝함으로써 복수의 전송 전극(16)을 형성한다.

이상의 제조 공정에서는, 전하의 전송 영역이 되는 N형 확산층(14)을 먼저 형성하고, 그 N형 확산층(14) 내에 분리 영역(13)을 형성하고 있기 때문에, 전하의 전송 영역과 분리 영역(13)과의 위치 어긋남이 생기지 않는다. 그리고, 분리 영역(13)이 N형 확산층(14)보다도 얕게 형성되기 때문에, 전하 전송 영역의 포텐셜을 P형 확산층(12) 및 N형 확산층(14)의 불순물 농도에 따라 제어 가능하게 된다.

이상의 실시예에 있어서는, 전송 전극(16)을 1층 구조로 한 경우를 예시하였지만 이 전송 전극(16)은, 이웃끼리 상호 오버랩하는 2층 구조로 하여도 좋다.

발명의 효과

본 발명에 따르면, 미세화에 따라서 전하 전송 영역의 폭이 좁아진 경우, 즉, 화소 사이즈가 작아진 경우에도, 전하 전송 영역의 포텐셜의 상태를 정밀도 있게 제어할 수 있어 결과적으로, 각부에 인가하는 전위를 낮게 할 수 있다. 또한, 제조 공정에서도 분리 영역의 위치 어긋남이 생기기 어렵게 되어, 미세화에 유리하여 제조 수율의 향상을 기대할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판의 일 주면(一主面)에 형성되는 일 도전형(一導電型)을 갖는 제1 반도체 영역,

상기 제1 반도체 영역의 표면측에 형성되고, 역 도전형(逆導電型)을 갖는 제2 반도체 영역,

상기 제2 반도체 영역 내에 일(一) 방향으로 연장되어 상호 평행하게 배치되고, 일 도전형을 갖는 복수의 분리 영역, 및

상기 반도체 기판 상에 상기 복수의 분리 영역과 교차하는 방향으로 연장되어 상호 평행하게 배치되는 복수의 전송 전극

을 포함하는 촬상부를 구비하고,

상기 분리 영역은 상기 제2 반도체 영역보다도 얕게 형성되고, 상기 복수의 분리 영역으로 분리된 각 채널 영역은 각 수광 화소에 축적된 정보 전하를 상기 각 수광화소마다 독립적으로 전송하는 것을 특징으로 하는 고체 촬상 소자.

청구항 2.

삭제

청구항 3.

반도체 기판의 표면 영역에 형성되는 일 도전형의 제1 반도체 영역 내에 역 도전형의 불순물을 소정의 깊이까지 확산시켜 제2 반도체 영역을 형성하는 제1 공정,

상기 제2 반도체 영역 내에 일 도전형의 불순물을 일정한 거리를 두고 스트라이프형으로 주입하여, 복수의 분리 영역을 형성하는 제2 공정, 및

상기 반도체 기판상에 복수의 전송 전극을 형성하는 제3 공정

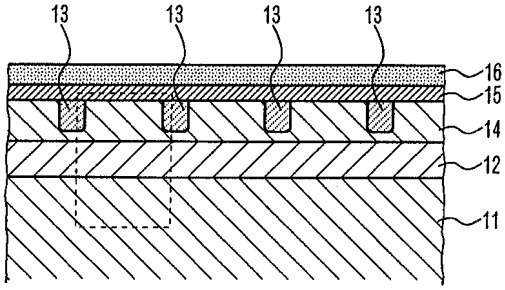
으로 형성되는 촬상부를 갖는 고체 촬상 소자의 제조 방법에서, 상기 제2 공정은, 상기 제1 공정에서 역 도전형의 불순물을 확산시킨 깊이보다도 얕게 일 도전형의 불순물을 주입하고, 상기 복수의 분리 영역으로 분리된 각 채널 영역은 각 수광화소에 축적된 정보 전하를 상기 각 수광화소마다 독립적으로 전송하는 것을 특징으로 하는 고체 촬상 소자의 제조 방법.

청구항 4.

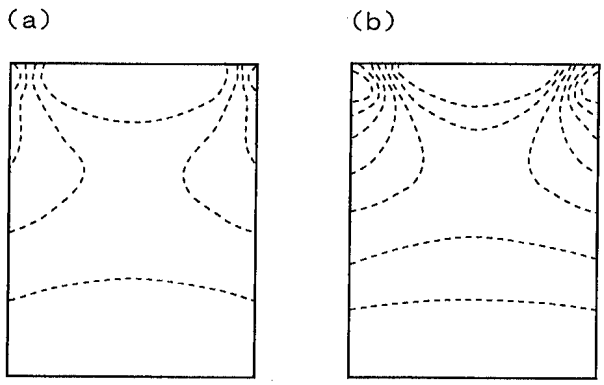
삭제

도면

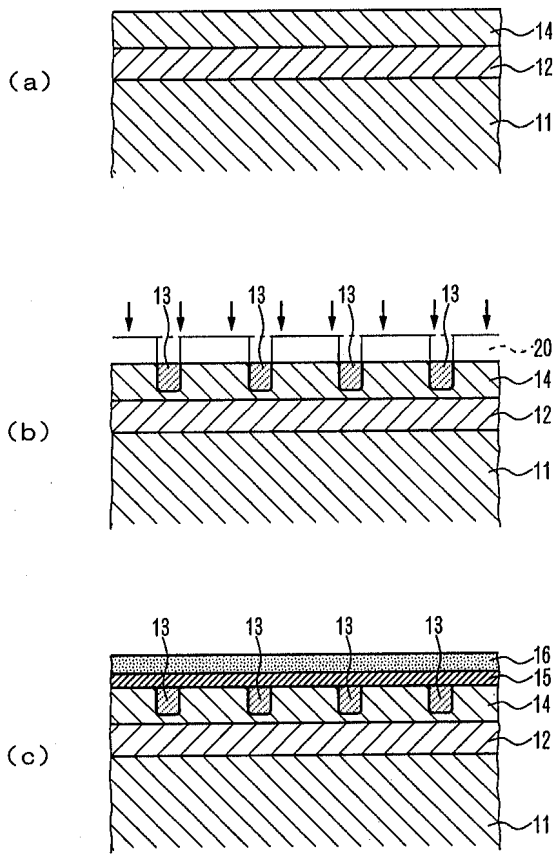
도면1



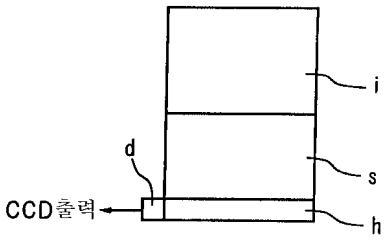
도면2



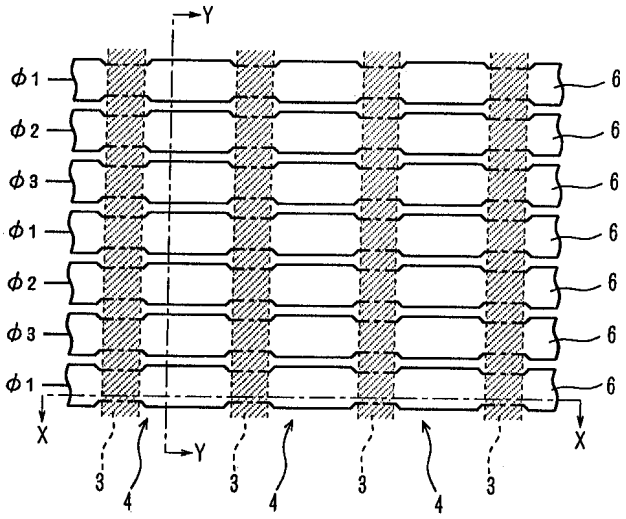
도면3


(a)
14
12
11
(b)
13
13
13
13
20
14
12
11
(c)
13
13
13
13
16
15
14
12
11

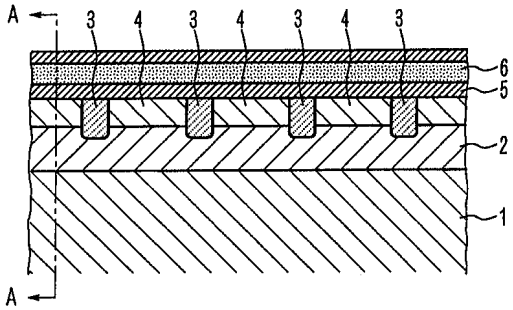
도면4


i
d
s
CCD출력
h

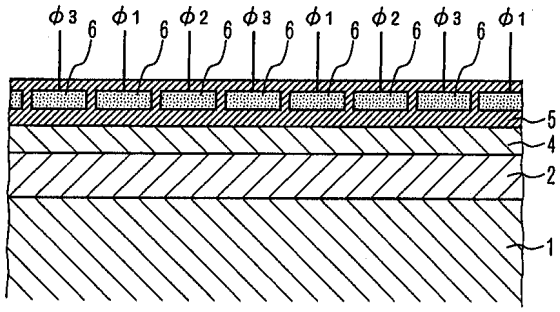
도면5


Y
φ1
φ2
φ3
φ1
φ2
φ3
φ1
6
X
Y
3
4
X

도면6


A
3
4
6
5
2
1
A

도면7


φ3
φ1
φ2
φ3
φ1
φ2
φ3
φ1
6
5
4
2
1

도면8

