(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/31

(45) 공고일자 2004년12월17일
(11) 등록번호 10-0454774
(24) 등록일자 2004년10월20일

(21) 출원번호 10-1997-0000372
(22) 출원일자 1997년01월09일

(65) 공개번호 10-1998-0032022
(43) 공개일자 1998년07월25일

(30) 우선권주장 08-268063 1996년10월09일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 고바야시 하루후미
일본 도오꾜도 미나또꾸 도노라몬 1쵸메 7방 12고 오끼덴끼 고오교 가부시끼가이샤 나이

(74) 대리인 특허법인코리아나

심사관 : 신창우

(54) 반도체장치

요약

거의 사각형으로 형성된 반도체 칩 둘레로 배치된 복수개의 인너리드의 단부중, 사각형의 반도체 칩의 모서리부에 대응하는 인너리드의 단부를, 반도체 칩 방향에 근접하도록 배치한다. 이러한 구성에 의해, 반도체 칩과 인너리드의 단부들 사이의 전기접속용 본딩와이어들이 모울드 공정중에 이동되는 것이 방지된다.

대표도

도 1a

명세서

도면의 간단한 설명

도 1a 는 본 발명에 따른 반도체 장치의 주요부를 도시한 평면도
도 1b 는 도 1a 에 도시된 반도체 장치의 반도체 칩과 인너리드의 단부들 사이의 위치관계를 설명하는 도
도 2 는 도 1a 에 도시된 X 부분의 확대도
도 3 은 본 발명에 따른 반도체 장치의 제조방법을 설명하는 도
도 4 는 모울드 공정중의 모울드 수지의 유동방향을 나타내는 단면도
도 5 는 모울드 공정중의 모울드 수지의 유동방향을 나타내는 평면도
* 도면의 주요부분에 대한 부호의 설명 *
3 : 반도체 칩 9 : 본딩 와이어
21 : 리드프레임 23 : 인너리드 (inner lead)
23a, 23b : 각 모서리부에 형성된 인너리드
23c, 23d : 각 모서리부에 인접하게 형성된 인너리드
27 : 반도체 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 반도체 장치의 제조방법에 관한 것이다.
반도체 장치를 먼지, 오염, 기계적인 파괴로 부터 보호하기 위한 시일로서는, 기밀 시일과, 수지 또는 플라스틱 시일이 공지되어 있으나, 근년에는, 반도체 칩의 패시베이션 (passivation) 기술의 향상과 시일용 수지의 특성 향상에 의해, 수지 시일 패키지가 널리 이용되고 있는 경향이며, 이러한 형식의 수지 시일 패키지는 가격이 저렴하고 양산에 적합하다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 수지 또는 플라스틱 모울드 형식의 반도체 장치 (13) 에서는, 반도체 칩 (3) 의 전극 패드와 리드 프레임 (5) 과의 전기적 접속을 위한 각각의 본딩 와이어 (9) 의 전체 길이가 3 ㎜ 이상에 달하기 때문에, 와이어 유동 또는 이동이 발생되기 쉽다. 도 4 및 도 5 에서, 화살표는 모울드 공정에 있어, 모울드 수지 (11) 의 유동방향을 나타낸다. 뒤에서 상세히 설명하겠지만, 각각의 와이어는 모울드 수지 (11) 가 유동하는 방향으로 변형하며, 이러한 와이어 변형을 ' 와이어 유동 또는 이동 ' 이라 칭한다.
본 발명은 전술한 상황을 감안하여 된 것으로서, 와이어 유동 또는 이동을 최소화 할 수 있는 반도체 장치 및 그러한 반도체 장치의 제조방법을 제공하여, 반도체 장치의 수율 (yield) 과 신뢰성을 향상시키는 것을 목적으로 한다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명의 일 태양으로서,
거의 사각형으로 형성된 반도체 칩과,
사각형의 네 개의 변 (side) 의 각각으로 부터 소정의 거리를 두고 가지런히 배열된 단부를 갖는 복수개의 제 1 인너리드와,
사각형의 네 개의 모서리부에 대향하게 위치된 단부를 갖고, 이들 단부가 인접하는 복수개의 제 1 인너리드의 각각의 인너리드의 단부에 비해 반도체 칩에 근접하여 위치하도록 배치된 단부를 갖는 복수개의 제 2 인너리드와,
반도체 칩내의 네 개의 변에 나란히 배치된 복수개의 전극패드 및,
상기 복수개의 전극패드를 복수개의 제 1 인너리드와 제 2 인너리드에 각각 접속하는 본딩 와이어
로 이루어진 반도체 장치가 제공된다.
상기한 목적을 달성하기 위한 본 발명의 또 다른 태양으로서,
(a) 거의 사각형의 반도체 칩과, 사각형의 네 개의 변의 각각으로 부터 소정의 거리를 두고 가지런히 배열된 단부를 갖는 복수개의 제 1 인너리드와, 사각형의 네 개의 모서리부에 대향하게 위치된 단부를 갖고, 이들 단부가 인접하는 복수개의 제 1 인너리드의 각각의 인너리드의 단부에 비해 반도체 칩에 근접하여 위치하도록 배치된 단부를 갖는 복수개의 제 2 인너리드를 갖는 리드프레임을 형성하는 단계,
(b) 반도체 칩내의 네 개의 변에 나란히 배치된 복수개의 전극패드와, 복수개의 제 1 인너리드와 제 2 인너리드를, 본딩 와이어에 의해 각각 접속하는 단계,
(c) 반도체 칩과 인너리드를 모울드 수지로 시일하는 단계
로 이루어진, 반도체 장치의 제조방법이 제공된다.
본 발명에 따른 주요구성이 특허청구의 범위에 명확히 기재되어 있으나, 첨부도면을 참고로 한 하기의 설명으로 부터 본 발명의 목적과, 특징 및, 이점이 좀 더 명료해 질 것이다.
도 1a 는 본 발명에 따른 반도체 장치의 일부분을 나타내는 평면도이고, 도 1b 는 반도체 칩 (3) 과 리드프레임 (21) 의 위치관계를 설명하는 도이다. 또한, 도 2 는 도 1a 에 도시된 X 부분의 확대도이다.
도 1a 에 도시된 바와 같이, 반도체 칩 (3) 주위로는, 인너리드의 단부가 간격을 두고 배치되어 있으며, 반도체 칩 (3) 의 각 변 (3a, 3b, 3c, 3d) 을 따라서는, 전극패드 (8) 가 나란히 배열되어 있다. 인너리드 (23) 의 대부분의 단부 (복수개의 제 1 인너리드의 단부에 대응하는) 는 선 (A-A', B-B', C-C', D-D') 을 따라 나란히 형성되어 있다. 이들 선 (A-A', B-B', C-C', D-D') 은 각각 반도체 칩 (3) 의 각 변 (3b, 3c, 3d 및 3a) 과 소정의 간격 (T) 을 두고 대면하고 있다 (도 1b 참조). 또한, 본딩 와이어 (9) 가 인너리드의 단부와 전극패드 (8) 의 전기적 접속을 위해 형성되어 있다.
도 2 에 도시된 바와 같이, 반도체 칩 (3) 의 모서리부 (A) 에 형성된 전극패드 (25a, 25b) 에 각각 대향하는 인너리드 (23a, 23b) 의 단부 (복수개의 제 2 인너리드의 단부에 대응하는) 는, 인너리드 (23a, 23b) 에 인접하는 인너리드 (23c, 23d) 에서 볼 때, 반도체 칩 (3) 의 방향으로 근접하도록 배열되어 있다. 반도체 칩 (3) 의 여타의 모서리부 (B,C,D) 에 각각 대향하는 각 인너리드의 단부들도 전술한 바와 마찬가지로 배열되어 있다.
다음, 도 3 을 참조로, 상기한 리드프레임 (21) 을 사용한 수지 또는 플라스틱 모울드형 반도체 장치 (27) 의 제조방법

에 대하여 설명키로 한다.
먼저, 확산 완료 웨이퍼 (1; 도 3 의 (a) 참조) 를 스크라이브 (scribe) 공정에서 반도체 칩 (3) 으로 분할하고 (도 3 의 (b) 참조), 분할된 각각의 반도체 칩 (3) 을 다이본드 공정에서 은 페이스트 (7) 에 의해 리드프레임 (5) 상에 고정시킨다. (도 3 의 (c) 참조). 다음, 와이어 본드 공정에서 본딩와이어 (9; 금선) 를 이용하여 반도체 칩 (3) 의 전극패드 (8) 와 리드프레임 (5) 을 서로 전기 접속한다 (도 3 의 (d) 참조). 그후, 이렇게 완성된 물품을, 모울드 공정에서, 모울드 수지 (11) 를 이용하여, 시일시킨다 (도 3 의 (e) 참조). 이어서, 리드 처리 공정에서, 리드프레임 (5) 을 소정의 형상으로 처리하므로써 (도 3 의 (f) 참조), 수지 모울드형 반도체 장치를 얻을 수 있다.
또한, 리드프레임 (21) 으로서는, Fe-Ni 합금, Cu 등을 사용할 수 있고, 본딩와이어 (9) 로서는, Al, Au, Cu 등을 사용할 수 있고, 모울드 수지로서는, 에폭시, 실리콘, 페놀 등을 사용할 수 있다.
또, 수지 시일 방법으로서는, 예컨대 트랜스퍼 (transfer) 모울드법을 채용하는 경우, 에폭시 수지를 베이스로 하여, 알민 또는 페놀 경화제를 첨가한 수지를, 160℃ 내지 180℃ 범위의 온도와, 49㎫ 내지 98㎫ 범위의 압력하에서, 60 내지 120 초 동안 주형내로 주입한 후, 150℃ 내지 180℃ 범위의 온도에서, 수시간동안 후경화 (postcuring) 를 행하므로써, 수지를 경화 시킨다.
전술한 구성에 따른 인너리드 (23) 를 이용한 반도체 장치에서는, 복수개의 인너리드 (23) 중 반도체 칩 (3) 의 모서리부 (즉, A) 의 전극패드 (25a, 25b) 에 전기적으로 접속된 인너리드 (23a, 23b) 를, 인접하는 인너리드 (23c, 23d) 보다 반도체 칩 (3) 에 접근시키도록 형성하므로써, 인너리드 (23a, 23b) 에 전기적으로 접속된 본딩 와이어 (9) 가 인접하는 인너리드 (23c, 23d) 에 전기적으로 접속된 본딩 와이어보다 짧아 지게 된다.
통상적으로, 반도체 칩 (3) 의 모서리부의 전극패드에 각각 전기적으로 접속된 인너리드의 단부가 도 5 에 도시된 바와 같이, 대응하는 선 (A-A', B-B', C-C', D-D') 상에 형성될 경우, 각각의 인너리드 (23) 의 단부와 각각의 전극패드와의 거리는 반도체 칩의 각 모서리부에서 최대가 된다.
따라서, 수지 주입시, 몰드 수지 유동 채널 또는 유동경로는 반도체 칩의 각 모서리부에서 최대의 단면적을 갖는다.
이것에 덧붙여, 종래의 반도체 장치에서는, 모서리부의 각 전극패드와 각 인너리드간의 간격이 최대로 되기 때문에, 전극패드와 인너리드 사이의 전기적 접속을 형성하는 본딩 와이어 (9) 도 모서리부에서 길이가 최대로 된다. 그 결과, 모서리부의 본딩 와이어 (9) 는, 주입된 모울드 수지로 부터 큰 저항을 받게 되기 때문에, 와이어 유동 또는 이동 (9b) 이 발생했다.
이에 반해, 본 발명에 있어서는, 도 2 로 부터 명확히 알 수 있듯이, 각 모서리부에서의 본딩 와이어 (9a, 9b) 가, 인접하는 본딩 와이어 (9) 보다 짧게 됨으로써, 주입된 모울드 수지로 부터의 본딩 와이어 (9a, 9b) 의 저항도 작게 되어, 각 본딩 와이어 그 자체의 강성도 향상되고, 와이어 이동도 발생되기 어렵게 된다.
따라서, 모서리부에서의 인너리드 (23a, 23b) 가, 인접하는 인너리드 (23c, 23d) 에 비해 반도체 칩에 근접하도록 형성되므로써, 모서리부에서의 각 본딩 와이어 (9) 의 전체 길이를 짧게 한 리드프레임 (21) 을 이용할 수 있다.
지금까지, 예시된 실시예를 참조하여 본 발명을 설명하였지만, 이것은 본 발명을 이에 한정하기 위한 것은 아니다. 즉, 예시적인 실시예에 대한 여러 가지 변형과 여타의 실시예가, 전술한 발명의 상세한 설명에 기초하여, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 가능함은 말할 나위 없다. 따라서, 첨부의 특허청구의 범위는 본 발명의 진정한 범위내에서 여러 가지 변형예와 여타의 실시예를 모두 커버할 수 있을 것으로 본다.

발명의 효과

이상의 설명으로부터 알 수 있는 바와 같이, 본 발명에 따른 전술한 리드프레임 (21) 을 이용한 반도체 장치 (27) 에 의해서, 반도체 칩 (3) 의 각 모서리부에서의 본딩 와이어 (9) 를 짧게 할 수 있다. 따라서, 모울드 수지 주입시, 주입된 수지로 부터의 각각의 본딩 와이어의 저항을 감소시킬 수 있으며, 각각의 본딩 와이어 (9) 의 변형을 최소로 할 수 있다. 또, 단선 또는 와이어 유동 또는 이동으로 인해 발생되는 슈트 (chute) 를 방지하는 것이 가능하다. 그 결과, 반도체 장치의 수율 및 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.
4 개의 변과 4 개의 모서리부를 갖는 반도체 칩;
상기 반도체 칩의 상기 변 중 한 개 이상의 변과 상기 모서리부중 한 개 이상의 모서리부에 형성된 복수의 전극 패드;
복수의 인너리드; 및
각 와이어가 상기 전극 패드 중 한 개를 상기 인너리드중 한 개에 접속하는 복수의 본딩 와이어를 포함하며,
상기 반도체 칩의 상기 한 개 이상의 모서리부에 형성된 상기 전극 패드 중 한 개를 상기 인너리드 중 한 개에 접속하는 상기 본딩와이어 중 한 개의 길이는 인접하는 본딩와이어의 길이보다 짧은 것을 특징으로 하는 반도체 장치.

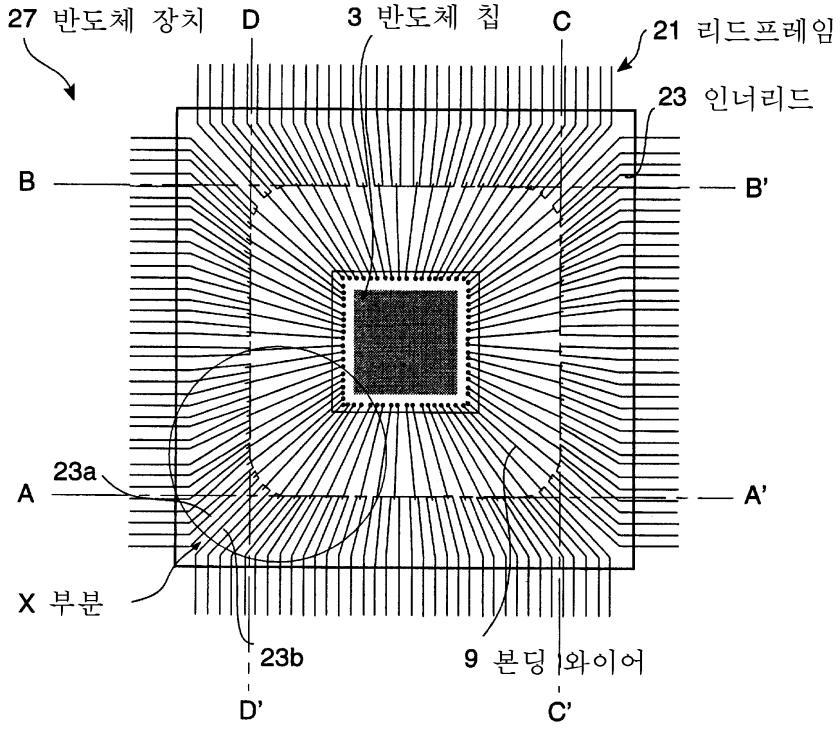
청구항 2.
제 1 항에 있어서, 상기 본딩 와이어는 Al 로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 3.
제 1 항에 있어서, 상기 본딩 와이어는 Au 로 구성되는 것을 특징으로 하는 반도체 장치.

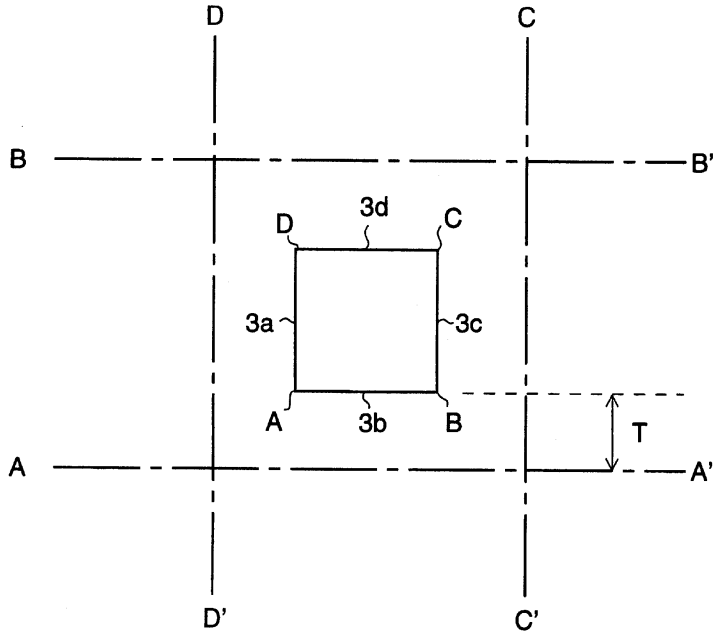
청구항 4.
제 1 항에 있어서, 상기 본딩 와이어는 Cu 로 구성되는 것을 특징으로 하는 반도체 장치.

도면

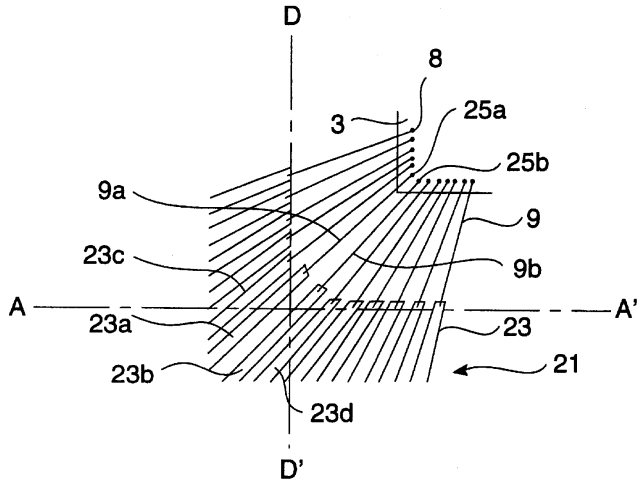
도면1a


27 반도체 장치
D
3 반도체 칩
C
21 리드프레임
23 인너리드
B
B'
23a
A
A'
X 부분
23b
9 본딩 와이어
D'
C'

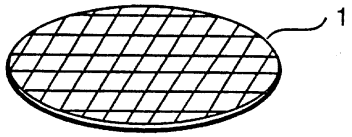
도면1b


D
C
B
B'
3d
D
C
3a
3c
A
3b
B
T
A
A'
D'
C'

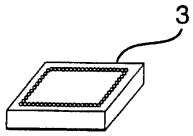
도면2



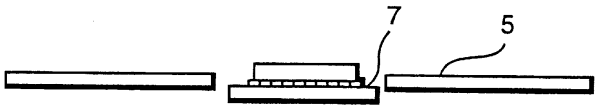
도면3



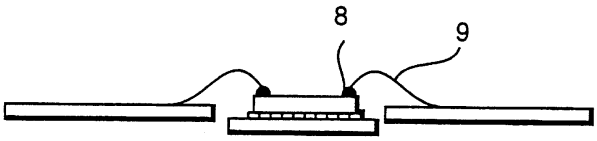
(a)



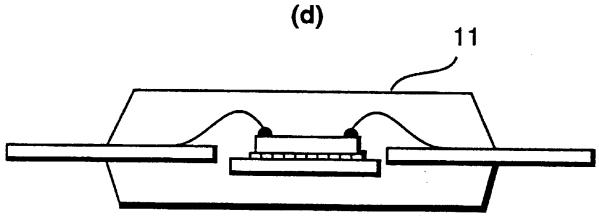
(b)



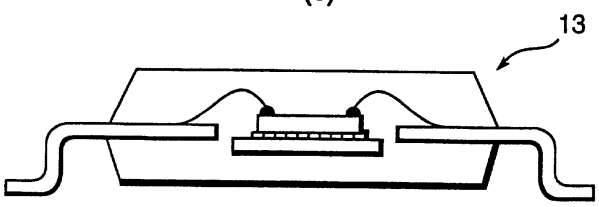
(c)



(d)

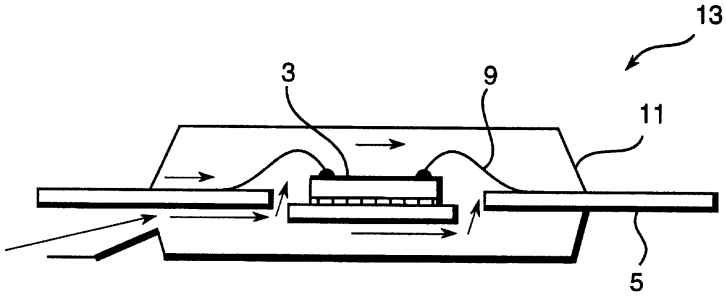


(e)



(f)

도면4



도면5

