(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03M 7/34

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0322690
(24) 등록일자 2002년01월17일

(21) 출원번호 10-1994-0015693
(22) 출원일자 1994년06월30일

(65) 공개번호 특1996-0003117
(43) 공개일자 1996년01월26일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 전지용
서울특별시강동구둔촌동둔촌아파트132-405

(74) 대리인 이영필
윤창일
조현실

심사관 : 인치복

(54) 디지탈타이밍복원회로

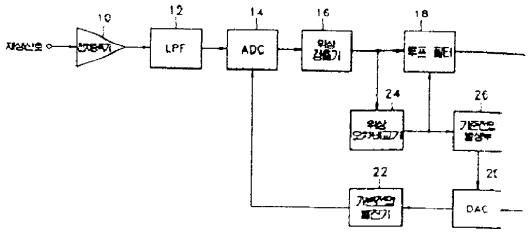
요약

본 발명은 디지탈 저장기기에서 재생신호의 비트클럭을 복원하는 디지탈 타이밍 복원회로에 관한 것으로서, 특히 루프필터의 대역폭을 가변함으로서, 안정된 샘플링 클럭을 발생하도록 하는 디지탈 타이밍 복원회로에 관한 것으로서, 위상취득시간을 빠르게 하고, 위상오차의 분산을 작게 해서 안정된 샘플링 클럭을 발생하도록 하고, 또한 하드웨어 구현시 제한된 비트수로 양자화를 행함으로서 발생하는 dead-zone effect를 줄일 수 있는 장치를 제공하는데 있다. 본 발명의 구성은 전치증폭기, 저역통과필터, 아날로그-디지탈 변환기, 위상검출기, 위상오차비교기, 루프필터, 기준전압발생부, 디지탈-아날로그 변환기, 및 가변전압발진기를 포함한다.

따라서, 본 발명은 디지탈 타이밍 복원회로에서, 위상검출부에서 검출한 위상오차의 크기에 따라 디지탈 타이밍 회로를 구성하는 루프필터의 대역폭을 가변함에 의해 초기에는 위상취득시간을 빠르게 하고, 정상상태에서는 잡음의 영향등에 의해 샘플링 위상이 흔들리는 정도를 대폭 줄여줌으로서, 위상오차의 분산을 작게할 수 있는 잇점이 있다. 또한, 하드웨어 구현시 제한된 비트수로 양자화하는 것에 의한 dead-zone effect를 상당히 줄여줄 수 있는 효과가 있다.

대표도

도 1



명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 디지탈 타이밍 복원회로의 전체 구성도이다.

제 2 도는 위상오차비교기의 실시예를 나타내는 도면이다.

제 3 도는 루프필터의 실시예를 나타내는 도면이다.

제 4A 도는 비트선택기로 입력되는 16비트 신호의 신호형태를 설명하기 위한 도면이다.

제 4B 도는 위상오차비교기 출력신호인 S0와 S1 신호에 따라 비트선택기에서 16비트 중 8비트를 선택하여 VCOCTRL(VOLTAGE CONTROL OSCILLATOR CONTROL) 신호로 출력하는 관계를 나타낸다.

제 5A 도는 기준전압 V 전압을 분주해서 V0, V1, V2, 및 V3를 만드는 과정을 나타내는 도면이다.

제 5B 도는 아날로그선택기를 나타내는 도면이다.

* 도면의 주요부분에 대한 부호의 설명

10. . . 전치증폭기 12. . . 저역통과필터

14. . . 아날로그-디지탈 변환기 16. . . 위상검출기

18. . . 루프필터 20. . . 디지탈-아날로그 변환기

22. . . 가변전압발진기 24. . . 위상오차비교기

26. . . 기준전압발생부 30 40. . . 비교기 비교기6

42 52. . . 논리곱1 논리합6 54. . . 반전기

56. . . 논리합 60 74. . . 곱셈기1 곱셈기8

76, 78. . . 선택기1, 선택기2 80, 84. . . 가산기2, 가산기1

86. . . 비트선택기

R1 R6. . . 저항

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지탈 저장기기에서 재생신호의 비트클럭을 복원하는 디지탈 타이밍 복원회로에 관한 것으로서, 특히 루프필터의 대역폭을 가변함으로서, 안정된 샘플링 클럭을 발생하도록 하는 디지탈 타이밍 복원회로에 관한 것이다.

종래의 디지탈 타이밍 복원회로에서는 초기에 샘플링 위상을 취득하는 과정에서, 위상취득시간을 빠르게 하기 위해 루프필터의 대역폭을 크게 하였으나, 이런 경우에는 정상상태에서 잡음에 의한 샘플링 위상의 변화가 크기 때문에 위상오차의 분산이 크게 되는 문제점이 있었다. 또한, 하드웨어 구현시 필연적으로 제한된 비트수로 양자화를 하는 것으로 인해 dead-zone effect가 발생하는 문제점이 있었다.

따라서, 본 발명의 목적은 상술한 종래 기술의 문제점을 개선하기 위하여 안출된 것으로서, 위상취득시간을 빠르게 하고, 위상오차의 분산을 작게 해서 안정된 샘플링 클럭을 발생하도록 하고, 또한 하드웨어 구현시 제한된 비트수로 양자화를 행함으로써 발생하는 dead-zone effect를 줄일 수 있는 장치를 제공하는데 있다.

상술한 목적을 달성하기 위한 본 발명의 장치는,

전치증폭기 ;

저역통과필터 ;

상기 저역통과필터에서 출력된 신호를 샘플링하여 디지탈신호로 변환해 위상검출기로 보내는 아날로그-디지탈 변환기 :

상기 아날로그-디지탈 변환기에서 출력된 신호를 샘플링클럭과 재생신호 비트클럭간의 위상오차를 검출하여 루프필터와 위상오차 비교기로 보내는 위상검출기:

상기 위상검출기에서 출력되는 신호의 크기를 검출하여 루프필터와 기준전압발생부로 보내는 위상오차비교기:

상기 위상오차비교기의 출력신호에 의해, 상기 위상검출기에서 출력된 신호를 선택하고, 그 신호를 필터링하여 디지탈-아날로그 변환기로 보내는 루프필털:

상기 위상오차비교기의 출력신호에 의해 선택되는 기준전압을 디지탈-아날로그 변환기로 보내는 기준전압발생부:

상기 루프필터에서 출력된 신호를 아날로그 신호로 변환하여 가변전압발진기에서 발진되는 클릭의 주파수 및 위상을 조정하는 디지탈-아날로그 변환기: 및

상기 디지탈-아날로그 연환기예 의해 클럭의 주파수 및 위상을 조정해 가변전압을 발진하는 가변전압발진기를 포함함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명을 보다 상세히 설명하고자 한다. 먼저, 본 발명의 이해를 돕기 위해 종래 기술에 관해 설명한다.

디지탈 저장기기 시스템에서 재생되는 신호로 부터 신호의 비트클럭을 추출하는 것은 정도에 따라 재생시스템 전반적

인 성능에 영향을 많이 주게되고, 특히 현재와 같이 점점 고밀도 저장기기를 추구해가는 상황에서는 기록된 신호간의 간섭이 매우 심해져서, 이로 인하여 비트클릭을 정확히 복원하는 것은 더욱 중요한 문제가 된다. 통상적으로, 디지탈 타이밍 복원회로의 동작은 샘플링된 재생신호로 부터 위상오차를 검출해서 디지탈 필터를 거친 후, 이 데이타를 아날로그 신호로 변환하여 가변전압발진기를 조정하고, 이 조정된 클럭으로 다시 재생신호를 샘플링하는 궤환구조로서 수행된다.

시스템 초기나 기록된 프로그램 착기를 위해 건너뛰기등을 할때마다, 재생신호를 샘플링하기 위한 샘플링 클릭의 위상은 재생되는 신호의 비트클럭의 위상과 많이 틀려지게 된다. 따라서, 이러한 경우, 디지탈 타이밍 복원회로는 위상취득동작을 해야 한다. 위상취득동작은 기록시에 일정한 데이타를 사전에 기록하고, 재생되는 신호 중 이 부분의 신호구간 동안에 샘플링 위상과 재생신호의 비트클럭 위상간의 오차를 제거하는 것을 주된 목적으로 한다. 이때, 위상취득시간이 빠르면 빠를수록 그에 따라 필요한 데이타 수도 줄어들 수 있기 때문에 결국, 기록밀도의 향상을 가져올 수 있게 된다.

일반적으로, 디지탈 타이밍 복원회로에서 위상취득동작 시에는 루프필터의 대역폭을 넓게 함에 의해 재생신호의 비트클럭을 빨리 추적하도록 하고 있다. 그러나, 이 경우 문제가 되는 것은 위상취득이 어느 정도 완료된 상태에서 위상오차의 분산이 크게 된다는 것으로서, 특히 신호대 잡음비가 낮을 경우는 잡음에 의한 위상 변동이 크게 되어 샘플링 클릭이 많이 흔들리게 된다. 반대로, 위상오차의 분산을 작게 하기 위해서 루프필터의 대역폭을 좁게 할 경우는 위상취득이 어느 정도 완료된 상태에서의 샘플링 클럭의 위상 변동은 작게 되지만 위상오차취득시간이 길어지는 문제점이 남게 된다.

한편, 하드웨어 구현을 고려할 때, 루프필터로 부터 출력되는 데이타는 디지탈-아날로그 변환기로 입력되기 위해 제한된 비트수로 양자화 되어야 한다. 그런데, 이 양자화 비트수는 디지탈-아날로그 변환기에서 요구하는 비트수와 일치해야 하며, 이 요구되는 비트수는 통상적으로 6 내지 8 비트 정도이다. 따라서 이로 인해 양자화 잡음이 크게 생기게 되며 dead-zone effect가 발생하게 된다. Dead-zone effect는 루프필터에서 출력되는 가변전압발진기 제어신호가 양자화 스텝크기 △ 보다 작을 때, 즉,

| 가변전압발진기 제어신호 | < △

일때 발생하는 것으로서, 이런 경우가 되면 위상오차가 검출되었음에도 불구하고 더 이상의 샘플링 위상조정은 일어나지 않는다. 가변전압발진기 제어신호의 양자화 비트수가 작을수록 양자화 스텝크기 △는 커지기 때문에 dead-zone effect는 커지게 된다.

이에 본 발명에서는 이와 같은 문제점을 보완해서 위상취득시간을 빠르게 하고, 정상상태에서의 위상변동의 크기도 작게 하며, 또한 양자화 비트수의 제한에 의한 dead-zone effect를 크게 줄일 수 있는 디지탈 타이밍 복원회로이다.

이하, 본 발명에 따른 동작원리를 상세히 기술한다.

제 1 도는 본 발명에 따른 디지탈 타이밍 복원회로의 전체 구성도이다. 제 1 도에 있어서, 참조부호 10은 전치 증폭기이고, 12는 저역통과필터(LOW PASS FILTER; 이하 LPF이라 함)이고 14는 아날로그-디지탈 변환기(ANALOG-DIGITAL CONVERTER: 이하 ADC이라 함)이고, 16은 위상검출기이고, 18은 루프필터이고, 20은 디지탈-아나로그 변환기(DlGITAL-ANALOG CONVERTER:이하 DAC이라 함)이고, 22는 가변전압 발진기이고, 24는 위상오차비교기이며, 26은 기준전압발생부이다. 제 1 도의 설명에 앞서, 상기 위상오차 비교기(24)에서 위상오차의 크기를 4개로 분류하는 것으로 하고, 상기 루프필터(18)의 출력신호는 8비트 신호로 제한하는 것을 가정한다. 또한 8비트로 제한하기 전의 신호는 16비트 신호로 가정한다.

재생되는 신호는 입력단의 전치증폭기(10)를 거치고, LPF(12)를 거친 후, ADC(14)에서 샘플링되어 디지탈 신호로 변환되어 상기 위상검출기(16)로 입력된다. 상기 위상검출기(16)에서는 입력되는 신호로부터 샘플링클럭과 재생신호 비트클럭간의 위상오차를 검출하여 루프필터(18)로 출력한다. 상기 루프필터(18)에서는 이 신호를 필터링하여 DAC(20)로 출력하며, 상기 DAC(20)에서는 이 신호를 아날로그 신호로 변환하여, 가변전압발진기(22)에서 발진되는 클럭의 주파수 및 위상을 조정한다. 이 조정된 클럭은 ADC(14)로 입력되어 조정된 주파수 및 위상으로 재생신호를 샘플링한다. 위상오차비교기(24)에서는 위상검출기(16) 출력신호의 크기를 검출하여 S0와 S1 신호를 루프필터(18)와 기준전압발생부(26)로 출력한다.

제 2 도는 위상오차비교기의 실시예를 나타내는 도면이다. 제 2 도에 있어서, 참조부호 30 40은 각각 비교기1 비교기6이고, 참조부호 42 52는 논리곱1 논리곱6이고, 54는 반전기이며, 56은 논리합이다.

제 2 도에 있어서, 위상검출기(16)에서 출력되는 신호는 2의 보수형태로서, 비교기1 비교기6으로 입력된다. 비교기1 비교기6의 동작은 A 단자 입력신호의 크기와 B 단자 입력신호의 크기를 비교하여 A 신호가 B 신호보다 작을 경우에 하이를 출력하고, 그 외에 경우에는 로우를 출력한다. 비교기1(30)은 임계값 λ 와 크기를 비교하는 것이고, 비교기2(32)는 임계값 -λ 와 크기를 비교하는 것으로서, 상기 비교기1(30)과 비교기2(32)의 출력신호는 논리곱1(42)의 입력신호가 된다. 비교기3(34)은 임계값 λ/2 와 크기를 비교하는 것이고, 비교기4(36)는 임계값 -λ/2 와 크기를 비교하는 것으로서, 상기 비교기3(34)과 비교기4(36)의 출력신호는 논리곱2의 입력신호가 된다. 비교기5(38)는 임계값 λ/4 와 크기를 비교하는 것이고, 비교기6(40)는 임계값 -λ/4 와 크기를 비교하는 것으로서, 상기 비교기5(38)와 비교기6(40)의 출력신호는 논리곱3(46)의 입력신호가 된다. 또한, 논리곱1(42)의 출력을 a라 하고, 논리곱2(44)의 출력을 b라 하고, 논리곱3(46)의 출력을 c라고 하자. 논리곱4(48)는 논리곱1(42)과 논리곱2(44)을 입력으로 하여 출력신호 S1을 출력한다. 마찬가지로, 논리곱6(52)은 논리곱2(44) 논리곱3(46), 논리곱4(48) 논리곱5(50). 반전기1(54), 및 논리합1(56)을 도면에서 보이듯 적절히 맞추어 출력신호 S0를 출력한다. 이 신호들과 위상오차비교기(24)의 출력신호간의 부올대수 관계는 다음과 같다.

$$S0 = a(\overline{b} + bc)$$
$$S1 = ab$$

따라서, S0, S1 출력신호와 위상검출기(16) 출력신호와의 관계는 [표 1]에서 보여준다.

[표 1] 위상검출기와 위상오차비교기 실시예 동작관계표

x : 위상검출기 출력신호

S0, Sl : 위상오차비교기 출력신호

x 와 임계값의 크기 비교	출력신호(S1, S0)
x >= λ 혹은 x <= -λ	(0, 0)
λ/2 <= x < λ 혹은 -λ <= x <= -λ/2	(0, 1)
λ/4 <= x < λ/2 혹은 -λ/2 <= x <= -λ/4	(1 0)
-λ/4 <= x <= λ/4	(1, 1)

제 3 도는 루프필터의 실시예를 나타내는 도면이다. 제 3 도에 있어서, 참조부호 6C 74는 각각 곱셈기1 곱셈기8이고, 76, 78은 각각 선택기1 선택기2이고, 80은 가산기2이고, 82는 지연기1이고, 84는 가산기1이며, 86은 비트선택기이다.

위상검출기(16)에서 출력되는 신호는 곱셈기1 곱셈기4(60 66)로 입력되어, 각각 α1 α4 값이 곱해져서 선택기1(76)로 입력된다. 또한, 동일한 위상검출기(16)의 출력신호는 곱셈기5 곱셈기8(68 74)로 입력되어, 각각 β1 β4 값이 곱해져서 선택기2(78)로 입력된다. 이 때, α 값의 크기는,

$$\alpha 1 > \alpha 2 > \alpha 3 > \alpha 4$$

와 같은 관계를 갖고, β 값의 크기는,

$$\beta 1 > \beta 2 > \beta 3 > \beta 4$$

와 같은 관계를 갖는다. 선택기1(76)과 선택기2(78)는 각각의 선택단자 s0, s1으로 입력되는 S0, S1 신호의 값에 따라, 각각 4개의 입력신호 중 1개를 선택해서 출력한다. 선택기2(78)의 출력신호는 가산기2(80)에서 지연기1(82)의 출력과 더해지고, 가산기2(80)의 출력신호는 지연기1(82)으로 입력됨과 동시에 가산기1(84)으로 입력되어 선택기1(76)의 출력신호와 더해진다. 가산기1(84)의 출력은 16비트 신호로서 비트선택기(86)로 입력된다. 비트선택기(86)의 동작은 제 4A 도와 제 4B 도를 참조한다.

제 4A 도는 비트선택기로 입력되는 16비트 신호의 신호형태를 설명하기 위한 도면이다. 2의 보수형태이기 때문에 최상위 비트는 부호비트이고, 나머지 15비트는 신호의 크기를 나타낸다. 제 4B 도는 위상오차비교기 출력신호인 S0와 S1 신호에 따라 비트선택기에서 16비트중 8비트를 선택하여 VCOCTRL(VOLTAGE CONTROL OSCILLATOR CONTROL)신호로 출력하는 관계를 나타낸다.

제 5A 도와 제 5B 도는 기준전압발생부의 실시예를 나타낸다. 제 5A 도는 기준전압 V 전압을 분주해서 V0, V1, V2, 및 V3를 만드는 과정을 나타내는 도면이다. 이 과정은 저항값(R1 R6)들에 의해 수행된다. V0, V1, V2, 및 V3의 크기 관계는,

$$V0 = V$$

$$V1 = V/2$$

$$V2 = V/4$$

$$V3 = V/8$$

와 같이 된다. 제 5B 도는 아날로그선택기를 나타내는 도면이다. 위상오차비교기(24)의 출력신호인 S0와 S1 신호에 따라 4개의 전압신호, 즉 V0, V1, V2, 및 V3 중 1개를 선택해서 DAC(20)로 입력되어 디지탈-아날로그 변한시 기준전압으로서 공급된다.

상술한 바와 같이 구성한 본 발명은 디지탈 타이밍 복원회로에서, 위상검출부에서 검출한 위상오차의 크기에 따라 디지탈 타이밍 회로를 구성하는 루프필터의 대역폭을 가변함에 의해 초기에는 위상취득시간을 빠르게 하고, 정상상태에서는 잡음의 영향등에 의해 샘플링 위상이 흔들리는 정도를 대폭 줄여줌으로서, 위상오차의 분산을 작게할 수 있는 잇점이 있다. 또한, 하드웨어 구현시 제한된 비트수로 양자화하는 것에 의한 dead-zone effect를 상당히 줄여줄 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

디지탈 저장기기에서 아날로그-디지털 변환기를 이용하여 샘플링된 재생신호로부터 비트클럭 성분을 검출하는 디지탈 타이밍 복원회로에 있어서,

상기 아날로그-디지털 변환기에서 출력된 신호로부터 샘플링클럭과 재생신호 비트클럭간의 위상오차를 검출하는 위상검출기;

상기 위상검출기에서 검출된 신호의 크기의 정도를 구분하여 표시하는 구별신호를 발생하는 위상오차비교기;

상기 위상오차비교기의 구별신호가 상기 위상오차가 큼을 나타내는 경우에는 대역폭을 넓게 하고, 상기 구별신호가 상기 위상오차가 작음을 표시하는 경우에는 대역폭을 좁게하여 상기 위상검출기의 출력신호를 필터링하는 루프필터;

상기 루프필터의 출력신호에 따라 클럭의 주파수 및 위상이 조정된 가변전압을 발진하는 가변전압발진기를 포함함을 특징으로 하는 디지탈 타이밍 복원회로.

청구항 2.

제1항에 있어서, 디지털 타이밍 복원회로는

상기 위상오차비교기의 구별신호에 대응하여 위상오차가 클수록 상대적으로 큰 전압을 발생하는 기준전압발생부: 및

상기 기준전압발생부에서 발생한 전압을 기준전압으로 하여 상기 루프필터에서 출력된 신호를 아날로그 신호로 변환하는 디지탈-아날로그 변환기를 더 포함하고, 상기 가변전압발진기는 디지탈-아날로그 변환기의 출력에 따라 상기 클럭의 주파수 및 위상이 조정된 가변전압을 발진하는 것을 특징으로 하는 디지털 타이밍 복원회로

청구항 3.

제1항에 있어서, 상기 위상오차비교기는 상기 위상검출기에서 출력된 샘플링클럭과 재생신호 비트클럭간의 위상오차의 크기를 범위를 나누어 비교하고, 상기 위상오차비교기에서의 위상오차의 크기의 범위는 위상검출기의 출력신호를 x라 하고, 임계값을 λ 이라 할 때,

$X >= \lambda$ 혹은 $x <= -\lambda$,

$\lambda/2 <= x < \lambda$ 혹은 $-\lambda <= x <= -\lambda/2$,

$\lambda/4 <= x < \lambda/2$ 혹은 $-\lambda/2 <= x <= -\lambda/4$,

$-\lambda/4 <= x <= \lambda/4$

으로 위상오차의 크기를 나누어, 각각 (0,0), (0,1),(1,0) 및 (1,1)의 출력신호를 갖는 위상오차비교기를 포함하는 디지탈 타이밍 복원회로.

청구항 4.

제1항에 있어서, 상기 루프회로는

위상오차값에 계수값 α1을 곱하는 제 1 곱셈기;

상기 동일한 위상오차값에 계수값 α2를 곱하는 제 2 곱셈기;

상기 동일한 위상오차값에 계수값 α3을 곱하는 제 3 곱셈기;

상기 동일한 위상오차값에 계수값 α4를 곱하는 제 4 곱셈기;

상기 제 1 곱셈기, 제 2 곱셈기, 제 3 곱셈기, 및 제 4 곱셈기의 출력신호를 입력신호로 하고, 상기 위상오차비교기의 구별신호를 선택신호로 하여 대역폭을 위상오차에 따라 가변하는 제 1 멀티플랙서;

상기 동일한 위상오차값에 계수값 β1을 곱하는 제 5 곱셈기;

상기 동일한 위상오차값에 계수값 β2를 곱하는 제 6 곱셈기;

상기 동일한 위상오차값에 계수값 β3을 곱하는 제 7 곱셈기;

상기 동일한 위상오차값에 계수값 β4를 곱하는 제 8 곱셈기;

상기 제 5 곱셈기, 제 6 곱셈기, 제 7 곱셈기, 및 제 8 곱셈기의 출력신호를 입력신호로 하고, 상기 위상오차비교기의 구별신호를 선택신호로 하여 대역폭을 위상오차에 따라 가변하는 제 2 멀티플랙서;

상기 제 2 멀티플랙서에서 선택되어 출력된 신호와 제 2 가산기의 출력신호를 입력신호로 하는 지연기의 출력신호를 입력신호로 하는 제 2 가산기:

상기 제 2 가산기의 출력신호를 입력신호로 하여 신호를 지연시켜 상기 제 2 가산기의 입력신호로 보내는 지연기:

상기 제 1 멀티플랙서의 출력신호와 상기 제 2 가산기의 출력신호를 입력신호로 하는 제 1 가산기; 및

상기 위상오차비교기의 구별신호를 선택신호로 하고, 상기 제 1 가산기의 출력신호의 16 비트 중 8비트를 선택하여, 비트선택하는 제 3 멀티플랙서를 포함하는 것을 특징으로 하는 디지탈 타이밍 복원회로.

청구항 5.

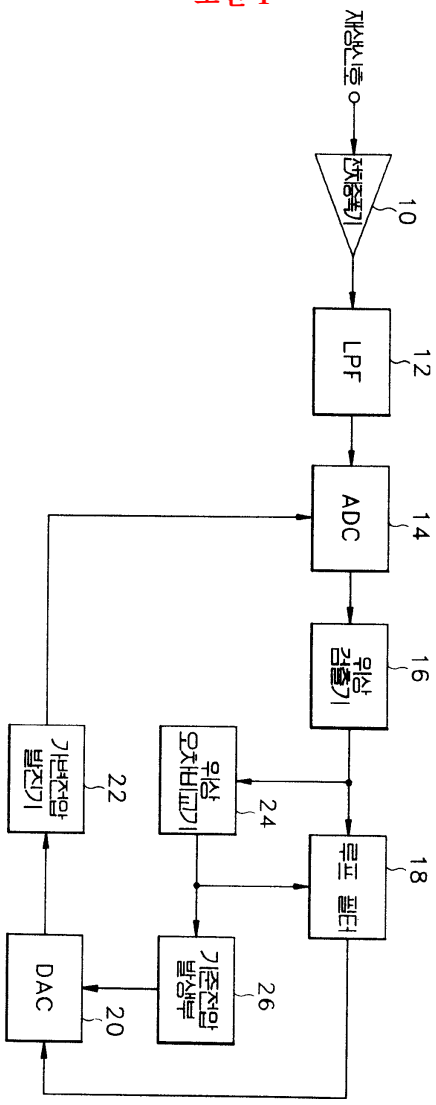
제4항에 있어서, 상기 비트선택기의 출력신호 중 최상위비트는 부호비트임을 특징으로 하는 디지탈 타이밍 복원회로.

청구항 6.

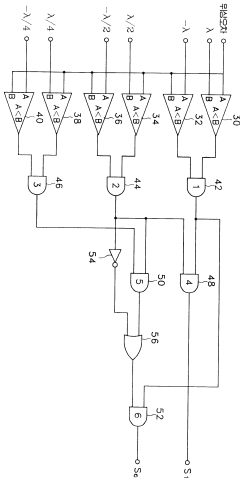
제2항에 있어서, 상기 기준전압발생부는 상기 위상오차비교기의 구별신호를 선택신호로 하고, 저항소자를 이용해 전압분배한 각각의 전압을 입력신호로 하는 멀티플랙서를 구비하여 상기 디지탈-아날로그 변환기로 기준전압을 가변해서 공급하는 것을 특징으로 하는 디지탈 타이밍 복원회로.

도면

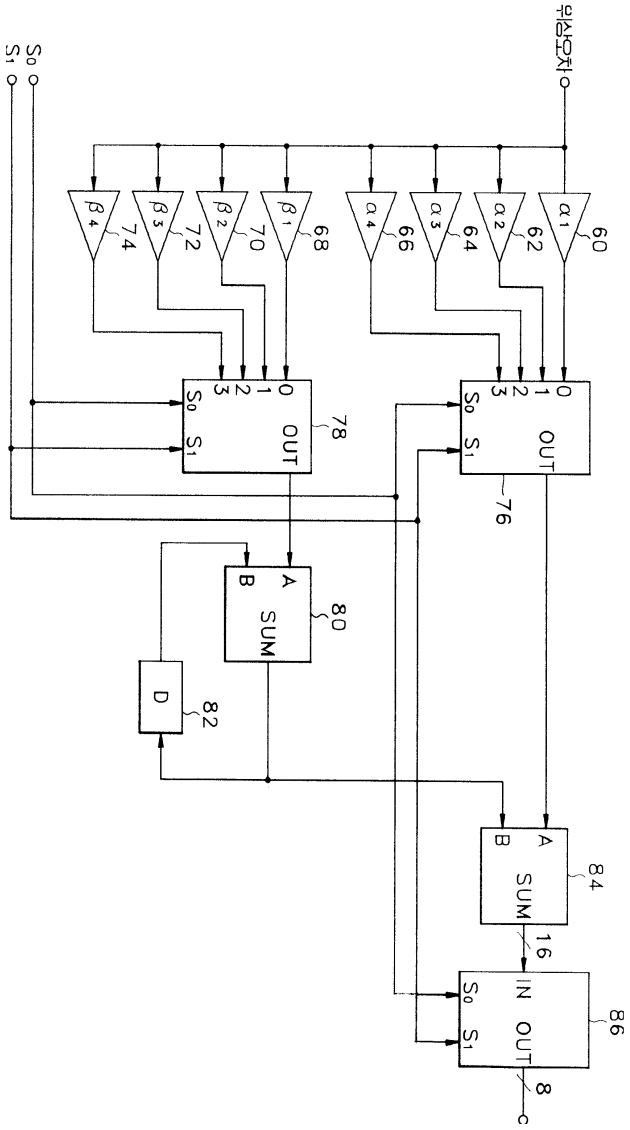
도면 1


재생신호
전치증폭기
10
LPF
12
ADC
14
위상 검출기
16
루프 필터
18
DAC
20
기본전압 발진기
22
위상 오차비교기
24
기준전압 발생부
26

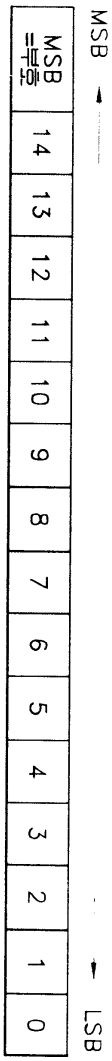
도면 2


-λ/4
λ/4
-λ/2
λ/2
-λ
λ
제1입력
A
B
A<B
30
32
34
36
38
40
42
44
46
48
50
52
54
56
1
2
3
4
5
6
S0
S1

도면 3


위상오차
S0
S1
α1
α2
α3
α4
β1
β2
β3
β4
60
62
64
66
68
70
72
74
76
78
80
82
84
86
OUT
SUM
D
IN
A
B
16
8

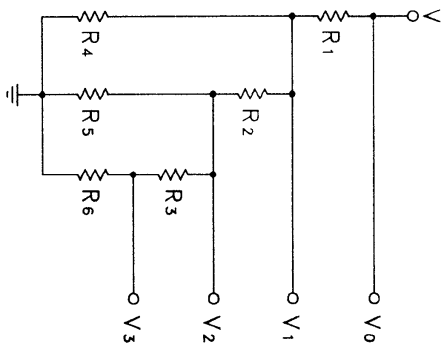
도면 4a



도면 4b

선택신호 (S_1, S_0)	VCOCTRL (16 → 8비트) MSB ← LSB						
0, 0	S 14	13	12	11	10	9	8
0, 1	S 13	12	11	10	9	8	7
1, 0	S 12	11	10	9	8	7	6
1, 1	S 11	10	9	8	7	6	5

도면 5a



도면 5b