



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월20일  
(11) 등록번호 10-1138028  
(24) 등록일자 2012년04월12일

(51) 국제특허분류(Int. Cl.)  
*G06F 1/04* (2006.01) *G06F 1/08* (2006.01)

(21) 출원번호 10-2010-0082275

(22) 출원일자 2010년08월25일  
심사청구일자 2010년08월25일

(65) 공개번호 10-2011-0027567

(43) 공개일자 2011년03월16일

(30) 우선권주장

JP-P-2009-208455 2009년09월09일 일본(JP)

(71) 발명자 등록자료

## (56) 선행기술조사문헌

선행기술조사문헌

JP2005292947 A

KR1020040078477 A

전체 청구항 수 : 총 22 항

심사관 : 지정훈

(73) 특허권자  
**엘피다 메모리 가부시키가이샤**  
일본 도쿄도 쥬오꾸 야에스 2쵸메 2방 1고

(72) 발명자  
**미야노 가즈타카**  
일본 도쿄도 쥬오쿠 야에스 2쵸메 2방 1고 엘피다  
메모리 가부시키가이샤 나이

(74) 대리인  
**특허법인 쿠코아이니**

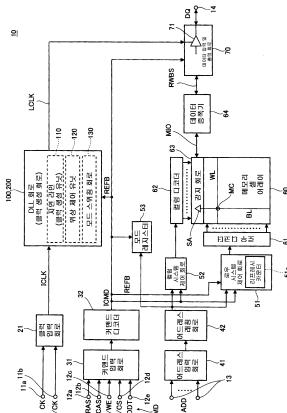
(74) 대리인  
특허법이 쿠리아나

(54) 발명의 명칭 클릭 생성 회로, 이를 포함하는 반도체 디바이스, 및 데이터 프로세싱 시스템

(57) 요약

클러 쟁성 회로가, 내부 클러 신호를 생성하는 지연 라인, 지연 라인을 제어함으로써 내부 클러 신호의 위상을 조정하는 위상-제어 유닛, 및 위상-제어 유닛의 동작 모드를 스위치하는 모드 스위칭 회로를 포함한다. 위상-제어 유닛은, 내부 클러 신호의 위상이 샘플링 클러 신호와 동기하여 변화되는 제 1 동작 모드 및 내부 클러 신호의 위상이 고정되는 제 2 동작 모드를 갖는다. 모드 스위칭 회로는, 리프레시 신호와 같은 트리거 신호에 응답하여 위상-제어 유닛을 제 1 동작 모드로부터 제 2 동작 모드로 시프트하며, 내부 클러 신호가 소정의 위상을 획득하는 상태에서 위상-제어 유닛을 제 2 동작 모드로 시프트한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

외부 클럭 신호에 기초하여 제 1 클럭 신호를 생성하는 클럭 생성 유닛;

제 1 클럭 신호의 위상을 조정하여 상기 외부 클럭 신호와 동기하도록 위상 제어 값을 사용함으로써 상기 클럭 생성 유닛을 제어하는 위상-제어 유닛; 및

상기 위상-제어 유닛의 동작 모드를 스위칭하는 모드 스위칭 회로를 포함하며,

상기 위상-제어 유닛은, 상기 제 1 클럭 신호의 위상이 상기 위상 제어 값을 업데이트함으로써 소정의 사이클에서 제어되는 제 1 동작 모드, 및 상기 제 1 클럭 신호의 위상이 상기 위상 제어 값을 고정함으로써 고정되는 제 2 동작 모드를 가지고,

상기 모드 스위칭 회로는, 트리거 신호에 응답하여 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시키고, 상기 제 1 클럭 신호가 소정의 위상을 획득하는 상태에 응답하여 상기 위상-제어 유닛을 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 변화시키며,

상기 모드 스위칭 회로가 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시킬 때, 상기 위상-제어 유닛은 상기 제 2 동작 모드에서 고정된 상기 위상 제어 값을 초기 값을으로서 사용하는, 클럭 생성 회로.

### 청구항 2

제 1 항에 있어서,

상기 클럭 생성 유닛은, 제 2 클럭 신호를 자연시킴으로써 상기 제 1 클럭 신호를 생성하는 자연 라인을 포함하고,

상기 위상-제어 유닛은, 카운트 값이 상기 위상 제어 값을 나타내는 카운터 회로를 포함하고,

상기 카운터 회로의 상기 위상 제어 값은, 상기 제 1 동작 모드에서의 소정의 사이클에서 업데이트되며,

상기 카운트 회로의 상기 위상 제어 값의 업데이트는 상기 제 2 동작 모드에서 중지되는, 클럭 생성 회로.

### 청구항 3

제 2 항에 있어서,

상기 카운터 회로의 상기 위상 제어 값은 상기 제 2 동작 모드에서 리셋되지 않으며, 상기 제 2 동작 모드에 진입하는 시점에서 상기 위상 제어 값을 유지되는, 클럭 생성 회로.

### 청구항 4

제 2 항에 있어서,

상기 위상-제어 유닛은 상기 제 2 클럭 신호와 제 3 클럭 신호의 위상들을 비교하는 위상 결정 회로를 더 포함하고,

상기 카운터 회로의 상기 위상 제어 값은 상기 위상 결정 회로의 출력에 기초하여 상기 소정의 사이클에서 업데이트되며,

상기 위상 결정 회로의 동작은 상기 제 2 동작 모드에서 중지되는, 클럭 생성 회로.

### 청구항 5

제 4 항에 있어서,

상기 위상-제어 유닛은, 상기 제 2 클럭 신호를 주파수 분할함으로써 상기 제 2 클럭 신호의 주파수 보다 낮은 주파수를 갖는 제 4 클럭 신호를 생성하는 분주 유닛 (frequency dividing unit) 을 더 포함하고,

상기 카운터 회로의 상기 위상 제어 값은, 상기 제 1 동작 모드에서 상기 제 4 클럭 신호와 동기하여 업데이트 되며,

상기 분주 유닛의 동작은 상기 제 2 동작 모드에서 중지되는, 클럭 생성 회로.

#### 청구항 6

제 4 항에 있어서,

상기 위상-제어 유닛은, 상기 제 1 클럭 신호에 기초하여 상기 제 3 클럭 신호를 생성하는 복제 회로 (replica circuit) 를 더 포함하며,

상기 복제 회로의 동작은 상기 제 2 동작 모드에서 중지되는, 클럭 생성 회로.

#### 청구항 7

제 2 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 모드 스위칭 회로는, 상기 카운터 회로의 상기 위상 제어 값이 소정의 패턴에서 변화하는 상태에 응답하여 상기 위상-제어 유닛을 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 변화시키는, 클럭 생성 회로.

#### 청구항 8

제 7 항에 있어서,

상기 소정의 패턴은, 상기 카운터 회로가 상기 소정의 사이클에서 업카운트 (upcount) 및 다운카운트 (downcount) 를 교대로 반복하는 패턴을 포함하는, 클럭 생성 회로.

#### 청구항 9

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 모드 스위칭 회로는, 상기 위상 결정 회로의 출력에서의 변화에 기초하여 상기 위상-제어 유닛을 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 변화시키는, 클럭 생성 회로.

#### 청구항 10

제 9 항에 있어서,

상기 모드 스위칭 회로는, 상기 위상 결정 회로의 상기 출력이 특정한 시간 주기내에서 다수 횟수 연속적으로 변화하는 현상에 응답하여 상기 위상-제어 유닛을 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 변화시키는, 클럭 생성 회로.

#### 청구항 11

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 트리거 신호는 소정의 주파수에서 활성화되는, 클럭 생성 회로.

#### 청구항 12

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 트리거 신호는, 메모리 셀에서 정보를 복원하는 리프레시 동작이 수행될 때마다 활성화되는, 클럭 생성 회로.

#### 청구항 13

제 12 항에 있어서,

상기 모드 스위칭 회로는, 상기 리프레시 동작이 완료된 이후에 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시키는, 클럭 생성 회로.

**청구항 14**

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,  
상기 트리거 신호는, 전원 전압에서의 변동에 적어도 응답하여 활성화되는, 클럭 생성 회로.

**청구항 15**

외부 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 클럭 생성 회로; 및  
상기 내부 클럭 신호와 동기하여 출력 신호를 외부로 출력하는 출력 버퍼를 포함하며,  
상기 클럭 생성 회로는,  
상기 내부 클럭 신호를 생성하는 클럭 생성 유닛,  
상기 내부 클럭 신호로부터 피드백 클럭 신호를 생성하는 복제 회로,  
상기 외부 클럭 신호와 상기 피드백 클럭 신호 사이의 위상차에 기초하여 상기 외부 클럭 신호의 위상과 동기하도록 상기 내부 클럭 신호의 위상을 조정하기 위해 위상 제어 값을 사용함으로써 상기 클럭 생성 유닛을 제어하는 위상-제어 유닛, 및  
상기 위상-제어 유닛의 동작 모드를 스위치하는 모드 스위칭 유닛을 포함하며,  
상기 위상-제어 유닛은, 상기 내부 클럭 신호의 위상이 상기 위상 제어 값을 업데이트함으로써 소정의 사이클에서 제어되는 제 1 동작 모드 및 상기 내부 클럭 신호의 위상이 상기 위상 제어 값을 고정함으로써 고정되는 제 2 동작 모드를 가지고,  
상기 모드 스위칭 회로는, 트리거 신호에 응답하여 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시키며, 상기 내부 클럭 신호가 소정의 위상을 획득하는 상태에 응답하여 상기 위상-제어 유닛을 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 변화시키고,  
상기 모드 스위칭 회로가 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시킬 때, 상기 위상-제어 유닛은 상기 제 2 동작 모드에서 고정된 상기 위상 제어 값을 초기 값으로서 사용하며,  
상기 복제 회로는 상기 출력 버퍼와 실질적으로 동일한 회로 구성을 갖는, 반도체 디바이스.

**청구항 16**

제 15 항에 있어서,  
리프레시 동작으로 데이터 보유 (retention) 를 요구하는 복수의 메모리 셀을 포함하는 메모리 셀 어레이를 더 포함하며,  
상기 트리거 신호는, 상기 리프레시 동작이 수행될 때마다 활성화되는, 반도체 디바이스.

**청구항 17**

제 16 항에 있어서,  
상기 모드 스위칭 회로는, 상기 리프레시 동작이 완료된 이후에 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시키는, 반도체 디바이스.

**청구항 18**

제 16 항 또는 제 17 항에 있어서,  
상기 트리거 신호는, 외부로부터 이슈된 자동-리프레시 커맨드에 기초하여 생성되는, 반도체 디바이스.

**청구항 19**

제 15 항 내지 제 17 항 중 어느 한 항에 있어서,  
상기 트리거 신호는, 상기 반도체 디바이스내에서 자동으로 생성되는 제어 신호인, 반도체 디바이스.

**청구항 20**

제 19 항에 있어서,

상기 제어 신호는, 상기 반도체 디바이스의 전력 검출 회로의 출력 신호인, 반도체 디바이스.

**청구항 21**

제 19 항에 있어서,

상기 제어 신호는, 상기 반도체 디바이스의 외부에 대하여 비동기적으로 동작하는 타이머 회로의 출력 신호인, 반도체 디바이스.

**청구항 22**

반도체 디바이스; 및

상기 반도체 디바이스에 접속된 제어기를 포함하며,

상기 반도체 디바이스는,

외부 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 클럭 생성 회로; 및

상기 내부 클럭 신호와 동기하여 출력 신호를 외부로 출력하는 출력 버퍼를 포함하며,

상기 클럭 생성 회로는,

상기 내부 클럭 신호를 생성하는 클럭 생성 유닛,

상기 내부 클럭 신호로부터 피드백 클럭 신호를 생성하는 복제 회로,

상기 외부 클럭 신호와 상기 피드백 클럭 신호 사이의 위상차에 기초하여 상기 외부 클럭 신호의 위상과 동기하도록 상기 내부 클럭 신호의 위상을 조정하기 위해 위상 제어 값을 사용함으로써 상기 클럭 생성 유닛을 제어하는 위상-제어 유닛, 및

상기 위상-제어 유닛의 동작 모드를 스위치하는 모드 스위칭 유닛을 포함하며,

상기 위상-제어 유닛은, 상기 내부 클럭 신호의 위상이 상기 위상 제어 값을 업데이트함으로써 소정의 사이클에서 제어되는 제 1 동작 모드 및 상기 내부 클럭 신호의 위상이 상기 위상 제어 값을 고정함으로써 고정되는 제 2 동작 모드를 가지고,

상기 모드 스위칭 회로는, 트리거 신호에 응답하여 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시키며, 상기 내부 클럭 신호가 소정의 위상을 획득하는 상태에 응답하여 상기 위상-제어 유닛을 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 변화시키고,

상기 모드 스위칭 회로가 상기 위상-제어 유닛을 상기 제 2 동작 모드로부터 상기 제 1 동작 모드로 변화시킬 때, 상기 위상-제어 유닛은 상기 제 2 동작 모드에서 고정된 상기 위상 제어 값을 초기 값을으로서 사용하며,

상기 복제 회로는 상기 출력 버퍼와 실질적으로 동일한 회로 구성을 갖는, 데이터 프로세싱 시스템.

**명세서****기술 분야**

[0001]

본 발명은 클럭 생성 회로 및 이를 포함하는 반도체 디바이스에 관한 것으로, 더욱 구체적으로는 DLL (지연 락루프) 회로와 유사하게, 위상 조정 내부 클럭 신호를 생성하는 클럭 생성 회로, 및 이를 포함하는 반도체 디바이스에 관한 것이다. 본 발명은 또한, 이러한 반도체 디바이스를 포함하는 데이터 프로세싱 시스템에 관한 것이다.

**배경 기술**

[0002]

최근에, 클럭과 동기하여 동작을 수행하는 동기 메모리가 개인 컴퓨터 등의 메인 메모리용으로 널리 사용되고 있다. 구체적으로는, DDR (이중 데이터 레이트) 동기 메모리에서, 입력 데이터 및 출력 데이터가 외부 클럭

신호에 관하여 정확하게 동기될 필요가 있기 때문에, 외부 클럭 신호와 동기되는 내부 클럭 신호를 생성하는 DLL 회로를 제공하는 것이 필요하게 되었다 (일본 공개 특허 출원 제 2005-292947 호 참조).

[0003] DLL 회로는, 카운터 값이 내부 클럭 신호 및 외부 클럭 신호 각각의 위상에 기초하여 업데이트되는 카운터 회로, 및 카운터 회로의 카운터 값에 기초하여 외부 클럭 신호를 지연시킴으로써 내부 클럭 신호를 생성하는 지연 라인을 포함한다. 카운터 값의 업데이팅은, 외부 클럭 신호를 후속하도록 DLL 회로가 락된 이후에도 계속된다. 즉, 카운터 값의 업데이팅 동작은, 내부 클럭 신호가 외부 클럭 신호의 위상에 관하여 소정의 위상(일반적으로, 제로 위상)을 획득한 이후에도 계속된다. 따라서, DLL 회로가 락된 이후에도 어느 정도의 전력이 지속적으로 소모된다.

[0004] 리프레시 동작 동안 DLL 회로로의 전력 공급을 중지시키는 반도체 디바이스가 일본 공개 특허 출원 제 2004-273106 호에 기재되어 있다. DLL 회로의 출력인 내부 클럭 신호는 리프레시 동작 동안 여하간 사용되지 않는다. 따라서, DLL 회로로의 전력 공급이 리프레시 동작 동안 중지될 때, 적어도 리프레시 동작 동안 전력 소모가 감소될 수 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 그러나, DLL 회로로의 전력 공급이 중지될 때, 바람직하지 못하게, 카운터 회로의 카운트 값은 리셋된다. 따라서, DLL 회로는, DLL 회로로의 전력 공급이 재시작된 이후에 DLL 회로가 재락될 때 까지 액세스될 수 없으며, 이것은 반도체 디바이스의 성능의 감소를 초래한다.

[0006] DLL 회로의 동작은, 리프레시 커맨드가 이슈될 때 까지 계속되기 때문에, DLL 회로에 의한 전력 소모는 이러한 주기 동안 감소될 수 없다.

[0007] 이러한 문제점은, DLL 회로에서 발생할 뿐만 아니라 위상-제어 내부 클럭 신호를 생성하는 클럭 생성 회로에서 일반적으로 발생한다.

### 과제의 해결 수단

[0008] 일 실시형태에서, 외부 클럭 신호에 기초하여 제 1 클럭 신호를 생성하는 클럭 생성 유닛; 제 1 클럭 신호의 위상을 조절하여 외부 클럭 신호의 위상과 동기하도록 위상 제어 값을 사용함으로써 클럭 생성 유닛을 제어하는 위상-제어 유닛; 및 위상-제어 유닛의 동작 모드를 스위치하는 모드 스위칭 회로로서, 위상-제어 유닛은 제 1 클럭 신호의 위상이 위상 제어 값을 업데이팅함으로써 소정의 사이클에서 제어되는 제 1 동작 모드 및 제 1 클럭 신호의 위상이 위상 제어 값을 고정함으로써 고정되는 제 2 동작 모드를 가지고, 모드 스위칭 회로는 트리거 신호에 응답하여 위상-제어 유닛을 제 2 동작 모드로부터 제 1 동작 모드로 변화시키며, 제 1 클럭 신호가 소정의 위상을 획득하는 상태에 응답하여 위상-제어 유닛을 제 1 동작 모드로부터 제 2 동작 모드로 변화시키는, 상기 모드 스위칭 회로를 포함하는 클럭 생성 회로가 제공되며, 모드 스위칭 회로는 위상-제어 유닛을 제 2 동작 모드로부터 제 1 동작 모드로 변화시키고, 위상-제어 유닛은 초기 값을으로서 제 2 동작 모드에서 고정된 위상 제어 값을 사용한다.

[0009] 본 발명에 따르면, 클럭 생성 유닛의 출력인 제 1 클럭 신호가 소정의 위상을 획득할 때, 제 1 클럭 신호의 위상은 고정되고, 따라서, 위상 제어 동작의 전력 소모가 감소될 수 있다. 또한, 위상 제어 동작이 트리거 신호에 응답하여 재시작되기 때문에, 내부 클럭 신호의 위상은 원하는 위상으로부터 현저하게 벗어날 가능성 이 없다.

### 도면의 간단한 설명

[0010] 본 발명의 상기 특징들 및 이점들은, 첨부한 도면과 함께 취해진 특정한 바람직한 실시형태들의 아래의 설명으로부터 더욱 명백해질 것이다.

도 1 은, 본 발명의 바람직한 실시형태에 따른 반도체 디바이스 (10) 의 전체 구성의 블록도.

도 2 는, 본 발명의 제 1 실시형태에 따른 DLL 회로 (100) 의 블록도.

도 3 은, 모드 스위칭 회로 (디더 결정 회로) (130) 의 회로도.

도 4 는, 모드 스위칭 회로 (130) 의 동작들을 설명하는 타이밍 차트.

도 5 는, 제 2 실시형태에 따른 DLL 회로 (200) 의 블록도.

도 6 은 모드 스위칭 회로 (230) 의 회로도.

도 7 은 모드 스위칭 회로 (230) 의 동작들을 설명하는 타이밍 차트.

도 8 은 제 3 실시형태에 따른 반도체 디바이스 (10a) 의 구성의 블록도.

도 9 는, 전압 변동 검출 회로 (300) 의 회로도.

도 10 은 제 4 실시형태에 따른 반도체 디바이스 (10b) 의 블록도.

도 11 은 변형예에 따른 반도체 디바이스 (10b) 의 블록도.

도 12 는, 반도체 디바이스 (10) 를 포함하는 데이터 프로세싱 시스템 (500) 의 블록도.

### 발명을 실시하기 위한 구체적인 내용

[0011]

본 발명의 문제점을 해결하는 기술적 개념의 대표적인 예들이 아래에 설명된다. 본 출원이 특허를 청구하려는 내용이 아래의 기술적 개념에 제한되는 것이 아니라 첨부한 청구범위의 기재에 제한된다는 것은 언급할 필요가 없다. 즉, 본 발명의 기술적 개념은, 생성된 클럭 신호가 소정의 위상을 획득할 때 클럭 신호의 생성을 중지시키는 대신에 클럭 신호의 위상 제어 동작을 중지시키며, 트리거 신호에 응답하여 위상 제어 동작을 재시작함으로써 전력 소모를 감소시키는 것이다. 즉, 본 발명의 특징들 중 하나는, 위상 제어 동작을 간헐적으로 수행함으로써 전력 소모의 감소를 달성하는 것이다. 전력이 반도체 디바이스에 공급되거나 DLL 회로의 리셋 커맨드가 입력될 때 DLL 회로가 위상 제어 동작을 수행하며, 위상 제어 동작이 완료될 때 (외부 클럭 신호의 위상이 내부 클럭 신호의 위상과 매칭하는 상태) 위상 제어 동작을 중지한다. 그 후, DLL 회로는 트리거 신호에 응답하여 위상 제어 동작을 재시작하고, 위상 제어 동작의 소저의 결과와 관련하여 위상 제어 동작을 자동으로 중지한다. 즉, 트리거 신호에 응답하여 위상 제어 동작이 비활성인 제 2 동작 모드로부터 위상 제어 동작이 활성인 제 1 동작 모드로의 시프팅이 수행되고, 그 후, 제 2 동작 모드의 시프팅이 자동으로 수행된다. 트리거 신호는 리셋 커맨드와는 상이한 방식으로 작용한다. 제 2 동작 모드로부터 제 1 동작 모드로 시프팅할 때, 위상 제어 동작은 제 2 동작 모드의 이전의 위상 제어 값은 유지하면서 수행된다. 위상 제어 값은 위상 제어 동작에서 변경 (업데이트) 되거나 유지된다 (업데이트되지 않음). 한편, 리셋 커맨드는 DLL 회로 자체가 리셋 (즉, 위상 제어 값이 폐기) 되게 하며 새로운 위상 제어 값의 재생성을 초래한다.

[0012]

첨부한 도면을 참조하여 본 발명의 바람직한 실시형태들을 아래에 상세히 설명한다.

[0013]

도 1 은, 본 발명의 실시형태에 따른 반도체 디바이스 (10) 의 전체 구성의 블록도이다.

[0014]

본 실시형태에 따른 반도체 디바이스 (10) 는 DDR SDRAM 이다. 반도체 디바이스 (10) 는 외부 단자들로서, 클럭 단자 (11a 및 11b), 커맨드 단자 (12a 내지 12e), 어드레스 단자 (13), 및 데이터 입력 및 출력 단자 (14) 를 포함한다. 반도체 디바이스 (10) 가 전력 단자 및 데이터 스트로브 단자를 또한 포함하지만, 이들 단자는 도 1 에 도시되지 않는다.

[0015]

클럭 단자 (11a 및 11b) 는, 외부 클럭 신호 (CK 및 /CK) 가 각각 공급되는 단자이다. 그 후, 이들 외부 클럭 신호 (CK 및 /CK) 는 클럭 입력 회로 (21) 에 공급된다. 본 명세서에서, 신호 명칭의 개시에 / (슬래시) 를 갖는 신호는, 그 신호가 대응하는 신호의 역 신호, 또는 낮은-활성 신호이다는 것을 의미한다. 따라서, 외부 클럭 신호 (CK 및 /CK) 는 서로에 대해 상보적이다. 클럭 입력 회로 (21) 는 외부 클럭 신호 (CK 및 /CK) 에 기초하여 단상 내부 클럭 신호 (ICLK) 를 생성하고, 이것을 DLL 회로 (100 (200)) 에 공급한다.

[0016]

DLL 회로 (100 (200)) 는 내부 클럭 신호 (ICLK) 를 수신하고, 외부 클럭 신호 (CK 및 /CK) 에 관하여 위상-제어 내부 클럭 신호 (LCLK) 를 생성한다. DLL 회로 (100 (200)) 는 생성된 내부 클럭 신호 (LCLK) 를 데이터 입력 및 출력 회로 (70) 에 공급한다. 도 1 에 도시된 바와 같이, DLL 회로 (100 (200)) 는 지연 라인 (클럭 생성 유닛) (110), 위상 제어 유닛 (120), 및 모드 스위칭 회로 (130) 를 포함한다. DLL 회로 (100 (200)) 는 나중에 상세히 설명한다.

[0017]

커맨드 단자 (12a 내지 12e) 는, 로우 (row) 어드레스 스트로브 신호 (/RAS), 컬럼 (column) 어드레스 스트로브 신호 (/CAS), 기록 인에이블 신호 (/WE), 칩 선택 신호 (/CS), 및 온-다이 터미네이션 신호 (OTD) 가 각각 공급되는 단자이다. 이들 커맨드 신호 (CMD) 는 커맨드 입력 회로 (31) 에 공급된다. 커맨드 입력 회로

(31)로부터, 이들 커맨드 신호 (CMD)는 커맨드 디코더 (32)에 공급된다. 커맨드 디코더 (32)는 커맨드 신호의 유지, 디코딩, 카운팅 등을 수행함으로써 다양한 내부 커맨드 (ICMD)를 생성하는 회로이다. 생성된 내부 커맨드 (ICMD)는 로우 시스템 제어 회로 (51), 컬럼 시스템 제어 회로 (52), 모드 레지스터 (53), 데이터 입력 및 출력 회로 (70), 및 DLL 회로 (100 (200)) 각각에 공급된다. 도 1에 도시된 바와 같이, 내부 커맨드 (ICMD) 중에서, 리프레시 신호 (REFB)가 적어도 로우 시스템 제어 회로 (51) 및 DLL 회로 (100 (200))에 공급된다.

[0018] 어드레스 단자 (13)는, 어드레스 신호 (ADD)가 공급되는 단자이다. 그 후, 어드레스 신호 (ADD)가 어드레스 입력 회로 (41)에 공급된다. 어드레스 입력 회로 (41)의 출력이 어드레스 래칭 회로 (42)에 공급된다. 어드레스 래칭 회로 (42)에서 래칭되는 어드레스 신호 (ADD) 중에서, 로우 어드레스 부분이 로우 시스템 제어 회로 (51)에 공급되고 컬럼 어드레스 부분이 컬럼 시스템 제어 회로 (52)에 공급된다. 또한, 모드 레지스터 세트에 엔트리가 존재할 때, 어드레스 신호 (ADD)는 모드 레지스터 (53)에 공급된다. 이에 의해, 모드 레지스터 (53)의 컨텐츠가 업데이트된다.

[0019] 로우 시스템 제어 회로 (51)는, 로우 어드레스를 로우 디코더 (61)에 공급하는 회로이다. 로우 어드레스는 어드레스 래칭 회로 (42)에 의해 로우 시스템 제어 회로 (51)에 공급된다. 로우 시스템 제어 회로 (51)는 리프레시 카운터 (51a)를 포함한다. 리프레시 신호 (REFB)가 활성화될 때, 리프레시 카운터 (51a)의 카운터 값인 리프레시 어드레스가 로우 디코더 (61)에 공급된다. 로우 디코더 (61)는 메모리 셀 어레이 (60)의 워드 라인 (WL) 중에서 하나의 워드 라인을 선택하는 회로이다. 복수의 워드 라인 (WL) 및 복수의 비트 라인 (BL)이 교차 방식으로 메모리 셀 어레이 (60) 내부에 배열된다. 메모리 셀 (MC)은 워드 라인 (WL) 및 비트 라인 (BL)의 노드에 배열된다 (오직 하나의 워드 라인 (WL), 비트 라인 (BL), 및 메모리 셀 (MC)이 도 1에 도시된다). (메모리 셀 정보를 재-업데이트하는) 리프레시 동작이 메모리 셀 (MC)에 저장된 데이터를 유지하는데 요구된다. 각 비트 라인 (BL)은 감지 회로 (63)에서의 감지 증폭기 (SA) 중 대응하는 하나에 접속된다.

[0020] 컬럼 시스템 제어 회로 (52)의 출력은 컬럼 디코더 (62)에 공급된다. 컬럼 디코더 (62)는 감지 회로 (63)에 포함된 감지 증폭기 (SA) 중에서 하나의 감지 증폭기를 선택하는 회로이다. 컬럼 디코더 (62)에 의해 선택된 감지 증폭기 (SA)는 메인 I/O 라인 (MIO)을 통해 데이터 증폭기 (64)에 접속된다. 데이터 증폭기 (64)는 판독 동작 동안 감지 증폭기 (SA)에 의해 이미 증폭된 판독 데이터를 더 증폭하며, 그 증폭된 판독 데이터를 판독/기록 버스 (RWBS)를 통해 데이터 입력 및 출력 회로 (70)에 공급한다. 한편, 데이터 증폭기 (64)는 기록 동작 동안 판독/기록 버스 (RWBS)를 통해 데이터 입력 및 출력 회로 (70)로부터 공급된 기록 데이터를 증폭하며, 그 증폭된 기록 데이터를 감지 증폭기 (SA)에 공급한다.

[0021] 데이터 입력 및 출력 단자 (14)는, 판독 데이터 (DQ)를 출력하고 기록 데이터 (DQ)를 입력하는 단자이며, 데이터 입력 및 출력 회로 (70)에 접속된다. 데이터 입력 및 출력 회로 (70)는 출력 버퍼 (70)를 포함한다. 판독 데이터 (DQ)는 판독 동작 동안 내부 클럭 신호 (LCLK)와 동기하여 출력 버퍼 (71)로부터 출력된다. 도 1에서, 오직 하나의 데이터 입력 및 출력 단자 (14)가 도시되어 있다. 그러나, 데이터 입력 및 출력 단자 (14)가 오직 하나일 필요는 없다. 복수의 데이터 입력 및 출력 단자가 제공될 수 있다.

[0022] 반도체 디바이스 (10)의 전체 구성을 상술하였다. 다음으로, DLL 회로 (100)를 상세히 설명한다.

[0023] 도 2는 본 발명의 제 1 실시형태에 따른 DLL 회로 (100)의 블록도이다.

[0024] 도 2에 도시되어 있는 바와 같이, DLL 회로 (100)는 지연 라인 (클럭 생성 라인) (110), 위상 제어 유닛 (120), 및 모드 스위칭 회로 (130)를 포함한다.

[0025] 지연 라인 (110)은, 내부 클럭 신호 (ICLK)를 지연시킴으로써 출력에 대한 내부 클럭 신호 (LCLK)를 생성하는 회로이다. 위상 제어 유닛 (120)은 지연 라인 (110)의 지연량을 조정한다. 이것의 구성은 특별하게 한정되지 않지만, 지연 라인 (110)은 바람직하게는, 상대적으로 코오스 (coarse) 조정 피치에서 내부 클럭 신호 (ICLK)를 지연시키는 코오스 지연 라인, 및 상대적으로 미세한 조정 피치에서 내부 클럭 신호 (ICLK)를 지연시키는 미세한 지연 라인을 포함한다.

[0026] 위상 제어 유닛 (120)은, 내부 클럭 신호 (ICLK) 및 출력에 대한 내부 클럭 신호 (LCLK)를 수신하는 회로 블록이다. 이들 수신된 신호에 기초하여 지연 라인 (110)의 지연량을 조정함으로써, 위상 제어 유닛 (120)은 내부 클럭 신호 (LCLK)의 위상을 조정한다. 도 2에 도시되어 있는 바와 같이, 위상 제어 유닛 (120)은 복제 회로 (replica circuit; 121), 위상 결정 회로 (122), 카운터 제어 회로 (123), 카운터 회로 (124),

및 분주 (frequency-dividing) 회로 (125) 를 포함한다.

[0027] 복제 회로 (121) 는 도 1 에 도시된 출력 버퍼 (71) 와 실질적으로 동일한 구성을 갖는다. 복제 회로 (121) 는 내부 클럭 신호 (LCLK) 와 동기하여 피드백 클럭 신호 (fbCLK) 를 출력한다. 따라서, 피드백 클럭 신호 (fbCLK) 의 위상은 출력 신호 (판독 데이터) (DQ) 의 위상과 정확하게 매칭한다. 그러나, 복제 회로 (121) 를 형성하는 트랜지스터의 사이즈는 출력 버퍼 (71) 를 형성하는 트랜지스터의 사이즈와 동일할 필요는 없다. 그들의 임피던스가 실질적으로 동일하는 한은, 축소된 트랜지스터가 또한 사용될 수 있다.

[0028] 피드백 클럭 신호 (fbCLK) 및 내부 클럭 신호 (ICLK) 는 위상 결정 회로 (122) 에 공급된다. 위상 결정 회로 (122) 는 내부 클럭 신호 (ICLK) 의 위상과 피드백 클럭 신호 (fbCLK) 의 위상 사이의 차이를 검출하는 회로이다. 상술한 바와 같이, 지연 라인 (110) 은 위상이 판독 데이터 (DQ) 의 위상과 일치하도록 피드백 클럭 신호 (fbCLK) 의 위상을 조정한다. 그러나, 이 위상 모두는 지연 라인 (110) 의 지연량에 영향을 미치는 전압 및 온도와 같은 파라미터의 변동으로 인해, 그리고 외부 클럭 신호 (CK 및 /CK) 자체의 주파수의 변동에 기초하여 시시각각 변화한다. 위상 결정 회로 (122) 는 위상에서의 변화를 검출하며, 피드백 클럭 신호 (fbCLK) 의 위상이 내부 클럭 신호 (ICLK) 에 대하여 앞서가나 지연되는지를 결정한다. 위상 결정 회로 (122) 는 내부 클럭 신호 (ICLK) 의 각 사이클에서 결정을 수행하며, 결정 결과를 위상 결정 신호 (PD) 로서 카운터 제어 회로 (123) 에 공급한다.

[0029] 카운터 제어 회로 (123) 는, 위상 결정 신호 (PD) 에 기초하여 업 및 다운 신호 (U/D) (이하, "업/다운 신호 (U/D)") 를 생성하며, 샘플링 클럭 신호 (SYNCLK1) 와 동기하여 업/다운 신호 (U/D) 를 업데이트하는 회로이다. 분주 회로 (125) 는 샘플링 클럭 신호 (SYNCLK1) 를 생성한다. 분주 회로 (125) 는, 내부 클럭 신호 (ICLK) 를 분주하고 더 낮은 주파수를 갖는 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 를 생성하는 회로이다. 특별하게 한정되지는 않지만, 분할의 수는 16 또는 32 로 설정될 수 있다. 예를 들어, 분주 회로 (125) 가 내부 클럭 신호 (ICLK) 를 16 분할로 분할할 때, 이것은, 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 가 내부 클럭 신호 (ICLK) 의 매 16 사이클 이후에 활성화된다는 것을 의미한다. 이러한 경우에서, 샘플링 사이클은 16-클럭 사이클이 된다.

[0030] 카운터 제어 회로 (123) 에 의해 생성된 업/다운 신호 (U/D) 는 카운터 회로 (124) 에 공급된다. 카운터 회로 (124) 는 업/다운 신호 (U/D) 에 기초하여 업카운팅 또는 다운카운팅을 수행하는 회로이다. 카운터 회로 (124) 는, 그 위상이 샘플링 클럭 신호 (SYNCLK1) 에 대하여 지연되는 샘플링 클럭 신호 (SYNCLK2) 와 동기하여 업카운트 또는 다운카운트한다. 카운트 회로 (124) 의 카운트 값 (COUNT) 이 지연 라인 (110) 에 공급된다. 지연 라인 (110) 의 지연량은 카운트 값 (COUNT) 에 기초하여 결정된다.

[0031] 상기 언급된 구성을 갖는 위상 제어 유닛 (120) 은, 샘플링 클럭 신호 (SYNCLK2) 와 동기하여 지연 라인 (110) 의 지연량을 변화시키는 제 1 동작 모드 및 지연 라인 (110) 의 지연량을 고정시키는 제 2 동작 모드를 갖는다. 즉, 내부 클럭 신호 (LCLK) 의 위상 제어 동작은 제 1 동작 모드에서 수행되며, 내부 클럭 신호 (LCLK) 의 위상은 제 2 동작 모드에서 고정된다.

[0032] 위상 제어 유닛 (120) 이 제 2 동작 모드로 시프트할 때, 복제 회로 (121), 위상 결정 회로 (122), 카운터 제어 회로 (123), 카운터 회로 (124), 및 분주 회로 (125) 의 동작은 중지된다. 따라서, 미미한 전력량만이 제 2 동작 모드에서 위상 제어 유닛 (120) 에 의해 소모된다. 그러나, 카운터 회로 (124) 의 카운트 값은, 위상 제어 유닛 (120) 이 제 2 동작 모드로 시프트되더라도 리셋되지 않는다. 제 2 동작 모드로 시프트시에 이용 가능한 카운트 값이 유지된다. 즉, 제 2 동작 모드로의 시프트하기 직전의 지연량은 지연 라인 (110) 의 지연량으로서 고정된다. 따라서, 적어도 카운터 회로 (124) 로의 전력 공급은 컷 오프 (cut off) 될 수 없다. 복제 회로 (121), 위상 결정 회로 (122), 카운터 제어 회로 (123), 및 분주 회로 (125) 에 대하여, 전력 공급은 위상 제어 유닛 (120) 이 제 2 동작 모드로 시프트될 때 컷 오프될 수 있다. 그러나, 제 1 동작 모드로 위상 제어 유닛 (120) 을 신속하게 시프트 (리턴) 하기 위해, 전력 공급을 컷 오프하는 대신에, 입력 신호에서 변화가 없을 때, 즉, 입력 신호가 논리적으로 고정될 때 스위칭이 수행되지 않는 상태를 준비하는 것이 바람직하다.

[0033] 위상 제어 유닛 (120) 의 동작 모드는 모드 스위칭 회로 (130) 로부터 공급되는 중지 신호 (STOP) 에 따라 선택된다. 구체적으로는, 중지 신호 (STOP) 의 상태가 비활성 (낮은 레벨) 일 때, 위상 제어 유닛 (120) 의 동작 모드는 제 1 동작 모드로 설정되며, 중지 신호 (STOP) 의 상태가 활성 (높은 레벨) 일 때, 동작 모드는 제 2 동작 모드로 설정된다.

- [0034] 도 2 에 도시되어 있는 바와 같이, 카운터 제어 회로 (123) 의 출력인 업/다운 신호 (U/D), 및 커맨드 디코더 (32) 의 출력인 리프레시 신호 (REFB) 는 모드 스위칭 회로 (130) 에 공급된다. 이들 신호에 기초하여, 모드 스위칭 회로 (130) 은 중지 신호 (STOP) 를 생성한다. 상세히 후술하는 바와 같이, 제 1 실시형태에서, 모드 스위칭 회로 (130) 는 디더 (dither) 결정 회로로 형성된다. 디더 결정 회로는, 업/다운 신호 (U/D) 의 변화-패턴을 모니터링함으로써 DLL 락을 검출하는 회로이다. DLL 락은, 내부 클럭 신호의 위상이 피드백 클럭 신호 (fbCLK) 의 위상과 실질적으로 매칭한다는 것을 나타내는 상태이다.
- [0035] 도 3 은 모드 스위칭 회로 (디더 결정 회로) (130) 의 회로도이고, 도 4 는 모드 스위칭 회로 (디더 결정 회로) (130) 의 동작을 설명하는 타이밍 차트이다.
- [0036] 도 3 에 도시되어 있는 바와 같이, 제 1 실시형태에 따른 모드 스위칭 회로 (130) 는, 리프레시 신호 (REFB) 를 래치하는 래치 회로 (131 및 132), 래치 회로 (131 및 132) 의 출력 (DTO 및 DT1) 을 수신하는 AND 게이트 (133), 및 리프레시 신호 (REFB) 에 기초하여 원-샷 (one-shot) 펄스 (OP) 를 생성하는 원-샷 펄스 생성 회로 (134) 를 포함한다.
- [0037] 낮은 활성 신호인 리프레시 신호 (REFB) 는, (커맨드가 셀 정보를 리프레시하기 위해 외부로부터 이슈되지 않는 상태에 반도체 디바이스가 있을 때) 일반적으로 높은 레벨에 락된다. 리프레시 커맨드가 외부로부터 이슈될 때, 커맨드 디코더 (32) 는 리프레시 신호 (REFB) 를 소정의 시간 동안 낮은 레벨로 변화시킨다. 로우 시스템 제어 회로 (51) 가 리프레시 동작을 완료할 때, 리프레시 신호 (REFB) 는 높은 레벨로 리턴한다. 자동 리프레시 커맨드가 외부로부터 반도체 디바이스에 이슈된 리프레시 커맨드의 예이다. 리프레시 동작이 로우 시스템 제어 회로 (51) 에 의해 완료된 이후에, DLL 회로 (100) 의 위상 제어 동작은 원-샷 펄스 생성 회로 (134) 에 의해 수행된다. 원-샷 펄스 생성 회로 (134) 는 아래에 설명된다. 로우 시스템 제어 회로 (51) 로 인한 칩 (반도체 디바이스) 에서의 동작 노이즈는 위상 제어 동작의 정확성에 영향을 미치지 않는다.
- [0038] 리프레시 신호 (REFB) 가 비활성화될 때, 즉, 리프레시 신호 (REFB) 가 낮은 레벨로부터 높은 레벨로 변화될 때, 원-샷 펄스 생성 회로 (134) 는 도 4 에 도시된 바와 같이 원-샷 펄스 (OP) 를 생성한다. 원-샷 펄스 (OP) 가 생성되면, 래치 회로 (131 및 132) 는 리셋되고, 이들의 출력 (DTO 및 DT1) 은 낮은 레벨로 변화한다. 따라서, AND 게이트 (133) 의 출력인 중지 신호 (STOP) 는 리프레시 동작이 완료된 직후에는 항상 낮은 레벨에 있을 것이다. 상술한 바와 같이, 중지 신호 (STOP) 가 낮은 레벨에 있을 때, 제 1 동작 모드가 위상 제어 유닛 (120) 에 대해 선택된다. 즉, 샘플링 클럭 신호 (SYNCLK2) 와 동기되는 내부 클럭 신호 (LCLK) 의 위상 제어 동작이 수행된다.
- [0039] 업/다운 신호 (U/D) 는 래치 회로 (131) 의 클럭 입력 단자에 공급되며, 반전된 업/다운 신호 (U/D) 는 래치 회로 (132) 의 클럭 입력 단자에 공급된다. 따라서, 업/다운 신호 (U/D) 가 1회 변화될 때, 높은 레벨이 래치 회로 (131 및 132) 중 어느 하나에서 래치되며, 업/다운 신호 (U/D) 가 다시 1회 변화될 때, 높은 레벨이 래치 회로 (131 및 132) 중 다른 하나에서 래치된다. 즉, 업/다운 신호 (U/D) 가 2회 변화될 때 (즉, 디더 결정에서의 위상 조정 동작에 의해 위상이 제로에 실질적으로 도달하는 상태는 나타내는 DLL 락을 검출할 때), 래치 회로 (131 및 132) 양자의 출력 (DTO 및 DT1) 은 높은 레벨로 변화된다. 그 결과, AND 게이트 (133) 의 출력인 중지 신호 (STOP) 가 높은 레벨로 변화된다. 중지 신호 (STOP) 가 높은 레벨로 변화될 때, 위상 제어 유닛 (120) 에 대해 제 2 동작 모드가 선택된다. 즉, 내부 클럭 신호 (LCLK) 의 위상은 고정된다. 상기 언급한 프로세스는 디더 결정 회로의 디더 프로세스이다. 업/다운 신호 (U/D) 는 또한 디더 신호로서 해석될 수 있다.
- [0040] 업/다운 신호 (U/D) 는 다음의 2개의 패턴에서 2회 변화할 수 있다. 먼저, 업/다운 신호 (U/D) 는 업 결정, 다운 결정, 및 업 결정 (U/D/U) 의 순서에서 변화한다. 둘째로, 업/다운 신호 (U/D) 는 다운 결정, 업 결정, 및 다운 결정 (D/U/D) 의 순서에서 변화한다. 이들 패턴들 중 어느 하나는, 외부 클럭 신호 (CK) 의 위상이 피드백 클럭 신호 (fbCLK) 의 위상과 실질적으로 매칭할 때, 즉, DLL 회로가 락될 때 나타날 수 있다.
- [0041] 따라서, 도 4 에 도시되어 있는 바와 같이, 위상 제어 유닛 (120) 은, DLL 락이 디더 결정에서 검출될 때마다 제 1 동작 모드로부터 제 2 동작 모드로 시프트된다. 또한, 위상 제어 유닛 (120) 은, 리프레시 신호 (REFB) 가 활성화될 때마다 제 2 동작 모드로부터 제 1 동작 모드로 시프트된다. 즉, 위상 제어 유닛 (120) 의 전력 소모는, 트리거 신호 (리프레시 신호 (REFB)) 에 따라 위상 제어 동작을 간헐적으로 수행하기 때문에 감소된다.
- [0042] 위상 제어 유닛 (120) 이 제 2 동작 모드로 시프트될 때, 위상 제어 동작은 중지된다. 따라서, 내부 클럭

신호 (LCLK) 가 외부 클럭 신호 (CK 및 /CK) 를 정확하게 따르지 않는 가능성성이 존재한다. 그러나, 제 1 실시형태에 따르면, 소정의 간격에서 활성화되는 리프레시 신호 (REFB) 는 위상 제어 유닛 (120) 을 제 1 동작 모드로 리턴하기 위한 트리거 신호로서 사용된다. 따라서, 위상 제어 동작의 정지로 인한 위상의 시프팅은 거의 발생하지 않는다. 구체적으로는, 자동 리프레시 커맨드의 이슈 주파수가 대략 마이크로초 정도이기 때문에, 위상의 현저한 시프팅이 이러한 짧은 주기내에서 예외적으로 발생한다. 그 결과, 판독 데이터의 출력 품질은 위상 제어 동작을 간헐적으로 중지시킴으로써 열화되지 않는다. 한편, 위상 제어 동작이 중지되는 주기 동안, 내부 클럭 신호 (LCLK) 에서 지터가 생성되지 않는다. 따라서, 판독 데이터의 출력 품질에서의 개선의 가능성이 존재한다.

[0043] 제 1 실시형태에 따르면, 자동 리프레시 커맨드가 소정의 간격에서 활성화된다는 점에 집중함으로써, 자동 리프레시 커맨드는 제 2 동작 모드로부터 제 1 동작 모드로 위상 제어 유닛 (120) 을 시프팅하는 트리거 신호로서 사용된다. 따라서, 위상 제어 유닛 (120) 을 제 1 동작 모드로 시프팅하는 임의의 전용 회로가 추가될 필요가 없다.

[0044] 다음으로, 본 발명의 제 2 실시형태를 설명한다.

[0045] 도 5 는 제 2 실시형태에 따른 DLL 회로 (200) 의 블록도이다.

[0046] 제 2 실시형태에 따른 DLL 회로 (200) 는, 다음의 양태에서 제 1 실시형태에 따른 DLL 회로 (100) 와 다르다. 즉, 제 2 실시형태에서, 위상 제어 유닛 (120) 및 모드 스위칭 회로 (130) 는 각각, 위상 제어 유닛 (220) 및 모드 스위칭 회로 (230) 로 대체된다. 또한, 위상 제어 유닛 (220) 은, 분주 회로 (125) 대신에 분주 회로 (225) 를 포함한다는 점에서 도 2 에 도시된 위상 제어 유닛 (120) 과는 다르다. DLL 회로 (200) 는 모든 다른 관점에서 DLL 회로 (100) 와 동일하다. 따라서, 동일한 참조 번호는 동일한 엘리먼트를 나타내고, 이것의 중복 설명은 생략될 것이다.

[0047] 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 에 부가하여, 분주 회로 (225) 는 세트 신호 (SET) 및 리셋 신호 (RST) 를 생성한다. 세트 신호 (SET) 는 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 와 동일한 사이클을 갖는다. 따라서, 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 중 하나가 세트 신호 (SET) 로서 사용될 수 있다. 리셋 신호 (RST) 는 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 보다 긴 사이클을 갖는다. 리셋 신호 (RST) 의 사이클을 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 의 사이클의 약 4배로 설정하는 것이 바람직하다. 샘플링 클럭 신호 (SYNCLK1 및 SYNCLK2) 의 사이클이 내부 클럭 신호 (ICLK) 의 사이클의 16배일 때, 리셋 신호 (RST) 의 사이클은 내부 클럭 신호 (ICLK) 의 사이클의 64배가 된다.

[0048] 세트 신호 (SET) 및 리셋 신호 (RST) 는 모드 스위칭 회로 (230) 에 공급된다. 도 5 에 도시되어 있는 바와 같이, 모드 스위칭 회로 (230) 는 디더 결정 회로 (240) 및 연속성 결정 회로 (250) 를 포함한다.

[0049] 도 6 은 모드 스위칭 회로 (230) 의 회로도이며, 도 7 은 모드 스위칭 회로 (230) 의 동작을 설명하는 타이밍 차트이다.

[0050] 도 6 에 도시되어 있는 바와 같이, 연속성 결정 회로 (250) 는 SR 래치 회로 (260 및 270), 및 AND 게이트 (280) 를 포함한다. AND 게이트 (280) 는 SR 래치 회로 (260 및 270) 의 출력인 결정 신호 (CN0 및 CN1) 를 수신한다.

[0051] SR 래치 회로 (260) 는, NAND 게이트 (261 및 262) 가 순환 방식으로 접속되는 구성을 갖는다. 세트 입력 단자 (S) 가 NAND 게이트 (261) 측에 배열되며, 리셋 입력 단자 (R) 가 NAND 게이트 (262) 측에 배열된다. 위상 결정 신호 (PD) 가 세트 입력 단자 (S) 에 공급되고, 인버터 (281) 에 의해 반전되는 세트 신호 (SET) 가 리셋 입력 단자 (R) 에 공급된다.

[0052] 유사하게는, SR 래치 회로 (270) 는, NAND 게이트 (271 및 272) 가 순환 방식으로 접속되는 구성을 갖는다. 세트 입력 단자 (S) 가 NAND 게이트 (271) 측에 배열되고, 리셋 입력 단자 (R) 가 NAND 게이트 (272) 측에 배열된다. 인버터 (282) 에 의해 반전되는 위상 결정 신호 (PD) 가 세트 입력 단자 (S) 에 공급되고, 인버터 (281) 에 반전되는 세트 신호 (SET) 가 리셋 입력 단자 (R) 에 공급된다.

[0053] 이러한 구성으로, 세트 신호 (SET) 가 활성화될 때, 결정 신호 (CN0 및 CN1) 중 하나가 높은 레벨로 변화되며, 이를 신호 중 다른 하나가 낮은 레벨로 변화된다. 결정 신호 (CN0 및 CN1) 중 어느 하나는, 세트 신호 (SET) 가 활성화되는 시점에서 위상 결정 신호 (PD) 의 로직 레벨에 의존하여 높은 레벨로 변화된다. 이로 인해, 결정 신호 (CN02) 는 세트 신호 (SET) 가 활성화된 이후에 반드시 낮은 레벨로 변화된다. 결정 신호

(CN02) 는, 위상 결정 신호 (PD) 의 로직 레벨이 변화되지 않을 때 낮은 레벨에 남아 있다. 그러나, 세트 신호 (SET) 가 다음 번에 활성화되기 이전에 위상 결정 신호 (PD) 의 로직 레벨이 변화될 때, 결정 신호 (CN02) 는 높은 레벨로 변화된다. 결정 신호 (CN02) 는 래치 회로 (283) 에 공급되며, 이것은 세트 신호 (SET) 와 동기하여 결정 신호 (CN2) 로서 출력된다. 즉, 연속성 결정 회로 (250) 는, 위상 결정 신호 (PD) 의 로직 레벨이 세트 신호 (SET) 의 활성 사이클 동안 변화하는지를 결정한다. 도 7 에 도시된 타이밍 차트에서, 위상 결정 신호 (PD) 는 세트 신호 (SET) 에 의해 조절되는 전체 연속 업데이트 사이클 (CYC1 내지 CYC4) 에서 변화한다. 따라서, 결정 신호 (CN2) 는 높은 레벨에서 유지된다.

[0054] 도 6 에 도시되어 있는 바와 같이, 연속성 결정 회로 (250) 는 SR 래치 회로 (290) 를 더 포함한다. SR 래치 회로 (290) 는, NAND 게이트 (291 및 292) 가 순환 방식으로 접속되는 구성을 갖는다. 세트 입력 단자 (S) 가 NAND 게이트 (291) 측에 배열되고, 리셋 입력 단자 (R) 가 NAND 게이트 (292) 측에 배열된다. 결정 신호 (CN2) 는 세트 입력 단자 (S) 에 공급되고, 인버터 (284) 에 의해 반전되는 리셋 신호 (RST) 는 리셋 입력 단자 (R) 에 공급된다. SR 래치 회로 (290) 의 출력인 결정 신호 (CNS01) 가 래치 회로 (285) 에 공급되고, 그 후, 이것은 리셋 신호 (RST) 와 동기하여 결정 신호 (CNS1) 로서 출력된다. 결정 신호 (CNS1) 는 인버터 (286) 에 의해 반전되고, 그 후, 이것은 높은-활성 결정 신호 (CNS2) 로서 출력된다.

[0055] 이러한 구성으로, 리셋 신호 (RST) 가 활성화될 때, 래치 회로 (290) 의 출력인 결정 신호 (CNS01) 는 낮은 레벨로 변화된다. 그러나, 리셋 신호 (RST) 가 다음 번에 활성화되기 이전에 결정 신호 (CN2) 가 낮은 레벨로 적어도 1회 변화될 때, 결정 신호 (CNS01) 는 높은 레벨로 변화된다. 상술한 바와 같이, 결정 신호 (CN2) 가 낮은 레벨로 변화되면, 위상 결정 신호 (PD) 의 로직 레벨이 업데이트 사이클 동안 변화되지 않는 상태를 나타낸다. 한편, 도 7 에 도시된 예에 따르면, 리셋 신호 (RST) 가 다음 번에 활성화될 때 까지 결정 신호 (CN2) 가 높은 레벨에서 항상 유지되면, SR 래치 회로 (290) 가 설정되지 않기 때문에 결정 신호 (CNS01) 가 낮은 레벨에서 유지된다. 상술한 바와 같이, 결정 신호 (CN2) 가 높은 레벨로 변화되면, 위상 결정 신호 (PD) 의 로직 레벨이 업데이트 사이클 동안 변화되는 상태를 나타낸다.

[0056] SR 래치 회로 (290) 의 출력인 결정 신호 (CNS01) 는 리셋 신호 (RST) 와 동기하여 래치 회로 (285) 에서 래치 되고, 그 후, 인버터 (286) 를 통해 결정 신호 (CNS2) 로서 출력된다. 따라서, 위상 결정 신호 (PD) 의 로직 레벨이 세트 신호 (SET) 의 일 사이클인 업데이트 사이클에서 변화되지 않는 현상이 리셋 신호 (RST) 의 일 사이클에서 적어도 1회 나타날 때, 결정 신호 (CNS2) 는 낮은 레벨 (비활성 레벨) 로 변환된다. 한편, 위상 결정 신호 (PD) 의 로직 레벨이 업데이트 사이클 동안 변화되는 현상이 리셋 신호 (RST) 의 일 사이클에 포함된 전체 업데이트 사이클에서 나타날 때, 결정 신호 (CNS2) 는 높은 레벨 (활성 레벨) 로 변화된다.

[0057] 상기 언급한 바와 같이 획득된 결정 신호 (CNS2) 는 OR 게이트 (231) 의 하나의 입력 단자에 공급된다. 디더 결정 회로 (240) 의 출력인 결정 신호 (DTS1) 는 OR 게이트 (231) 의 다른 입력 단자에 공급된다.

[0058] 디더 결정 회로 (240) 는 도 3 에 도시된 모드 스위칭 회로 (130) 와 동일한 회로 구성을 갖는다. 따라서, DLL 락이 디더 결정에서 검출되면, 디더 결정 회로 (240) 의 출력인 결정 신호 (DTS1) 는 높은 레벨로 활성화된다. 디더 결정 회로 (240) 의 동작은 모드 스위칭 회로 (130) 와 관련하여 상술하였다.

[0059] 본 발명의 제 2 실시형태에서, OR 게이트 (231) 의 출력은 중지 신호 (STOP) 로서 사용된다. 따라서, 디더 결정 회로 (240) 의 출력 (DTS1) 및 연속성 결정 회로 (250) 의 출력 (CNS2) 중 적어도 하나가 활성화될 때, 중지 신호 (STOP) 가 높은 레벨로 변화된다.

[0060] 따라서, 제 2 실시형태에서, 위상 제어 유닛 (220) 은, DLL 락이 제 1 실시형태에서와 같이 디더 결정에 의해 검출될 때 뿐만 아니라, 위상 결정 신호 (PD) 가 세트 신호 (SET) 의 일 사이클에서 변화되는 현상이 다수 회연속적으로 발생할 때 제 2 동작 모드로 시프트된다. 즉, 트리거 신호 (리프레시 신호 (REFB)) 가 활성화될 때, 위상 제어 동작은 제 2 동작 모드로부터 제 1 동작 모드로 시프트하며, 위상 검출 프로세스가 시작된다.

이러한 프로세스 동안, 내부 클럭 신호 (ICLK) 및 피드백 클럭 신호 (fbCLK) 의 위상은 거의 동일해질 수 있다. 제 2 실시형태에서, 업/다운 신호 (U/D) 가 변화되지 않는 안정한 상태를 나타내는 비-연속성 결정이 이루어지기 때문에 이러한 경우에서 DLL 락이 또한 검출된다. 제 2 실시형태에 따른 위상 제어 유닛 (220) 은 이러한 방식에서도 검출된 DLL 락에 응답하여 제 2 동작 모드로 시프트된다. 상술한 바와 같이, 위상 결정 신호 (PD) 가 전체 연속 업데이트 사이클의 중간에서 변화되는 패턴은, DLL 이 락될 때 나타나는 패턴 중 하나이다. 이러한 패턴은 때때로, 디더 결정에서 검출되는 패턴 이전에 나타난다. 따라서, 디더 결정이 제 2 실시형태에 따른 비-연속성 결정과 결합될 때, DLL 회로 락이 즉시 검출될 수 있다. 그 결과, 전력 소모가 더 감소될 수 있다.

- [0061] 다음으로, 본 발명의 제 3 실시형태를 설명한다.
- [0062] 도 8 은 제 3 실시형태에 따른 반도체 디바이스 (10a) 의 구성의 블록도이다.
- [0063] 제 3 실시형태에 따른 반도체 디바이스 (10a) 는, 전압 변동 검출 회로 (300) 및 AND 게이트 (301) 를 포함한다는 점에서 도 1 에 도시된 반도체 디바이스 (10) 와 다르다. 반도체 디바이스 (10a) 는 모든 다른 양태에서는 도 1 에 도시된 반도체 디바이스 (10) 와 동일하다. 따라서, 동일한 참조 번호가 동일한 엘리먼트를 나타내며, 이것의 중복 설명을 생략될 것이다.
- [0064] 전압 변동 검출 회로 (300) 는, 전력 공급 전압에서 변동을 검출할 때 검출 신호 (J3) 가 활성이 되게 하는 회로이다. 생성된 검출 신호 (J3) 및 리프레시 신호 (REFB) 는 AND 게이트 (301) 로 입력된다. 제 3 실시형태에서, AND 게이트 (301) 의 출력은 중지 신호 (STOP) 로서 사용되며, DLL 회로 (100 또는 200) 로 공급된다.
- [0065] 도 9 는 전압 변동 검출 회로 (300) 의 회로도이다.
- [0066] 도 9 에 도시되어 있는 바와 같이, 전압 변동 검출 회로 (300) 는 복수의 저항기 (R1 내지 R3), 컴퍼레이터 (311 및 312), 및 AND 게이트 (320) 를 포함한다. 컴퍼레이터 (211) 의 반전 입력 노드 (+) 가, 전원의 단자들 사이에 직렬로 접속된 저항기 (R1 및 R2) 의 노드 (N1U) 에 접속된다. 또한, 컴퍼레이터 (312) 의 비반전 입력 노드 (-) 가, 전원의 단자들 사이에 직렬로 접속된 저항기 (R2 및 R1) 의 노드 (N1L) 에 접속된다. 컴퍼레이터 (311) 의 비반전 입력 노드 (-) 및 컴퍼레이터 (312) 의 반전 입력 노드 (+) 는, 전원의 단자들 사이에 직렬로 접속된 2개의 저항기 (R3) 의 노드 (N1) 에 접속된다.
- [0067] 저항기 (R1 내지 R3) 의 저항값은,  $R2 > R1 \gg R3$  이도록 설정된다. 이로 인해, 노드 (N1) 의 전압은 전원 전압 (VDD) 의 절반이 되고 ( $=VDD/2$ ), 노드 (N1U) 의 전압이 전원 전압 (VDD) 의 절반 보다 커지게 되고 ( $> VDD/2$ ), 노드 (N1L) 의 전압이 전원 전압 (VDD) 의 절반 보다 작아지게 된다 ( $< VDD/2$ ). 예를 들어, 전원 전압 (VDD) 이 1.2 V 일 때, N1, N1U, 및 N1L 각각은, 0.6 V, 0.7 V, 및 0.5 V 로 설정된다. 그 결과, 컴퍼레이터 (311 및 312) 의 출력인 검출 신호 (J1 및 J2) 는 높은 레벨로 변화되며, 검출 신호 (J3) 가 또한 높은 레벨 (비활성 레벨) 로 변화된다.
- [0068] 전원 전압 (VDD) 이 빠르게 변화하면, 노드 (N1, N1U, 및 N1L) 의 전압이 또한 변화한다. 그러나, 상술한 바와 같이, 저항기 (R1 및 R2) 의 저항값이 저항기 (R3) 의 저항값 보다 실질적으로 크기 때문에, 전압은 노드 (N1) 에서와 비교하여 노드 (N1U 및 N1L) 에서 느리게 변화한다. 따라서, 전원 전압 (VDD) 이 소정의 가속 이상의 가속에서 변화할 때, 검출 신호 (J1 및 J2) 중 하나가 낮은 레벨로 반전되고, 검출 신호 (J3) 는 낮은 레벨로 활성화된다. 이러한 원리에 기초하여, 전압 변동 검출 회로 (300) 는 전원 전압 (VDD) 에서의 급격한 변동을 검출할 수 있다.
- [0069] 도 8 에 도시되어 있는 바와 같이, 전압 변동 검출 회로 (300) 의 출력인 검출 신호 (J3) 는 AND 게이트 (301) 로 입력된다. 따라서, 제 3 실시형태에서, DLL 회로 (100 또는 200) 의 동작 모드는 제 1 동작 모드로 설정되며, 위상 제어 동작은, 리프레시 신호 (REFB) 가 활성화될 때 뿐만 아니라 검출 신호 (J3) 가 활성화될 때에 재시작된다.
- [0070] 제 3 실시형태에서, 위상 제어 유닛 (120) 은, 전원 전압 (VDD) 에서의 검출된 변동에 응답하여 제 2 동작 모드로부터 제 1 동작 모드로 시프트하게 된다. 따라서, 전원 전압 (VDD) 에서의 변동으로 인해 발생하는 내부 클럭 신호 (LCLK) 의 위상 시프팅이 방지될 수 있다.
- [0071] 다음으로, 본 발명의 제 4 실시형태를 설명한다.
- [0072] 도 10 은 제 4 실시형태에 따른 반도체 디바이스 (10b) 의 블록도이다.
- [0073] 제 4 실시형태에 따른 반도체 디바이스 (10b) 는, 타이머 회로 (400) 및 AND 게이트 (401) 를 포함한다는 점에서 도 8 에 도시된 반도체 디바이스와 다르다. 반도체 디바이스 (10b) 는 모든 다른 양태에서는 도 8 에 도시된 반도체 디바이스 (10a) 와 동일하다. 따라서, 동일한 참조 번호가 동일한 엘리먼트를 나타내고, 이것의 중복 설명을 생략할 것이다.
- [0074] 타이머 회로 (400) 는 소정의 사이클에서 타이머 신호 (OSC) 를 활성화시키는 회로이다. 타이머 회로 (400) 는 반도체 디바이스 (10b) 의 외부에 대하여 비동기적으로 동작한다. 타이머 신호 (OSC) 는, 리프레시 신호 (REFB) 대신에 사용된 신호이며, 검출 신호 (J3) 와 함께 AND 게이트 (401) 에 입력된다. 제 4 실시형태에

서, AND 게이트 (401)의 출력은 중지 신호 (STOP)로서 사용되며, STOP 신호는 DLL 회로 (100 또는 200)에 공급된다.

[0075] 제 4 실시형태에서, 타이머 신호 (OSC)는 리프레시 신호 (REFB) 대신에 사용된다. 따라서, 위상 제어 유닛 (120)은 소정의 사이클에서 제 2 동작 모드로부터 제 1 동작 모드로 시프트될 수 있다. 이로 인해, 자동 리프레시 커맨드가 지속적으로 이슈되기 때문에 위상 제어 유닛 (120)이 장시간 동안 제 2 동작 모드로 시프트되지 않는 상태, 또는 자동 리프레시 커맨드가 장시간 이슈되지 않기 때문에 위상 제어 유닛 (120)이 장시간 동안 제 1 동작 모드로 시프트되지 않는 상태가 발생하지 않는다.

[0076] 전류값이 제한되는 셀프-리프레시 동작 동안 사용되는 일반적으로 공지된 리프레시 타이머가 타이머 회로 (400)로서 사용될 수 있다. 이로 인해, 개별 타이머 회로 (400)가 요구되지 않는다. 또한, 리프레시 타이머가 매우 낮은 동작 전력을 요구하기 때문에, 전력 소모는 현저하게 감소될 수 있다. 이러한 리프레시 타이머가 사용될 때, 타이머 신호 (OSC)의 활성 간격은 리프레시 신호 (REFB)의 활성 간격과 매칭한다. 따라서, 제 1 동작 모드로의 시프팅하는 간격은 제 1 및 제 2 실시형태에서와 동일하다.

[0077] 도 11에 도시된 반도체 디바이스 (10c)에서와 같이, 타이머 신호 (OSC)와 리프레시 신호 (REFB)는 결합될 수 있다.

[0078] 도 12는, 본 발명의 실시형태에 따른 반도체 디바이스 (10)를 포함하는 데이터 프로세싱 시스템 (500)의 블록도이다.

[0079] 도 12에 도시된 데이터 프로세싱 시스템 (500)은, 본 실시형태에 따른 반도체 디바이스 (DRAM; 10) 및 제어기로서 데이터 프로세서 (520)가 시스템 버스 (510)를 통해 상호 접속되는 구성을 갖는다. 예를 들어, 데이터 프로세서 (520)는 마이크로프로세서 (MPU) 또는 디지털 신호 프로세서 (DSP)일 수 있지만, 이에 제한되지 않는다. 단순화를 위해, 데이터 프로세서 (520) 및 DRAM (10)은 도 12에서 시스템 버스 (510)를 통해 접속되는 것으로 도시되어 있다. 다르게는, 데이터 프로세서 (520) 및 DRAM (10)은 로컬 버스를 통해 접속될 수 있다.

[0080] 도 12에 도시된 데이터 프로세싱 시스템 (500)에서, 도 1에 도시된 반도체 디바이스 (10)의 적어도 클럭 단자 (11a 및 11b) (제 1 외부 단자) 및 데이터 입력 및 출력 단자 (14) (제 2 외부 단자)가 시스템 버스 (510)를 통해 데이터 프로세서 (520)에 접속된다.

[0081] 또한, 단순화를 위해, 오직 하나의 세트의 시스템 버스 (510)만을 도 12에 도시하였다. 필요한 경우에, 하나 이상의 커넥터를 통해 접속함으로써, 복수의 시스템 버스가 직렬 또는 병렬로 제공될 수 있다. 도 12에 도시된 데이터 프로세싱 시스템 (500)에서, 저장 디바이스 (540), I/O 디바이스 (550), 및 ROM (560)이 시스템 버스 (510)에 접속되지만, 이를 구성 엘리먼트가 필수적이지는 않다.

[0082] 저장 디바이스 (540)는 하드 디스크 드라이브, 광학 디스크 드라이브, 플래시 메모리 등일 수도 있다. I/O 디바이스 (550)는 액정 디스플레이와 같은 디스플레이 디바이스, 및 키보드 및 마우스와 같은 입력 디바이스일 수 있다. 또한, I/O 디바이스 (550)는 입력 디바이스 또는 출력 디바이스일 수 있다. 단순화를 위해, 데이터 프로세싱 시스템 (500)의 구성 엘리먼트 각각 중 하나만을 도 12에 도시하였다. 모든 구성 엘리먼트 중 2개 이상 또는 그 일부가 제공될 수 있다.

[0083] 본 발명의 상기 실시형태들에 제한되지 않고, 본 발명의 범위 및 사상으로부터 벗어나지 않고 변경 및 변화될 수도 있다는 것이 명백하다.

[0084] 예를 들어, DLL 회로가 그 안에 통합된 SRAM을 상기 실시형태에서 설명하였지만, 본 발명의 적용 범위는 그에 제한되지 않으며, 본 발명은 메모리 이외의 반도체 디바이스에 또한 적용 가능하다. 구체적으로는, 본 발명은 일반적으로, DLL 회로가 그 안에 통합된 CPU (중앙 프로세싱 유닛), MCU (마이크로 제어 유닛), DSP (디지털 신호 프로세서), ASIC (응용 주문형 집적 회로), 또는 ASSP (응용 주문형 특정 회로)와 같은 반도체 제품에 적용될 수 있다.

[0085] 본 발명에 따른 클럭 생성 회로는 DLL 회로에 제한되지 않으며, 본 발명은 위상 조정된 내부 클럭 신호를 생성하는 한 임의의 다른 타입의 클럭 생성 회로에 적용 가능하다.

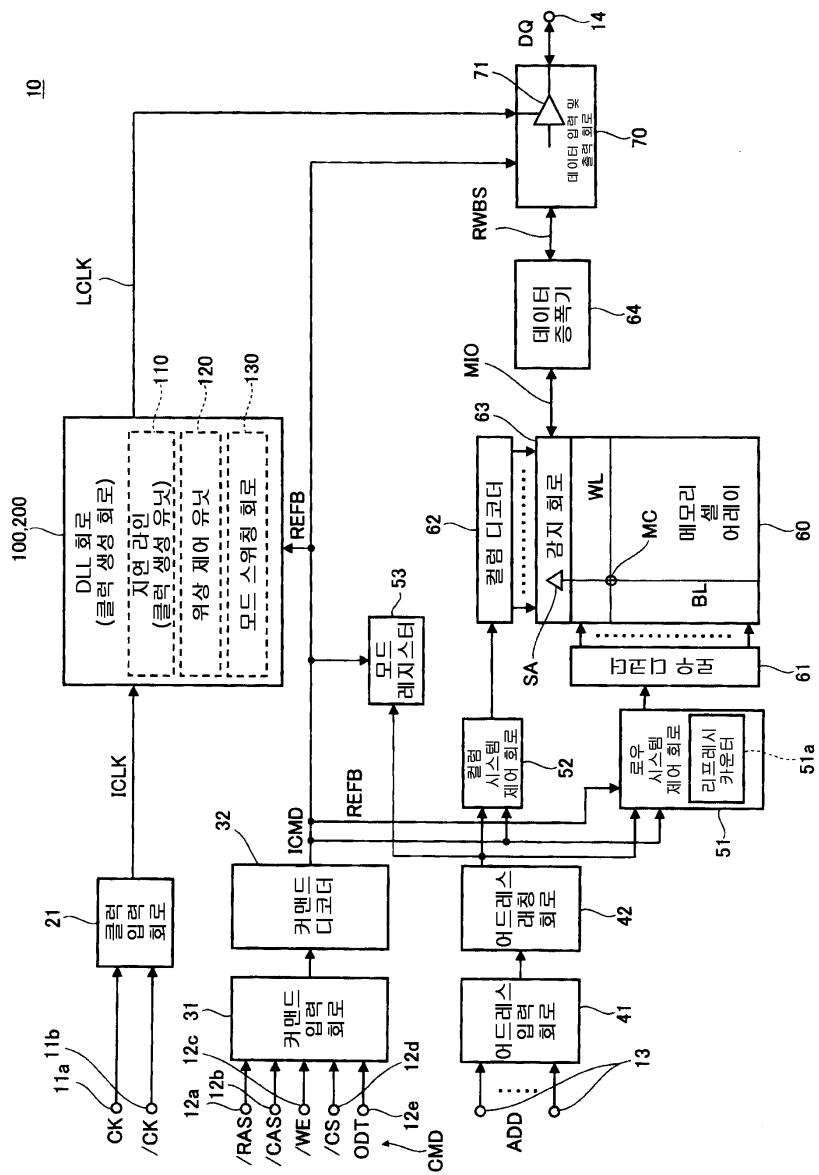
[0086] 상기 실시형태들에서, 위상 제어 유닛 (120)은 제 1 동작 모드와 제 2 동작 모드 사이에서 시프트된다. 그러나, 위상 제어 유닛 (120)은 제 3 동작 모드를 포함할 수 있다. 즉, 제 1 동작 모드로부터 제 2 동작 모드 (또는 그 반대)로의 직접적인 시프팅이 필수적이지 않으며, 이러한 시프팅은 제 3 동작 모드를 통해 수행될

수 있다.

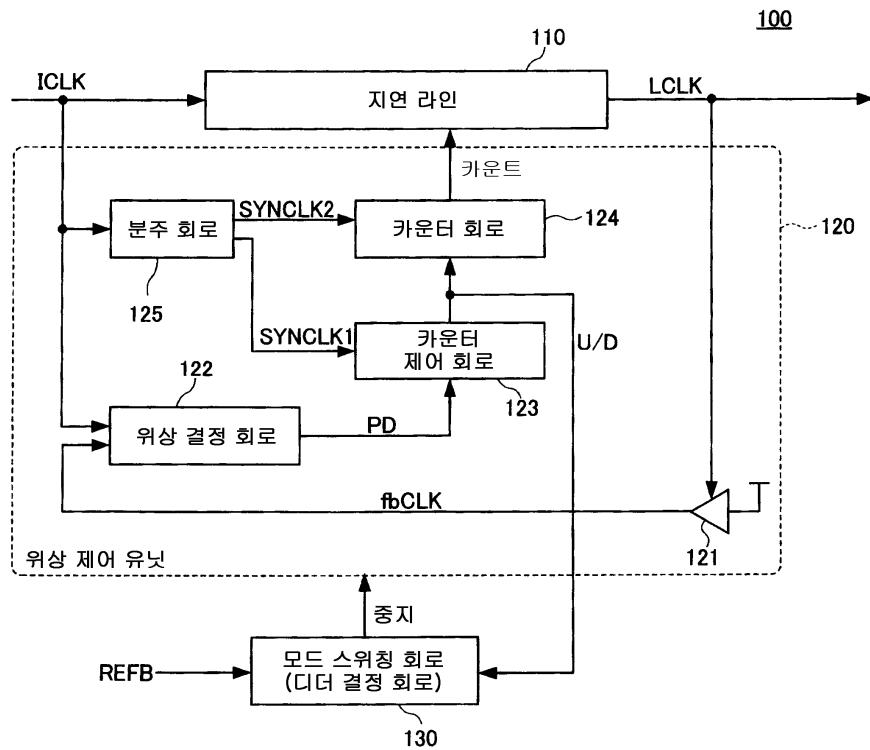
- [0087] 상기 실시형태에서, 리프레시 신호 (REFB), 전원 전압 (VDD) 에서의 변동을 나타내는 검출 신호 (J3), 및 타이머 신호 (OSC) 는, 제 1 동작 모드로 시프트하기 위한 트리거 신호로서 사용된다. 그러나, 본 발명에서, 트리거 신호는 이를 신호에 제한되지 않는다. 예를 들어, DLL 회로로 하여금 (일반적으로, 외부 단자 (CKE) 의 낮은 레벨로부터 높은 레벨로 시프팅함으로써 조정된) 셀프-리프레시 동작을 빠져나오게 하는 외부 커멘드가 트리거 신호로서 사용될 수 있다. 2개 이상의 트리거 신호가 사용될 때, 이들은 원하는 경우에 결합될 수 있다. 트리거 신호는 반도체 디바이스 내부에서 생성될 수 있거나 외부로부터 공급될 수 있다.
- [0088] 유사하게는, 상기 실시형태들에서, 디더 결정 또는 비-연속성 결정은 위상 제어 유닛 (120) 을 제 2 동작 모드로 시프트하는 DLL 락을 검출하는데 사용된다. 그러나, 다른 방법들이 DLL 락을 검출하는데 또한 사용될 수 있다. 2개 이상의 검출 방법이 사용될 때, 이들은 원하는 경우에 결합될 수 있다. 상기 실시형태들에서, DLL 락은, 업/다운 신호 (U/D) 가 2회 변화할 때 디더 결정에서 결정된다. 그러나, 일부 다른 역할이 디더 결정을 위해 사용될 수 있다. 유사하게는, 일부 다른 역할이 비-연속성 결정을 위해 사용될 수 있다.
- [0089] 위상 제어 유닛 (120) 중 하나가 내부 클럭 신호 (LCLK) 의 상승 에지의 위치를 제어하고 다른 위상 제어 유닛 (120) 이 내부 클럭 신호 (LCLK) 의 하강 에지의 위치를 제어하는 2개의 위상 제어 유닛 (120) 을 포함하는 DLL 회로에 본 발명이 적용될 때, DLL 락의 검출은 내부 클럭 신호 (LCLK) 의 상승 에지 및 하강 에지 양자에 대해 수행된다. DLL 락이 검출될 때, 에지 양자 각각에 대해, 위상 제어 유닛 (120) 은 제 2 동작 모드로 시프트될 수 있다.
- [0090] 상기 실시형태에서, 제 2 동작 모드로 시프트될 위상 제어 유닛 (120 및 220) 을 구성하는 모든 회로 블록의 동작이 중지된다. 그러나, 위상 제어 유닛을 구성하는 모든 회로 블록의 동작의 중지는 필수적인 것이 아니며, 일부 회로 블록의 동작이 계속될 수 있다.
- [0091] 본 발명의 적용되는 디바이스는 SOC (시스템 온 칩), MCP (멀티 칩 패키지), 및 POP (패키지 온 패키지) 와 같은 반도체 디바이스에 또한 적용될 수 있다. 또한, 본 발명의 트랜지스터는 FET (전계 효과 트랜지스터) 또는 바이폴라 트랜지스터일 수 있다. 트랜지스터는 MIS (금속-절연체 반도체) 및 TFT (박막 트랜지스터) 뿐만 아니라 MOS (금속 산화물 반도체) 와 같은 다양한 타입의 FET 에 적용될 수 있다. 트랜지스터의 타입은 FET 이외의 타입일 수 있으며, 바이폴라 트랜지스터가 부분적으로 포함될 수 있다.
- [0092] 또한, P-채널 트랜지스터 또는 PMOS 트랜지스터가 제 1 도전성 트랜지스터의 대표적인 예이며, N-채널 트랜지스터 및 NMOS 트랜지스터가 제 2 도전성 트랜지스터의 대표적인 예이다. 또한, 본 발명에서 사용된 반도체 기판은 P-형 반도체 기판에 제한되지 않으며, N-형 반도체 기판, SOI (실리콘 온 절연체) 를 갖는 반도체 기판, 또는 다른 타입의 반도체 기판일 수 있다.
- [0093] 또한, 디더 결정 회로 및 연속성 결정 회로의 회로 구성은 상기 실시형태들에 개시된 회로 구성에 제한되지 않는다.
- [0094] 다양한 개시된 엘리먼트의 상이한 결합 및 선택이 본 발명의 청구항의 범위내에서 이루어질 수 있다. 즉, 본 발명이 청구항을 포함하는 본 명세서의 전체 개시물 뿐만 아니라 본 발명의 기술적 개념에 기초하여 당업자에 의해 달성될 수 있는 다양한 변경물 및 변형물을 포함한다는 것이 쉽게 이해되어야 한다.

## 도면

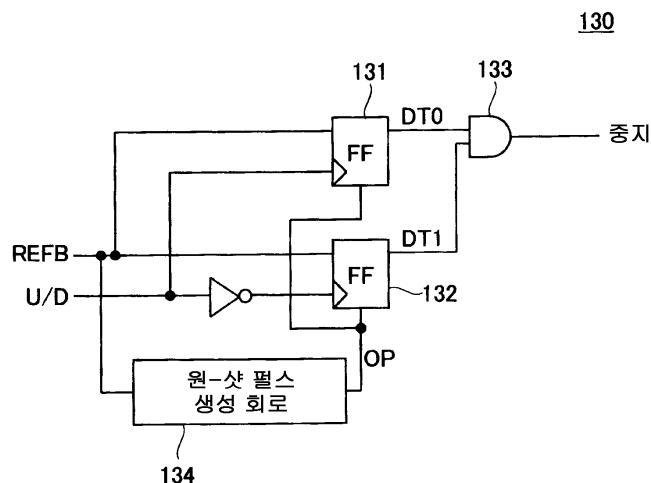
## 도면1



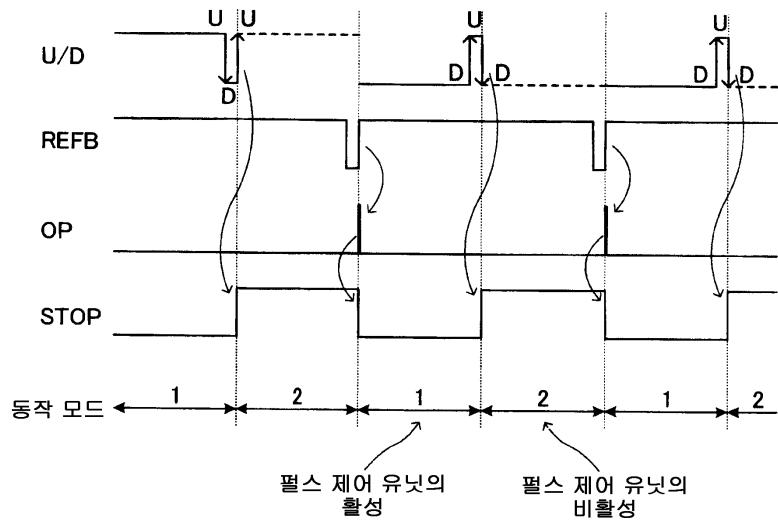
## 도면2



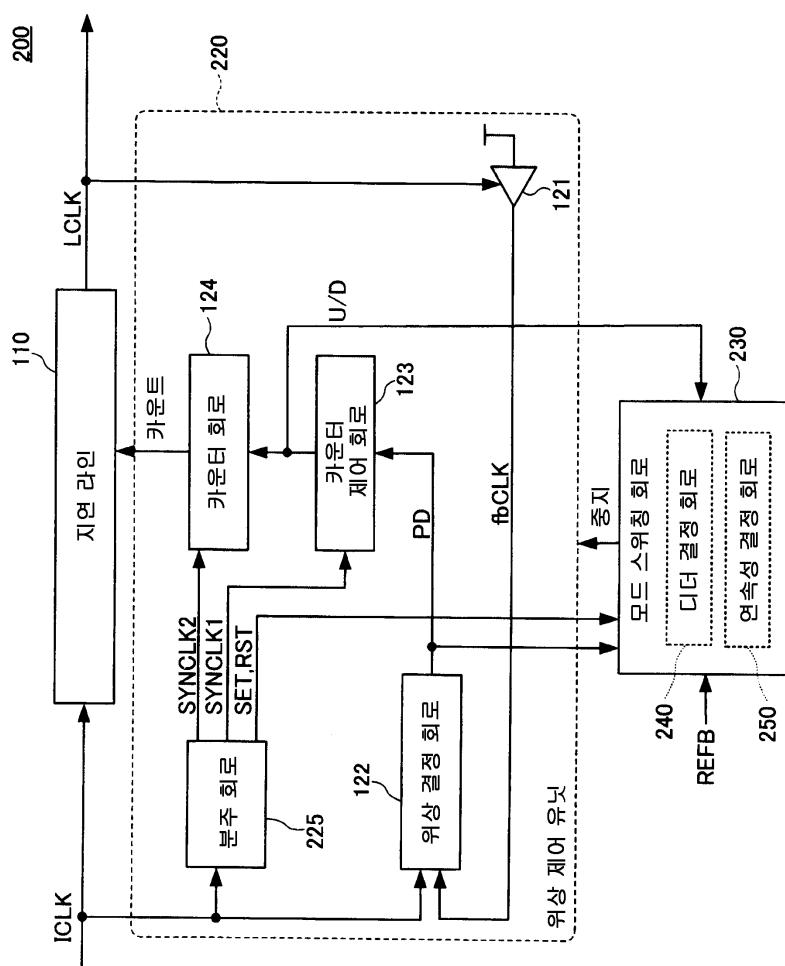
## 도면3



도면4

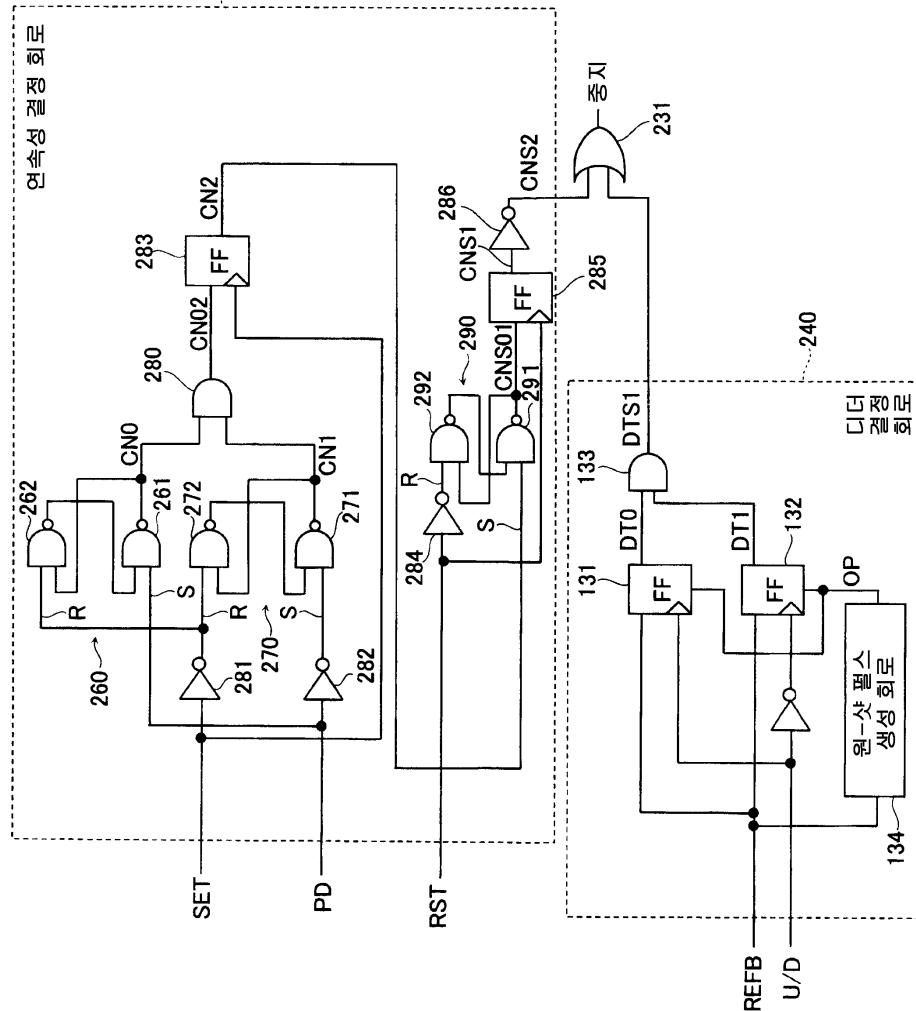


도면5

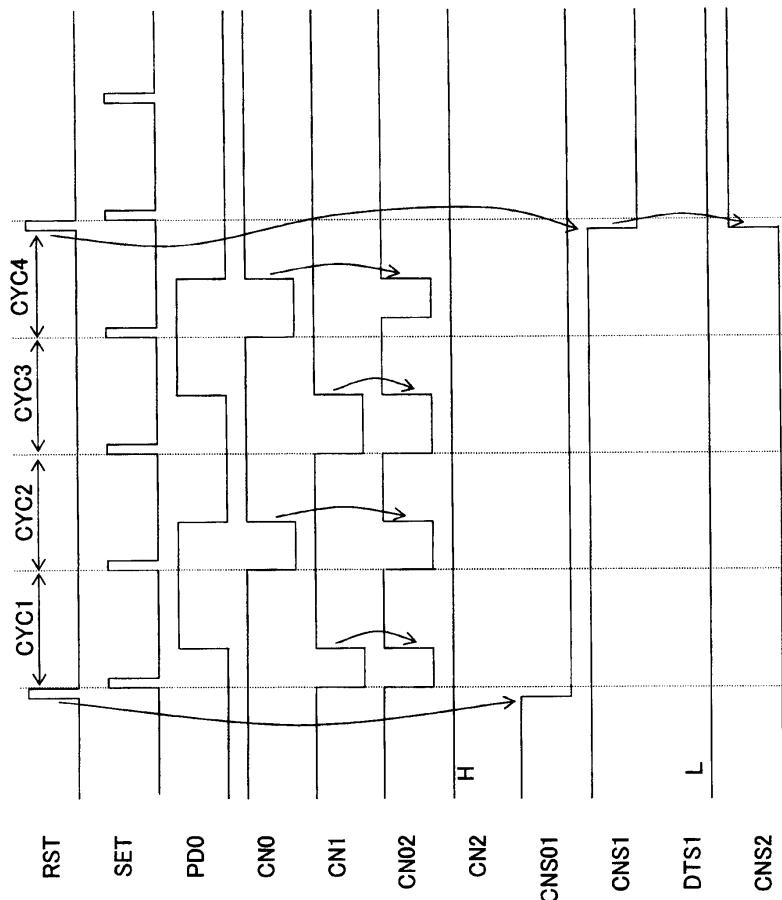


## 도면6

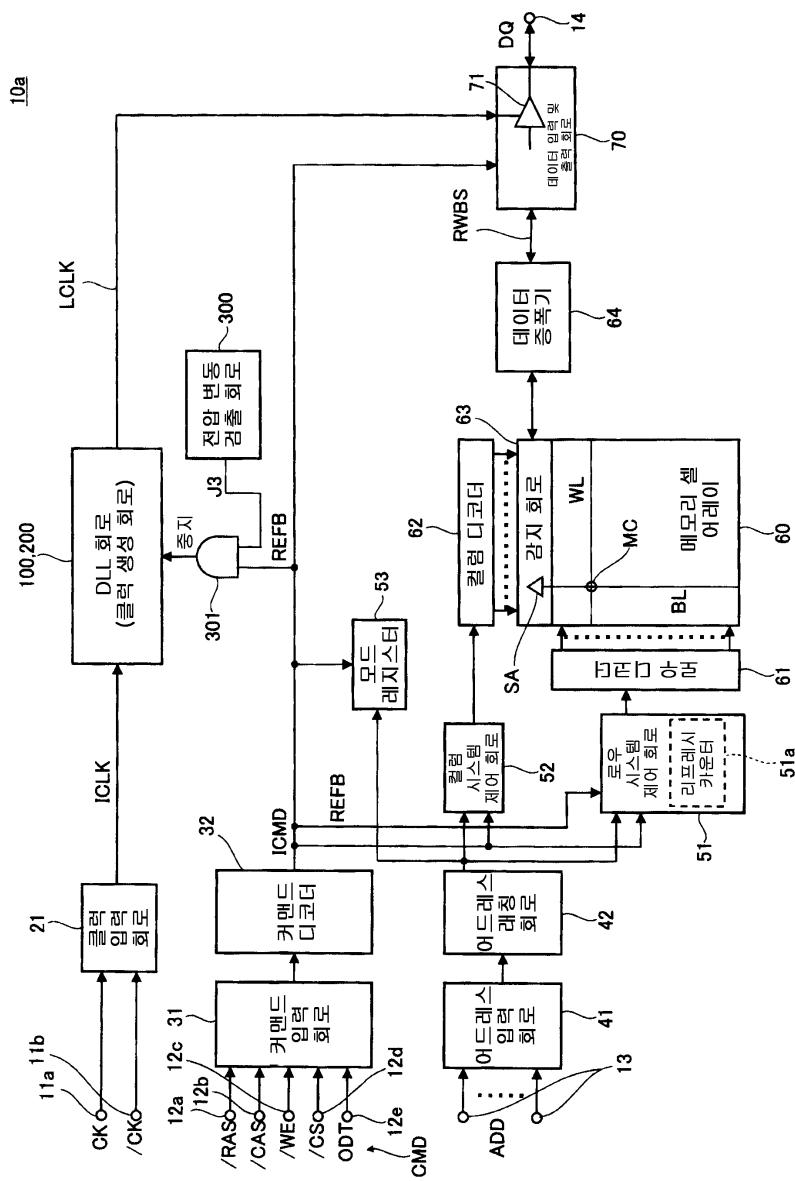
230



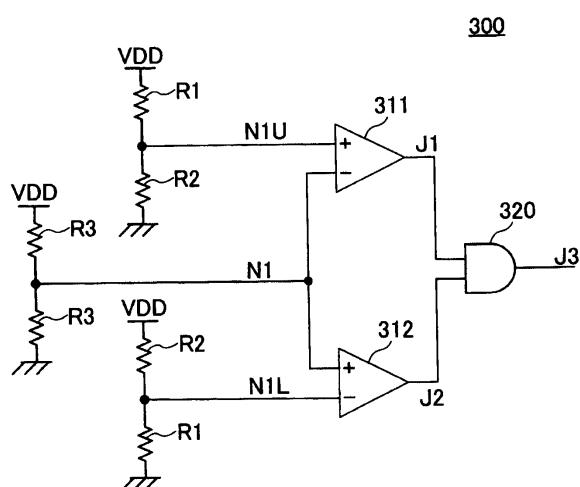
도면7



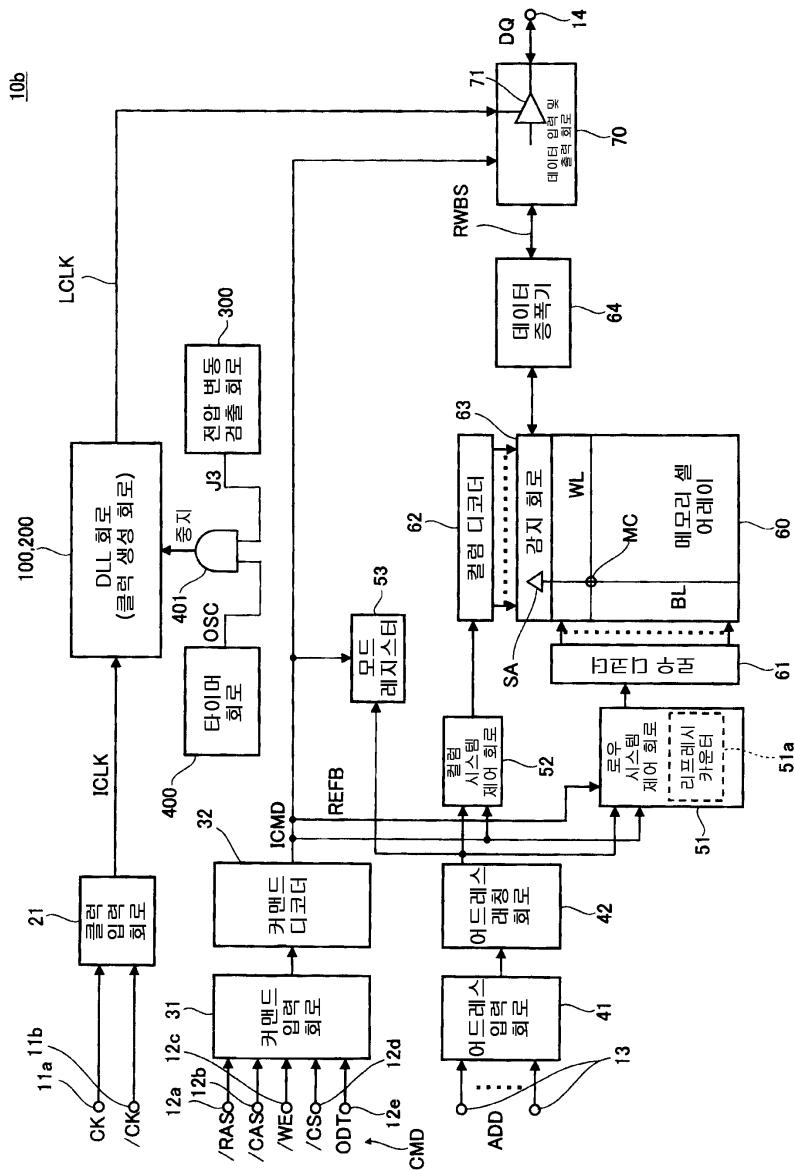
도면8



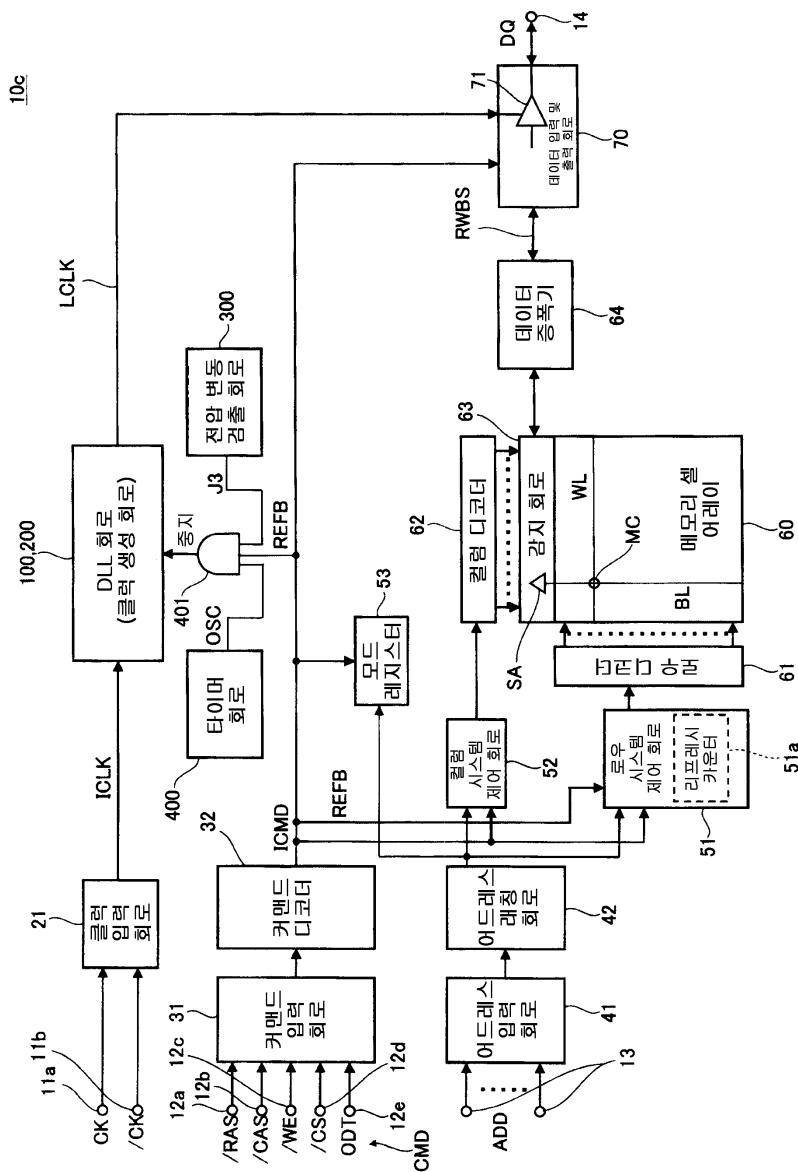
도면9



도면10



도면11



도면12

