

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-295802

(P2009-295802A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 G	4 M 1 O 4
H O 1 L 29/423 (2006.01)	H O 1 L 29/58 G	5 F 1 4 O
H O 1 L 29/49 (2006.01)	H O 1 L 21/28 3 O 1 A	
H O 1 L 21/28 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2008-148156 (P2008-148156)	(71) 出願人	000002369
(22) 出願日	平成20年6月5日 (2008.6.5)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100110858
			弁理士 柳瀬 睦肇
		(74) 代理人	100110777
			弁理士 宇都宮 正明
		(74) 代理人	100100413
			弁理士 渡部 温
		(74) 代理人	100113686
			弁理士 原田 勝利
		(72) 発明者	本間 勉
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

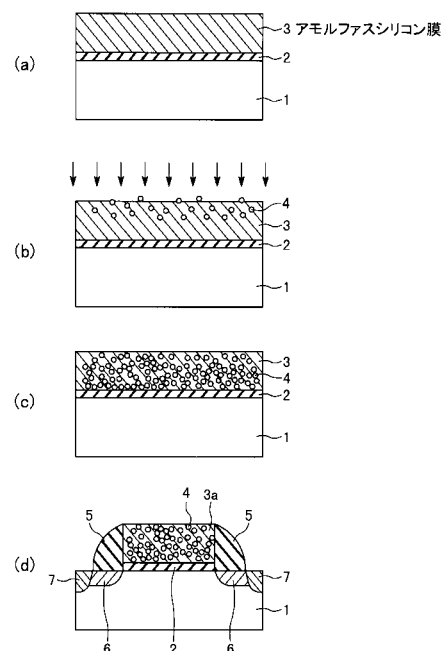
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 トランジスタ特性を長期安定化して使用することができる半導体装置の製造方法を提供する。

【解決手段】 本発明に係る半導体装置は、半導体基板1上にゲート絶縁膜2を形成する工程と、前記ゲート絶縁膜2上にアモルファスシリコン膜3を形成する工程と、前記アモルファスシリコン膜3に不純物イオン4をイオン注入する工程と、前記アモルファスシリコン膜3を加工することにより、前記ゲート絶縁膜2上にゲート電極3aを形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、
前記アモルファスシリコン膜に不純物イオンをイオン注入する工程と、
前記アモルファスシリコン膜を加工することにより、前記ゲート絶縁膜上にゲート電極を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 2】

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、
前記アモルファスシリコン膜上にポリシリコン膜を形成する工程と、
前記アモルファスシリコン膜及び前記ポリシリコン膜に不純物イオンをイオン注入する工程と、
前記アモルファスシリコン膜及び前記ポリシリコン膜を加工することにより、前記ゲート絶縁膜上に前記アモルファスシリコン膜及び前記ポリシリコン膜からなるゲート電極を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 3】

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、
前記アモルファスシリコン膜に重元素の不純物イオンをイオン注入する工程と、
前記アモルファスシリコン膜上にポリシリコン膜を形成する工程と、
前記ポリシリコン膜に前記重元素より質量の小さい軽元素の不純物イオンをイオン注入する工程と、
前記アモルファスシリコン膜及び前記ポリシリコン膜を加工することにより、前記ゲート絶縁膜上に前記アモルファスシリコン膜及び前記ポリシリコン膜からなるゲート電極を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 4】

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、
前記アモルファスシリコン膜上にポリシリコン膜を形成する工程と、
前記アモルファスシリコン膜及び前記ポリシリコン膜に、重元素の不純物イオン及び前記重元素より質量の小さい軽元素の不純物イオンをイオン注入することにより、前記アモルファスシリコン膜側に前記重元素イオンを導入するとともに前記ポリシリコン膜側に前記軽元素イオンを導入する工程と、
前記アモルファスシリコン膜及び前記ポリシリコン膜を加工することにより、前記ゲート絶縁膜上に前記アモルファスシリコン膜及び前記ポリシリコン膜からなるゲート電極を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 2 乃至 4 のいずれか一項において、前記アモルファスシリコン膜は前記ポリシリコン膜より薄く形成されることを特徴とする半導体装置の製造方法。

【請求項 6】

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、
前記アモルファスシリコン膜に、重元素の不純物イオン及び前記重元素より質量の小さい軽元素の不純物イオンをイオン注入することにより、前記アモルファスシリコン膜の下層側に前記重元素イオンを導入するとともに前記アモルファスシリコン膜の上層側に前記

10

20

30

40

50

軽元素イオンを導入する工程と、

前記アモルファスシリコン膜を加工することにより、前記ゲート絶縁膜上にゲート電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 7】

半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたアモルファスシリコン膜からなるゲート電極と、

前記ゲート電極に導入された不純物イオンと、

を具備することを特徴とする半導体装置。

10

【請求項 8】

請求項 7 において、前記不純物イオンは、前記ゲート電極の下層側に導入された重元素の不純物イオンと、前記ゲート電極の上層側に導入された前記重元素より質量の小さい軽元素の不純物イオンとを有することを特徴とする半導体装置。

【請求項 9】

半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された、下層側がアモルファスシリコン膜からなり上層側がポリシリコン膜からなるゲート電極と、

前記ゲート電極に導入された不純物イオンと、

を具備することを特徴とする半導体装置。

20

【請求項 10】

請求項 9 において、前記不純物イオンは、前記アモルファスシリコン膜に導入された重元素の不純物イオンと、前記ポリシリコン膜に導入された前記重元素より質量の小さい軽元素の不純物イオンとを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に係わり、特に長期使用によるゲート絶縁膜または、ゲート絶縁膜界面への電子捕獲を抑制することができる半導体装置及びその製造方法に関する。

30

【背景技術】

【0002】

図 9 (a) ~ (c) は従来の多結晶シリコン (ポリシリコン) 膜の製造工程を示す断面図である。

【0003】

まず、図 9 (a) に示すように、シリコン基板 51 の表面上にゲート絶縁膜 52 となるゲート酸化膜を熱酸化法にて形成する。次いで、CVD (Chemical Vapor Deposition) 法により、ゲート絶縁膜 52 上にポリシリコン膜 58 を形成する。

40

【0004】

次に、図 9 (b) に示すように、不純物イオン 54 をポリシリコン膜 58 にイオン注入する。この際に、イオン注入する不純物イオン 54 にはボロンまたは、リンなどの比較的軽元素を用いている。不純物イオン 54 をゲート電極材となるポリシリコン膜 58 へイオン注入することにより、低抵抗化を行っている。

【0005】

その後、図 9 (c) に示すように、イオン注入後のポリシリコン膜 58 に熱処理を行うことによって、ポリシリコン膜 58 内に不純物イオン 54 が熱拡散される。(例えば特許文献 1 参照)

【0006】

50

その後、図 9 (d) に示すように、ポリシリコン膜 58 をフォトリソグラフィ法及びドライエッチング法を用いて加工し、ゲート電極 58 a を形成する。次いで、シリコン基板 51 に低濃度不純物層による LDD (Lightly Doped Drain) 領域 56 を形成する。次いで、ゲート電極 58 a の側壁にサイドウォール 55 を形成し、シリコン基板 51 にソース・ドレイン領域 57 を形成する。

【0007】

【特許文献 1】特開 2004-55793 号公報 (段落 0003~0005)

【発明の開示】

【発明が解決しようとする課題】

【0008】

10

MOS トランジスタのゲート電極に電荷を印加して、高温で試験を行うと、 V_{th} シフト (閾値電圧) が観察される。つまり、MOS トランジスタを長期使用すると、ゲート電極及びソース・ドレインの電界の影響によりゲート電極中のイオンがゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲され、トランジスタ特性の劣化や変動の原因となる。その為、トランジスタの長期特性安定のためにこの現象の抑制が課題となっている。

【0009】

本発明に係る幾つかの態様は、長期使用によるゲート絶縁膜中または、ゲート絶縁膜界面へ不純物イオンが捕獲されることを抑制することによって、トランジスタ特性を長期安定化して使用することができる半導体装置及びその製造方法である。

【課題を解決するための手段】

20

【0010】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜に不純物イオンをイオン注入する工程と、

前記アモルファスシリコン膜を加工することにより、前記ゲート絶縁膜上にゲート電極を形成する工程と、
を具備することを特徴とする。

【0011】

上記半導体装置の製造方法によれば、ゲート電極材としてアモルファスシリコン膜を使用することにより、ゲート電極中のイオン移動度を低減させている。それにより、ゲート電極中の不純物イオンはゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲されにくくなる。その結果、トランジスタ特性の劣化や変動の抑制が可能となり、トランジスタ特性の長期安定化の効果が得られる。

30

【0012】

本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上にポリシリコン膜を形成する工程と、

前記アモルファスシリコン膜及び前記ポリシリコン膜に不純物イオンをイオン注入する工程と、

40

前記アモルファスシリコン膜及び前記ポリシリコン膜を加工することにより、前記ゲート絶縁膜上に前記アモルファスシリコン膜及び前記ポリシリコン膜からなるゲート電極を形成する工程と、
を具備することを特徴とする。

【0013】

上記半導体装置の製造方法によれば、ゲート電極材にアモルファスシリコン膜及びポリシリコン膜を使用し、ゲート絶縁膜に接するゲート電極の下層部をアモルファスシリコン膜によって形成することにより、ゲート絶縁膜付近のアモルファスシリコン膜中のイオン移動度を低減させている。それにより、ゲート電極中の不純物イオンはゲート絶縁膜中も

50

しくはゲート絶縁膜界面に捕獲されにくくなる。その結果、トランジスタ特性の劣化や変動の抑制が可能となり、トランジスタ特性の長期安定化の効果が得られる。また、ゲート電極を全てアモルファスシリコン膜で形成した場合よりゲート電極を低抵抗化することが可能となる。

【0014】

本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜に重元素の不純物イオンをイオン注入する工程と、

前記アモルファスシリコン膜上にポリシリコン膜を形成する工程と、

前記ポリシリコン膜に前記重元素より質量の小さい軽元素の不純物イオンをイオン注入する工程と、

前記アモルファスシリコン膜及び前記ポリシリコン膜を加工することにより、前記ゲート絶縁膜上に前記アモルファスシリコン膜及び前記ポリシリコン膜からなるゲート電極を形成する工程と、

を具備することを特徴とする。

【0015】

上記半導体装置の製造方法によれば、ゲート絶縁膜に接するゲート電極の下層部分のアモルファスシリコン膜に、軽元素イオンよりゲート絶縁膜中に捕獲されにくい重元素イオンをイオン注入している。それにより、アモルファスシリコン膜に軽元素イオンを注入した場合より一層ゲート電極中の不純物イオンはゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲されにくくなる。その結果、トランジスタ特性の劣化や変動の抑制が可能となり、トランジスタ特性の長期安定化の効果が得られる。

【0016】

本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜上にポリシリコン膜を形成する工程と、

前記アモルファスシリコン膜及び前記ポリシリコン膜に、重元素の不純物イオン及び前記重元素より質量の小さい軽元素の不純物イオンをイオン注入することにより、前記アモルファスシリコン膜側に前記重元素イオンを導入するとともに前記ポリシリコン膜側に前記軽元素イオンを導入する工程と、

前記アモルファスシリコン膜及び前記ポリシリコン膜を加工することにより、前記ゲート絶縁膜上に前記アモルファスシリコン膜及び前記ポリシリコン膜からなるゲート電極を形成する工程と、

を具備することを特徴とする。

【0017】

なお、前記アモルファスシリコン膜及び前記ポリシリコン膜に、重元素の不純物イオン及び前記重元素より質量の小さい軽元素の不純物イオンをイオン注入することは、軽元素の不純物イオン及び重元素の不純物イオンを同時にイオン注入する場合も含むし、軽元素の不純物イオン及び重元素の不純物イオンを別々にイオン注入する場合も含む意味であり、イオン注入する手順は軽元素の不純物イオン及び重元素の不純物イオンのどちらが先でも良い。

【0018】

また、本発明に係る半導体装置の製造方法において、前記アモルファスシリコン膜は前記ポリシリコン膜より薄く形成されることが好ましい。これにより、アモルファスシリコン膜を成膜する成膜時間はポリシリコン膜の成膜時間と比較して長い為、ゲート電極の形成工程の短縮化が可能となる。

【0019】

本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と

、

前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜に、重元素の不純物イオン及び前記重元素より質量の小さい軽元素の不純物イオンをイオン注入することにより、前記アモルファスシリコン膜の下層側に前記重元素イオンを導入するとともに前記アモルファスシリコン膜の上層側に前記軽元素イオンを導入する工程と、

前記アモルファスシリコン膜を加工することにより、前記ゲート絶縁膜上にゲート電極を形成する工程と、
を具備することを特徴とする。

【0020】

上記半導体装置の製造方法によれば、アモルファスシリコン膜の下層側にゲート絶縁膜又はゲート絶縁膜の界面に捕獲されにくい重元素イオンのイオン注入を行っている。それにより、アモルファスシリコン膜の下層側に軽元素イオンを注入した場合より一層ゲート電極中の不純物イオンはゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲されにくくなる。その結果、トランジスタ特性の劣化や変動の抑制が可能となり、トランジスタ特性の長期安定化の効果が得られる。

【0021】

本発明に係る半導体装置は、半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたアモルファスシリコン膜からなるゲート電極と、
前記ゲート電極に導入された不純物イオンと、
を具備することを特徴とする。

【0022】

上記半導体装置によれば、ゲート電極材としてアモルファスシリコン膜を使用することにより、ゲート電極中のイオン移動度を低減させている。それにより、ゲート電極中の不純物イオンはゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲されにくくなる。その結果、トランジスタ特性の劣化や変動の抑制が可能となり、トランジスタ特性の長期安定化の効果が得られる。

【0023】

また、本発明に係る半導体装置において、前記不純物イオンは、前記ゲート電極の下層側に導入された重元素の不純物イオンと、前記ゲート電極の上層側に導入された前記重元素より質量の小さい軽元素の不純物イオンとを有することが好ましい。

【0024】

本発明に係る半導体装置は、半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された、下層側がアモルファスシリコン膜からなり上層側がポリシリコン膜からなるゲート電極と、
前記ゲート電極に導入された不純物イオンと、
を具備することを特徴とする。

【0025】

また、本発明に係る半導体装置において、前記不純物イオンは、前記アモルファスシリコン膜に導入された重元素の不純物イオンと、前記ポリシリコン膜に導入された前記重元素より質量の小さい軽元素の不純物イオンとを有することが好ましい。

【発明を実施するための最良の形態】

【0026】

以下、図面を参照して本発明の実施形態について説明する。

図1(a)～(d)は本発明の第1の実施形態に係る半導体装置の製造方法を説明する為の断面図である。

【0027】

まず、図1(a)に示すように、シリコン基板1の表面上にゲート絶縁膜2となるゲー

10

20

30

40

50

ト酸化膜を熱酸化法にて形成する。次いで、CVD法により、ゲート絶縁膜2上にアモルファスシリコン膜3を形成する。この際に、アモルファスシリコン膜3の形成は、例えば200℃～400℃程度の低温でシランまたはシランジシラン等の熱分解により行うことができる。

【0028】

次いで、図1(b)に示すように、アモルファスシリコン膜3に不純物イオン4をイオン注入する。この際に、アモルファスシリコン膜3に注入する不純物イオン4は軽元素イオンとし、軽元素イオンには例えばボロン又は、リンを用いる。その後、図1(c)に示すように、シリコン基板1に熱処理を施すことにより、アモルファスシリコン膜3に注入された不純物イオン4を拡散させる。

10

【0029】

次いで、図1(d)に示すように、アモルファスシリコン膜3をフォトリソグラフィ法及びドライエッチング法を用いて加工することにより、ゲート絶縁膜2上にはゲート電極3aが形成される。次いで、シリコン基板1に低濃度不純物層によるLDD領域6を形成する。次いで、ゲート電極3aの側壁にサイドウォール5を形成する。その後、シリコン基板1に不純物層によるソース・ドレイン領域7の拡散層を形成する。

【0030】

以上、本発明の第1の実施形態によれば、ゲート電極材としてアモルファスシリコン膜3を使用することにより、ゲート電極3a中のイオン移動度を低減させている。その為、ゲート電極3a中の不純物イオン4はゲート絶縁膜2中もしくはゲート絶縁膜界面に捕獲されにくくなる。その結果、トランジスタ特性の劣化や変動の抑制が可能となり、トランジスタ特性の長期安定化の効果が得られる。

20

【0031】

次に、本発明の第2の実施形態に係る半導体装置の製造方法について図2(a)～(c)及び、図3(a)、(b)を参照しつつ説明する。

【0032】

まず、図2(a)に示すように、シリコン基板11の表面上にゲート絶縁膜12となるゲート酸化膜を熱酸化法にて形成する。次いで、CVD法により、ゲート絶縁膜12上にアモルファスシリコン膜13を薄く形成する。この際に、アモルファスシリコン膜13は30nm～50nm程度の膜厚で成膜することが望ましい。

30

【0033】

次いで、図2(b)に示すように、アモルファスシリコン膜13上にCVD法によりポリシリコン膜18を形成する。この際に、ポリシリコン膜18の形成は、例えば400℃～750℃の温度でモノシランの熱分解により行うことができる。また、ポリシリコン膜18の膜厚は、アモルファスシリコン膜13と合わせて150nm～300nmになるように成膜することが望ましい。

【0034】

その後、図2(c)に示すように、アモルファスシリコン膜13及びポリシリコン膜18に不純物イオン14をイオン注入する。この際に、アモルファスシリコン膜13及びポリシリコン膜18に注入する不純物イオン14は軽元素イオンとし、軽元素イオンには例えばボロン又は、リンを用いる。その後、図3(a)に示すように、シリコン基板11に熱処理を施すことにより、不純物イオン14をアモルファスシリコン膜13及びポリシリコン膜18内に拡散させる。

40

【0035】

次いで、図3(b)に示すように、アモルファスシリコン膜13及びポリシリコン膜18をフォトリソグラフィ法及びドライエッチング法を用いて加工する。これにより、ゲート絶縁膜12上にはアモルファスシリコン膜13a及びポリシリコン膜18aの2層構造からなるゲート電極が形成される。次いで、シリコン基板11に低濃度不純物層によるLDD領域16を形成する。次いで、ゲート電極の側壁にサイドウォール15を形成する。その後、シリコン基板11に不純物層によるソース・ドレイン領域17の拡散層を形成

50

する。

【0036】

以上、本発明の第2の実施形態においても第1の実施形態と同様の効果を得ることができる。詳細には、ゲート絶縁膜12に接するゲート電極の下層部をアモルファスシリコン膜13aによって形成することにより、ゲート絶縁膜12付近のアモルファスシリコン膜13a中のイオン移動度を低減させることができる。その結果、アモルファスシリコン膜13a中の不純物イオン14がゲート絶縁膜12中もしくはゲート絶縁膜界面に捕獲されるのを抑制できる。

【0037】

さらに、ゲート電極はアモルファスシリコン膜13a及びポリシリコン膜18aの2層構造を有している。その結果、ゲート電極の上層部においてポリシリコン膜18aを形成することにより、ゲート電極を全てアモルファスシリコン膜で形成した場合よりゲート電極を低抵抗化することができる。

【0038】

また、アモルファスシリコン膜を成膜する成膜時間はポリシリコン膜の成膜時間と比較して長い為、アモルファスシリコン膜を30nm～50nm程度の薄膜としている。その結果、ゲート電極の形成工程の短縮化が可能となる。

【0039】

次に、本発明の第3の実施形態に係る半導体装置の製造方法について図4(a)～(c)及び図5(a)～(c)を参照しつつ説明する。

【0040】

まず、図4(a)に示すように、シリコン基板21の表面上にゲート絶縁膜22となるゲート酸化膜を熱酸化法にて形成する。次いで、CVD法により、ゲート絶縁膜22上にアモルファスシリコン膜23を薄く形成する。この際に、アモルファスシリコン膜23は30nm～50nm程度の膜厚で成膜することが望ましい。

【0041】

次いで、図4(b)に示すように、アモルファスシリコン膜23に不純物イオン29をイオン注入する。この際に、アモルファスシリコン膜23に注入する不純物イオン29は重元素イオン29とし、重元素イオン29には例えばインジウム又は、アンチモンを用いる。

【0042】

次いで、図4(c)に示すように、アモルファスシリコン膜23上にCVD法によりポリシリコン膜28を形成する。その後、図5(a)に示すように、ポリシリコン膜28に不純物イオン24をイオン注入する。この際に、ポリシリコン膜28に注入する不純物イオン24は軽元素イオン24とし、軽元素イオン24には例えばボロン又は、リンを用いる。

【0043】

その後、図5(b)に示すように、シリコン基板21に熱処理を施すことにより、アモルファスシリコン膜23及びポリシリコン膜28に注入された軽元素イオン24及び重元素イオン29を拡散させる。この熱処理により、軽元素イオン24は主にポリシリコン膜28側で熱拡散され、重元素イオン29は主にアモルファスシリコン膜23側で熱拡散される。

【0044】

次いで、図5(c)に示すように、アモルファスシリコン膜23及びポリシリコン膜28をフォトリソグラフィ法及びドライエッチング法を用いて加工する。これにより、ゲート絶縁膜22上にはアモルファスシリコン膜23a及びポリシリコン膜28aの2層構造からなるゲート電極が形成される。次いで、シリコン基板21に低濃度不純物層によるLDD領域26を形成する。次いで、ゲート電極の側壁にサイドウォール25を形成する。その後、シリコン基板21に不純物層によるソース・ドレイン領域27の拡散層を形成する。

10

20

30

40

50

【0045】

以上、本発明の第3の実施形態においても第2の実施形態と同様の効果を得ることができる。

【0046】

さらに、ゲート電極の下層部分であるアモルファスシリコン膜に重元素イオンをイオン注入後、ゲート電極の上層部分であるポリシリコン膜に軽元素イオンをイオン注入している。つまり、ゲート絶縁膜に接するゲート電極の下層部分のアモルファスシリコン膜に、軽元素イオンよりゲート絶縁膜中に捕獲されにくい重元素イオンをイオン注入している。その為、アモルファスシリコン膜に軽元素イオンを注入した場合より一層ゲート電極中の不純物イオンはゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲されにくくなる。

10

【0047】

次に、本発明の第4の実施形態に係る半導体装置の製造方法について図6(a)～(c)及び図7(a)、(b)を参照しつつ説明する。

【0048】

まず、図6(a)に示すように、シリコン基板31の表面上にゲート絶縁膜32となるゲート酸化膜を熱酸化法にて形成する。次いで、CVD法により、ゲート絶縁膜32上にアモルファスシリコン膜33を薄く形成する。この際に、アモルファスシリコン膜33は30nm～50nm程度の膜厚で成膜することが望ましい。

【0049】

次いで、図6(b)に示すように、アモルファスシリコン膜33上にCVD法によりポリシリコン膜38を形成する。この際に、アモルファスシリコン膜33及びポリシリコン膜38は工程を分けることなく同一のCVD装置で連続して形成することも可能である。

20

【0050】

その後、図6(c)に示すように、アモルファスシリコン膜33及びポリシリコン膜38に軽元素イオン34、重元素イオン39による不純物イオンを同時にイオン注入する。この際に、導入イオンガスを複数のイオン種にし、重元素イオン39はアモルファスシリコン膜33に深くイオン注入し、軽元素イオン34はポリシリコン膜38に浅くイオン注入する。なお、本実施形態では、軽元素イオン34及び重元素イオン39を同時にイオン注入しているが、軽元素イオン34及び重元素イオン39は分けてイオン注入することも可能であり、イオン注入する手順は軽元素イオン34及び重元素イオン39のどちらが先

30

【0051】

その後、図7(a)に示すように、シリコン基板31に熱処理を施すことにより、アモルファスシリコン膜33及びポリシリコン膜38に注入された軽元素イオン34及び重元素イオン39を拡散させる。この熱処理により、軽元素イオン34は主にポリシリコン膜38側で熱拡散され、重元素イオン39は主にアモルファスシリコン膜33側で熱拡散される。

【0052】

次いで、図7(b)に示すように、アモルファスシリコン膜33及びポリシリコン膜38をフォトリソグラフィ法及びドライエッチング法を用いて加工する。これにより、ゲート絶縁膜32上には、アモルファスシリコン膜33a及びポリシリコン膜38aの2層構造からなるゲート電極が形成される。次いで、シリコン基板31に低濃度不純物層によるLDD領域36を形成する。次いで、ゲート電極の側壁にサイドウォール35を形成する。その後、シリコン基板31に不純物層によるソース・ドレイン領域37の拡散層を形成する。

40

【0053】

以上、本発明の第4の実施形態においても第3の実施形態と同様の効果を得ることができる。さらに、アモルファスシリコン膜及びポリシリコン膜にそれぞれ重元素イオン及び軽元素イオンを同時にイオン注入を行っている。その為、工程を分ける必要がない。

【0054】

50

次に、本発明の第 5 の実施形態に係る半導体装置の製造方法について図 8 (a) ~ (d) を参照しつつ説明する。

【0055】

まず、図 8 (a) に示すように、シリコン基板 41 の表面上にゲート絶縁膜 42 となるゲート酸化膜を熱酸化法にて形成する。次いで、CVD 法により、ゲート絶縁膜 42 上にアモルファスシリコン膜 43 を形成する。

【0056】

次いで、図 8 (b) に示すように、アモルファスシリコン膜 43 内に重元素イオン 49 及び軽元素イオン 44 による不純物イオンを同時に注入する。この際に、導入イオンガスを複数のイオン種にし、重元素イオン 49 はアモルファスシリコン膜 43 に深くイオン注入し、軽元素イオン 44 はアモルファスシリコン膜 43 に浅くイオン注入する。なお、本実施形態では、軽元素イオン 44 及び重元素イオン 49 を同時にイオン注入しているが、軽元素イオン 44 及び重元素イオン 49 は分けてイオン注入することも可能であり、イオン注入する手順は軽元素イオン 44 及び重元素イオン 49 のどちらが先でも良い。

【0057】

その後、図 8 (c) に示すように、シリコン基板 41 に熱処理を施すことにより、アモルファスシリコン膜 43 に注入された軽元素イオン 44 及び重元素イオン 49 を拡散させる。これにより、アモルファスシリコン膜 43 内の軽元素イオン 44 による不純物は上層側で主に熱拡散され、重元素イオン 49 による不純物イオンは下層側で主に熱拡散される。その結果、アモルファスシリコン膜 43 内に拡散された不純物は、アモルファスシリコン膜 43 の上層側は軽元素イオン 44 の比率が高くなり、アモルファスシリコン膜 43 の下層側は重元素イオン 49 の比率が高くなり、軽元素イオン 44 と重元素イオン 49 からなる 2 層構造となる。

【0058】

次いで、図 8 (d) に示すように、アモルファスシリコン膜 43 をフォトリソグラフィー法及びドライエッチング法を用いて加工する。これにより、ゲート絶縁膜 42 上には、ゲート電極 43a が形成される。次いで、シリコン基板 41 に低濃度不純物層による LDD 領域 46 を形成する。次いで、ゲート電極 43a の側壁にサイドウォール 45 を形成する。その後、シリコン基板 41 に不純物層によるソース・ドレイン領域 47 の拡散層を形成する。

【0059】

以上、本発明の第 5 の実施形態においても第 1 の実施形態と同様の効果を得ることができる。

【0060】

さらに、アモルファスシリコン膜 43 に不純物をイオン注入する工程において、下層側にゲート絶縁膜 42 又はゲート絶縁膜 42 の界面に捕獲されにくい重元素イオン 49 のイオン注入を行っている。その為、アモルファスシリコン膜の下層側に軽元素イオンを注入した場合より一層ゲート電極中の不純物イオンはゲート絶縁膜中もしくはゲート絶縁膜界面に捕獲されにくくなる。

【0061】

尚、本発明は上述した実施形態に限定されるものではなく、本発明の主旨を逸脱しない範囲内で種々変更して実施することが可能である。例えば、上記第 1 ~ 第 5 の実施形態では、アモルファスシリコン膜形成後に不純物イオンのイオン注入を行っているが、アモルファスシリコン形成ガスと、導入したいイオン種のガスを同時に反応させる CVD 法により成膜することにより、アモルファスシリコン成膜と同工程において不純物イオンのイオン導入を行うことが可能である。また、同様にしてポリシリコン成膜と同工程において不純物イオンのイオン導入を行うことが可能である。

【図面の簡単な説明】

【0062】

【図 1】 (a)、(b)、(c) 及び (d) は第 1 の実施形態に係る半導体装置の製造方

10

20

30

40

50

法を説明する為の断面図。

【図 2】 (a)、(b) 及び (c) は第 2 の実施形態に係る半導体装置の製造方法を説明する為の断面図。

【図 3】 (a) 及び (b) は図 2 の次の工程を説明する為の断面図。

【図 4】 (a)、(b) 及び (c) は第 3 の実施形態に係る半導体装置の製造方法を説明する為の断面図。

【図 5】 (a)、(b) 及び (c) は図 4 の次の工程を説明する為の断面図。

【図 6】 (a)、(b) 及び (c) は第 4 の実施形態に係る半導体装置の製造方法を説明する為の断面図。

【図 7】 (a) 及び (b) は図 6 の次の工程を説明する為の断面図。

【図 8】 (a)、(b)、(c) 及び (d) は第 5 の実施形態に係る半導体装置の製造方法を説明する為の断面図。

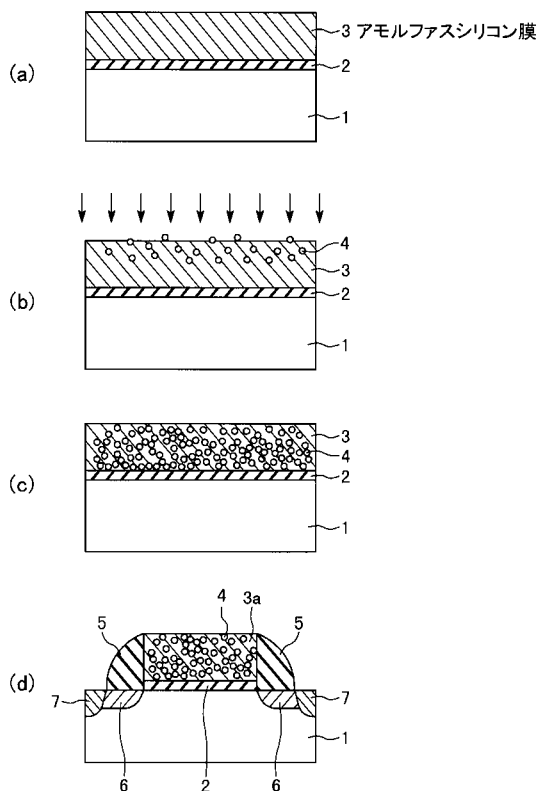
【図 9】 (a)、(b)、(c) 及び (d) は従来の半導体装置の製造方法を説明する為の断面図。

【符号の説明】

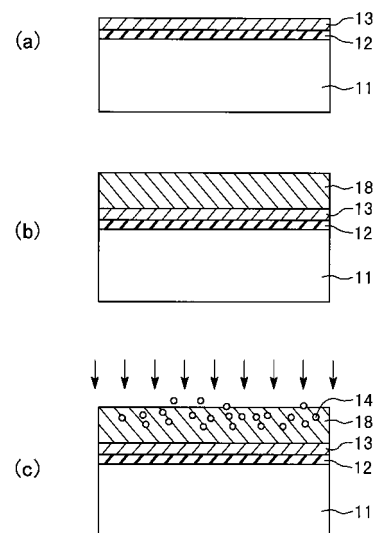
【0063】

1, 11, 21, 31, 41, 51・・・シリコン基板、2, 12, 22, 32, 42, 52・・・ゲート絶縁膜、3, 13, 23, 33, 43, 3a, 13a, 23a, 33a, 43a・・・アモルファスシリコン膜（ゲート電極）、4, 14, 24, 34, 44, 54・・・不純物イオン（軽元素イオン）、5, 15, 25, 35, 45, 55・・・サイドウォール、7, 17, 27, 37, 47, 57・・・ソース・ドレイン領域、18, 28, 38, 58, 18a, 28a, 38a, 58a・・・ポリシリコン膜（ゲート電極）、29, 39, 49・・・不純物イオン（重元素イオン）、6, 16, 26, 36, 46, 56・・・LDD領域

【図 1】



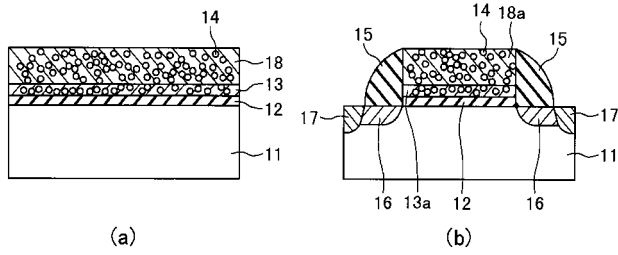
【図 2】



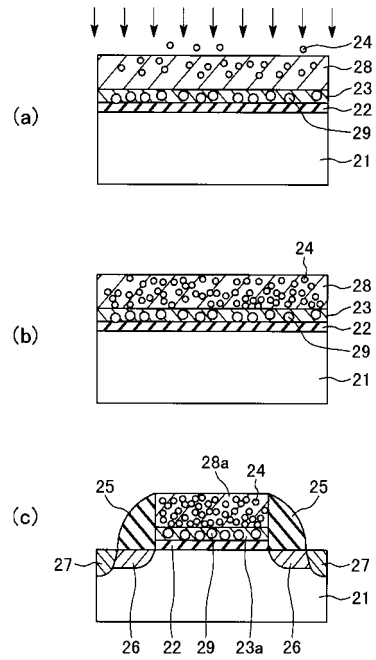
10

20

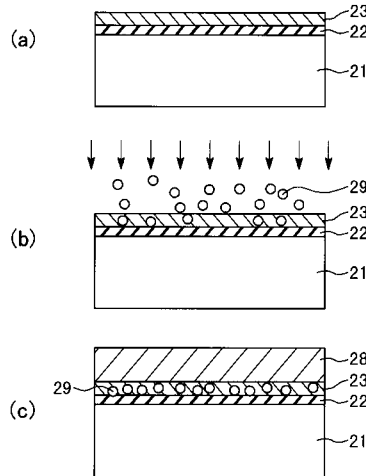
【図 3】



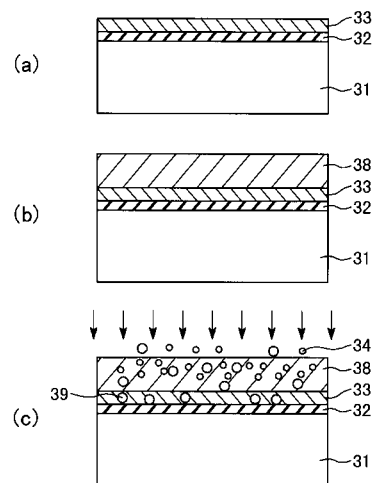
【図 5】



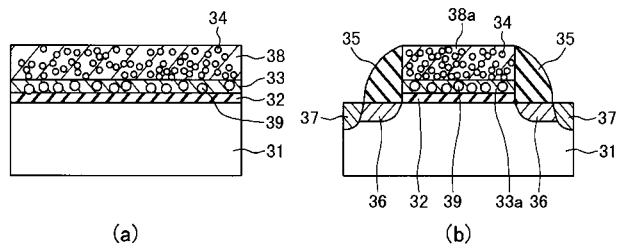
【図 4】



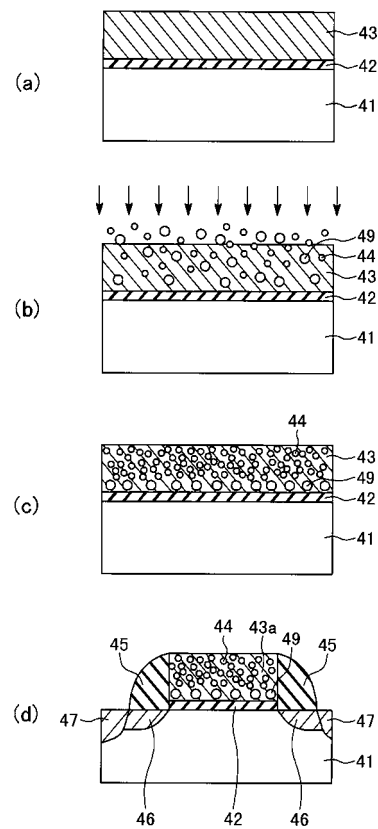
【図 6】



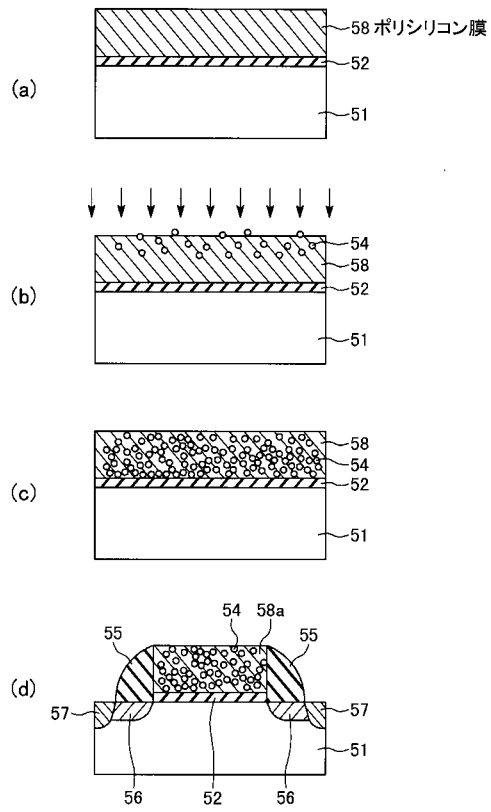
【図 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考) 4M104 BB01 BB37 CC05 DD55 DD63 DD78 GG09 GG10 GG14
5F140 AA06 BA01 BE07 BF01 BF04 BF11 BF14 BF33 BF34 BF37
BF38 BG08 BG19 BG28 BG32 BG33 BG38 BH15 BK02 BK13
CE10