

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710196004.1

[51] Int. Cl.

H03G 3/12 (2006.01)

H03F 3/45 (2006.01)

[43] 公开日 2008年6月4日

[11] 公开号 CN 101192811A

[22] 申请日 2007.11.28

[21] 申请号 200710196004.1

[30] 优先权

[32] 2006.11.30 [33] JP [31] 2006-324045

[71] 申请人 三美电机株式会社

地址 日本东京都

[72] 发明人 土桥永祥 间渊繁纪

[74] 专利代理机构 北京银龙知识产权代理有限公司
代理人 许静

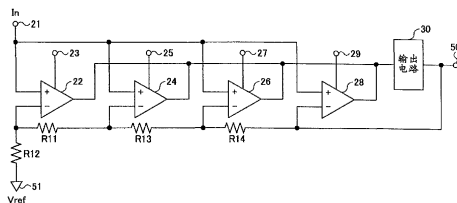
权利要求书1页 说明书7页 附图6页

[54] 发明名称

可变增益放大电路

[57] 摘要

本发明的目的在于提供一种可以削减电路元件数量，可以削减形成半导体集成电路的面积的可变增益放大电路。其具有：将一方的输入端子与信号输入端子共同连接、某一个电路被选择进行动作的多个差动电路(22、24、26、28)；多个差动电路(22、24、26、28)的输出端子共同连接的、取出多个差动电路的输出信号从信号输出端子(50)输出的输出电路(30)；在被施加基准电压的端子(51)和所述信号输出端子之间串联连接的多个电阻(R12、R11、R13、R14)，将多个电阻的连接点以及所述信号输出端子分别与所述多个差动电路各自的另一方的输入端子相连接。



1. 一种可变增益放大电路，其特征在于，

具有：将一方的输入端子与信号输入端子共同连接、某一个电路被选择进行动作的多个差动电路；

所述多个差动电路的输出端子共同连接的、取得所述多个差动电路的输出信号从信号输出端子进行输出的输出电路；以及

在施加基准电压的端子和所述信号输出端子之间串联连接的多个电阻，

将所述多个电阻的连接点和所述信号输出端子分别与所述多个差动电路各自的另一方的输入端子连接。

2. 根据权利要求1所述的可变增益放大电路，其特征在于，

所述多个差动电路由一对晶体管构成，在所述一对晶体管中，将基极作为所述一方的输入端子的晶体管的集电极为所述输出端子。

3. 根据权利要求2所述的可变增益放大电路，其特征在于，

所述输出电路是将所述多个差动电路的输出端子与基极连接、将集电极与所述信号输出端子连接的发射极接地结构的晶体管。

可变增益放大电路

技术领域

本发明涉及一种可变增益放大电路，涉及一种根据控制信号使增益变化的可变增益放大电路。

背景技术

例如已知如下一种可变增益放大电路：在输入从各种音源输入的声音信号时，提供与声音信号的峰间电平（peak to peak level）相对应的控制信号，通过根据该控制信号改变增益来进行声音信号的电平调整。

图 6 表示现有的半导体集成电路化的可变增益放大电路的一个例子的电路结构图。在该图中，从各种音源向端子 1 输入声音信号，并将该声音信号提供给运算放大器 2、4、6、8 各自的同相输入端子。

在运算放大器 2 中，输出端子和反相输入端子之间通过电阻 R1 连接，在一端与反相输入端子连接的电阻 R2 的另一端施加基准电压 Vref，运算放大器 2 的输出端子与端子 10 连接，构成了同相放大器。运算放大器 2 仅在从端子 3 提供了例如高电平的控制信号时进行动作。该同相放大器由电阻 R1 和 R2 决定放大率（ $= 1 + R1/R2$ ），例如设放大率为 6dB（2 倍）。

在运算放大器 4 中，输出端子和反相输入端子之间通过电阻 R3 连接，在一端与反相输入端子连接的电阻 R4 的另一端施加基准电压 Vref，运算放大器 4 的输出端子与端子 10 连接，构成了同相放大器。运算放大器 4 仅在从端子 5 提供了例如高电平的控制信号时进行动作。该同相放大器由电阻 R3 和 R4 决定放大率（ $= 1 + R3/R4$ ），例如设放大率为 4dB（1.58 倍）。

在运算放大器 6 中，输出端子和反相输入端子之间通过电阻 R5 连接，在一端与反相输入端子连接的电阻 R6 的另一端施加基准电压 Vref，运算放大器 6 的输出端子与端子 10 连接，构成了同相放大器。运算放大器 6 仅在从端子 7 提供了例如高电平的控制信号时进行动作。该同相放大器由电阻 R5 和 R6 决定放大率（ $= 1 + R5/R6$ ），例如设放大率为 2dB（1.26 倍）。

在运算放大器 8 中，将输出端子和反相输入端子之间相连，对反相输入端子施加基准电压 V_{ref} ，将运算放大器 8 的输出端子与端子 10 连接，构成了缓冲放大器。运算放大器 8 仅在从端子 9 提供了例如高电平的控制信号时进行动作。该缓冲放大器的放大率为 0dB（1 倍）。

向端子 3、5、7、9 提供的控制信号的某一个仅为 1 比特但是为高电平，运算放大器 2、4、6、8 中的某一个进行动作，由运算放大器 2、4、6、8 中的某一个进行放大后的声音信号从端子 10 输出。

图 7 表示运算放大器 2 构成的同相放大器的一例的电路图。运算放大器 4、6、8 各自构成的同相放大器也为同一结构。在该图中，npn 晶体管 Q1、Q2 在将发射极共同连接之后经由恒定电流源 11 和开关 12 接地。在晶体管 Q1 中，将基极与端子 1 连接，将集电极经由恒定电流源 13 与电源 V_{cc} 连接。晶体管 Q2 中，将基极与电阻 R1、R2 的一端连接，将集电极与电源 V_{cc} 连接。晶体管 Q1、Q2 构成了差动电路。

作为上述差动电路的输出的晶体管 Q1 的集电极，与 pnp 晶体管 Q3 的基极相连接。晶体管 Q3 将发射极与电源 V_{cc} 连接，将集电极经由恒定电流源 14 和开关 15 接地，构成作为输出电路的发射极接地电路。晶体管 Q3 的集电极与端子 10 连接，并且经由电阻 R1 与晶体管 Q2 的基极连接，此外，经由相位补偿用电容器 C0 与晶体管 Q3 的基极相连接。

在晶体管 Q2 的基极上经由电阻 R2 施加了基准电压 V_{ref} 。开关 12、15 仅在从端子 3 提供的控制信号为高电平时接通，对晶体管 Q1 ~ Q3 提供动作电流。

此外，在专利文献 1 中记载了可以通过对两个差动放大电路中的某一个提供电源来切换增益的放大电路。

【专利文献 1】实开平 4-102311 号公报

发明内容

在图 6 的现有电路中，为了在各同相放大器中设定放大率需要电路 R1 ~ R6，此外，在各同相放大器中需要由晶体管和恒定电流源以及开关构成的输出电路，存在电路元件数量增多、形成半导体集成电路的面积变大的问题。

本发明是鉴于以上问题而做出的，其目的在于提供一种可以削减电路元件的数量，可以削减形成半导体集成电路的面积的可变增益放大电路。

本发明一个实施方式的可变增益放大电路具有：使一方的输入端子与信号输入端子共同连接、某一个电路被选择进行动作的多个差动电路（22、24、26、28）；所述多个差动电路（22、24、26、28）的输出端子共同连接的、取得所述多个差动电路的输出信号并从信号输出端子（50）进行输出的输出电路（30）；以及在施加基准电压的端子（51）和所述信号输出端子（50）之间串联连接的多个电阻（R12、R11、R13、R14），将所述多个电阻（R12、R11、R13、R14）的连接点和所述信号输出端子（50）分别与所述多个差动电路（22、24、26、28）各自的另一个输入端子连接，由此可以削减电路元件的数量，可以削减形成半导体集成电路的面积。

在所述可变增益放大电路中可以为以下的结构：所述多个差动电路（22、24、26、28）由一对晶体管构成，在所述一对晶体管中，将基极作为所述一方的输入端子的晶体管的集电极为所述输出端子。

此外，在所述可变增益放大电路中可以为以下的结构：所述输出电路（30）是将所述多个差动电路的输出端子与基极连接，将集电极与所述信号输出端子连接的发射极接地结构的晶体管。

此外，上述括号内的参照符号是为了容易理解而附加的，只不过是一个例子，并不限于图示的方式。

根据本发明，可以削减各同相放大器中用于设定放大率的电阻数量，可以削减形成半导体集成电路的面积。

附图说明

图1是本发明的可变增益放大电路的一个实施方式的电路结构图。

图2是本发明的可变增益放大电路的一个实施方式的电路图。

图3是基准电压生成电路的一个实施方式的电路图。

图4是提取图2的一部分的电路图。

图5是对图4进行变形后的电路图。

图6是现有的可变增益放大电路的一例的电路结构图。

图7表示同相放大器的一例的电路图。

符号说明

21 信号输入端子；22、24、26、28 差动电路；30 输出电路；31、33、34、

36、38、40 恒定电流源；32、35、37、39 开关；50 信号输出端子；C1 电容器；Q11~19 晶体管；R11~R14 电阻

具体实施方式

图 1 表示本发明的可变增益放大电路的一个实施方式的电路结构图。此外，图 2 表示本发明的可变增益放大电路的一个实施方式的电路图。该可变增益放大电路整体被半导体集成化。

在图 1 中，在信号输入端子 21 上从各种音源输入声音信号，该声音信号被一同提供给差动电路 22、24、26、28 各自的同相输入端子。

差动电路 22 的输出端子经由输出电路 30 与信号输出端子 50 连接，反相输入端子与电阻 R11、R12 各自的一端（电阻 R11、R12 的连接点）连接。电阻 R12 的另一端与端子 51 连接并被施加基准电压 V_{ref} ，电阻 R11 的另一端经由电阻 R13、R14 与信号输出端子 50 相连接。

向端子 23、25、27、29 提供的控制信号其中某一个虽然为 1 比特但是为高电平，在从端子 23 提供了高电平的控制信号时只有差动电路 22 进行动作。此时，由差动电路 22 构成的同相放大器的放大率 A_{v1} 由 (1) 式表示。

$$A_{v1} = 1 + (R11 + R13 + R14) / R12 \quad (1)$$

差动电路 24 的输出端子经由输出电路 30 与信号输出端子 50 连接，反相输入端子与电阻 R11、R13 各自的一端（电阻 R11、R13 的连接点）连接。电阻 R11 的另一端经由 R12 接地，电阻 R13 的另一端经由电阻 R14 与信号输出端子 50 相连接。

向端子 23、25、27、29 提供的控制信号其中某一个虽然为 1 比特但是为高电平，在从端子 25 提供了高电平的控制信号时只有差动电路 24 进行动作。此时，由差动电路 24 构成的同相放大器的放大率 A_{v2} 由 (2) 式表示。

$$A_{v2} = 1 + (R13 + R14) / (R12 + R11) \quad (2)$$

差动电路 26 的输出端子经由输出电路 30 与信号输出端子 50 连接，反相输入端子与电阻 R13、R14 各自的一端（电阻 R13、R14 的连接点）连接。电阻 R13 的另一端经由电阻 R11、R12 接地，电阻 R14 的另一端与信号输出端子 50 相连接。

向端子 23、25、27、29 提供的控制信号其中某一个虽然为 1 比特但是为

高电平，在从端子 27 提供了高电平的控制信号时只有差动电路 26 进行动作。此时，由差动电路 26 构成的同相放大器的放大率 A_{v3} 由 (3) 式表示。

$$A_{v3} = 1 + R_{14} / (R_{12} + R_{11} + R_{13}) \quad (3)$$

差动电路 28 的输出端子与信号输出端子 50 连接，差动电路 28 将输出端子和反相输入端子之间连接，反相输入端子与电阻 R_{14} 的一端连接。

向端子 23、25、27、29 提供的控制信号其中某一个虽然为 1 比特但是为高电平，在从端子 29 提供了高电平的控制信号时只有差动电路 28 进行动作。此时，由差动电路 28 构成的缓冲器的放大率 A_{v4} 为 $A_v = 1$ (0dB)。

在此，当设 $R_{11} = 1.3\text{k}\Omega$ ， $R_{12} = 5\text{k}\Omega$ ， $R_{13} = 1.6\text{k}\Omega$ ， $R_{14} = 2.1\text{k}\Omega$ 时，根据 (1) 式 $A_v = 2$ (= 6dB)，根据 (2) 式 $A_{v2} = 1.58$ (= 4dB)，根据 (3) 式 $A_{v3} = 1.26$ (= 2dB)。

在图 2 中，nnp 晶体管 Q_{11} 、 Q_{12} 在将发射极共同连接之后，经由恒定电流源 31 和开关 32 接地。晶体管 Q_{11} 将基极与信号输入端子 21 连接，将集电极经由恒定电流源 33 与电源 V_{cc} 连接。晶体管 Q_{12} 将基极与电阻 R_{11} 、 R_{12} 的连接点连接，将集电极与电源 V_{cc} 连接，晶体管 Q_{11} 、 Q_{12} 构成了差动电路 22。

此外，nnp 晶体管 Q_{13} 、 Q_{14} 在将发射极共同连接之后，经由恒定电流源 34 和开关 35 接地。晶体管 Q_{13} 将基极与信号输入端子 21 连接，将集电极经由恒定电流源 33 与电源 V_{cc} 连接。晶体管 Q_{14} 将基极与电阻 R_{11} 、 R_{13} 的连接点连接，将集电极与电源 V_{cc} 连接，晶体管 Q_{13} 、 Q_{14} 构成了差动电路 24。

此外，nnp 晶体管 Q_{15} 、 Q_{16} 在将发射极共同连接之后，经由恒定电流源 36 和开关 37 接地。晶体管 Q_{15} 将基极与信号输入端子 21 连接，将集电极经由恒定电流源 33 与电源 V_{cc} 连接。晶体管 Q_{16} 将基极与电阻 R_{13} 、 R_{14} 的连接点连接，将集电极与电源 V_{cc} 连接，晶体管 Q_{15} 、 Q_{16} 构成了差动电路 26。

而且，nnp 晶体管 Q_{17} 、 Q_{18} 在将发射极共同连接之后，经由恒定电流源 38 和开关 39 接地。晶体管 Q_{17} 将基极与信号输入端子 21 连接，将集电极经由恒定电流源 33 与电源 V_{cc} 连接。晶体管 Q_{18} 将基极与电阻 R_{14} 的信号输出端子 50 一侧的一端连接，将集电极与电源 V_{cc} 连接，晶体管 Q_{17} 、 Q_{18} 构成了差动电路 28。

作为上述差动电路 22、24、26、28 的输出的晶体管 Q11、Q13、Q15、Q17 各自的集电极，与构成输出电路 30 的 pnp 晶体管 Q19 的基极连接。晶体管 Q19 将发射极与电源 Vcc 连接，将集电极经由恒定电流源 40 接地，构成了发射极接地电路。晶体管 Q19 的集电极与信号输出端子 50 连接，而且，经由相位补偿用电容器 C1 与晶体管 Q19 的基极相连接。

图 3 表示本发明的与端子 51 连接的基准电压生成电路的一个实施方式的电路图。在该图中，设置了在电源 Vcc 和接地 GND 之间串联连接的电阻 R21、R22。由此，电阻 R21 和 R22 的连接点的电压成为 $V_{cc} \cdot R22 / (R21 + R22)$ 。该电压经由晶体管 Qa 和电阻 R23 构成的射极输出器电路、以及晶体管 Qb 和电阻 R24 构成的射极输出器电路，从端子 60 作为基准电压 Vref 而被输出。

图 4 是提取出图 2 中的差动电路 22 和输出电路 30 部分的电路图。与此相对，图 5 是对图 4 进行变形后的电路图。

在本发明中，如图 4 所示，对从晶体管 Q11 的集电极取出的输入信号进行了反相后的信号，由发射极接地结构的晶体管 Q19 进一步进行反相，然后从信号输出端子 50 输出，与此相对，在图 5 的变形电路中，从晶体管 Q12 的集电极取出与输入信号同相位的信号，在将其提供给射极输出器结构的 pnp 晶体管 Q20 的基极进行反转之后，从信号输出端子 50 输出。此外，在图 4、图 5 中，设 $R_a = R11 + R13 + R14$ 。

在图 5 的结构中，当对信号输入端子 21 输入了以电压 6V (= Vref) 为中心最小电压 4V 最大电压 8V 的信号时，在信号输出端子 50 成为以电压 6V 为中心最小电压 2V 最大电压 10V 的信号。晶体管 Q12 的集电极的电压由于比信号输出端子 50 的电压高晶体管 Q20 的基极 - 发射极之间的电压降 0.7V，所以成为以电压 6.7V 为中心最小电压 2.7V 最大电压 10.7V 的信号。

此外，晶体管 Q12 的基极的电压是通过电阻 Ra、R12 对信号输出端子 50 的电压进行分压后的电压，所以成为以电压 6V 为中心最小电压 4V 最大电压 8V 的信号。在此，相对于晶体管 Q12 的基极的最小电压 4V，晶体管 Q12 的集电极的最小电压为 2.7V，所以在信号的最小值附近晶体管 Q12 的基极 - 集电极之间不正常地偏压，晶体管 Q12 在信号的最小值附近截止，由此无法正常地动作。

与此相对，在本发明图 4 的结构中，当在信号输入端子 21 输入了以电压 6V (= V_{ref}) 为中心最小电压 4V 最大电压 8V 的信号时，在信号输出端子 50 成为以电压 6V 为中心最小电压 2V 最大电压 10V 的信号。此外，晶体管 Q12 的基极的电压是通过电阻 R_a 、R12 对信号输出端子 50 的电压进行分压后的电压，所以成为以电压 6V 为中心最小电压 4V 最大电压 8V 的信号。在此，晶体管 Q12 的集电极为电源电压 V_{cc} ，所以晶体管 Q12 在从信号最小值到最大值的整个区域正常地进行动作。

在此，在图 6 的现有结构中，在为半导体集成电路时，需要电阻 $R1 + R2 + R3 + R4 + R5 + R6$ 的电阻值的面积。在图 1 的本发明的结构中，在为半导体集成电路时，需要电阻 $R11 + R12 + R13 + R14$ 的电阻值的面积，其等于电阻 $R1 + R2$ 的电阻值的面积，能够削减电阻 $R3 + R4 + R5 + R6$ 的电阻值的面积。此外，作为电阻的面积，大约 $1k\Omega$ 为一个晶体管的面积，所以在图 6 的例子中电阻 $R3 + R4 + R5 + R6 \div 14k\Omega$ ，与此相对应，在图 1 中削减了 14 个晶体管的面积。

如此，作为共用电阻 $R11 \sim R14$ ，即使在选择了差动电路 22、24、26、28 中的某一个时电阻 $R11 \sim R14$ 也会全部用于电路动作的结构，可以削减电阻的数量，此外，作为即使在选择了差动电路 22、24、26、28 中的某一个时也共用输出电路 30 的结构，由此可以削减电路元件的数量，可以削减形成半导体集成电路的面积。

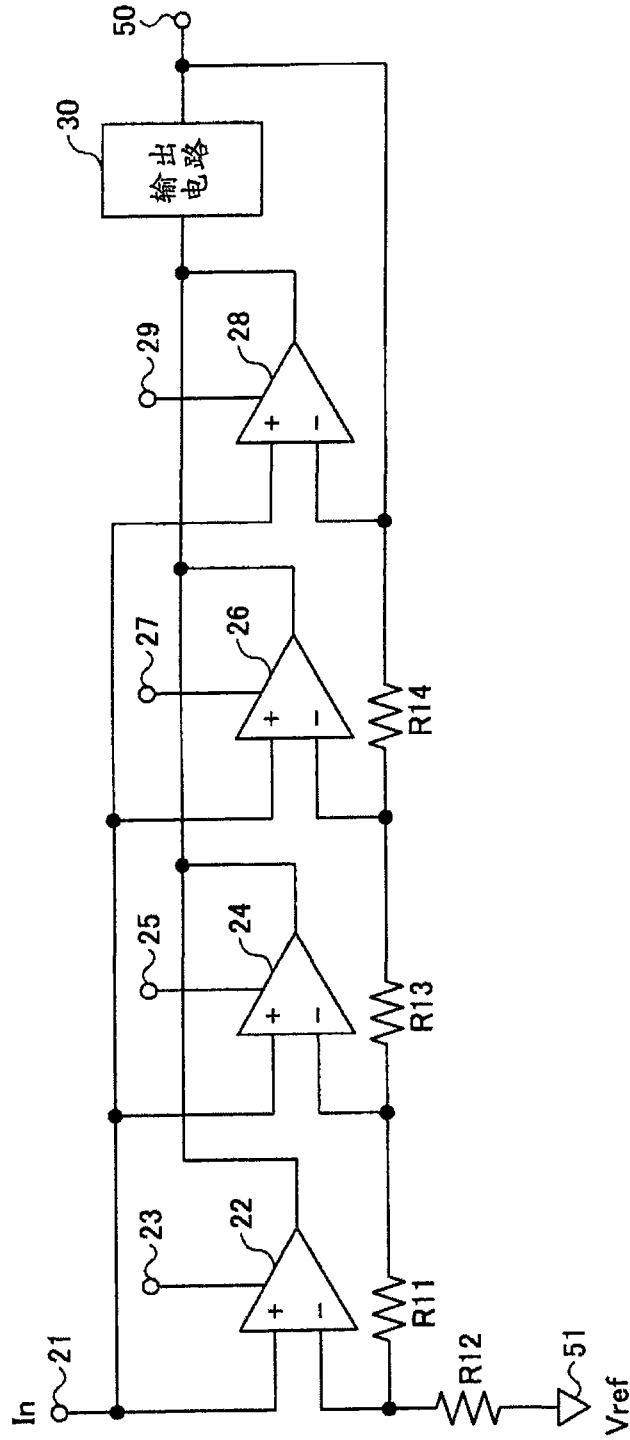


图 1

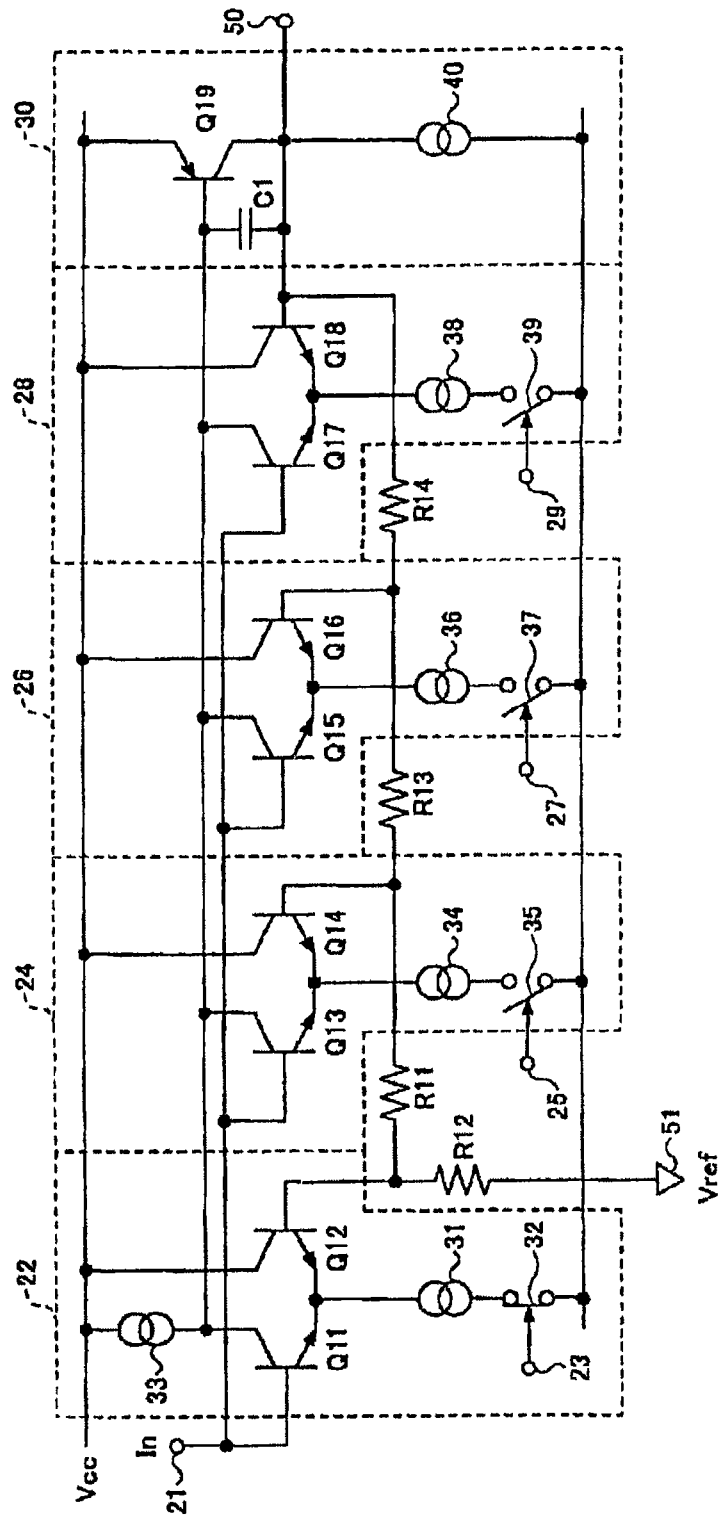


图 2

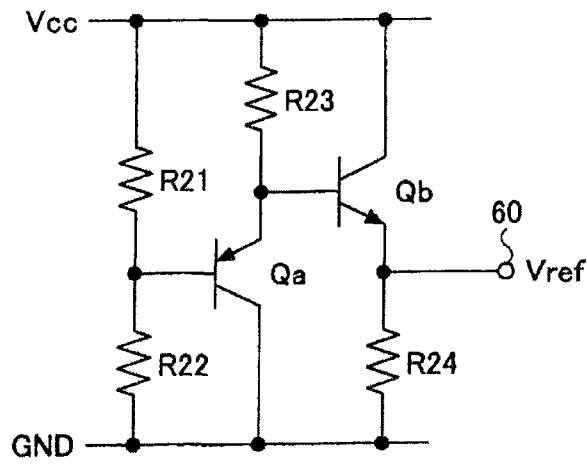


图 3

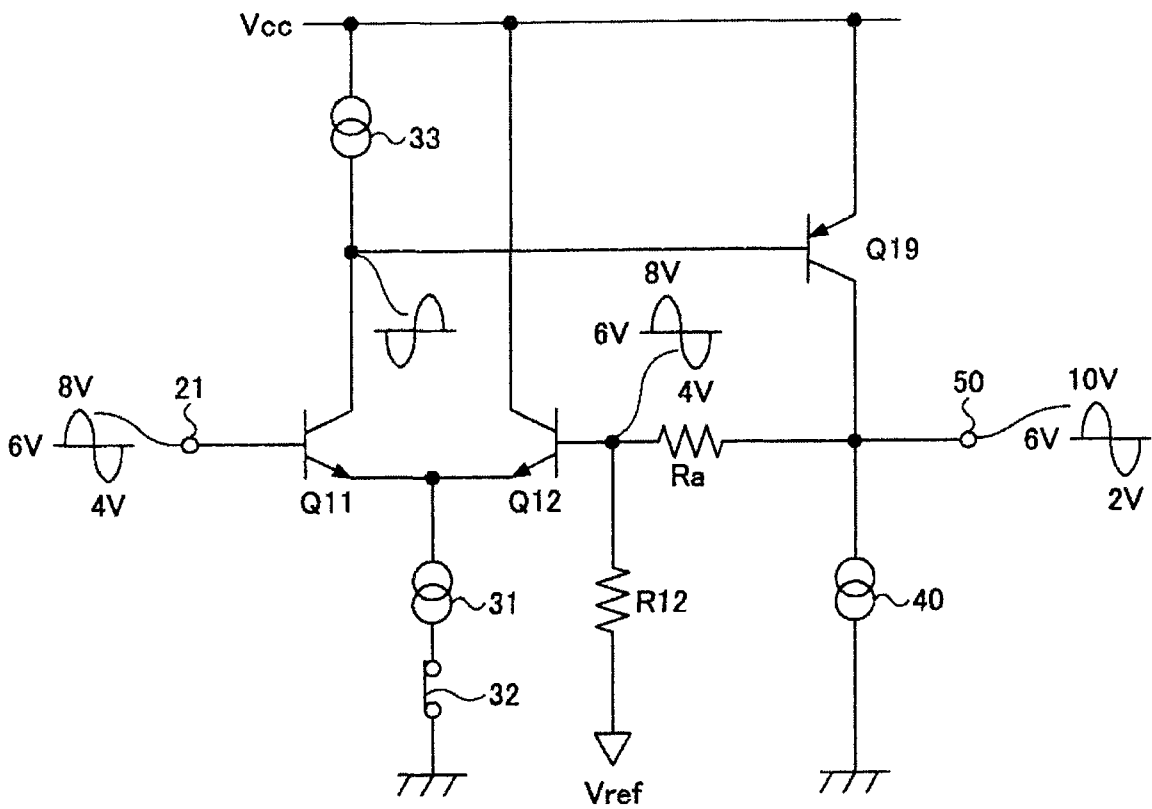


图 4

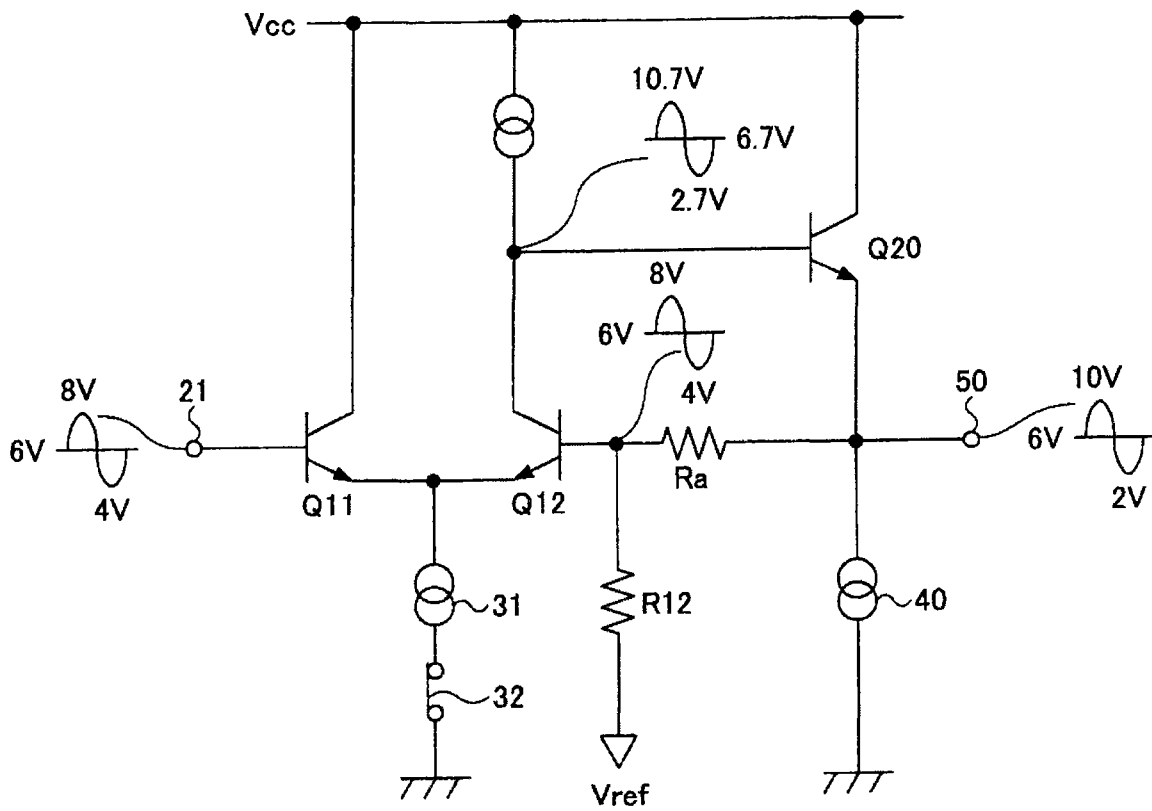


图 5

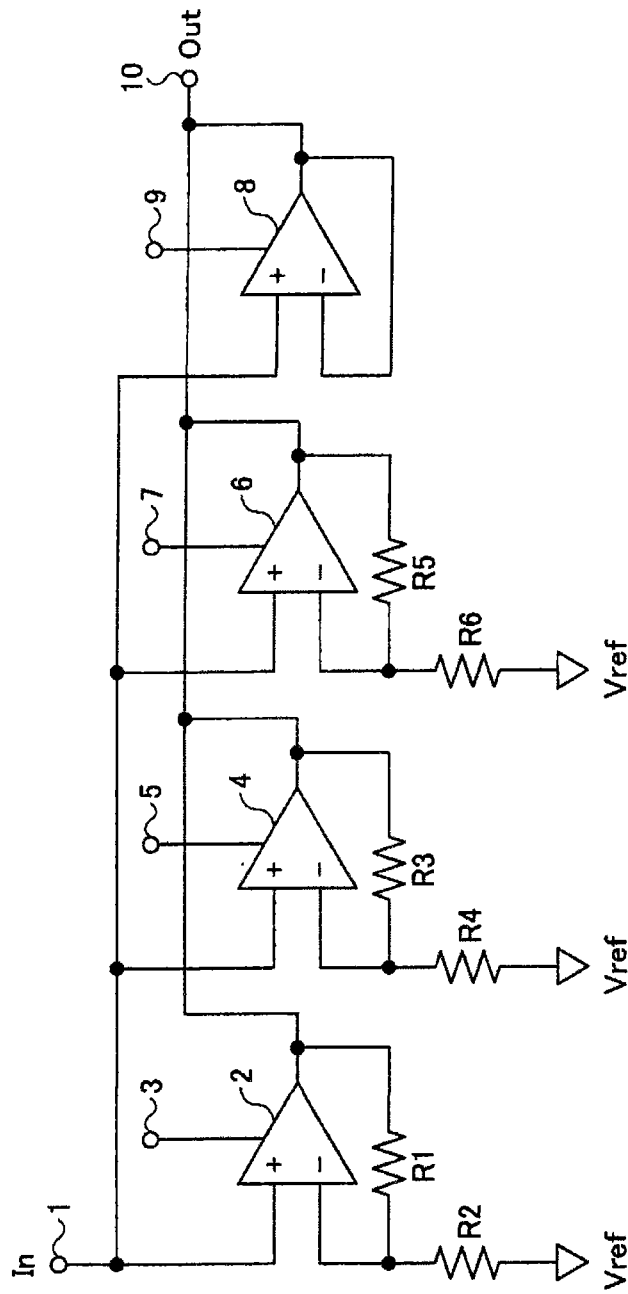


图 6

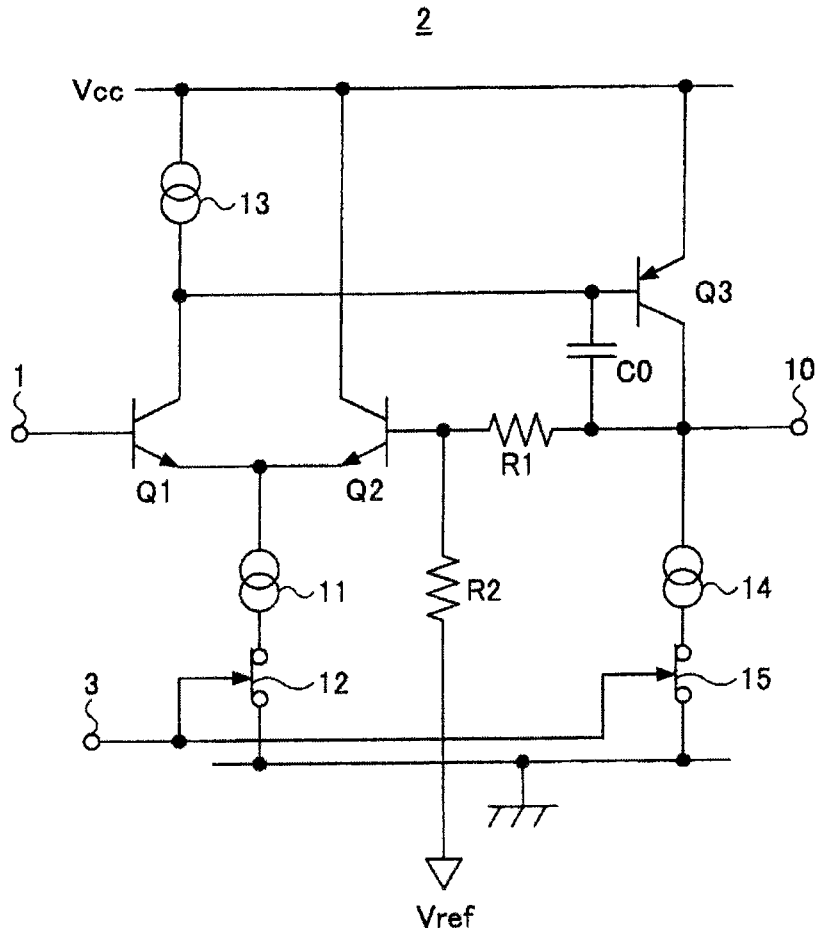


图 7