



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월02일

(11) 등록번호 10-1478761

(24) 등록일자 2014년12월26일

- (51) 국제특허분류(Int. Cl.)  
**H01L 33/36** (2010.01) **H01L 33/46** (2010.01)  
**H01L 33/38** (2010.01)
- (21) 출원번호 10-2013-0055190
- (22) 출원일자 2013년05월15일  
 심사청구일자 2013년05월15일
- (65) 공개번호 10-2014-0135005
- (43) 공개일자 2014년11월25일
- (56) 선행기술조사문헌  
 KR101226706 B1\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
**주식회사 세미콘라이트**  
 경기 용인시 기흥구 원고매로2번길 49, 3층 (고매동)
- (72) 발명자  
**전수근**  
 경기 성남시 분당구 미금일로 22, 203동 502호 (구미동, 까치마을주공2단지아파트)
- (74) 대리인  
**안상정**

전체 청구항 수 : 총 12 항

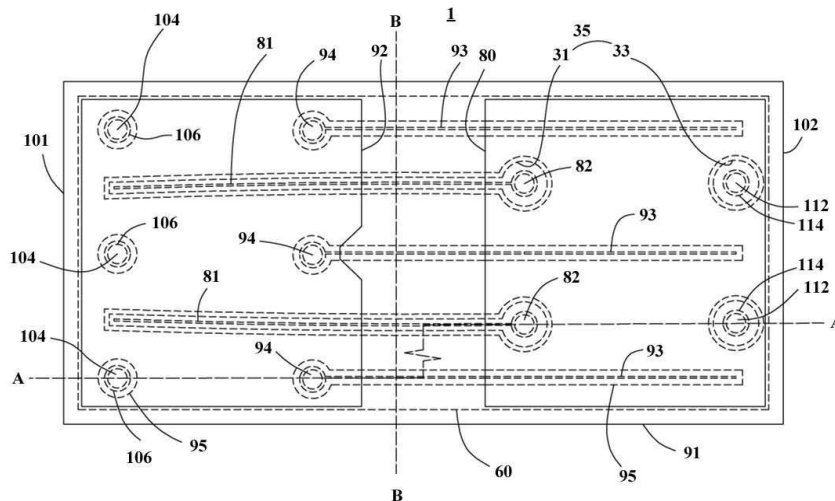
심사관 : 김동우

(54) 발명의 명칭 **반도체 발광소자**

**(57) 요약**

본 개시는, 성장 기판을 이용해 순차로 성장되는, 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층; 제2 반도체층과 활성층을 부분적으로 제거하여 제1 반도체층이 노출되는 접촉영역; 활성층으로부터의 빛을 성장 기관 측인 제1 반도체층 측으로 반사하도록, 제2 반도체층 및 접촉영역을 덮도록 형성되는 비도전성 반사막; 비도전성 반사막과 제2 반도체층 사이에서 연장되는 제1 가지 전극; 비도전성 반사막을 관통하여 제1 가지 전극과 전기적으로 연결되는 제1 전기적 연결; 및 비도전성 반사막을 관통하여 제2 반도체층과 전기적으로 연결되는 제1 직접연결형 전기적 연결;을 포함하는 것을 특징으로 하는 반도체 발광소자에 관한 것이다.

**대표도 - 도4**



**특허청구의 범위**

**청구항 1**

성장 기관을 이용해 순차로 성장되는, 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층;

제2 반도체층과 활성층을 부분적으로 제거하여 제1 반도체층이 노출되는 접촉영역;

활성층으로부터의 빛을 성장 기관 측인 제1 반도체층 측으로 반사하도록, 제2 반도체층 및 접촉영역을 덮도록 형성되는 비도전성 반사막;

비도전성 반사막과 제2 반도체층 사이에서 연장되는 제1 가지 전극;

비도전성 반사막을 관통하여 제1 가지 전극과 전기적으로 연결되는 제1 전기적 연결; 및

비도전성 반사막을 관통하여 제2 반도체층과 전기적으로 연결되는 제1 직접연결형 전기적 연결;을 포함하며,

비도전성 반사막 위에서 제1 전기적 연결 및 제1 직접연결형 전기적 연결을 통해 제2 반도체층에 전자와 정공 중의 하나를 공급하도록 형성되는 제1 전극; 및

비도전성 반사막 위에서 제1 전극과 떨어져 형성되며, 접촉영역을 통해 제1 반도체층에 전자와 정공 중의 나머지 하나를 공급하는 제2 전극;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 2**

삭제

**청구항 3**

청구항 1에 있어서,

제1 직접연결형 전기적 연결은 제1 전기적 연결보다 제2 전극에서 멀리 떨어진 영역의 하부에 위치하는 것을 특징으로 하는 반도체 발광소자.

**청구항 4**

청구항 3에 있어서,

제1 가지 전극은 제1 전기적 연결에서부터 제2 전극 방향으로 연장되는 것을 특징으로 하는 반도체 발광소자.

**청구항 5**

청구항 4에 있어서,

접촉 영역은 제2 전극의 하부에 위치하는 점형 접촉 구역을 포함하며,

비도전성 반사막을 관통하여 제2 전극과 점형 접촉 구역 내부의 제1 반도체층을 전기적으로 연결하는 제2 직접연결형 전기적 연결;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 6**

청구항 4에 있어서,

접촉 영역은, 제2 전극 중 제1 전극에 인접한 영역의 하부로부터 제1 전극 방향으로 연장되는 선형 접촉 구역 및 선형 접촉 구역과 떨어져 제2 전극 중 제1 전극에서 멀리 떨어진 영역의 하부에 위치하는 점형 접촉 구역을 포함하며,

선형 접촉 구역 내부의 제1 반도체층과 비도전성 반사막 사이에서, 제2 전극 하부로부터 제1 전극 방향으로 연장되는 제2 가지 전극;

비도전성 반사막을 관통하여 제2 전극과 제2 가지 전극을 전기적으로 연결하는 제2 전기적 연결; 및  
비도전성 반사막을 관통하여 제2 전극과 점형 접촉 구역 내부의 제1 반도체층을 전기적으로 연결하는 제2 직접 연결형 전기적 연결;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 7**

청구항 4에 있어서,

제1 가지 전극은 제2 전극 하부에서 제1 가지 전극과 경사지게 추가로 연장되는 제1 연장 가지부를 구비하는 것을 특징으로 하는 반도체 발광소자.

**청구항 8**

청구항 6에 있어서,

제1 가지 전극은, 제2 전극 중 제2 전기적 연결과 제2 직접연결형 전기적 연결 사이의 영역 하부에서 제1 가지 전극과 경사지게 추가로 연장되는 제1 연장 가지부를 구비하는 것을 특징으로 하는 반도체 발광소자.

**청구항 9**

청구항 8에 있어서,

제1 가지 전극은 2이상 구비되며, 2이상의 제1 가지 전극에 각각 구비되는 제1 연장 가지부는 제2 전극 하부에서 서로 연결되는 것을 특징으로 하는 반도체 발광소자.

**청구항 10**

청구항 6에 있어서,

선형 접촉 구역은, 제1 전극 중 제1 전기적 연결과 제1 직접연결형 전기적 연결 사이의 영역 하부에서 선형 접촉 구역과 경사지게 추가로 연장되는 추가 연장 접촉 구역을 구비하며,

제2 가지 전극은 추가 연장 접촉 구역을 따라 추가로 연장되는 제2 연장 가지부를 구비하는 것을 특징으로 하는 반도체 발광소자.

**청구항 11**

청구항 10에 있어서,

선형 접촉 구역 및 제2 가지 전극은 각각 2이상 구비되며, 2이상의 제2 가지 전극에 각각 구비되는 제2 연장 가지부는 제1 전극 하부에서 서로 연결되는 것을 특징으로 하는 반도체 발광소자.

**청구항 12**

청구항 4에 있어서,

제1 전극이 제2 전극보다 제1 가지 전극의 연장 방향으로 더 넓은 폭을 가지는 것을 특징으로 하는 반도체 발광소자.

**청구항 13**

청구항 1에 있어서,

제1 가지 전극 및 제1 직접연결형 전기적 연결과 제2 반도체층 사이에 각각 형성되는 광 흡수 방지막;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.

**명세서**

**기술분야**

본 개시(Disclosure)는 전체적으로 반도체 발광소자에 관한 것으로, 특히 광추출 효율을 향상시킨 반도체 발광소자에 관한 것이다.

[0001]

[0002] 여기서, 반도체 발광소자는 전자와 정공의 재결합을 통해 빛을 생성하는 반도체 광소자를 의미하며, 3족 질화물 반도체 발광소자를 예로 들 수 있다. 3족 질화물 반도체는  $Al(x)Ga(y)In(1-x-y)N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )로 된 화합물로 이루어진다. 이외에도 적색 발광에 사용되는 GaAs계 반도체 발광소자 등을 예로 들 수 있다.

**배경 기술**

[0003] 여기서는, 본 개시에 관한 배경기술이 제공되며, 이들이 반드시 공지기술을 의미하는 것은 아니다(This section provides background information related to the present disclosure which is not necessarily prior art).

[0004] 도 1은 미국 등록특허공보 제7,262,436호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 반도체 발광소자는 기판(100), 기판(100) 위에 성장되는 n형 반도체층(300), n형 반도체층(300) 위에 성장되는 활성층(400), 활성층(400) 위에 성장되는 p형 반도체층(500), p형 반도체층(500) 위에 형성되는 반사막으로 기능하는 전극(901,902,903) 그리고 식각되어 노출된 n형 반도체층(300) 위에 형성되는 n측 본딩 패드(800)를 포함한다. n형 반도체층(300)과 p형 반도체층(500)은 그 도전성을 반대로 하여 좋다. 바람직하게는, 기판(100)과 n형 반도체층(300) 사이에 버퍼층(도시 생략)이 구비된다. 이러한 구조의 칩, 즉 기판(100)의 반대 측에 전극(901,902,903) 및 전극(800) 모두가 형성되어 있고, 전극(901,902,903)이 반사막으로 기능하는 형태의 칩을 플립 칩이라 한다. 전극(901,902,903)은 반사율이 높은 전극(901; 예: Ag), 본딩을 위한 전극(903; 예: Au) 그리고 전극(901) 물질과 전극(903) 물질 사이의 확산을 방지하는 전극(902; 예: Ni)으로 이루어진다. 이러한 금속 반사막 구조는 반사율이 높고, 전류 확산에 이점을 가지지만, 금속에 의한 빛 흡수라는 단점을 가진다.

[0005] 도 2는 일본 공개특허공보 제2006-120913호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 반도체 발광소자는 기판(100), 기판(100) 위에 성장되는 버퍼층(200), 버퍼층(200) 위에 성장되는 n형 반도체층(300), n형 반도체층(300) 위에 성장되는 활성층(400), 활성층(400) 위에 성장되는 p형 반도체층(500), p형 반도체층(500) 위에 형성되며, 전류 확산 기능을 하는 투광성 전도막(600), 투광성 전도막(600) 위에 형성되는 p측 본딩 패드(700) 그리고 식각되어 노출된 n형 반도체층(300) 위에 형성되는 n측 본딩 패드(800)를 포함한다. 그리고 투광성 전도막(600) 위에는 분포 브래그 리플렉터(900; DBR: Distributed Bragg Reflector)와 금속 반사막(904)이 구비되어 있다. 이러한 구성에 의하면, 금속 반사막(904)에 의한 빛 흡수는 감소하지만, 전극(901,902,903)을 이용하는 것보다 상대적으로 전류 확산이 원활하지 못한 단점이 있다.

[0006] 도 3은 일본 공개특허공보 제2009-164423호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 복수의 반도체층(300,400,500)에 분포 브래그 리플렉터(900)와 금속 반사막(904)이 구비되어 있으며, 그 대향하는 측에 형광체(1000)가 구비되어 있고, 금속 반사막(904)과 n측 본딩 패드(800)가 외부 전극(1100,1200)과 전기적으로 연결되어 있다. 외부 전극(1100,1200)은 패키지의 리드 프레임이거나 COB(Chip on Board) 또는 PCB(Printed Circuit Board)에 구비된 전기 패딩될 수 있다. 형광체(1000)는 컨포멀(conformal)하게 코팅될 수 있으며, 에폭시 수지에 혼합되어 외부 전극(1100,1200)을 덮는 형태여도 좋다. 형광체(1000)는 활성층(400)에서 발생한 빛을 흡수하여, 이보다 긴 파장 또는 짧은 파장의 빛으로 변환한다.

**발명의 내용**

**해결하려는 과제**

[0007] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

**과제의 해결 수단**

[0008] 여기서는, 본 개시의 전체적인 요약(Summary)이 제공되며, 이것이 본 개시의 외연을 제한하는 것으로 이해되어서는 아니된다(This section provides a general summary of the disclosure and is not a comprehensive disclosure of its full scope or all of its features).

[0009] 본 개시에 따른 일 태양에 의하면(According to one aspect of the present disclosure), 성장 기판을 이용해 순차로 성장되는, 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층; 제2 반도체층과 활성층을 부분적으로 제거하여 제1 반도체층이 노출되는 접촉영역; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록, 제2 반도체층 및 접촉영역을 덮도록 형성되는 비도전성 반사막; 비도전성 반사막과 제2 반도체층 사이에서 연장되는 제1 가지 전극; 비도전성 반사막을 관통하여 제1 가지 전극과 전기적으로 연결되는 제1 전기적 연결; 및 비도전성 반사막을 관통하여 제2 반도체층과 전

기적으로 연결되는 제1 직접연결형 전기적 연결;을 포함하는 것을 특징으로 하는 반도체 발광소자가 제공된다.

**발명의 효과**

[0010] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

**도면의 간단한 설명**

[0011] 도 1은 미국 등록특허공보 제7,262,436호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,  
 도 2는 일본 공개특허공보 제2006-120913호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,  
 도 3은 일본 공개특허공보 제2009-164423호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,  
 도 4는 본 개시에 따른 반도체 발광소자의 일 예를 나타내는 도면,  
 도 5는 도 4의 A-A 라인을 따라 취한 단면도,  
 도 6은 도 4의 B-B 라인을 따라 취한 단면도,  
 도 7은 도 4의 반도체 발광소자에서 p측 전극 및 n측 전극과 비도전성 반사막을 제거한 상태를 나타내는 도면,  
 도 8은 본 개시에 따른 반도체 발광소자의 다른 일 예를 나타내는 도면,  
 도 9는 본 개시에 따른 반도체 발광소자의 또 다른 일 예를 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0012] 이하, 본 개시를 첨부된 도면을 참고로 하여 자세하게 설명한다(The present disclosure will now be described in detail with reference to the accompanying drawing(s)).

[0013] 도 4는 본 개시에 따른 반도체 발광소자의 일 예를 나타내는 도면이고, 도 5는 도 4의 A-A 라인을 따라 취한 단면도이며, 도 6은 도 4의 B-B 라인을 따라 취한 단면도이며, 도 7은 도 4의 반도체 발광소자에서 p측 전극 및 n측 전극과 비도전성 반사막을 제거한 상태를 나타내는 도면이다.

[0014] 반도체 발광소자(1)는 대략 직사각형 형태의 평면 형상을 가질 수 있으며, 이하의 설명에서, 설명의 편의를 위해 도 4에 나타난 반도체 발광소자(1)의 좌측에 위치하는 단변을 제1 변(101), 우측에 위치하며 제1 변(101)과 대향하는 단변을 제2 변(102)으로 정의한다.

[0015] 반도체 발광소자(1)는 기판(10), 기판(10)에 성장되는 버퍼층(20), 버퍼층(20)위에 성장되는 n형 반도체층(30), n형 반도체층(30) 위에 성장되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(40), 활성층(40) 위에 성장되는 p형 반도체층(50)을 구비한다.

[0016] 반도체 발광소자(1)는 또한, p형 반도체층(50)과 활성층(40)을 부분적으로 제거하여 n형 반도체층(30)이 노출되는 접촉영역(35), 활성층(40)으로부터의 빛을 성장 기판(10) 측인 n형 반도체층(30) 측으로 반사시키기 위해 p형 반도체층(50) 및 접촉영역(35)을 덮도록 형성되는 비도전성 반사막(91), 비도전성 반사막(91) 위의 제1 변(101) 측에 형성되어 p형 반도체층(50)에 전자와 정공 중의 하나를 공급하는 p측 전극(92), 및 비도전성 반사막(91) 위의 제2 변(102) 측에 p측 전극(92)과 떨어져 형성되어 접촉영역(35)를 통해 n형 반도체층(30)에 전자와 정공 중의 나머지 하나를 공급하는 n측 전극(80)을 구비한다.

[0017] 기판(10)으로 주로 사파이어, SiC, Si, GaN 등이 이용되며, 기판(10)은 최종적으로 제거될 수 있고, 버퍼층(20)은 생략될 수 있다. 기판(10)이 제거되거나 도전성을 가지는 경우에 n측 전극(80)은 기판(10)이 제거된 n형 반도체층(30) 측 또는 도전성 기판(10) 측에 형성될 수 있다. n형 반도체층(30)과 p형 반도체층(50)은 그 위치가 바뀔 수 있으며, 3족 질화물 반도체 발광소자에 있어서 주로 GaN으로 이루어진다. 각각의 반도체층(20,30,40,50)이 다층으로 구성될 수 있으며, 추가의 층이 구비될 수도 있다.

[0018] p형 반도체층(50)과 비도전성 반사막(91) 사이에 3개의 p측 가지 전극(93)이 구비된다. p측 가지 전극(93)은 p측 전극(92) 아래에서 n측 전극(80)에 인접한 영역의 하부에서부터 n측 전극(80) 방향으로 연장되며, n측 전극(80)의 하부까지 연장될 수 있다. 즉, p측 가지 전극(93)은 반도체 발광소자의 제1 변(101) 측에서부터 제2 변(102) 방향으로 길게 뻗어 있다. 이와 같이 길게 뻗어 있는 복수의 p측 가지 전극(93)에 의해 소자가 뒤집혀 탑재부(예: PCB, 서브마운트, 패키지, COB(Chip on Board))에 놓였을 때, 기울어짐 없이 놓이게 할 수 있다. 이러

한 관점에서, p층 가지 전극(93)은 가능한 한 길게 형성하는 것이 바람직하다. p층 가지 전극(93)은 또한 길쭉하게 연장되는 가지부(98)와 넓은 폭을 가지는 연결부(99)로 구분될 수 있다. 연결부(99)는 p층 전극(92) 중 n층 전극(80)에 인접한 영역의 하부에 위치하는 p층 가지 전극(93)의 제1 변(101) 측 단부에 위치하게 된다. p층 가지 전극(93)의 수는 3개로 국한되지 않으며, 하나 이상의 다양한 개수로 구비될 수 있다.

[0019] p층 가지 전극(93)과 p층 전극(92)을 전기적으로 연결하는 p층 전기적 연결(94)이 구비된다. p층 전기적 연결(94)은 p층 전극(92) 중 n층 전극(80)에 인접한 영역의 하부, 즉 p층 가지 전극(93)의 연결부(99) 위치에서 비도전성 반사막(91)을 관통하도록 형성된다.

[0020] 또한, p형 반도체층(50)과 p층 전극(92)을 직접적으로 연결하는 p층 직접연결형 전기적 연결(104)이 구비된다. p층 직접연결형 전기적 연결(104)은 p층 전극(92) 아래에서 p층 전기적 연결(94)보다 n층 전극(80)에서 멀리 떨어진 영역1의 하부, 즉 제1 변(101)에 인접한 영역의 하부에서 비도전성 반사막(91)을 관통하도록 형성된다. 비록, 도 4 및 도 7에, p층 전기적 연결(94)과 p층 직접연결형 전기적 연결(104)이 3개씩 구비된 실시예가 도시되어 있지만, 이들의 수는 변경될 수 있으며, 서로 다를 수도 있다. 한편, p층 전기적 연결(94)의 하부에 놓이는 p층 가지 전극(93)의 연결부(99)와 유사하게, p층 직접연결형 전기적 연결(104)의 하부에도 상대적으로 넓은 폭을 가지는 받침 전극(106)이 구비될 수 있다. 받침 전극(106)은 비도전성 반사막(91)의 형성 이전에 p층 가지 전극(93)과 함께 형성될 수 있다. 받침 전극(106)은 필수적인 것은 아니며, 생략될 수 있다.

[0021] 접촉 영역(35)은 비도전성 반사막(91)이 형성되기 이전에, n형 반도체층(30)이 노출되도록 메사식각 공정을 통해 p형 반도체층(50)과 활성층(40)을 부분적으로 제거하여 형성된다. 접촉 영역(35)은 선형 접촉 구역(31)과 점형 접촉 구역(33)을 포함할 수 있다. 선형 접촉 구역(31)은 n층 전극(80) 중 p층 전극(92)에 인접한 영역의 하부로부터 p층 전극 방향으로 연장되며, p층 전극(92)의 하부까지 연장될 수 있다. 점형 접촉 구역(33)은 선형 접촉 구역(31)과 떨어져, n층 전극(80) 중 p층 전극(92)에서 멀리 떨어진 영역, 즉 제2 변(102)에 인접한 영역의 하부에 위치하게 된다. 2개의 선형 접촉 구역(31) 및 2개의 점형 접촉 구역(33)이 구비되며, 2개의 선형 접촉 구역(31)은 p층 가지 전극들(92) 사이에서 p층 가지 전극들(92)과 나란하게 연장된다. 선형 접촉 구역(31) 및 점형 접촉 구역(33)은 반도체 발광소자의 측면 방향으로 개방될 수도 있지만, 어느 한 측면으로도 개방되지 않고 그 둘레가 활성층(40)과 p형 반도체층(50)으로 둘러싸여 막힐 수도 있다. 비록, 도 4 및 도 7에, 선형 접촉 구역(31) 및 점형 접촉 구역(33)이 2개씩 구비된 실시예가 도시되어 있지만, 이들의 수는 변경될 수 있으며, 서로 다를 수도 있다. 선형 접촉 구역(31) 및 점형 접촉 구역(33)의 배열 형태 또한 변경될 수 있다.

[0022] 각 선형 접촉 구역(31) 내부의 n형 반도체층(30)과 비도전성 반사막(91) 사이에 n층 가지 전극(81)이 구비된다. n층 가지 전극(81)은 선형 접촉 구역(31)을 따라 n층 전극(80) 하부로부터 p층 전극(92) 방향으로 연장된다. n층 가지 전극(81)은 n층 전극(80) 중 p층 전극(92)에 인접한 영역의 하부에서부터 p층 전극(92) 방향으로 연장되며, p층 전극(92)의 하부까지 연장될 수 있다. 즉, n층 가지 전극(81)은 반도체 발광소자의 제2 변(102) 측에서부터 제1 변(101) 방향으로 길게 뻗어 있다. n층 가지 전극(80)은 또한 길쭉하게 연장되는 가지부(88)와 넓은 폭을 가지는 연결부(89)로 구분될 수 있다. 연결부(89)는 n층 전극(80) 중 p층 전극(92)에 인접한 영역의 하부에 위치하는 n층 가지 전극(81)의 제2 변(102) 측 단부에 위치하게 된다. 이에 대응하여, 선형 접촉 구역(31)은 n층 가지 전극(81)의 가지부(88)가 위치하는 부분에서 좁은 폭으로 형성되고, n층 가지 전극(81)의 연결부(89)가 위치하는 부분에서 넓은 폭으로 형성될 수 있다.

[0023] n층 가지 전극(81)과 n층 전극(80)을 전기적으로 연결하는 n층 전기적 연결(82)이 구비된다. n층 전기적 연결(82)은 n층 전극(80) 중 p층 전극(92)에 인접한 영역의 하부, 즉 n층 가지 전극(81)의 연결부(89) 위치에서 비도전성 반사막(91)을 관통하도록 형성된다.

[0024] 또한, 점형 접촉 구역(33) 내부의 n형 반도체층(30)과 n층 전극(80)을 직접적으로 연결하는 n층 직접연결형 전기적 연결(112)이 구비된다. n층 직접연결형 전기적 연결(112)은 n층 전극(80) 중 n층 전기적 연결(82)보다 p층 전극(92)에서 멀리 떨어진 영역의 하부, 즉 제2 변(101)에 인접한 영역의 하부에서 비도전성 반사막(91)을 관통하도록 형성된다. 도 4 및 도 7에 나타낸 것과 같은 실시예에서, n층 전기적 연결(82)과 n층 직접연결형 전기적 연결(112)은 선형 접촉 구역(31) 및 점형 접촉 구역(33)의 수에 대응하여 2개씩 구비되지만, 선형 접촉 구역(31) 및 점형 접촉 구역(33)과 마찬가지로, 이들의 수는 변경될 수 있으며, 서로 다를 수도 있다. 한편, n층 전기적 연결(82)의 하부에 놓이는 n층 가지 전극(81)의 연결부(89)와 유사하게, n층 직접연결형 전기적 연결(112)의 하부에도 상대적으로 넓은 폭을 가지는 받침 전극(114)이 구비될 수 있다. 받침 전극(114)은 비도전성 반사막(91)의 형성 이전에 n층 가지 전극(81)과 함께 형성될 수 있다. 받침 전극(114)은 필수적인 것은 아니며, 생략될 수 있다.

- [0025] 이상에서 설명한 바와 같이, 본 개시에 따른 반도체 발광소자에서, 비도전성 반사막(91) 아래에 위치하는 p형 반도체층(50)에 전류를 공급하기 위해, p측 전극(92) 아래의 영역은 주로 p측 직접연결형 전기적 연결(104)을 통해 전류를 공급하고, n측 전극(80) 아래의 영역은 n측 전극(80) 아래로 연장되는 p측 가지 전극(93) 및 p측 전극(92)과 p측 가지 전극(93)을 전기적으로 연결하는 p측 전기적 연결(94)을 통해 전류를 공급한다. 즉, p측 직접연결형 전기적 연결(104)을 형성할 수 있는 영역은 p측 직접연결형 전기적 연결(104)을 통해, p측 직접연결형 전기적 연결(104)을 형성할 수 없는 n측 전극(80) 및 n측 전극(80)과 p측 전극(92) 사이의 영역은 p측 가지 전극(93) 및 p측 전기적 연결(94)을 통해 전류를 공급한다. 마찬가지로, 비도전성 반사막(91) 아래에 위치하는 n형 반도체층(30)에 전류를 공급하기 위해, n측 전극(80) 아래의 영역은 주로 n측 직접연결형 전기적 연결(112)을 통해 전류를 공급하고, p측 전극(92) 아래의 영역은 p측 전극(92) 아래로 연장되는 n측 가지 전극(81) 및 n측 전극(80)과 n측 가지 전극(81)을 전기적으로 연결하는 n측 전기적 연결(82)을 통해 전류를 공급한다. 즉, n측 직접연결형 전기적 연결(112)을 형성할 수 있는 영역은 n측 직접연결형 전기적 연결(112)을 통해, n측 직접연결형 전기적 연결(112)을 형성할 수 없는 p측 전극(92) 및 n측 전극(80)과 p측 전극(92) 사이의 영역은 n측 가지 전극(81) 및 n측 전기적 연결(82)을 통해 전류를 공급한다.
- [0026] 이와 같이 비도전성 반사막(91) 아래에 위치하는 n형 반도체층(30) 및 p형 반도체층(50)에 전류를 공급하기 위해, 가지 전극(81,93) 전적으로 의존하지 않고, 전극(80,92) 아래의 영역은 직접연결형 전기적 연결(112,104)을 이용하여 효과적인 전류 공급 및 확산이 가능하다. 즉, n측 가지 전극(81)은 n측 전극(80) 아래의 영역으로 연장되지 않고, p측 가지 전극(93)은 p측 전극(92) 아래의 영역으로 연장되지 않는 것과 같이, 상대적으로 가지 전극(81,93)을 짧게 구성할 수 있다. 이로 인해, 가지 전극에 의한 빛 흡수를 감소시켜, 광추출 효율을 향상시킬 수 있다.
- [0027] 한편, n형 반도체층(30)이 p형 반도체층(50) 보다 전류 확산이 원활한 특성을 가지는 경우, n측 가지 전극(81)과 n측 전기적 연결(82)의 조합이 생략되거나, n측 직접연결형 전기적 연결(112)이 생략될 수도 있다.
- [0028] p측 가지 전극(93)과 n측 가지 전극(81)의 높이는 2 $\mu$ m ~ 3 $\mu$ m가 적당하다. 너무 얇은 두께의 경우 동작전압의 상승을 야기하며, 너무 두꺼운 가지 전극은 공정의 안정성과 재료비 상승을 야기할 수 있기 때문이다.
- [0029] 바람직하게, p측 가지 전극(93)의 형성에 앞서, p측 가지 전극(93) 및 p측 직접연결형 전기적 연결(104)의 아래에 해당하는 p형 반도체층(50) 위에 각각 광 흡수 방지막(95)이 형성될 수 있다. 광 흡수 방지막(95)은 p측 가지 전극(93) 및 p측 직접연결형 전기적 연결(104)보다 조금 넓은 폭으로 형성된다. 광 흡수 방지막(95)은 활성층(40)에서 생성된 빛이 p측 가지 전극(93) 및 p측 직접연결형 전기적 연결(104)에 의해 흡수되는 것을 방지한다. 광 흡수 방지막(95)은 활성층(40)에서 발생한 빛의 일부 또는 전부를 반사하는 기능만을 가져도 좋고, p측 가지 전극(93) 및 p측 직접연결형 전기적 연결(104)로부터의 전류가 p측 가지 전극(93) 및 p측 직접연결형 전기적 연결(104)의 바로 아래로 흐르지 못하도록 하는 기능만을 가져도 좋으며, 양자의 기능을 모두 가져도 좋다. 이들의 기능을 위해, 광 흡수 방지막(95)은 p형 반도체층(50)보다 굴절률이 낮은 투광성 물질로 된 단일층(예: SiO<sub>2</sub>) 또는 다층(예: SiO<sub>2</sub>/TiO<sub>2</sub>/SiO<sub>2</sub>), 또는 분포 브래그 리플렉터, 또는 단일층과 분포 브래그 리플렉터의 결합 등으로 이루어질 수 있다. 또한, 광 흡수 방지막(95)은 비도전성 물질(예: SiO<sub>x</sub>, TiO<sub>x</sub>와 같은 유전물질)로 이루어질 수 있다. 광 흡수 방지막(95)의 두께는 구조에 따라 0.2 $\mu$ m ~ 3.0 $\mu$ m가 적당하다. 광 흡수 방지막(95)의 두께가 너무 얇으면 기능이 약하고, 너무 두꺼우면 광 흡수 방지막(95) 위에 형성되는 투광성 전도막(60)의 증착이 어려워질 수 있다. 광 흡수 방지막(95)이 반드시 투광성 물질로 구성될 필요는 없으며, 또한 반드시 비도전성 물질로 구성될 필요도 없다. 다만 투광성 유전체 물질을 이용함으로써, 보다 그 효과를 높일 수 있게 된다.
- [0030] 바람직하게, 광 흡수 방지막(95)의 형성에 이어 p측 가지 전극(93)을 형성하기 이전에, 투광성 전도막(60)이 p형 반도체층(50) 위에 형성될 수 있다. 투광성 전도막(60)은 메사식각 공정을 통해 형성되는 접촉영역(35)을 제외한 p형 반도체층(50) 위의 거의 대부분을 덮도록 형성된다. 따라서, 투광성 전도막(60)과 p형 반도체층(50) 사이에 광 흡수 방지막(95)이 놓이게 된다. 특히 p형 GaN의 경우에 전류 확산 능력이 떨어지며, p형 반도체층(50)이 GaN으로 이루어지는 경우에, 대부분 투광성 전도막(60)의 도움을 받아야 한다. 예를 들어, ITO, Ni/Au와 같은 물질이 투광성 전도막(60)으로 사용될 수 있다. 투광성 전도막(60)의 형성에 이어 광 흡수 방지막(95)이 위치하는 투광성 전도막(60) 위에 p측 가지 전극(93)이 형성되고, 접촉 영역(35) 내부에 n측 가지 전극(81)이 형성될 것이다.
- [0031] 비도전성 반사막(91)은, n측 가지 전극(81)과 p측 가지 전극(93)이 형성된 후, 선형 접촉 구역(31)과 점형 접촉 구역(33)을 포함하는 접촉영역(35)과 n측 가지 전극(81), 및 p측 가지 전극(93)을 포함한 p형 반도체층(50)을 전체적으로 덮도록 형성된다. 비도전성 반사막(91)은 활성층(40)으로부터의 빛을, 성장에 사용되는 기판(10) 측

또는 기관(10)이 제거된 경우에 n형 반도체층(30) 측으로 반사하는 역할을 수행한다. 비도전성 반사막(91)은 p형 반도체층(50)의 상면과 접촉영역(35)의 상면을 연결하는 p형 반도체층(50)과 활성층(40)의 노출된 측면을 또한 덮는 것이 바람직하다. 그러나, 비도전성 반사막(91)이 반드시 기관(10) 반대 측의 식각으로 노출된 n형 반도체층(30)과 p형 반도체층(50) 위의 모든 영역을 덮어야 하는 것은 아니라는 점을 당업자는 염두에 두어야 한다. 예를 들어, 식각을 통해 노출되는 n형 반도체층(30), 즉 접촉 영역(35)은 비도전성 반사막(91)으로 덮이지 않을 수 있다.

[0032] 비도전성 반사막(91)은 반사막으로 기능하되, 빛의 흡수를 방지하도록 투광성 물질로 구성되는 것이 바람직하며, 예를 들어,  $SiO_x$ ,  $TiO_x$ ,  $Ta_2O_5$ ,  $MgF_2$ 와 같은 투광성 유전체 물질로 구성될 수 있다. 비도전성 반사막(91)은, 예를 들어  $SiO_x$  등과 같은 투광성 유전체 물질로 구성되는 단일 유전체 막, 예를 들어  $SiO_2$ 와  $TiO_2$ 의 조합으로 된 단일의 분포 브래그 리플렉터, 이질적인 복수의 유전체 막 또는 유전체 막과 분포 브래그 리플렉터의 조합 등 다양한 구조로 이루어질 수 있으며, 예를 들어 3 ~ 8 $\mu m$ 의 두께로 형성될 수 있다. 유전체 막은 p형 반도체층(50; 예: GaN)에 비해 낮은 굴절률을 가지므로 임계각 이상의 빛을 기관(10) 측으로 일부 반사시킬 수 있게 되고, 분포 브래그 리플렉터는 보다 많은 양의 빛을 기관(10) 측으로 반사시킬 수 있으며 특정 파장에 대한 설계가 가능하여 발생하는 빛의 파장에 대응하여 효과적으로 반사시킬 수 있다.

[0033] 바람직하게, 도 5 및 도 6에 도시된 것과 같이, 비도전성 반사막(91)은 분포 브래그 리플렉터(91a)와 유전체 막(91b)으로 된 이중 구조를 가진다. 정밀성을 요하는 분포 브래그 리플렉터(91a)의 증착에 앞서, 일정 두께의 유전체 막(91b)을 형성함으로써, 분포 브래그 리플렉터(91a)를 안정적으로 제조할 수 있게 되며, 빛의 반사에도 도움을 줄 수 있다.

[0034] 본 개시에 따라 반도체 발광소자를 형성함에 있어서, n측 접촉영역(31)을 형성하기 위한 메사식각으로 단차가 존재하게 되고, p측 가지 전극(93) 또는 n측 가지 전극(81)과 같은 단차를 수반하는 구성요소가 필요하며, 비도전성 반사막(91)을 형성한 후에도 이하에 상세히 설명되는 것과 같이 비도전성 반사막(91)에 구멍을 뚫는 공정을 필요로 하므로, 유전체 막(91b)을 형성할 때 특히 주의를 할 필요가 있다.

[0035] 유전체 막(91b)의 재질은  $SiO_2$ 가 적당하며, 그 두께는 0.2 $\mu m$  ~ 1.0 $\mu m$ 가 바람직하다. 유전체 막(91b)의 두께가 너무 얇은 경우에는 높이가 2 $\mu m$  ~ 3 $\mu m$ 정도인 n측 가지 전극(81)과 p측 가지 전극(93)을 충분히 잘 덮기에 불충분할 수 있고, 너무 두꺼운 경우에는 후속하는 구멍 형성공정에 부담이 될 수 있다. 유전체 막(91b)의 두께는 그 뒤에 후속하는 분포 브래그 리플렉터(91a)의 두께보다 두꺼울 수도 있다. 또한, 유전체 막(91b)은 소자 신뢰성 확보에 보다 적합한 방법으로 형성할 필요가 있다. 예를 들어,  $SiO_2$ 로 된 유전체 막(91b)은 화학 기상 증착법(CVD; Chemical Vapor Deposition), 그 중에서도 플라즈마 화학 기상 증착법(PECVD; Plasma Enhanced CVD)에 의해 형성하는 것이 바람직하다. 메사식각으로 형성되는 접촉영역(35), p측 가지 전극(93) 및 n측 가지 전극(81)을 형성함에 따라 단차가 존재하게 되고, 단차 영역을 덮는데(step coverage), 화학 기상 증착법이 전자선 증착법(E-Beam Evaporation) 등과 같은 물리 증착법(PVD; Physical Vapor Deposition)에 비해 유리하기 때문이다. 구체적으로, 전자선 증착법(E-Beam Evaporation)으로 유전체 막(91b)을 형성하면, 단차를 갖는 p측 가지 전극(93) 및 n측 가지 전극(81)의 측면이나 메사식각으로 인해 생성되는 경사진 단차면 등에서 유전체 막(91b)이 얇게 형성될 수 있고, 이와 같이 단차면에 유전체 막(91b)이 얇게 형성되면, 특히 p측 가지 전극(93)과 n측 가지 전극(81)이 p측 전극(92)과 n측 전극(80) 아래에 놓이는 경우, 전극들 간에 단락(short)이 발생할 수 있기 때문에, 유전체 막(91b)은 확실한 절연을 위해 화학 기상 증착법으로 형성되는 것이 바람직하다. 따라서, 반도체 발광소자의 신뢰성을 확보하면서도 비도전성 반사막(91)으로서의 기능을 확보할 수 있게 된다.

[0036] 분포 브래그 리플렉터(91a)는 유전체 막(91b) 위에 형성되어 유전체 막(91b)과 함께 비도전성 반사막(91)을 구성한다. 예를 들어,  $TiO_2/SiO_2$ 의 조합으로 이루어지는 반복 적층 구조의 분포 브래그 리플렉터(91a)는, 물리 증착법(PVD; Physical Vapor Deposition), 그 중에서도 전자선 증착법(E-Beam Evaporation) 또는 스퍼터링법(Sputtering) 또는 열 증착법(Thermal Evaporation)에 의해 형성하는 것이 바람직하다.

[0037] 예를 들어, 분포 브래그 리플렉터(91a)가  $TiO_2$ 층/ $SiO_2$ 층의 조합으로 구성되는 경우, 각 층은 주어진 파장의 1/4의 광학 두께를 기본적으로 가지도록 설계되지만, 빛의 입사 각도에 대한 영향과 패키지 안에서 발생할 수 있는 빛의 파장(blue, green, yellow, red 등)을 고려하여 최적설계가 되면 각 층의 광학 두께는 1/4을 정확하게 유지할 필요는 없으며, 그 조합의 수는 4 ~ 20 페어(pairs)가 적합하다. 조합의 수가 너무 적으면 분포 브래그 리플렉터의 반사효율이 떨어지고, 조합의 수가 너무 많으면 두께가 과도하게 두꺼워지기 때문이다. 한편, 각 층은 기본적으로 주어진 파장의 1/4의 광학 두께를 가지도록 설계되지만, 고려 대상의 파장 대역에 따라서 주어진 파



장의 1/4 보다 큰 광학 두께를 가지도록 설계될 수 있다. 이와 더불어, 분포 브래그 리플렉터(91a)는 각기 다른 광학 두께를 가지는  $TiO_2$ 층/ $SiO_2$ 층의 조합들로 설계될 수도 있다. 정리하면, 분포 브래그 리플렉터(91a)는 반복 적층되는 복수의  $TiO_2$ 층/ $SiO_2$ 층의 조합을 포함할 수 있고, 복수의  $TiO_2$ 층/ $SiO_2$ 층의 조합은 각각 서로 다른 광학 두께를 가질 수 있다.

[0038] 이와 같은 비도전성 반사막(91)의 형성으로 인해 p층 가지 전극(93)과 n층 가지 전극(81)은 비도전성 반사막(91)에 의해 완전히 덮이게 된다. p층 가지 전극(93) 및 n층 가지 전극(81)이 p층 전극(92) 및 n층 전극(80)과 전기적으로 연통될 수 있도록 하기 위해, 비도전성 반사막(91)을 관통하는 형태의 구멍이 형성되고, 구멍 내에 전극 물질로 채워진 구조의 전기적 연결(94,82)이 형성된다. 또한, p층 전극(92) 및 n층 전극(80)이 각각 투광성 전도막(60) 및 n형 반도체층(30)과 직접적으로 연통될 수 있도록 하기 위해, 비도전성 반사막(91)을 관통하는 형태의 구멍이 형성되고, 구멍 내에 전극 물질로 채워진 구조의 직접연결형 전기적 연결(104,112)이 형성된다. 이러한 구멍은 건식 식각 또는 혹은 습식 식각, 또는 이 둘을 병행하는 방법으로 형성되는 것이 바람직하다. p층 가지 전극(93) 및 n층 가지 전극(81) 각각의 가지부(98,88)는 좁은 폭으로 형성되기 때문에, 전기적 연결(94,82)은 p층 가지 전극(93) 및 n층 가지 전극(81) 각각의 연결부(99,89) 위에 위치하는 것이 바람직하다.

[0039] p층 전극(92)과 n층 전극(80)은 전기적 연결(94, 82)의 형성에 이어 비도전성 반사막(91) 위에 형성된다. p층 전극(92)과 n층 전극(80)은, 활성층(40)으로부터의 빛을 기관(10) 측으로 반사하는데 일조한다는 관점에서, 비도전성 반사막(91) 위의 전부 또는 거의 대부분을 덮도록 넓은 면적에 걸쳐 형성될 수 있으며, 도전성 반사막의 역할을 수행한다. 다만, p층 전극(92)과 n층 전극(80)은 단락을 방지하기 위해 비도전성 반사막(91) 위에서 서로 거리를 두고 떨어져 있는 것이 바람직하며, 따라서 비도전성 반사막(91) 위에 p층 전극(92) 또는 n층 전극(80)으로 덮이지 않는 부분이 존재하게 된다. p층 전극(92)과 n층 전극(80)은 비도전성 반사막(91) 위에서 동일한 면적에 걸쳐 형성될 수도 있고, 서로 다른 면적을 갖도록 형성될 수도 있다. n형 반도체층(30)이 p형 반도체층(50) 보다 전류 확산이 원활한 특성을 가지는 경우, p층 전극(92)이 가지 전극(81,93)의 연장 방향으로 n층 전극(80)보다 더 넓은 폭을 가지도록 형성될 수 있다. 한편, 접촉 영역(35)이 비도전성 반사막(91)으로 덮이지 않는 경우, 예외적으로 n층 전극(80)은 넓은 면적에 걸쳐 형성되지 않고 내에 접촉 영역(35) 내에 형성될 수도 있다.

[0040] p층 전극(92)과 n층 전극(80)의 재질은 반사율이 좋은 Al, Ag 등이 적합하지만, 안정적 전기적 접촉에는 Cr, Ti, Ni, Au 또는 이들의 합금 등의 물질들과 조합으로 Al, Ag 등과 같은 고반사 금속이 사용되는 것이 바람직하다.

[0041] 이와 같은 p층 전극(92)과 n층 전극(80)은 p층 가지 전극(93) 및 n층 가지 전극(81)에 전류를 공급하는 역할, 반도체 발광소자를 외부 기기와 연결하는 기능, 및 넓은 면적에 걸쳐 형성되어 활성층(40)으로부터의 빛을 반사하는 기능 및/또는 방열 기능을 수행한다. 이와 같이 p층 전극(92)과 n층 전극(80)이 모두 비도전성 반사막(91) 위에 형성됨에 따라, p층 전극(92) 측과 n층 전극(80) 측의 높이 차가 최소화되며, 따라서 본 개시에 따른 반도체 발광소자를 탑재부(예: PCB, 서브마운트, 패키지, COB)에 결합할 때 이점을 가지게 된다. 이러한 이점은 유테틱 본딩(eutectic bonding) 방식의 결합을 이용하는 경우에 특히 커진다. 한편, p층 전극(92)과 n층 전극(80)은 반도체 발광소자에 포함되지 않고, 반도체 발광소자가 설치될 탑재부 위에 형성될 수도 있을 것이다.

[0042] 이와 같이 p층 전극(92)과 n층 전극(80)이 비도전성 반사막(91) 위에 넓게 형성됨에 따라, 비도전성 반사막(91)의 아래에 놓이게 되는 p층 가지 전극(93)과 n층 가지 전극(81) 중, p층 가지 전극(93)은 비도전성 반사막(91)의 위에 놓이는 n층 전극(80) 아래를 통과하여 길게 뻗게 되고, n층 가지 전극(81)은 비도전성 반사막(91)의 위에 놓이는 p층 전극(92) 아래를 통과하여 길게 뻗게 된다. p층 전극(92) 및 n층 전극(80)과 p층 가지 전극(93) 및 n층 가지 전극(81) 사이에 비도전성 반사막(91)이 존재함에 따라, 전극(92,80)과 가지 전극(93,81) 간의 단락이 방지된다. 또한 이상과 같은 p층 가지 전극(93)과 n층 가지 전극(81)을 도입함으로써, 플립 칩을 구성함에 있어서, 제약 없이 요구되는 반도체층 영역에 전류를 공급할 수 있게 된다.

[0043] 일반적으로, p층 전극(92), n층 전극(80), p층 가지 전극(93) 및 n층 가지 전극(81)은 복수의 금속 층으로 구성된다. p층 가지 전극(93)의 경우 최하층은 투광성 전도막(60)과 결합력이 높아야 하며, Cr, Ti와 같은 물질이 주로 사용되며, Ni, Ti, TiW 등도 사용될 수 있으며, 특별히 제한되는 것은 아니다. 당업자는 p층 가지 전극(93)과 n층 가지 전극(81)에도 반사율이 좋은 Al, Ag 등을 사용할 수 있음을 염두에 두어야 한다.

[0044] p층 전극(92)과 n층 전극(80)의 경우 최상층은 와이어 본딩 또는 외부 전극과 연결을 위해, Au이 사용된다. 그

리고, Au의 양을 줄이고, 상대적으로 무른 Au의 특성을 보완하기 위해,

- [0045] p측 전극(92)과 n측 전극(80)의 경우 최상층은 외부 전극과 연결을 위해, Au가 사용될 수 있으나, 본딩 기법에 따라서 다른 금속들도 사용될 수 있다. 예를 들어, Sn, Ni, Ti, Pt, W, TiW, Cu 또는 이들로 이루어진 합금이 사용 가능하며, 이에 한정하는 것은 아니다. 최하층과 최상층 사이에, 요구되는 사양에 따라, Ni, Ti, TiW, W 등이 사용되거나, 높은 반사율이 요구되는 경우에, Al, Ag 등이 사용된다. 본 개시에 있어서, p측 가지 전극(93) 및 n측 가지 전극(81)은 전기적 연결(94,82)과 전기적으로 연결되어야 하므로, 최상층으로 Au를 고려할 수 있을 것이다. 그러나 본 발명자들은 p측 가지 전극(93) 및 n측 가지 전극(81)의 최상층으로서 Au를 사용하는 것이 부적합하다는 것을 알게 되었다. Au 위에 비도전성 반사막(91) 증착시에 양자 간의 결합력이 약해서 쉽게 벗겨지는 문제가 있었다. 이러한 문제점을 해결하기 위해, Au 대신에 Ni, Ti, W, TiW, Cr, Pd, Mo와 같은 물질로 가지 전극의 최상층을 구성하게 되면 그 위에 증착될 비도전성 반사막(91)과의 접착력이 유지되어 신뢰성이 향상될 수 있다. 또한 비도전성 반사막(91)에 전기적 연결(94)을 위한 구멍을 형성하는 공정에서 위 금속이 디퓨전 장벽(diffusion barrier) 역할을 충분히 하여 후속공정 및 전기적 연결(94,82)의 안정성을 확보하는데 도움이 된다.
- [0046] 도 8은 본 개시에 따른 반도체 발광소자의 다른 일 예를 나타내는 도면이다.
- [0047] p측 가지 전극(93)은 n측 전극(80) 하부에서 가지부(98)와 경사지게 추가로 연장되는 연장 가지부(96)를 구비한다. 연장 가지부(96)는 선형 접촉 구역(31)과 점형 접촉 구역(33) 사이의 영역으로 연장되는 것이 바람직하다. 연장 가지부(96)는 도 8에 나타난 것과 같이 가지부(98)의 중간에서 연장될 수도 있지만, 가지부(98)의 제2 변(102) 측 단부에서 연장될 수도 있다. 연장 가지부(96)는 도 8에 나타난 것과 같이 가지부(98)에 대해 직각 방향으로 연장될 수도 있지만, 다른 각도의 방향으로 연장될 수도 있다. 연장 가지부(96)는 또한 도 8에 나타난 것과 같이 가지부(98)에 대해 한쪽으로만 직각 방향으로 연장될 수도 있지만, 양쪽으로 연장될 수도 있다. 나아가, 도 8에 나타난 것과 같이 복수의 p측 가지 전극(93) 중 일부만 연장 가지부(96)를 구비할 수도 있고, 모든 p측 가지 전극(93)이 연장 가지부(96)를 구비할 수도 있다.
- [0048] n측 가지 전극(81) 또한 p측 전극(92) 하부에서 가지부(88)와 경사지게 추가로 연장되는 연장 가지부(87)를 구비한다. 연장 가지부(87)는 p측 전기적 연결(94)과 p측 직접연결형 전기적 연결(104) 사이의 영역으로 연장되는 것이 바람직하다. n측 가지 전극(81)의 연장 가지부(87)를 형성하기 위해, 선형 접촉 구역(31)이 연장 가지부(87)가 놓일 영역을 따라 추가로 연장되는 추가 연장 접촉 구역(32)을 구비해야 할 것이다. 연장 가지부(87)는 도 8에 나타난 것과 같이 가지부(88)의 중간에서 연장될 수도 있지만, 가지부(88)의 제1 변(101) 측 단부에서 연장될 수도 있다. 연장 가지부(87)는 도 8에 나타난 것과 같이 가지부(88)에 대해 직각 방향으로 연장될 수도 있지만, 다른 각도의 방향으로 연장될 수도 있다. 연장 가지부(87)는 또한 도 8에 나타난 것과 같이 가지부(88)에 대해 양쪽으로 연장될 수도 있지만, 한쪽으로만 연장될 수도 있다. 나아가, 도 8에 나타난 것과 같이 복수의 n측 가지 전극(81) 모두 연장 가지부(87)를 구비할 수도 있고, 일부의 n측 가지 전극(81)만이 연장 가지부(87)를 구비할 수도 있다.
- [0049] 한편, p측 직접연결형 전기적 연결(104)은 도 8에 나타난 것과 같이 p측 가지 전극(93)보다 더 많은 수로 구비될 수도 있고, 반대로 더 적은 수로 구비될 수도 있다. 또한, p측 직접연결형 전기적 연결(104)은 반드시 일렬로 배열되어야 하는 것은 아니다.
- [0050] 도 9는 본 개시에 따른 반도체 발광소자의 또 다른 일 예를 나타내는 도면이다.
- [0051] 복수의 p측 가지 전극(93)에 구비되는 연장 가지부(96)가 n측 전극(80) 하부에서 서로 연결될 수 있다. 연장 가지부(96)들이 서로 연결될 수 있다.
- [0052] 마찬가지로, 복수의 n측 가지 전극(81)에 구비되는 연장 가지부(87) 또한 p측 전극(92) 하부에서 서로 연결될 수 있다. 이때, 복수의 선형 접촉 구역(31)에 구비되는 추가 연장 접촉 구역(32) 또한 서로 연결되어야 할 것이다.
- [0053] 한편, 도 9에 나타난 것과 같이, 모든 p측 가지 전극(93)의 길이가 반드시 동일할 필요는 없다. 또한, n측 직접연결형 전기적 연결(112)은 n측 가지 전극(81)보다 더 적은 수로 구비될 수도 있고, 반대로 더 많은 수로 구비될 수도 있다.

- [0054] 이하 본 개시의 다양한 실시 형태에 대하여 설명한다.
- [0055] (1) 비도전성 반사막 위에서 제1 전기적 연결 및 제1 직접연결형 전기적 연결을 덮도록 형성되며, 제2 반도체층에 전자와 정공 중의 하나를 공급하는 제1 전극; 및 비도전성 반사막 위에서 제1 전극과 떨어져 형성되며, 접촉 영역을 통해 제1 반도체층에 전자와 정공 중의 나머지 하나를 공급하는 제2 전극;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.
- [0056] (2) 제1 전기적 연결은 제1 전극 중 제2 전극과 인접한 영역의 하부에 위치하고, 제1 직접연결형 전기적 연결은 제1 전극 중 제1 전기적 연결보다 제2 전극에서 멀리 떨어진 영역의 하부에 위치하는 것을 특징으로 하는 반도체 발광소자.
- [0057] (3) 제1 가지 전극은 제1 전기적 연결에서부터 제2 전극 방향으로 연장되는 것을 특징으로 하는 반도체 발광소자.
- [0058] (4) 접촉 영역은 제2 전극의 하부에 위치하는 점형 접촉 구역을 포함하며, 비도전성 반사막을 관통하여 제2 전극과 점형 접촉 구역 내부의 제1 반도체층을 전기적으로 연결하는 제2 직접연결형 전기적 연결;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.
- [0059] (5) 접촉 영역은, 제2 전극 중 제1 전극에 인접한 영역의 하부로부터 제1 전극 방향으로 연장되는 선형 접촉 구역 및 선형 접촉 구역과 떨어져 제2 전극 중 제1 전극에서 멀리 떨어진 영역의 하부에 위치하는 점형 접촉 구역을 포함하며, 선형 접촉 구역 내부의 제1 반도체층과 비도전성 반사막 사이에서, 제2 전극 하부로부터 제1 전극 방향으로 연장되는 제2 가지 전극; 비도전성 반사막을 관통하여 제2 전극과 제2 가지 전극을 전기적으로 연결하는 제2 전기적 연결; 및 비도전성 반사막을 관통하여 제2 전극과 점형 접촉 구역 내부의 제1 반도체층을 전기적으로 연결하는 제2 직접연결형 전기적 연결;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.
- [0060] (6) 제1 가지 전극은 제2 전극 하부에서 제1 가지 전극과 경사지게 추가로 연장되는 제1 연장 가지부를 구비하는 것을 특징으로 하는 반도체 발광소자.
- [0061] (7) 제1 가지 전극은, 제2 전극 중 제2 전기적 연결과 제2 직접연결형 전기적 연결 사이의 영역 하부에서 제1 가지 전극과 경사지게 추가로 연장되는 제1 연장 가지부를 구비하는 것을 특징으로 하는 반도체 발광소자.
- [0062] (8) 제1 가지 전극은 2이상 구비되며, 2이상의 제1 가지 전극에 각각 구비되는 제1 연장 가지부는 제2 전극 하부에서 서로 연결되는 것을 특징으로 하는 반도체 발광소자.
- [0063] (9) 선형 접촉 구역은, 제1 전극 중 제1 전기적 연결과 제1 직접연결형 전기적 연결 사이의 영역 하부에서 선형 접촉 구역과 경사지게 추가로 연장되는 추가 연장 접촉 구역을 구비하며, 제2 가지 전극은 추가 연장 접촉 구역을 따라 추가로 연장되는 제2 연장 가지부를 구비하는 것을 특징으로 하는 반도체 발광소자.
- [0064] (10) 선형 접촉 구역 및 제2 가지 전극은 각각 2이상 구비되며, 2이상의 제2 가지 전극에 각각 구비되는 제2 연장 가지부는 제1 전극 하부에서 서로 연결되는 것을 특징으로 하는 반도체 발광소자.
- [0065] (11) 제1 전극이 제2 전극보다 제1 가지 전극의 연장 방향으로 더 넓은 폭을 가지는 것을 특징으로 하는 반도체 발광소자.
- [0066] (12) 제1 가지 전극 및 제1 직접연결형 전기적 연결과 제2 반도체층 사이에 각각 형성되는 광 흡수 방지막;을 더 포함하는 것을 특징으로 하는 반도체 발광소자.
- [0067] 본 개시에 따른 하나의 반도체 발광소자에 의하면, 광 추출 효율을 개선할 수 있게 된다.
- [0068] 또한 본 개시에 따른 다른 반도체 발광소자에 의하면, 새로운 형태의 플립 칩을 구현할 수 있게 된다.
- [0069] 또한 본 개시에 따른 또 다른 반도체 발광소자에 의하면, 가지 전극을 도입한 반사막 구조를 구현할 수 있게 된다.
- [0070] 또한 본 개시에 따른 또 다른 반도체 발광소자에 의하면, 가지 전극을 도입한 플립 칩을 구현할 수 있게 된다.

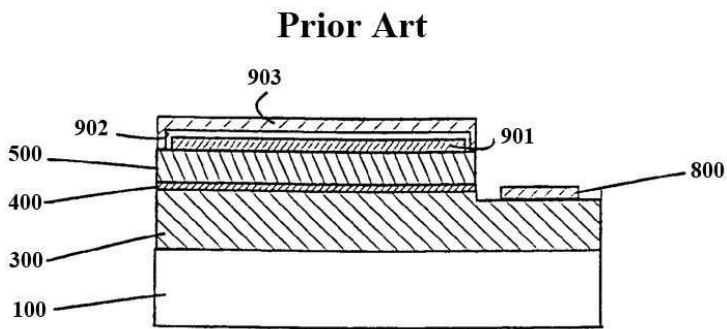
**부호의 설명**

- [0071] 1: 반도체 발광소자 10: 기판

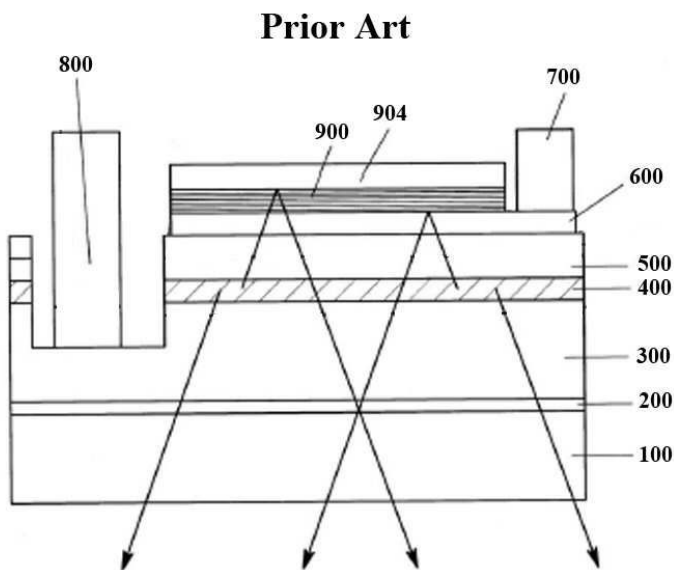
- |                      |                 |
|----------------------|-----------------|
| 20: 버퍼층              | 30: n형 반도체층     |
| 31: 선형 접촉 구역         | 32: 추가 연장 접촉 구역 |
| 33: 점형 접촉 구역         | 35: 접촉영역        |
| 40: 활성층(40)          | 50: p형 반도체층     |
| 80: n측 전극            | 81: n측 가지 전극    |
| 82: n측 전기적 연결        | 91: 비도전성 반사막    |
| 92: p측 전극            | 93: p측 가지 전극    |
| 94: p측 전기적 연결        | 95: 광 흡수 방지막    |
| 104: p측 직접연결형 전기적 연결 |                 |
| 106, 114: 받침 전극      |                 |
| 112: n측 직접연결형 전기적 연결 |                 |

도면

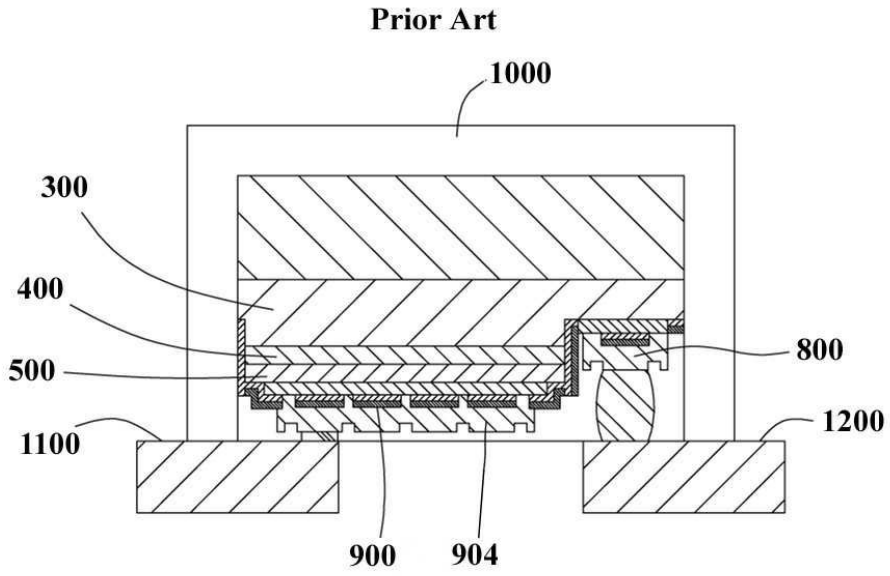
도면1



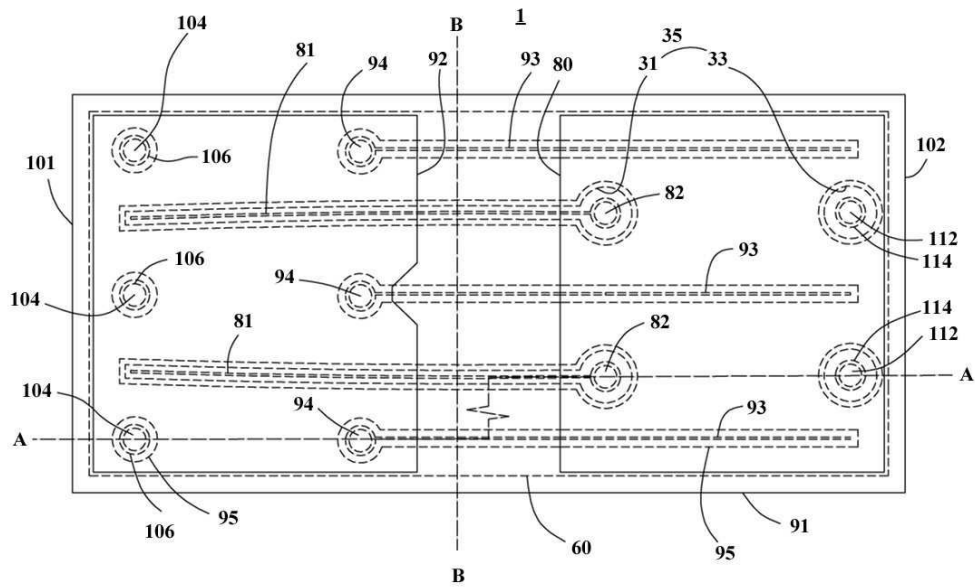
도면2



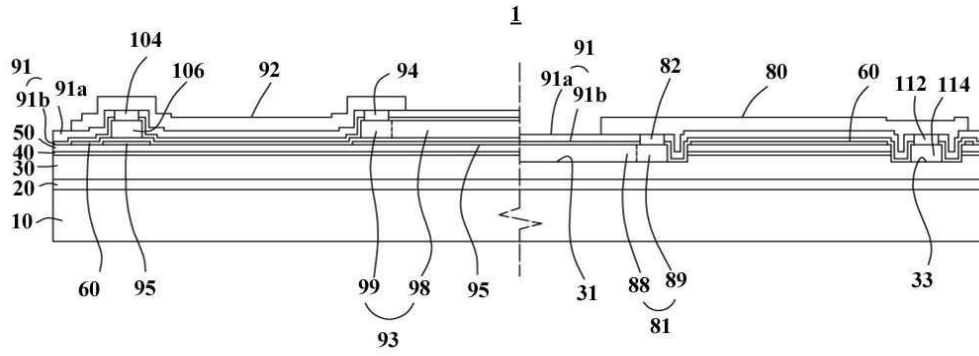
도면3



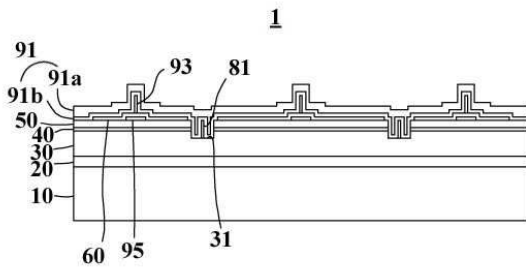
도면4



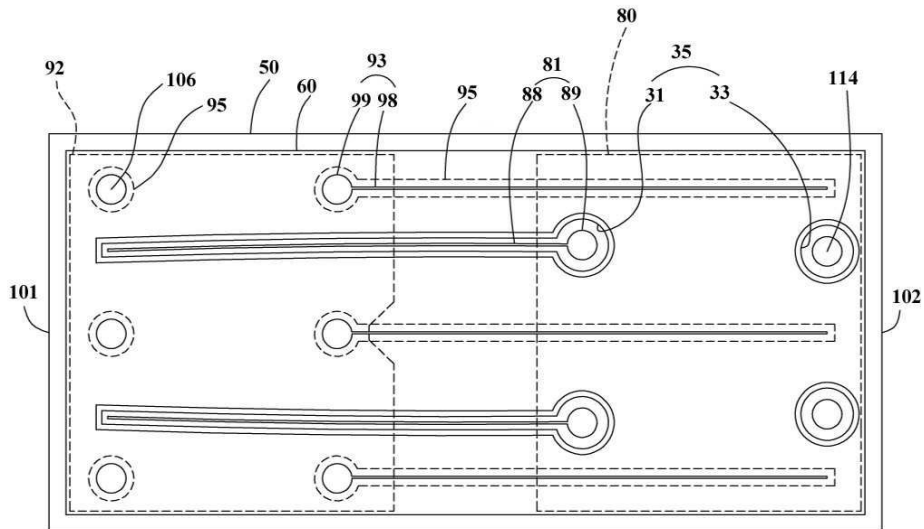
도면5



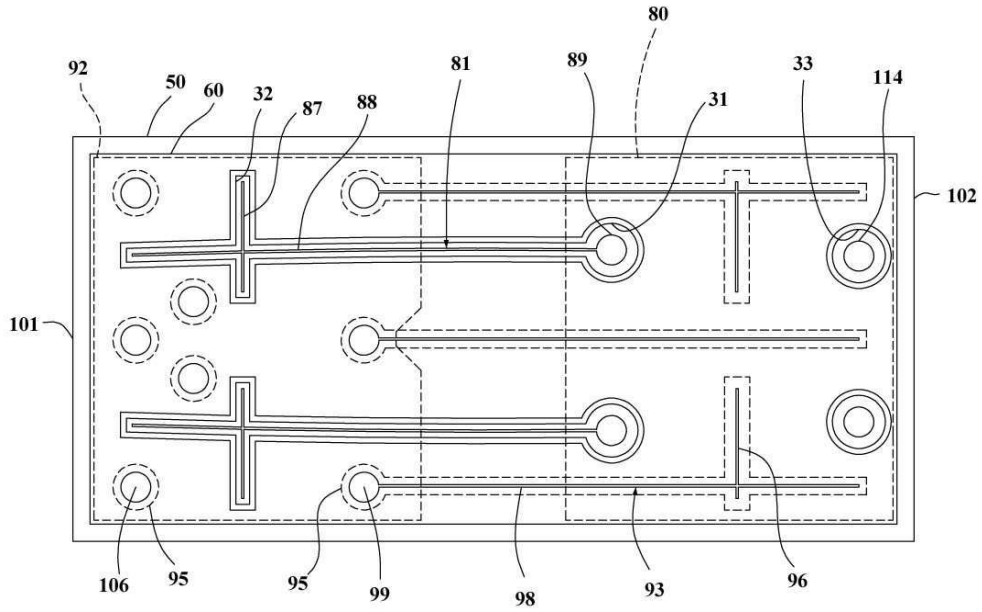
도면6



도면7



도면8



도면9

