



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년08월20일
(11) 등록번호 10-0912965
(24) 등록일자 2009년08월12일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2007-0136437

(22) 출원일자 2007년12월24일

심사청구일자 2007년12월24일

(65) 공개번호 10-2009-0068713

(43) 공개일자 2009년06월29일

(56) 선행기술조사문헌

KR100660881 B1

KR1020070038233 A

KR100615735 B1

전체 청구항 수 : 총 14 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

조상훈

경기 성남시 분당구 정자동 정든마을동아1단지아파트 102동 903호

(74) 대리인

특허법인 신성

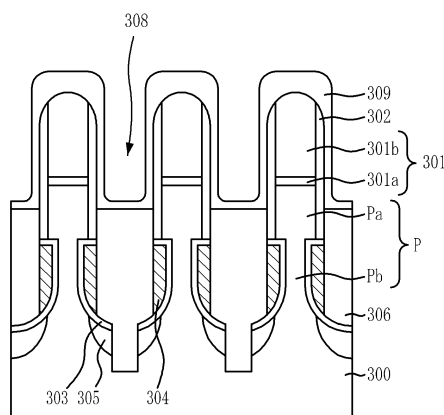
심사관 : 정두한

(54) 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법

(57) 요약

본 발명은 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법에 관한 것으로, 본 발명의 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법은, 반도체 기판상에 자신의 상부에 하드마스크 패턴을 갖는 복수개의 필라를 형성하는 단계; 필라 하부를 둘러싸는 서라운드 게이트 전극을 형성하는 단계; 상기 필라 사이를 매립하는 절연막을 형성하는 단계; 워드라인 형성용 마스크 패턴을 이용하여 필라 상부의 일부가 드러날 때까지 상기 절연막을 1차 식각하여 초기 워드라인용 트렌치를 형성하는 단계; 상기 초기 워드라인용 트렌치를 포함하는 결과물의 전면에 버퍼층을 형성하는 단계; 상기 초기 워드라인용 트렌치 저면의 상기 버퍼층을 제거하는 단계; 및 상기 서라운드 게이트 전극이 드러날 때까지 상기 절연막을 2차 식각하여 최종 워드라인용 트렌치를 형성하는 단계를 포함하고, 상술한 본 발명에 의한 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법은, 워드라인용 트렌치 형성 공정을 2단계로 나누어 진행하고 그 사이에 버퍼층 형성 공정을 개재시킴으로써 필라 상부를 둘러싸는 하드마스크 패턴 및 스페이서의 손실을 최소화하여 필라 상부의 어택을 방지할 수 있다.

대표도 - 도3h



특허청구의 범위

청구항 1

반도체 기판상에 자신의 상부에 하드마스크 패턴을 갖는 복수개의 필라를 형성하는 단계;

필라 하부를 둘러싸는 서라운드 게이트 전극을 형성하는 단계;

상기 필라 사이를 매립하는 절연막을 형성하는 단계;

위드라인 형성용 마스크 패턴을 이용하여 필라 상부의 일부가 드러날 때까지 상기 절연막을 1차 식각하여 초기 위드라인용 트렌치를 형성하는 단계;

상기 초기 위드라인용 트렌치를 포함하는 결과물의 전면에 버퍼층을 형성하는 단계;

상기 초기 위드라인용 트렌치 저면의 상기 버퍼층을 제거하는 단계; 및

상기 서라운드 게이트 전극이 드러날 때까지 상기 절연막을 2차 식각하여 최종 위드라인용 트렌치를 형성하는 단계

를 포함하는 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 필라 형성 단계는,

상기 하드마스크 패턴 및 상기 필라 상부의 측벽에 스페이서를 형성하는 과정을 포함하는

수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 3

제2항에 있어서,

상기 하드마스크 패턴 및 상기 스페이서는, 질화막을 포함하는

수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 4

제1항에 있어서,

상기 서라운드 게이트 전극 형성 단계는,

등방성 식각에 의하여 상기 필라 하부를 소정 폭 리세스하는 단계;

결과물의 전체 구조 상에 게이트 전극용 도전막을 형성하는 단계; 및

상기 반도체 기판이 드러날 때까지 상기 게이트 전극용 도전막을 에치백하는 단계를 포함하는

수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 5

제1항에 있어서,

상기 필라 하부와 상기 서라운드 게이트 전극 사이에는 게이트 절연막이 개재되는

수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 6

제1항에 있어서,

상기 필라 사이를 매립하는 절연막 형성 단계는,

상기 필라 및 상기 서라운드 게이트 전극이 형성된 결과물의 전체 구조 상에 상기 절연막을 형성하는 단계; 및
상기 하드마스크 패턴이 드러날 때까지 상기 절연막을 평탄화하는 단계를 포함하는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 7

제1항에 있어서,
상기 절연막은, 산화막으로 형성되는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 8

제1항에 있어서,
상기 워드라인 형성용 마스크 패턴은, 비정질 탄소막으로 형성되는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 9

제8항에 있어서,
상기 초기 워드라인용 트렌치 형성 단계 후에,
스트립 공정으로 상기 워드라인 형성용 마스크 패턴을 제거하는 단계
를 더 포함하는 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 10

제1항에 있어서,
상기 초기 워드라인용 트렌치 형성 단계는,
상기 필라 상부의 절반이 드러날 때까지 수행되는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 11

제1항에 있어서,
상기 버퍼층은, 절연물질로 이루어지는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 12

제11항에 있어서,
상기 버퍼층은, O_3 -USG막, BPSG막 또는 PETEOS막 중 선택되는 하나의 막으로 이루어지는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 13

제1항 또는 제12항에 있어서,
상기 버퍼층 제거 단계는,
습식 식각으로 수행되는
수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

청구항 14

제1항에 있어서,
 상기 최종 워드라인용 트랜치 형성 단계 후에,
 상기 버퍼층을 제거하는 단계; 및
 상기 최종 워드라인용 트랜치 일부에 도전막을 매립시켜 워드라인을 형성하는 단계
 를 더 포함하는 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 소자의 제조 기술에 관한 것으로, 특히 수직 채널 트랜지스터(vertical channel transistor)를 구비한 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

- <2> 반도체 소자의 집적도가 증가함에 따라 트랜지스터의 채널 길이가 점차 감소하면서 발생하는 단채널 효과(short channel effect)에 의하여 소자의 특성이 저하되는 문제점이 나타나고 있다. 이러한 문제를 해결하기 위하여 접합 영역의 깊이를 감소시키거나 또는 트랜지스터의 채널 영역에 리세스를 형성하여 상대적으로 채널 길이를 증가시키는 방법 등이 다양하게 고려되고 있다.
- <3> 그러나, 반도체 메모리 소자로 예를 들어 디램(DRAM)의 집적 밀도가 최근 기가 비트(giga bit)에 육박함에 따라 더 작은 사이즈의 트랜지스터 제조가 요구되고 있다. 최근 디램 소자의 트랜지스터는 $4F^2$ 정도의 소자 면적을 요구하고 있다. 따라서, 게이트 전극이 반도체 기판상에 형성되고 게이트 전극 양측에 접합 영역이 형성되는 현재의 플레너(planar) 트랜지스터 구조로는 채널 길이를 스케일링(scaling)한다고 하여도 요구되는 소자 면적을 만족시키기 어렵다.
- <4> 이러한 문제를 해결하기 위하여 수직 채널 트랜지스터 구조가 제안되며 이하, 도1을 참조하여 좀더 상세히 설명하기로 한다.
- <5> 도1은 종래 기술에 따른 수직 채널 트랜지스터 구조를 나타내는 사시도 및 그 레이아웃(layout)을 나타내는 도면이다.
- <6> 도1에 도시된 바와 같이, 반도체 기판(100) 상에는 반도체 기판 물질로 이루어지고, 제1 방향($x-x'$) 및 상기 제1 방향과 교차하는 제2 방향($y-y'$)으로 배열되는 복수개의 필라(pillar, P)가 형성된다. 이러한 필라(P)는 하드마스크 패턴(미도시됨)을 이용한 반도체 기판(100)의 식각 공정으로 형성되며, 원통형의 구조를 가질 수 있다.
- <7> 상기 제1 방향으로 배열되는 필라(P)의 열들 사이의 반도체 기판(100) 내에는 필라(P)를 감싸면서 상기 제1 방향으로 연장되는 매립 비트라인(buried bitline, 101)이 형성된다. 이 매립 비트라인(101)은 소자분리용 트랜치(T)에 의해 상호 분리된다.
- <8> 상기 필라(P)의 외주면에는 필라(P)를 둘러싸는 서라운드(surrounding) 게이트 전극(미도시됨)이 형성되고, 이 서라운드 게이트 전극과 전기적으로 연결되면서 상기 제2 방향으로 연장되는 워드라인(102)이 형성된다.
- <9> 필라(P) 상부에는 스토리지 전극(104)이 형성된다. 이때, 필라(P)와 스토리지 전극(104) 사이에는 콘택 플러그(103)가 개재될 수 있다.
- <10> 이러한 반도체 소자의 제조시 채널이 반도체 기판 표면에 대해 수직인 방향으로 형성되기 때문에 면적의 구애없이 채널 길이를 증가시킬 수 있어 단채널 효과를 방지할 수 있다.
- <11> 그러나, 상기의 워드라인(102)을 형성하는 과정에서 공정상의 문제점이 발생하여 소자의 불량을 초래하게 된다. 이에 대하여는 이하의 도2a 내지 도2c를 참조하여 상세히 설명하기로 한다.

- <12> 도2a 내지 도2c는 종래 기술에 따른 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법 및 그 문제점을 설명하기 위한 공정 단면도이다. 특히, 본 도면은 도1을 제2 방향에 따라 절단한 단면도 즉, $y-y'$ 단면도를 기준으로 하여 도시되었으며, 그에 따라 도1과 동일 또는 유사한 부분은 동일한 도면 부호로 표시하기로 한다. 또한, 본 도면은 위드라인(102) 형성 과정의 문제점을 설명하기 위한 것으로 관련되지 않은 부분에 대하여는 그 상세한 설명을 생략하기로 한다.
- <13> 도2a에 도시된 바와 같이, 제1 방향 및 상기 제1 방향과 교차하는 제2 방향으로 배열되는 복수개의 필라(P)를 갖는 반도체 기판(100)과, 이 필라(P) 상에 형성된 제1 하드마스크 패턴(201)과, 필라(P) 상부 및 제1 하드마스크 패턴(201)의 측벽에 형성된 스페이서(202)와, 필라(P) 하부의 외주면을 둘러싸는 서라운드 게이트 전극(203)과, 상기 제1 방향으로 배열되는 필라(P) 사이의 반도체 기판(100) 내에 필라(P)를 감싸면서 상기 제1 방향으로 연장되고 소자분리용 트렌치(T)에 의해 상호 분리되는 매립 비트라인(101)이 형성된 구조물을 제공한다.
- <14> 이어서, 결과물의 전체 구조 상에 산화막(204)을 형성한 후, 제1 하드마스크 패턴(201)이 드러날 때까지 CMP(Chemical Mechanical Polishing)와 같은 평탄화 공정을 수행한다.
- <15> 이어서, 평탄화된 결과물 상에 제2 하드마스크(205)를 형성한 후, 그 상부에 위드라인 형성을 위한 포토레지스트 패턴(207)을 형성한다. 이때, 포토레지스트 패턴(207)의 하부에는 노광 공정시 반사 방지를 위한 반사방지막(206)이 개재될 수 있다.
- <16> 도2b에 도시된 바와 같이, 포토레지스트 패턴(207)을 식각 베리어로 제2 하드마스크(205)를 식각하여 위드라인이 형성될 영역을 노출시키는 제2 하드마스크 패턴(205a)을 형성한다. 그런데, 전술한 포토레지스트 패턴(207) 형성 공정에서의 마스크의 중첩(overlay) 불량으로 인하여 제2 하드마스크 패턴(205a)과 필라(P) 및 제1 하드마스크 패턴(201) 사이에 오정렬(misalign)이 초래될 수 있다(점선 부분 참조). 이러한 현상은 최근 반도체 소자의 집적화 및 미세화 경향에 따라 더욱 증가하고 있는 추세이다.
- <17> 도2c에 도시된 바와 같이, 제2 하드마스크 패턴(205a)을 식각 베리어로 서라운드 게이트 전극(203)의 상부가 노출될 때까지 상기 산화막(204)을 건식 식각하여 위드라인용 트렌치를 형성한다.
- <18> 이어서, 결과물의 전체 구조 상에 위드라인용 도전막을 형성한 후 필라(P)의 최상면으로부터 소정 정도 하향된 지점까지 상기 위드라인용 도전막을 에치백하여 상기 위드라인용 트렌치를 일부 매립하는 위드라인(102)을 형성한다. 이 위드라인은 상기 제2 방향으로 연장되면서 서라운드 게이트 전극(203)과 전기적으로 연결된다.
- <19> 그런데, 이러한 산화막(204)의 건식 식각 과정 및 위드라인용 도전막의 에치백 공정시, 제2 하드마스크 패턴(205a)과 필라(P) 및 제1 하드마스크 패턴(201) 사이의 오정렬로 인하여 제1 하드마스크 패턴(201) 및 스페이서(202)의 손실이 발생할 수 있으며 그에 따라 필라(P) 상부가 어택(attack)을 받아 손실되는 문제점을 초래할 수 있다(도2c의 "A" 참조).
- <20> 따라서, 마스크의 중첩 불량에 기인한 오정렬이 발생하더라도 제1 하드마스크 패턴(201) 및 스페이서(202)의 손실을 최소화하여 필라(P)의 어택을 최소화할 수 있는 기술의 개발이 요구된다.

발명의 내용

해결 하고자하는 과제

- <21> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 위드라인용 트렌치 형성 공정을 2단계로 나누어 진행하고 그 사이에 버퍼층 형성 공정을 개재시킴으로써 필라 상부를 둘러싸는 하드마스크 패턴 및 스페이서의 손실을 최소화하여 필라 상부의 어택을 방지할 수 있는 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법을 제공하고자 한다.

과제 해결수단

- <22> 상기 과제를 해결하기 위한 본 발명의 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법은, 반도체 기판 상에 자신의 상부에 하드마스크 패턴을 갖는 복수개의 필라를 형성하는 단계; 필라 하부를 둘러싸는 서라운드 게이트 전극을 형성하는 단계; 상기 필라 사이를 매립하는 절연막을 형성하는 단계; 위드라인 형성을 마스크 패턴을 이용하여 필라 상부의 일부가 드러날 때까지 상기 절연막을 1차 식각하여 초기 위드라인용 트렌치를 형성하는 단계; 상기 초기 위드라인용 트렌치를 포함하는 결과물의 전면에 버퍼층을 형성하는 단계; 상기 초기 위드라인용 트렌치 저면의 상기 버퍼층을 제거하는 단계; 및 상기 서라운드 게이트 전극이 드러날 때까지 상기 절연

막을 2차 식각하여 최종 워드라인용 트렌치를 형성하는 단계를 포함한다.

효 과

<23> 상술한 본 발명에 의한 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법은, 워드라인용 트렌치 형성 공정을 2단계로 나누어 진행하고 그 사이에 버퍼층 형성 공정을 개재시킴으로써 필라 상부를 둘러싸는 하드마스크 패턴 및 스페이서의 손실을 최소화하여 필라 상부의 어택을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

<24> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<25> 도3a 내지 도3j는 본 발명의 일실시예에 따른 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다. 특히, 본 도면은 전술한 도1을 제2 방향에 따라 절단한 단면도 즉, y-y' 단면도를 기준으로 하여 도시하였다.

<26> 도3a에 도시된 바와 같이, 반도체 기판(300) 상에 제1 방향 및 상기 제1 방향에 교차하는 제2 방향으로 배열되는 복수개의 제1 하드마스크 패턴(301)을 형성한다. 이때, 제1 하드마스크 패턴(301)은 산화막(301a) 및 질화막(301b)의 적층 구조로 이루어지는 것이 바람직하다.

<27> 이어서, 제1 하드마스크 패턴(301)을 식각 베리어로 반도체 기판(300)을 소정 깊이 식각하여 필라 상부(Pa)를 형성한다.

<28> 도3b에 도시된 바와 같이, 제1 하드마스크 패턴(301) 및 필라 상부(Pa)의 측벽에 스페이서(302)를 형성한다. 이때, 스페이서(302)는 질화막으로 이루어지는 것이 바람직하다.

<29> 이어서, 제1 하드마스크 패턴(301) 및 스페이서(302)를 식각 베리어로 드러난 반도체 기판(300)을 소정 깊이 식각하여 필라 상부(Pa)의 아래에 연장되는 필라 하부(Pb)를 형성한다.

<30> 본 도면의 공정 결과, 필라 상부(Pa) 및 필라 하부(Pb)로 이루어지는 활성영역으로서의 필라(P)가 형성된다. 필라(P)는 상기 제1 방향 및 상기 제2 방향으로 복수개 배열되며, 제1 하드마스크 패턴(301)이 평면상으로 사각형 형태를 갖더라도 식각 공정이 수행되면서 실질적으로 원통형의 구조를 가질 수 있다.

<31> 도3c에 도시된 바와 같이, 제1 하드마스크 패턴(301) 및 스페이서(302)를 식각 베리어로 드러난 반도체 기판(300)을 등방성 식각하여 필라 하부(Pb)를 소정 폭(A) 정도로 리세스(recess)시킨다.

<32> 도3d에 도시된 바와 같이, 등방성 식각 수행 후 노출되는 반도체 기판(300)의 표면에 게이트 절연막(303)을 형성한다.

<33> 이어서, 결과물의 전체 구조 상에 게이트 전극용 도전막(예를 들어, 폴리실리콘막)을 형성한 후, 게이트 절연막(303)이 드러날 때까지 게이트 전극용 도전막을 에치백하여 필라 하부(Pb)의 외주면을 둘러싸는 서라운드 게이트 전극(304)을 형성한다.

<34> 도3e에 도시된 바와 같이, 필라(P) 사이의 반도체 기판(300) 내에 불순물을 도핑(doping)하여 매립 비트라인 형성을 위한 불순물 영역을 형성한 후, 제1 방향으로 배열되는 필라(P)의 열들 사이의 반도체 기판(300) 내에 상기 불순물 영역을 관통하는 깊이로 상기 제1 방향으로 연장되는 소자분리 트렌치(T)를 형성함으로써 필라(P)를 감싸면서 상기 제1 방향으로 연장되는 매립 비트라인(305)을 형성한다.

<35> 도3f에 도시된 바와 같이, 결과물의 전체 구조 상에 산화막(306)을 형성한 후, 제1 하드마스크 패턴(301)이 드러날 때까지 CMP 등과 같은 평탄화 공정을 수행한다.

<36> 이어서, 평탄화된 결과물 상에 제2 하드마스크를 형성한 후 워드라인 형성을 포토레지스트 패턴(미도시됨)을 이용하여 제2 하드마스크를 패터닝함으로써 워드라인이 형성될 영역을 노출시키는 제2 하드마스크 패턴(307)을 형성한다. 이때, 제2 하드마스크 패턴(307)은 비정질탄소막(amorphous carbon)으로 이루어지는 것이 바람직하다.

<37> 도3g에 도시된 바와 같이, 제2 하드마스크 패턴(307)을 식각 베리어로 필라 상부(Pa)의 일부(바람직하게는, 필라 상부(Pa)의 절반 정도)가 드러날 때까지 산화막(306)을 1차 건식 식각하여 초기 워드라인용 트렌치(308)를 형성한다. 서라운드 게이트 전극이 드러날 때까지 산화막을 건식 식각하는 종래 기술에 비하여 산화막(306)의

식각 정도가 크게 감소하였기 때문에, 이와 같은 1차 건식 식각시 제1 하드마스크 패턴(301) 및 그 측벽의 스페이서(302) 손실 정도가 작아서 필라 상부(Pa)가 어택을 받지 않는 상태가 된다.

<38> 이어서, 제2 하드마스크 패턴(307)을 제거한다. 제2 하드마스크 패턴(307)이 비정질탄소막으로 이루어지는 경우에는 O_2 플라즈마를 이용하는 스트립(strip) 공정을 통하여 용이하게 제거할 수 있다.

<39> 도3h에 도시된 바와 같이, 초기 워드라인용 트렌치(308)가 형성된 결과물의 전면에 제1 하드마스크 패턴(301) 및 그 측벽의 스페이서(302)를 보호하기 위한 버퍼층(309)을 형성한다. 이때, 버퍼층(309)은 절연막으로 이루어지며, 특히 O₃-USG(Undoped Silicate Glass)막, BPSG(Boro-Phospho Silicate Glass)막 또는 PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate)막을 이용하는 것이 바람직하다. 이와 같은 버퍼층(309)은 초기 워드라인용 트렌치(308)의 저면에서보다 상대적으로 제1 하드마스크 패턴(301)의 상부 및 초기 워드라인용 트렌치(308)의 측벽에서 더 두껍게 형성된다.

<40> 도3i에 도시된 바와 같이, 초기 워드라인용 트렌치(308) 저면에 얇게 형성된 버퍼층(309)을 제거함으로써 산화막(306)을 노출시킨다. 이때, 버퍼층(309)의 제거는 BOE 용액 등을 이용하는 습식 식각으로 수행되는 것이 바람직하다.

<41> 도3j에 도시된 바와 같이, 서라운드 게이트 전극(304)의 상부가 노출될 때까지 산화막(306)을 2차 건식 식각함으로써 최종 워드라인용 트렌치(308')를 형성한다. 이때, 버퍼층(309)에 의하여 하드마스크 패턴(301) 및 스페이서(302)의 상부가 보호되기 때문에 필라 상부(Pa)의 어택을 방지할 수 있다.

<42> 이어서, 버퍼층(309)을 제거한다.

<43> 이어서, 본 명세서에서는 도시되지 않았으나, 최종 워드라인용 트렌치(308')의 일부에 도전막을 매립시켜 상기 제2 방향으로 연장되면서 서라운드 게이트 전극(304)과 전기적으로 연결되는 워드라인(미도시됨)을 형성한다.

<44> 이와 같이 워드라인용 트렌치 형성 공정을 2단계로 나누어 수행하면서, 초기 워드라인용 트렌치(308) 형성 후 버퍼층(309)을 형성하여 하드마스크 패턴(301) 및 스페이서(302)를 보호한 상태에서 최종 워드라인용 트렌치(308')을 형성함으로써, 효과적으로 필라 상부(Pa)의 어택을 방지할 수 있다.

<45> 본 발명의 기술 사상은 상기 바람직한 실시예들에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

<46> 도1은 종래 기술에 따른 수직 채널 트랜지스터 구조를 나타내는 사시도 및 그 레이아웃(layout)을 나타내는 도면.

<47> 도2a 내지 도2c는 종래 기술에 따른 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법 및 그 문제점을 설명하기 위한 공정 단면도.

<48> 도3a 내지 도3j는 본 발명의 일실시예에 따른 수직 채널 트랜지스터를 구비한 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도.

<49> * 도면의 주요 부분에 대한 부호의 설명

<50> 300 : 반도체 기판 301 : 제1 하드마스크 패턴

<51> 302 : 스페이서 303 : 게이트 절연막

<52> 304 : 서라운드팅 게이트 전극 305 : 매립 비트라인

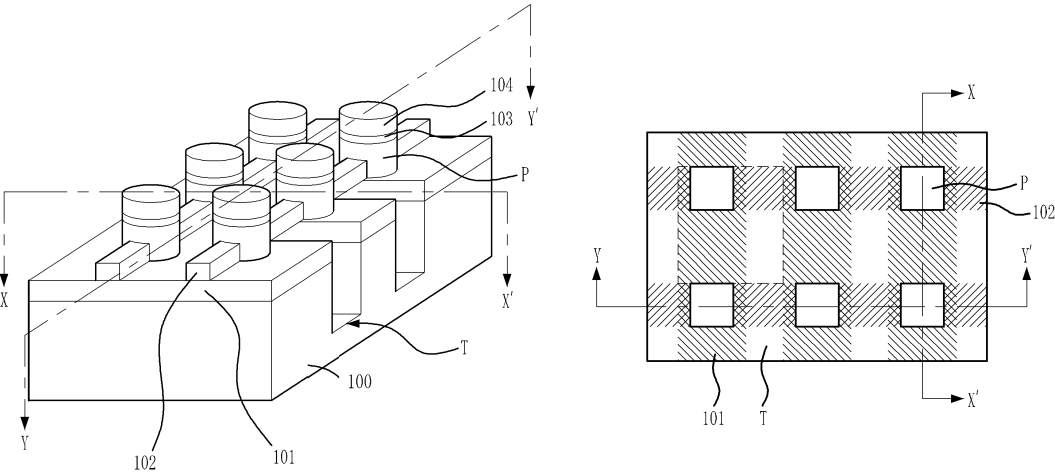
<53> 306 : 산화막 307 : 제2 하드마스크 패턴

<54> 308, 308' : 워드라인용 트렌치 309 : 버퍼층

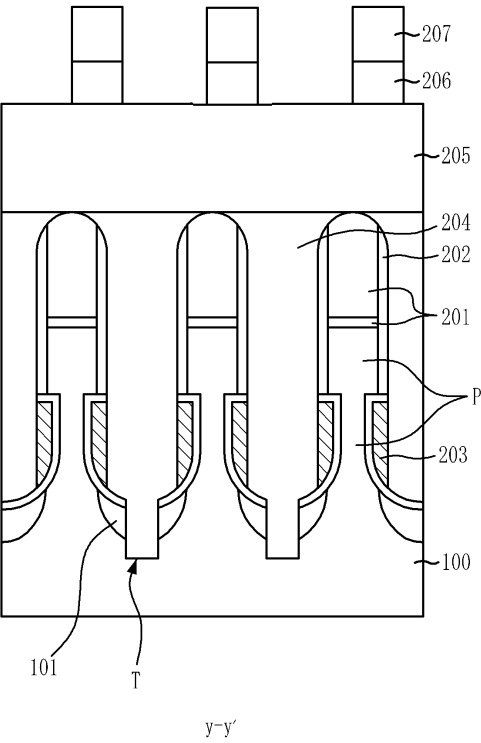
<55> P : 필라 T : 소자 분리용 트렌치

도면

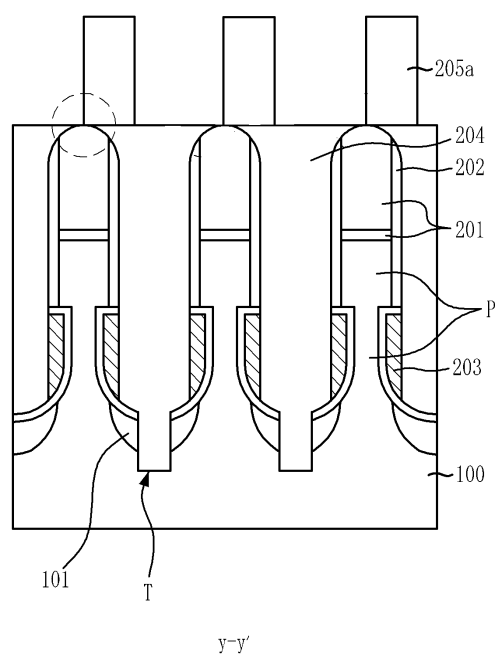
도면1



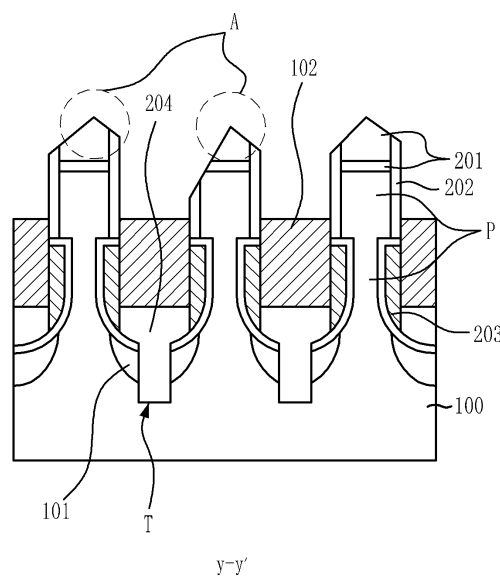
도면2a



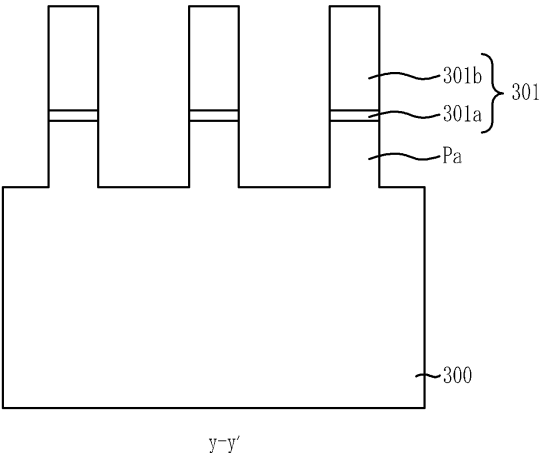
도면2b



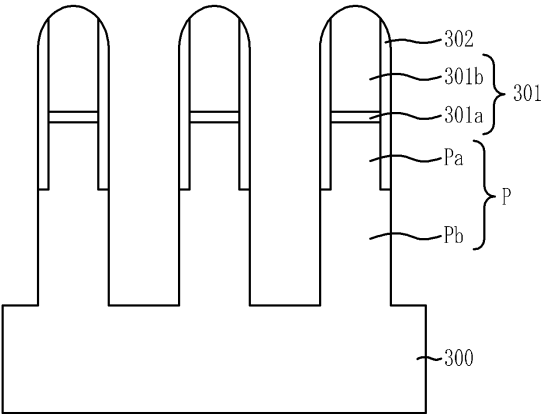
도면2c



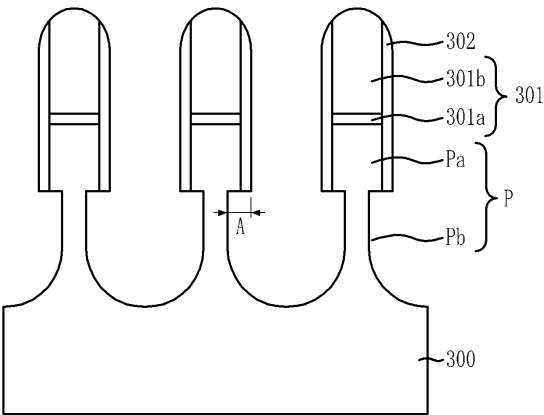
도면3a



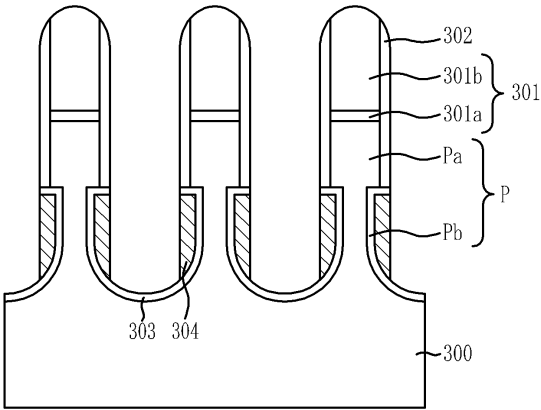
도면3b



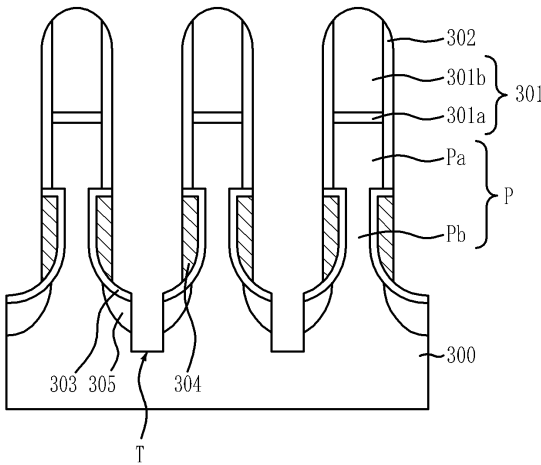
도면3c



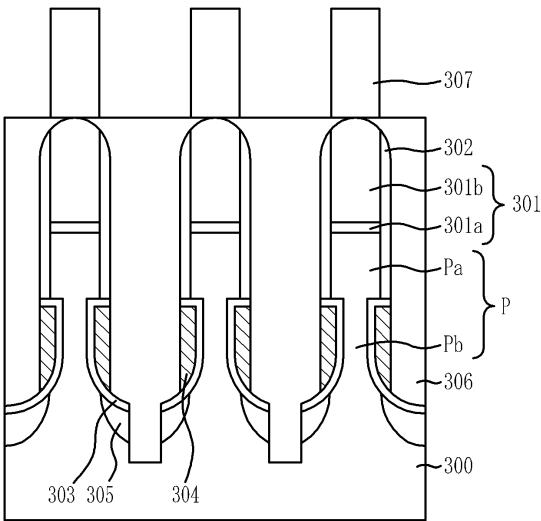
도면3d



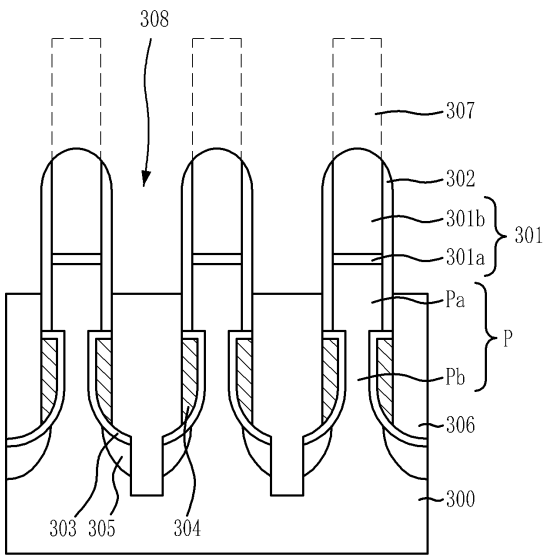
도면3e



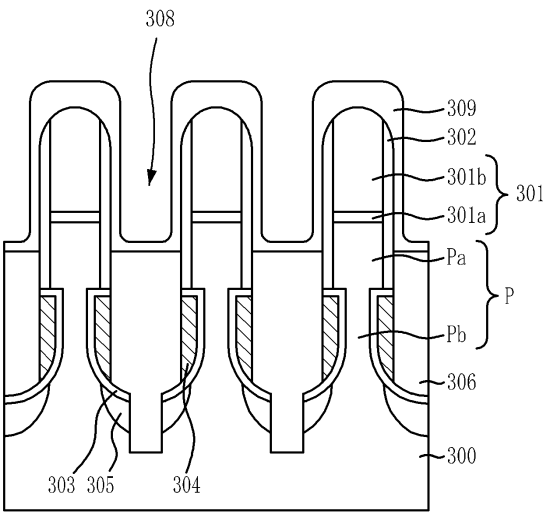
도면3f



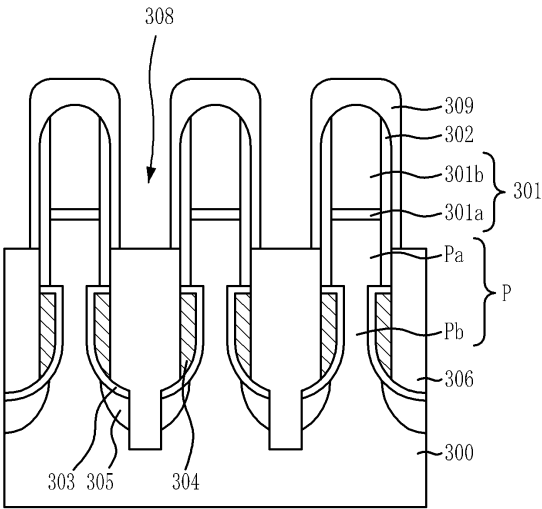
도면3g



도면3h



도면3i



도면3j

