



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0056766
(43) 공개일자 2017년05월24일

(51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01) G06F 12/02 (2006.01)
G06F 12/08 (2016.01)
(52) CPC특허분류
G06F 13/1668 (2013.01)
G06F 12/023 (2013.01)
(21) 출원번호 10-2015-0159586
(22) 출원일자 2015년11월13일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
변유준
경기도 광주시 고불로 453 102동 903호 (삼동, 우
남퍼스트빌아파트)
(74) 대리인
특허법인신성

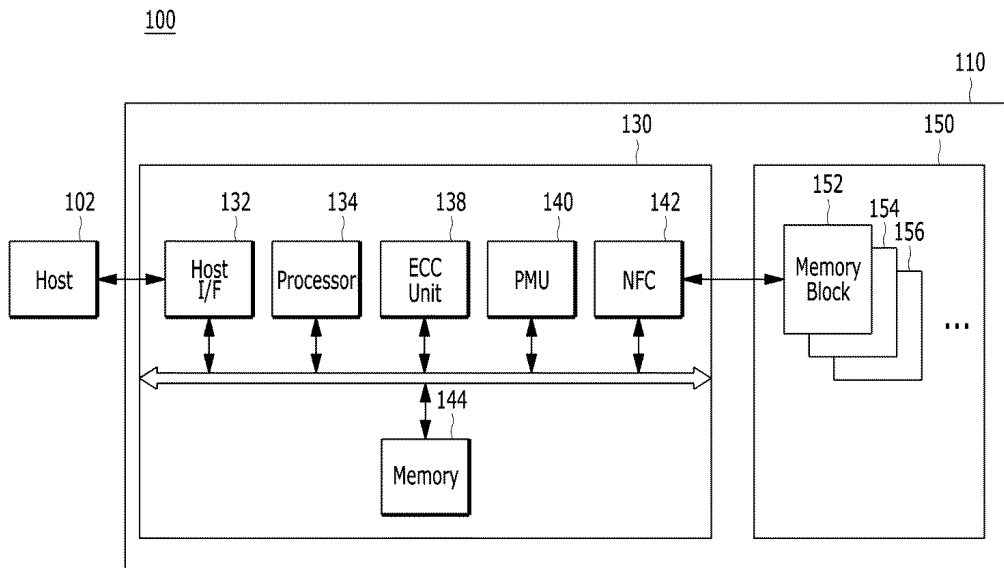
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템 및 메모리 시스템의 동작 방법

(57) 요약

본 기술은, 메모리 장치로 데이터를 처리하는 메모리 시스템 및 메모리 시스템의 동작 방법에 관한 것으로, 복수의 워드라인(word line)들에 연결된 복수의 메모리 셀들을 포함하여 호스트(host)로부터 요청(request)되는 리드(read) 데이터 및 라이트(write) 데이터가 저장된 복수의 페이지들과, 상기 페이지들이 포함된 복수의 메모리 블록들을, 포함하는 메모리 장치; 및 상기 호스트로부터 수신된 라이트 커맨드(write command)에 해당하는 데이터를, 상기 메모리 블록들에서 제1메모리 블록에 프로그램하고, 상기 제1메모리 블록에 프로그램된 데이터에 대한 라이트 커맨드를, 상기 호스트로부터 수신하여, 상기 제1메모리 블록에 프로그램된 데이터를, 상기 메모리 블록들에 업데이트 프로그램하며, 상기 업데이트 프로그램에 상응하여 상기 메모리 블록들에 대한 맵 리스트(map list)를 저장하는 컨트롤러;를 포함할 수 있다.

대표도



(52) CPC특허분류

G06F 12/0253 (2013.01)

G06F 12/0802 (2013.01)

G06F 12/0882 (2013.01)

명세서

청구범위

청구항 1

복수의 워드라인(word line)들에 연결된 복수의 메모리 셀들을 포함하여 호스트(host)로부터 요청(request)되는 리드(read) 데이터 및 라이트(write) 데이터가 저장된 복수의 페이지들과, 상기 페이지들이 포함된 복수의 메모리 블록들을, 포함하는 메모리 장치; 및

상기 호스트로부터 수신된 라이트 커맨드(write command)에 해당하는 데이터를, 상기 메모리 블록들에서 제1메모리 블록에 프로그램하고, 상기 제1메모리 블록에 프로그램된 데이터에 대한 라이트 커맨드를, 상기 호스트로부터 수신하여, 상기 제1메모리 블록에 프로그램된 데이터를, 상기 메모리 블록들에 업데이트 프로그램하며, 상기 업데이트 프로그램에 상응하여 상기 메모리 블록들에 대한 맵 리스트(map list)를 저장하는 컨트롤러;를 포함하는,

메모리 시스템.

청구항 2

제1항에 있어서,

상기 맵 리스트는, 상기 메모리 블록들에 각각 대응하는 행(row)들, 및 상기 메모리 블록들의 상기 행들에서, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 각각 대응하는 비트 영역들을 포함하는,

메모리 시스템.

청구항 3

제2항에 있어서,

상기 컨트롤러는, 상기 제1메모리 블록에 대응하는 상기 맵 리스트의 제1행에서, 상기 제1메모리 블록의 제1부분 메모리 블록에 대응하는 제1비트 영역에, 상기 업데이트 프로그램에 상응하여 상기 제1부분 메모리 블록에 대한, 유효 페이지(valid page) 존재 지시 정보를 저장하는,

메모리 시스템.

청구항 4

제3항에 있어서,

상기 제1메모리 블록은, 상기 제1메모리 블록의 모든 페이지들에 데이터의 프로그램이 수행된 클로즈(close) 메모리 블록들인,

메모리 시스템.

청구항 5

제4항에 있어서,

상기 컨트롤러는, 상기 클로즈 메모리 블록들에 대응하는 상기 맵 리스트의 각 행들에서, 각각의 비트 영역들에 저장된 상기 유효 페이지 존재 지시 정보를 확인하여, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 무효 페이지(invalid page)들만 존재하는 제2부분 메모리 블록들을 확인하는,

메모리 시스템.

청구항 6

제5항에 있어서,

상기 컨트롤러는, 상기 제2부분 메모리 블록들을 수집(collect)하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하는,

메모리 시스템.

청구항 7

제5항에 있어서,

상기 컨트롤러는, 상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 상기 부분 메모리 블록들로 분할하는,

메모리 시스템.

청구항 8

제5항에 있어서,

상기 컨트롤러는, 상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 복수의 페이지 존(page zone)들로 분할한 후, 상기 페이지 존들을 상기 부분 메모리 블록들로 생성하는,

메모리 시스템.

청구항 9

제5항에 있어서,

상기 컨트롤러는, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 유효 페이지들이 존재하는 제3부분 메모리 블록들을 확인한 후, 상기 제3메모리 블록들에 대해 가비지 컬렉션(GC: Garbage Collection)을 수행하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하는,

메모리 시스템.

청구항 10

제1항에 있어서,

상기 컨트롤러는, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 대한 유효 페이지(valid page) 존재 지시 정보를, 비트맵(bitmap), 클린 맵(clean map), 또는 클린 블록 비트맵(clean block bitmap) 형태로, 상기 맵 리스트에 저장하는,

메모리 시스템.

청구항 11

메모리 장치의 복수의 메모리 블록들에 각각 포함되고 복수의 워드라인(word line)들에 연결된 복수의 메모리 셀들을 포함하는 복수의 페이지들에 대해, 호스트(host)로부터 라이트 커맨드(write command)를 수신하는 단계;

상기 호스트로부터 수신된 라이트 커맨드에 해당하는 데이터를, 상기 메모리 블록들에서 제1메모리 블록에 프로그램하는 단계;

상기 제1메모리 블록에 프로그램된 데이터에 대한 라이트 커맨드를, 상기 호스트로부터 수신하는 단계; 및

상기 제1메모리 블록에 프로그램된 데이터를, 상기 메모리 블록들에 업데이트 프로그램하며, 상기 업데이트 프로그램에 상응하여 상기 메모리 블록들에 대한 맵 리스트(map list)를 저장하는 단계;를 포함하는,

메모리 시스템의 동작 방법.

청구항 12

제11항에 있어서,

상기 맵 리스트는, 상기 메모리 블록들에 각각 대응하는 행(row)들, 및 상기 메모리 블록들의 상기 행들에서, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 각각 대응하는 비트 영역들을 포함하는,

메모리 시스템의 동작 방법.

청구항 13

제12항에 있어서,

상기 저장하는 단계는, 상기 제1메모리 블록에 대응하는 상기 맵 리스트의 제1행에서, 상기 제1메모리 블록의 제1부분 메모리 블록에 대응하는 제1비트 영역에, 상기 업데이트 프로그램에 상응하여 상기 제1부분 메모리 블록에 대한, 유효 페이지(valid page) 존재 지시 정보를 저장하는,

메모리 시스템의 동작 방법.

청구항 14

제13항에 있어서,

상기 제1메모리 블록은, 상기 제1메모리 블록의 모든 페이지들에 데이터의 프로그램이 수행된 클로즈(close) 메모리 블록들인,

메모리 시스템의 동작 방법.

청구항 15

제14항에 있어서,

상기 클로즈 메모리 블록들에 대응하는 상기 맵 리스트의 각 행들에서, 각각의 비트 영역들에 저장된 상기 유효 페이지 존재 지시 정보를 확인하여, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 무효 페이지(invalid page)들만 존재하는 제2부분 메모리 블록들을 확인하는 단계;를 더 포함하는,

메모리 시스템의 동작 방법.

청구항 16

제15항에 있어서,

상기 제2부분 메모리 블록들을 수집(collect)하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하는 단계;를 더 포함하는,

메모리 시스템의 동작 방법.

청구항 17

제15항에 있어서,

상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 상기 부분 메모리 블록들로 분할하는 단계;를 더 포함하는,

메모리 시스템의 동작 방법.

청구항 18

제15항에 있어서,

상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 복수의 페이지 존(page zone)들로 분할한 후, 상기 페이지 존들을 상기 부분 메모리 블록들로 생성하는 단계;를 더 포함하는,

메모리 시스템의 동작 방법.

청구항 19

제15항에 있어서,

상기 확인하는 단계는, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 유효 페이지들이 존재하는 제3부분 메모리 블록들을 확인하는 단계;를 더 포함하며;

상기 제3메모리 블록들에 대해 가비지 컬렉션(GC: Garbage Collection)을 수행하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하는 단계;를 더 포함하는,

메모리 시스템의 동작 방법.

청구항 20

제11항에 있어서,

상기 저장하는 단계는, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 대한 유효 페이지(valid page) 존재 지시 정보를, 비트맵(bitmap), 클린 맵(clean map), 또는 클린 블록 비트맵(clean block bitmap) 형태로, 상기 맵 리스트에 저장하는,

메모리 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 시스템에 관한 것으로, 보다 구체적으로는 메모리 장치로 데이터를 처리하는 메모리 시스템 및 메모리 시스템의 동작 방법에 관한 것이다.

배경 기술

[0003] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과

같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 메모리 시스템, 다시 말해 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치의 주 기억 장치 또는 보조 기억 장치로 사용된다.

[0004] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며, 또한 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템의 일 예로 데이터 저장 장치는, USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등을 포함한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예들은, 메모리 시스템의 복잡도 및 성능 저하를 최소화하며, 메모리 장치의 사용 효율을 최대화하여 데이터를 신속하게 안정적으로 처리할 수 있는 메모리 시스템 및 메모리 시스템의 동작 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 실시 예들에 따른 메모리 시스템은, 복수의 워드라인(word line)들에 연결된 복수의 메모리 셀들을 포함하여 호스트(host)로부터 요청(request)되는 리드(read) 데이터 및 라이트(write) 데이터가 저장된 복수의 페이지들과, 상기 페이지들이 포함된 복수의 메모리 블록들을, 포함하는 메모리 장치; 및 상기 호스트로부터 수신된 라이트 커맨드(write command)에 해당하는 데이터를, 상기 메모리 블록들에서 제1메모리 블록에 프로그램하고, 상기 제1메모리 블록에 프로그램된 데이터에 대한 라이트 커맨드를, 상기 호스트로부터 수신하여, 상기 제1메모리 블록에 프로그램된 데이터를, 상기 메모리 블록들에 업데이트 프로그램하며, 상기 업데이트 프로그램에 상응하여 상기 메모리 블록들에 대한 맵 리스트(map list)를 저장하는 컨트롤러;를 포함할 수 있다.

[0008] 여기서, 상기 맵 리스트는, 상기 메모리 블록들에 각각 대응하는 행(row)들, 및 상기 메모리 블록들의 상기 행들에서, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 각각 대응하는 비트 영역들을 포함할 수 있다.

[0009] 그리고, 상기 컨트롤러는, 상기 제1메모리 블록에 대응하는 상기 맵 리스트의 제1행에서, 상기 제1메모리 블록의 제1부분 메모리 블록에 대응하는 제1비트 영역에, 상기 업데이트 프로그램에 상응하여 상기 제1부분 메모리 블록에 대한, 유효 페이지(valid page) 존재 지시 정보를 저장할 수 있다.

[0010] 또한, 상기 제1메모리 블록은, 상기 제1메모리 블록의 모든 페이지들에 데이터의 프로그램이 수행된 클로즈(close) 메모리 블록들일 수 있다.

[0011] 아울러, 상기 컨트롤러는, 상기 클로즈 메모리 블록들에 대응하는 상기 맵 리스트의 각 행들에서, 각각의 비트 영역들에 저장된 상기 유효 페이지 존재 지시 정보를 확인하여, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 무효 페이지(invalid page)들만 존재하는 제2부분 메모리 블록들을 확인할 수 있다.

[0012] 그리고, 상기 컨트롤러는, 상기 제2부분 메모리 블록들을 수집(collect)하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성할 수 있다.

[0013] 또한, 상기 컨트롤러는, 상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 상기 부분 메모리 블록들로 분할할 수 있다.

[0014] 아울러, 상기 컨트롤러는, 상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 복수의 페이지 존(page zone)들로 분할한 후, 상기 페이지 존들을 상기 부분 메모리 블록들로 생성할 수 있다.

[0015] 그리고, 상기 컨트롤러는, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 유효 페이지들이 존재하는 제3부분 메모리 블록들을 확인한 후, 상기 제3메모리 블록들에 대해 가비지 컬렉션(GC: Garbage Collection)을 수행하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성할 수 있다.

[0016] 또한, 상기 컨트롤러는, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 대한 유효 페이지(valid page) 존재 지시 정보를, 비트맵(bitmap), 클린 맵(clean map), 또는 클린 블록 비트맵(clean block bitmap) 형태로,

상기 맵 리스트에 저장할 수 있다.

- [0017] 본 발명의 실시 예들에 따른 메모리 시스템의 동작 방법은, 메모리 장치의 복수의 메모리 블록들에 각각 포함되고 복수의 워드라인(word line)들에 연결된 복수의 메모리 셀들을 포함하는 복수의 페이지들에 대해, 호스트(host)로부터 라이트 커맨드(write command)를 수신하는 단계; 상기 호스트로부터 수신된 라이트 커맨드에 해당하는 데이터를, 상기 메모리 블록들에서 제1메모리 블록에 프로그램하는 단계; 상기 제1메모리 블록에 프로그램된 데이터에 대한 라이트 커맨드를, 상기 호스트로부터 수신하는 단계; 및 상기 제1메모리 블록에 프로그램된 데이터를, 상기 메모리 블록들에 업데이트 프로그램하며, 상기 업데이트 프로그램에 상응하여 상기 메모리 블록들에 대한 맵 리스트(map list)를 저장하는 단계;를 포함할 수 있다.
- [0018] 여기서, 상기 맵 리스트는, 상기 메모리 블록들에 각각 대응하는 행(row)들, 및 상기 메모리 블록들의 상기 행들에서, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 각각 대응하는 비트 영역들을 포함할 수 있다.
- [0019] 그리고, 상기 저장하는 단계는, 상기 제1메모리 블록에 대응하는 상기 맵 리스트의 제1행에서, 상기 제1메모리 블록의 제1부분 메모리 블록에 대응하는 제1비트 영역에, 상기 업데이트 프로그램에 상응하여 상기 제1부분 메모리 블록에 대한, 유효 페이지(valid page) 존재 지시 정보를 저장할 수 있다.
- [0020] 또한, 상기 제1메모리 블록은, 상기 제1메모리 블록의 모든 페이지들에 데이터의 프로그램이 수행된 클로즈(close) 메모리 블록들일 수 있다.
- [0021] 아울러, 상기 클로즈 메모리 블록들에 대응하는 상기 맵 리스트의 각 행들에서, 각각의 비트 영역들에 저장된 상기 유효 페이지 존재 지시 정보를 확인하여, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 무효 페이지(invalid page)들만 존재하는 제2부분 메모리 블록들을 확인하는 단계;를 더 포함할 수 있다.
- [0022] 그리고, 상기 제2부분 메모리 블록들을 수집(collect)하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하는 단계;를 더 포함할 수 있다.
- [0023] 또한, 상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 상기 부분 메모리 블록들로 분할하는 단계;를 더 포함할 수 있다.
- [0024] 아울러, 상기 메모리 블록들에 포함된 상기 페이지들을 각각 그룹핑하여, 각각의 메모리 블록들을 복수의 페이지 존(page zone)들로 분할한 후, 상기 페이지 존들을 상기 부분 메모리 블록들로 생성하는 단계;를 더 포함할 수 있다.
- [0025] 그리고, 상기 확인하는 단계는, 상기 클로즈 메모리 블록들의 부분 메모리 블록들에서, 유효 페이지들이 존재하는 제3부분 메모리 블록들을 확인하는 단계;를 더 포함할 수 있으며; 상기 제3메모리 블록들에 대해 가비지 컬렉션(GC: Garbage Collection)을 수행하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하는 단계;를 더 포함할 수 있다.
- [0026] 또한, 상기 저장하는 단계는, 상기 메모리 블록들의 부분(partial) 메모리 블록들에 대한 유효 페이지(valid page) 존재 지시 정보를, 비트맵(bitmap), 클린 맵(clean map), 또는 클린 블록 비트맵(clean block bitmap) 형태로, 상기 맵 리스트에 저장할 수 있다.

발명의 효과

- [0028] 본 발명의 실시 예들에 따른, 메모리 시스템 및 메모리 시스템의 동작 방법은, 메모리 시스템의 복잡도 및 성능 저하를 최소화하며, 메모리 장치의 사용 효율을 최대화하여 데이터를 신속하게 안정적으로 처리할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면.
- 도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면.
- 도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시

한 도면.

도 4 내지 도 11은 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면.

도 12는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치에 데이터 처리 동작의 일 예를 개략적으로 설명하기 위한 도면.

도 13은 본 발명의 실시 예에 따른 메모리 시스템에서의 데이터를 처리하는 동작 과정을 개략적으로 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 흐트리지 않도록 생략될 것이라는 것을 유의하여야 한다.
- [0032] 이하, 도면들을 참조하여 본 발명의 실시 예들에 대해서 보다 구체적으로 설명하기로 한다.
- [0033] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.
- [0034] 도 1을 참조하면, 데이터 처리 시스템(100)은, 호스트(Host)(102) 및 메모리 시스템(110)을 포함한다.
- [0035] 그리고, 호스트(102)는, 예컨대, 휴대폰, MP3 플레이어, 랩탑 컴퓨터 등과 같은 휴대용 전자 장치들, 또는 데스크탑 컴퓨터, 게임기, TV, 프로젝터 등과 같은 전자 장치들을 포함한다.
- [0036] 또한, 메모리 시스템(110)은, 호스트(102)의 요청에 응답하여 동작하며, 특히 호스트(102)에 의해서 액세스되는 데이터를 저장한다. 다시 말해, 메모리 시스템(110)은, 호스트(102)의 주 기억 장치 또는 보조 기억 장치로 사용될 수 있다. 여기서, 메모리 시스템(110)은 호스트(102)와 연결되는 호스트 인터페이스 프로토콜에 따라, 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다. 예를 들면, 메모리 시스템(110)은, 솔리드 스테이트 드라이브(SSD: Solid State Drive), MMC, eMMC(embedded MMC), RS-MMC(Reduced Size MMC), micro-MMC 형태의 멀티 미디어 카드(MMC: Multi Media Card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(SD: Secure Digital) 카드, USB(Universal Storage Bus) 저장 장치, UFS(Universal Flash Storage) 장치, CF(Compact Flash) 카드, 스마트 미디어(Smart Media) 카드, 메모리 스틱(Memory Stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다.
- [0037] 아울러, 메모리 시스템(110)을 구현하는 저장 장치들은, DRAM(Dynamic Random Access Memory), SRAM(Static RAM) 등과 같은 휘발성 메모리 장치와 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable ROM), EEPROM(Electrically Erasable ROM), FRAM(Ferromagnetic ROM), PRAM(Phase change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), 플래시 메모리 등과 같은 비휘발성 메모리 장치로 구현될 수 있다.
- [0038] 그리고, 메모리 시스템(110)은, 호스트(102)에 의해서 액세스되는 데이터를 저장하는 메모리 장치(150), 및 메모리 장치(150)로의 데이터 저장을 제어하는 컨트롤러(130)를 포함한다.
- [0039] 여기서, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적될 수 있다. 일 예로, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어 SSD를 구성할 수 있다. 메모리 시스템(110)이 SSD로 이용되는 경우, 메모리 시스템(110)에 연결되는 호스트(102)의 동작 속도는 획기적으로 개선될 수 있다.
- [0040] 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(130) 및 메모리 장치(150)는, 하나의 반도체 장치로 집적되어, PC 카드(PCMCIA: Personal Computer Memory Card International Association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억 장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0041] 또 다른 일 예로, 메모리 시스템(110)은, 컴퓨터, UMPC(Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA(Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 태블릿 컴퓨터(tablet computer), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털

털 카메라(digital camera), DMB (Digital Multimedia Broadcasting) 재생기, 3차원 텔레비전(3-dimensional television), 스마트 텔레비전(smart television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 데이터 센터를 구성하는 스토리지, 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID(radio frequency identification) 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등을 구성할 수 있다.

[0042] 한편, 메모리 시스템(110)의 메모리 장치(150)는, 전원이 공급되지 않아도 저장된 데이터를 유지할 수 있으며, 특히 라이트(write) 동작을 통해 호스트(102)로부터 제공된 데이터를 저장하고, 리드(read) 동작을 통해 저장된 데이터를 호스트(102)로 제공한다. 그리고, 메모리 장치(150)는, 복수의 메모리 블록(memory block)들(152, 154, 156)을 포함하며, 각각의 메모리 블록들은, 복수의 페이지들(pages)을 포함하며, 또한 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다. 또한, 메모리 장치(150)는, 비휘발성 메모리 장치, 일 예로 플래시 메모리가 될 수 있으며, 이때 플래시 메모리는 3D 입체 스택(stack) 구조가 될 수 있다. 여기서, 메모리 장치(150)의 구조 및 메모리 장치(150)의 3D 입체 스택 구조에 대해서는, 이하 도 2 내지 도 11을 참조하여 보다 구체적으로 설명할 예정임으로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.

[0043] 그리고, 메모리 시스템(110)의 컨트롤러(130)는, 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어한다. 예컨대, 컨트롤러(130)는, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)는, 메모리 장치(150)의 리드, 라이트, 프로그램(program), 이레이즈(erase) 등의 동작을 제어한다.

[0044] 보다 구체적으로 설명하면, 컨트롤러(130)는, 호스트 인터페이스(Host I/F) 유닛(132), 프로세서(Processor)(134), 에러 정정 코드(ECC: Error Correction Code) 유닛(138), 파워 관리 유닛(PMU: Power Management Unit)(140), 낸드 플래시 컨트롤러(NFC: NAND Flash Controller)(142), 및 메모리(Memory)(144)를 포함한다.

[0045] 또한, 호스트 인터페이스 유닛(134)은, 호스트(102)의 커맨드(command) 및 데이터를 처리하며, USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E(Peripheral Component Interconnect-Express), SAS(Serial-attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(102)와 통신하도록 구성될 수 있다.

[0046] 아울러, ECC 유닛(138)은, 메모리 장치(150)에 저장된 데이터를 리드할 경우, 메모리 장치(150)로부터 리드된 데이터에 포함되는 에러를 검출 및 정정한다. 다시 말해, ECC 유닛(138)은, 메모리 장치(150)로부터 리드한 데이터에 대하여 에러 정정 디코딩을 수행한 후, 에러 정정 디코딩의 성공 여부를 판단하고 판단 결과에 따라 지시 신호를 출력하며, ECC 인코딩 과정에서 생성된 패리티(parity) 비트를 사용하여 리드된 데이터의 에러 비트를 정정할 수 있다. 이때, ECC 유닛(138)은, 에러 비트 개수가 정정 가능한 에러 비트 한계치 이상 발생하면, 에러 비트를 정정할 수 없으며, 에러 비트를 정정하지 못함에 상응하는 에러 정정 실패(fail) 신호를 출력할 수 있다.

[0047] 여기서, ECC 유닛(138)은, LDPC(low density parity check) code, BCH(Bose, Chaudhri, Hocquenghem) code, turbo code, 리드-솔로몬 코드(Reed-Solomon code), convolution code, RSC(recursive systematic code), TCM(trellis-coded modulation), BCM(Block coded modulation) 등의 코디드 모듈레이션(coded modulation)을 사용하여 에러 정정을 수행할 수 있으며 이에 한정되는 것은 아니다. 또한, ECC 유닛(138)은 오류 정정을 위한 회로, 시스템 또는 장치를 모두 포함할 수 있다.

[0048] 그리고, PMU(140)는, 컨트롤러(130)의 파워, 즉 컨트롤러(130)에 포함된 구성 요소들의 파워를 제공 및 관리한다.

[0049] 또한, NFC(142)는, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어하기 위해, 컨트롤러(130)와 메모리 장치(142) 간의 인터페이싱을 수행하는 메모리 인터페이스로서, 메모리 장치(142)가 플

래시 메모리, 특히 일 예로 메모리 장치(142)가 낸드 플래시 메모리일 경우에, 프로세서(134)의 제어에 따라 메모리 장치(142)의 제어 신호를 생성하고 데이터를 처리한다.

[0050] 아울러, 메모리(144)는, 메모리 시스템(110) 및 컨트롤러(130)의 동작 메모리로, 메모리 시스템(110) 및 컨트롤러(130)의 구동을 위한 데이터를 저장한다. 보다 구체적으로 설명하면, 메모리(144)는, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어, 예컨대 컨트롤러(130)가, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)가, 메모리 장치(150)의 리드, 라이트, 프로그램, 이레이즈(erase) 등의 동작을 제어할 경우, 이러한 동작을 메모리 시스템(110), 즉 컨트롤러(130)와 메모리 장치(150) 간에 수행하기 위해 필요한 데이터를 저장한다.

[0051] 여기서, 메모리(144)는, 휘발성 메모리로 구현될 수 있으며, 예컨대 정적 랜덤 액세스 메모리(SRAM: Static Random Access Memory), 또는 동적 랜덤 액세스 메모리(DRAM: Dynamic Random Access Memory) 등으로 구현될 수 있다. 또한, 메모리(144)는, 전술한 바와 같이, 호스트(102)와 메모리 장치(150) 간 데이터 라이트 및 리드 등의 동작을 수행하기 위해 필요한 데이터, 및 데이터 라이트 및 리드 등의 동작 수행 시의 데이터를 저장하며, 이러한 데이터 저장을 위해, 프로그램 메모리, 데이터 메모리, 라이트 버퍼, 리드 버퍼, 맵(map) 버퍼 등을 포함한다.

[0052] 그리고, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하며, 호스트(102)로부터의 라이트 요청 또는 리드 요청에 응답하여, 메모리 장치(150)에 대한 라이트 동작 또는 리드 동작을 제어한다. 여기서, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하기 위해 플래시 변환 계층(FTL: Flash Translation Layer, 이하 'FTL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 구동한다. 또한, 프로세서(134)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현될 수 있다.

[0053] 아울러, 프로세서(134)에는, 메모리 장치(150)의 배드 관리(bad management), 예컨대 배드 블록 관리(bad block management)를 수행하기 위한 관리 유닛(도시하지 않음)이 포함되며, 관리 유닛은, 메모리 장치(150)에 포함된 복수의 메모리 블록들에서 배드 블록(bad block)을 확인한 후, 확인된 배드 블록을 배드 처리하는 배드 블록 관리를 수행한다. 여기서, 배드 관리, 다시 말해 배드 블록 관리는, 메모리 장치(150)가 플래시 메모리, 예컨대 낸드 플래시 메모리일 경우, 낸드의 특성으로 인해 데이터 라이트, 예컨대 데이터 프로그램(program) 시에 프로그램 실패(program fail)이 발생할 수 있으며, 프로그램 실패가 발생한 메모리 블록을 배드(bad) 처리한 후, 프로그램 실패된 데이터를 새로운 메모리 블록에 라이트, 즉 프로그램하는 것을 의미한다. 또한, 메모리 장치(150)가 3D 입체 스택 구조를 가질 경우에는, 프로그램 실패에 따라 해당 블록을 배드 블록으로 처리할 경우, 메모리 장치(150)의 사용 효율 및 메모리 시스템(100)의 신뢰성이 급격하게 저하되므로, 보다 신뢰성 있는 배드 블록 관리 수행이 필요하다. 그러면 이하에서는, 도 2 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.

[0054] 도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면이고, 도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면이며, 도 4 내지 도 11은 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면으로, 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이다.

[0055] 우선, 도 2를 참조하면, 메모리 장치(150)는, 복수의 메모리 블록들, 예컨대 블록0(Block0)(210), 블록1(Block1)(220), 블록2(Block2)(230), 및 블록N-1(BlockN-1)(240)을 포함하며, 각각의 블록들(210, 220, 230, 240)은, 복수의 페이지들(Pages), 예컨대 2^M 개의 페이지들(2^M Pages)을 포함한다. 여기서, 설명의 편의를 위해, 복수의 메모리 블록들이 각각 2^M 개의 페이지들을 포함하는 것을 일 예로 하여 설명하지만, 복수의 메모리들은, 각각 M개의 페이지들을 포함할 수도 있다. 그리고, 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다.

[0056] 또한, 메모리 장치(150)는, 복수의 메모리 블록들을, 하나의 메모리 셀에 저장 또는 표현할 수 있는 비트의 수에 따라, 단일 레벨 셀(SLC: Single Level Cell) 메모리 블록 및 멀티 레벨 셀(MLC: Multi Level Cell) 메모리 블록 등으로 포함할 수 있다. 여기서, SLC 메모리 블록은, 하나의 메모리 셀에 1 비트 데이터를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하며, 데이터 연산 성능이 빠르며 내구성이 높다. 그리고, MLC 메모리 블록은, 하나의 메모리 셀에 멀티 비트 데이터(예를 들면, 2 비트 이상)를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하며, SLC 메모리 블록보다 큰 데이터 저장 공간을 가질 수, 다시 말해 고집적화

할 수 있다. 여기서, 하나의 메모리 셀에 3 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 MLC 메모리 블록을, 트리플 레벨 셀(TLC: Triple Level Cell) 메모리 블록으로 구분할 수도 있다.

[0057] 그리고, 각각의 블록들(210, 220, 230, 240)은, 라이트 동작을 통해 호스트 장치로부터 제공된 데이터를 저장하고, 리드 동작을 통해 저장된 데이터를 호스트(102)로 제공한다.

[0058] 다음으로, 도 3을 참조하면, 메모리 시스템(110)에서 메모리 장치(300)의 메모리 블록(330)은, 비트라인들(BL₀ to BL_{m-1})에 각각 연결된 복수의 셀 스트링들(340)을 포함할 수 있다. 각 열(column)의 셀 스트링(340)은, 적어도 하나의 드레인 선택 트랜지스터(DST)와, 적어도 하나의 소스 선택 트랜지스터(SST)를 포함할 수 있다. 선택 트랜지스터들(DST, SST) 사이에는, 복수 개의 메모리 셀들, 또는, 메모리 셀 트랜지스터들(MC₀ to MC_{n-1})이 직렬로 연결될 수 있다. 각각의 메모리 셀(MC₀ to MC_{n-1})은, 셀 당 복수의 비트의 데이터 정보를 저장하는 멀티 레벨 셀(MLC: Multi-Level Cell)로 구성될 수 있다. 셀 스트링들(340)은 대응하는 비트라인들(BL₀ to BL_{m-1})에 각각 전기적으로 연결될 수 있다.

[0059] 여기서, 도 3은 낸드 플래시 메모리 셀로 구성된 메모리 블록(330)을 일 예로 도시하고 있으나, 본 발명의 실시 예에 따른 메모리 장치(300)의 메모리 블록(330)은, 낸드 플래시 메모리에만 국한되는 것은 아니라 노어 플래시 메모리(NOR-type Flash memory), 적어도 두 종류 이상의 메모리 셀들이 혼합된 하이브리드 플래시 메모리, 및 메모리 칩 내에 컨트롤러가 내장된 One-NAND 플래시 메모리 등으로도 구현될 수 있다. 반도체 장치의 동작 특성은 전하 저장층이 전도성 부유 게이트로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash; CTF)에도 적용될 수 있다.

[0060] 그리고, 메모리 장치(300)의 전압 공급부(310)는, 동작 모드에 따라서 각각의 워드라인들로 공급될 워드라인 전압들(예를 들면, 프로그램 전압, 리드 전압, 패스 전압 등)과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 제공할 수 있으며, 이때 전압 공급 회로(310)의 전압 발생 동작은 제어 회로(도시하지 않음)의 제어에 의해 수행될 수 있다. 또한, 전압 공급부(310)는, 다수의 리드 데이터를 생성하기 위해 복수의 가변 리드 전압들을 생성할 수 있으며, 제어 회로의 제어에 응답하여 메모리 셀 어레이의 메모리 블록들(또는 섹터들) 중 하나를 선택하고, 선택된 메모리 블록의 워드라인들 중 하나를 선택할 수 있으며, 워드라인 전압을 선택된 워드라인 및 비선택된 워드라인들로 각각 제공할 수 있다.

[0061] 아울러, 메모리 장치(300)의 리드/라이트(read/write) 회로(320)는, 제어 회로에 의해서 제어되며, 동작 모드에 따라 감지 증폭기(sense amplifier)로서 또는 라이트 드라이버(write driver)로서 동작할 수 있다. 예를 들면, 검증/정상 리드 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이로부터 데이터를 리드하기 위한 감지 증폭기로서 동작할 수 있다. 또한, 프로그램 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이에 저장된 데이터에 따라 비트라인들을 구동하는 라이트 드라이버로서 동작할 수 있다. 리드/라이트 회로(320)는, 프로그램 동작 시 셀 어레이에 라이트될 데이터를 버퍼(미도시)로부터 수신하고, 입력된 데이터에 따라 비트라인들을 구동할 수 있다. 이를 위해, 리드/라이트 회로(320)는, 열(column)들(또는 비트라인들) 또는 열쌍(column pair)(또는 비트라인 쌍들)에 각각 대응되는 복수 개의 페이지 버퍼들(PB)(322, 324, 326)을 포함할 수 있으며, 각각의 페이지 버퍼(page buffer)(322, 324, 326)에는 복수의 래치들(도시하지 않음)이 포함될 수 있다. 그러면 여기서, 도 4 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.

[0062] 도 4를 참조하면, 메모리 장치(150)는, 전술한 바와 같이, 복수의 메모리 블록들(BLK₁ to BLK_h)을 포함할 수 있다. 여기서, 도 4는, 도 3에 도시한 메모리 장치의 메모리 블록을 보여주는 블록도로서, 각 메모리 블록(BLK_k)은, 3차원 구조(또는 수직 구조)로 구현될 수 있다. 예를 들면, 각 메모리 블록(BLK)은 제1방향 내지 제3방향들, 예컨대 x-축 방향, y-축 방향, 및 z-축 방향을 따라 신장된 구조물들을 포함할 수 있다.

[0063] 각 메모리 블록(BLK)은 제2방향을 따라 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있다. 제1방향 및 제3방향들을 따라 복수의 낸드 스트링들(NS)이 제공될 수 있다. 각 낸드 스트링(NS)은 비트라인(BL), 적어도 하나의 스트링 선택라인(SSL), 적어도 하나의 접지 선택라인(GSL), 복수의 워드라인들(WL), 적어도 하나의 더미 워드라인(DWL), 그리고 공통 소스라인(CSL)에 연결될 수 있다. 즉, 각 메모리 블록은 복수의 비트라인들(BL), 복수의 스트링 선택라인들(SSL), 복수의 접지 선택라인들(GSL), 복수의 워드라인들(WL), 복수의 더미 워드라인들(DWL), 그리고 복수의 공통 소스라인(CSL)에 연결될 수 있다.

[0064] 그리고, 도 5 및 도 6을 참조하면, 메모리 장치(150)의 복수의 메모리 블록들에서 임의의 메모리 블록(BLK_i)은,

제1방향 내지 제3방향들을 따라 신장된 구조물들을 포함할 수 있다. 여기서, 도 5는, 본 발명의 실시 예에 따른 메모리 장치가 제1구조의 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이며, 도 4의 복수의 메모리 블록에서 제1구조로 구현된 임의의 메모리 블록(BLK_i)을 도시한 사시도이고, 도 6은, 도 5의 메모리 블록(BLK_i)을 임의의 제1선(I-I')에 따른 단면도이다.

[0065] 우선, 기판(5111)이 제공될 수 있다. 예컨대, 기판(5111)은 제1타입 불순물로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 기판(5111)은 p-타입 불순물로 도핑된 실리콘 물질을 포함하거나, p-타입 웰(예를 들면, 포켓 p-웰)일 수 있고, p-타입 웰을 둘러싸는 n-타입 웰을 더 포함할 수 있다. 이하에서는 설명의 편의를 위해, 기판(5111)은 p-타입 실리콘인 것으로 가정하지만, 기판(5111)은 p-타입 실리콘으로 한정되지 않는다.

[0066] 그리고, 기판(5111) 상에, 제1방향을 따라 신장된 복수의 도핑 영역들(5311, 5312, 5313, 5314)이 제공될 수 있다. 예를 들면, 복수의 도핑 영역들((5311, 5312, 5313, 5314)은 기판(1111)과 상이한 제2타입을 가질 수 있다. 예를 들면, 복수의 도핑 영역들(5311, 5312, 5313, 5314)은 n-타입을 가질 수 있다. 이하에서는 설명의 편의를 위해, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은, n-타입인 것으로 가정하지만, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은 n-타입인 것으로 한정되지 않는다.

[0067] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이에 대응하는 기판(5111) 상의 영역에서, 제1방향을 따라 신장되는 복수의 절연 물질들(5112)이 제2방향을 따라 순차적으로 제공될 수 있다. 예를 들면, 복수의 절연 물질들(5112) 및 기판(5111)은 제2방향을 따라 미리 설정된 거리만큼 이격되어 제공될 수 있다. 예를 들면, 복수의 절연 물질들(5112)은 각각 제2방향을 따라 미리 설정된 거리만큼 이격되어 제공될 수 있다. 예컨대, 절연 물질들(5112)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 수 있다.

[0068] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이에 대응하는 기판(5111) 상의 영역에서, 제1방향을 따라 순차적으로 배치되며 제2방향을 따라 절연 물질들(5112)을 관통하는 복수의 필라들(5113)이 제공될 수 있다. 예컨대, 복수의 필라들(5113) 각각은 절연 물질들(5112)을 관통하여 기판(5111)과 연결될 수 있다. 예컨대, 각 필라(5113)는 복수의 물질들로 구성될 수 있다. 예를 들면, 각 필라(1113)의 표면층(1114)은 제1타입으로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 각 필라(5113)의 표면층(5114)은 기판(5111)과 동일한 타입으로 도핑된 실리콘 물질을 포함할 수 있다. 이하에서는 설명의 편의를 위해, 각 필라(5113)의 표면층(5114)은 p-타입 실리콘을 포함하는 것으로 가정하지만, 각 필라(5113)의 표면층(5114)은 p-타입 실리콘을 포함하는 것으로 한정되지 않는다.

[0069] 각 필라(5113)의 내부층(5115)은 절연 물질로 구성될 수 있다. 예를 들면, 각 필라(5113)의 내부층(5115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질로 충전될 수 있다.

[0070] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이의 영역에서, 절연 물질들(5112), 필라들(5113), 그리고 기판(5111)의 노출된 표면을 따라 절연막(5116)이 제공될 수 있다. 예컨대, 절연막(5116)의 두께는 절연 물질들(5112) 사이의 거리의 1/2 보다 작을 수 있다. 즉, 절연 물질들(5112) 중 제1절연 물질의 하부 면에 제공된 절연막(5116), 그리고, 제1절연 물질 하부의 제2절연 물질의 상부 면에 제공된 절연막(5116) 사이에, 절연 물질들(5112) 및 절연막(5116) 이외의 물질이 배치될 수 있는 영역이 제공될 수 있다.

[0071] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이의 영역에서, 절연막(5116)의 노출된 표면 상에 도전 물질들(5211, 5221, 5231, 5241, 5251, 5261, 5271, 5281, 5291)이 제공될 수 있다. 예를 들면, 기판(5111)에 인접한 절연 물질(5112) 및 기판(5111) 사이에 제1방향을 따라 신장되는 도전 물질(5211)이 제공될 수 있다. 특히, 기판(5111)에 인접한 절연 물질(5112)의 하부 면의 절연막(5116) 및 기판(5111) 사이에, 제1방향으로 신장되는 도전 물질(5211)이 제공될 수 있다.

[0072] 절연 물질들(5112) 중 특정 절연 물질 상부 면의 절연막(5116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부 면의 절연막(5116) 사이에, 제1방향을 따라 신장되는 도전 물질이 제공될 수 있다. 예컨대, 절연 물질들(5112) 사이에, 제1방향으로 신장되는 복수의 도전 물질들(5221, 5231, 5241, 5251, 5261, 5271, 5281)이 제공될 수 있다. 또한, 절연 물질들(5112) 상의 영역에 제1방향을 따라 신장되는 도전 물질(5291)이 제공될 수 있다. 예컨대, 제1방향으로 신장된 도전 물질들(5211, 5221, 5231, 5241, 5251, 5261, 5271, 5281, 5291)은 금속 물질일 수 있다. 예컨대, 제1방향으로 신장된 도전 물질들(5211, 5221, 5231, 5241, 5251, 5261, 5271, 5281, 5291)은 폴리 실리콘 등과 같은 도전 물질일 수 있다.

[0073] 제2도핑 영역 및 제3도핑 영역들(5312, 5313) 사이의 영역에서, 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 상의 구조물과 동일한 구조물이 제공될 수 있다. 예컨대, 제2도핑 영역 및 제3도핑 영역들(5312, 5313) 사이의 영

역에서, 제1방향으로 신장되는 복수의 절연 물질들(5112), 제1방향을 따라 순차적으로 배치되며 제3방향을 따라 복수의 절연 물질들(5112)을 관통하는 복수의 필라들(5113), 복수의 절연 물질들(5112) 및 복수의 필라들(5113)의 노출된 표면에 제공되는 절연막(5116), 그리고, 제1방향을 따라 신장되는 복수의 도전 물질들(5212, 5222, 5232, 5242, 5252, 5262, 5272, 5282, 5292)이 제공될 수 있다.

[0074] 제3도핑 영역 및 제4도핑 영역들(5313, 5314) 사이의 영역에서, 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 상의 구조물과 동일한 구조물이 제공될 수 있다. 예컨대, 제3도핑 영역 및 제4도핑 영역들(5312, 5313) 사이의 영역에서, 제1방향으로 신장되는 복수의 절연 물질들(5112), 제1방향을 따라 순차적으로 배치되며 제3방향을 따라 복수의 절연 물질들(5112)을 관통하는 복수의 필라들(5113), 복수의 절연 물질들(5112) 및 복수의 필라들(5113)의 노출된 표면에 제공되는 절연막(5116), 그리고 제1방향을 따라 신장되는 복수의 도전 물질들(5213, 5223, 5243, 5253, 5263, 5273, 5283, 5293)이 제공될 수 있다.

[0075] 복수의 필라들(5113) 상에 드레인들(5320)이 각각 제공될 수 있다. 예컨대, 드레인들(5320)은 제2타입으로 도핑된 실리콘 물질들일 수 있다. 예를 들면, 드레인들(5320)은 n-타입으로 도핑된 실리콘 물질들일 수 있다. 이하에서는 설명의 편의를 위해, 드레인들(5320)은 n-타입 실리콘을 포함하는 것으로 가정하지만, 드레인들(5320)은 n-타입 실리콘을 포함하는 것으로 한정되지 않는다. 예컨대, 각 드레인(5320)의 폭은 대응하는 필라(5113)의 폭보다 클 수 있다. 예를 들면, 각 드레인(5320)은 대응하는 필라(5113)의 상부면에 패드 형태로 제공될 수 있다.

[0076] 드레인들(5320) 상에, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)이 제공될 수 있다. 도전 물질들(5331, 5332, 5333)은 제1방향을 따라 순차적으로 배치될 수 있다. 도전 물질들(5331, 5332, 5333) 각각은 대응하는 영역의 드레인들(5320)과 연결될 수 있다. 예컨대, 드레인들(5320) 및 제3방향으로 신장된 도전 물질(5333)은 각각 콘택 플러그들(contact plug)을 통해 연결될 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 금속 물질일 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 폴리실리콘 등과 같은 도전 물질일 수 있다.

[0077] 도 5 및 도 6에서, 각 필라(5113)는 절연막(5116)의 인접한 영역 및 제1방향을 따라 신장되는 복수의 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293) 중 인접한 영역과 함께 스트링을 형성할 수 있다. 예를 들면, 각 필라(5113)는 절연막(5116)의 인접한 영역 및 제1방향을 따라 신장되는 복수의 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293) 중 인접한 영역과 함께 낸드 스트링(NS)을 형성할 수 있다. 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함할 수 있다.

[0078] 그리고, 도 7을 참조하면, 도 6에 도시한 트랜지스터 구조(TS)에서의 절연막(5116)은, 제1서브 절연막 내지 제3서브 절연막들(5117, 5118, 5119)을 포함할 수 있다. 여기서, 도 7은, 도 6의 트랜지스터 구조(TS)를 보여주는 단면도이다.

[0079] 필라(5113)의 p-타입 실리콘(5114)은 바디(body)로 동작할 수 있다. 필라(5113)에 인접한 제1서브 절연막(5117)은 터널링 절연막으로 동작할 수 있으며, 열산화막을 포함할 수 있다.

[0080] 제2서브 절연막(5118)은 전하 저장막으로 동작할 수 있다. 예를 들면, 제2서브 절연막(5118)은 전하 포획층으로 동작할 수 있으며, 질화막 또는 금속 산화막(예컨대, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 수 있다.

[0081] 도전 물질(5233)에 인접한 제3 서브 절연막(5119)은 블로킹 절연막으로 동작할 수 있다. 예를 들면, 제1방향으로 신장된 도전 물질(5233)과 인접한 제3서브 절연막(5119)은 단일층 또는 다층으로 형성될 수 있다. 제3서브 절연막(5119)은 제1서브 절연막 및 제2서브 절연막들(5117, 5118)보다 높은 유전상수를 갖는 고유전막(예컨대, 알루미늄 산화막, 하프늄 산화막 등)일 수 있다.

[0082] 도전 물질(5233)은 게이트(또는 제어 게이트)로 동작할 수 있다. 즉, 게이트(또는 제어 게이트(5233)), 블로킹 절연막(5119), 전하 저장막(5118), 터널링 절연막(5117), 및 바디(5114)는, 트랜지스터(또는 메모리 셀 트랜지스터 구조)를 형성할 수 있다. 예컨대, 제1서브 절연막 내지 제3서브 절연막들(5117, 5118, 5119)은 ONO(oxide-nitride-oxide)를 구성할 수 있다. 이하에서는 설명의 편의를 위해, 필라(5113)의 p-타입 실리콘(5114)을 제2방향의 바디라 칭하기로 한다.

[0083] 메모리 블록(BLK_i)은 복수의 필라들(5113)을 포함할 수 있다. 즉, 메모리 블록(BLK_i)은 복수의 낸드 스트링들(NS)을 포함할 수 있다. 보다 구체적으로 설명하면, 메모리 블록(BLK_i)은 제2방향(또는 기판과 수직한 방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있다.

[0084] 각 낸드 스트링(NS)은 제2방향을 따라 배치되는 복수의 트랜지스터 구조들(TS)을 포함할 수 있다. 각 낸드 스트

링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 스트링 선택 트랜지스터(SST)로 동작할 수 있다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 접지 선택 트랜지스터(GST)로 동작할 수 있다.

- [0085] 게이트들(또는 제어 게이트들)은 제1방향으로 신장된 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)에 대응할 수 있다. 즉, 게이트들(또는 제어 게이트들)은 제1방향으로 신장되어 워드라인들, 그리고 적어도 두 개의 선택라인들(예를 들면, 적어도 하나의 스트링 선택라인(SSL) 및 적어도 하나의 접지 선택라인(GSL))을 형성할 수 있다.
- [0086] 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 낸드 스트링들(NS)의 일단에 연결될 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 비트라인들(BL)로 동작할 수 있다. 즉, 하나의 메모리 블록(BLK_i)에서, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결될 수 있다.
- [0087] 제1방향으로 신장된 제2타입 도핑 영역들(5311, 5312, 5313, 5314)이 낸드 스트링들(NS)의 타단에 제공될 수 있다. 제1방향으로 신장된 제2타입 도핑 영역들(5311, 5312, 5313, 5314)은 공통 소스라인들(CSL)로 동작할 수 있다.
- [0088] 즉, 메모리 블록(BLK_i)은 기판(5111)에 수직한 방향(제2방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함하며, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결되는 낸드 플래시 메모리 블록(예를 들면, 전하 포획형)으로 동작할 수 있다.
- [0089] 도 5 내지 도 7에서는, 제1방향으로 신장되는 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 9개의 층에 제공되는 것으로 설명하였지만, 제1방향으로 신장되는 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 9개의 층에 제공되는 것으로 한정되지 않는다. 예를 들면, 제1방향으로 신장되는 도체라인들은 8개의 층, 16개의 층, 또는 복수의 층에 제공될 수 있다. 즉, 하나의 낸드 스트링(NS)에서, 트랜지스터는 8개, 16개, 또는 복수 개일 수 있다.
- [0090] 전술한 도 5 내지 도 7에서는, 하나의 비트라인(BL)에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명하였으나, 하나의 비트라인(BL)에 3개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예컨대, 메모리 블록(BLK_i)에서, 하나의 비트라인(BL)에 m 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 하나의 비트라인(BL)에 연결되는 낸드 스트링들(NS)의 수만큼, 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)의 수 및 공통 소스라인들(5311, 5312, 5313, 5314)의 수 또한 조절될 수 있다.
- [0091] 또한, 도 5 내지 도 7에서는, 제1방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명하였으나, 제1방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예를 들면, 제1방향으로 신장된 하나의 도전 물질에, n 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 제1방향으로 신장된 하나의 도전 물질에 연결되는 낸드 스트링들(NS)의 수만큼, 비트라인들(5331, 5332, 5333)의 수 또한 조절될 수 있다.
- [0092] 도 8을 참조하면, 메모리 장치(150)의 복수의 블록들에서 제1구조로 구현된 임의의 블록(BLK_i)에는, 제1비트라인(BL1) 및 공통 소스라인(CSL) 사이에 낸드 스트링들(NS11 to NS31)이 제공될 수 있다. 여기서, 도 8은, 도 5 내지 도 7에서 설명한 제1구조로 구현된 메모리 블록(BLK_i)의 등가 회로를 도시한 회로도이다. 그리고, 제1비트라인(BL1)은 제3방향으로 신장된 도전 물질(5331)에 대응할 수 있다. 제2비트라인(BL2) 및 공통 소스라인(CSL) 사이에 낸드 스트링들(NS12, NS22, NS32)이 제공될 수 있다. 제2비트라인(BL2)은 제3방향으로 신장된 도전 물질(5332)에 대응할 수 있다. 제3비트라인(BL3) 및 공통 소스라인(CSL) 사이에, 낸드 스트링들(NS13, NS23, NS33)이 제공될 수 있다. 제3비트라인(BL3)은 제3방향으로 신장된 도전 물질(5333)에 대응할 수 있다.
- [0093] 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST)는 대응하는 비트라인(BL)과 연결될 수 있다. 각 낸드 스트링(NS)의 접지 선택 트랜지스터(GST)는 공통 소스라인(CSL)과 연결될 수 있다. 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MC)이 제공될 수 있다.
- [0094] 이하에서는 설명의 편의를 위해, 행(row) 및 열(column) 단위로 낸드 스트링들(NS)을 정의할 수 있으며, 하나의 비트라인에 공통으로 연결된 낸드 스트링들(NS)은 하나의 열을 형성할 수 있음을, 일 예로 하여 설명하기로 한다. 예를 들면, 제1비트라인(BL1)에 연결된 낸드 스트링들(NS11 내지 NS31)은 제1열에 대응할 수 있고, 제2비트라인(BL2)에 연결된 낸드 스트링들(NS12 내지 NS32)은 제2열에 대응할 수 있으며, 제3비트라인(BL3)에 연결된 낸드 스트링들(NS13 내지 NS33)은 제3열에 대응할 수 있다. 하나의 스트링 선택라인(SSL)에 연결되는 낸드 스트링들(NS)은 하나의 행을 형성할 수 있다. 예를 들면, 제1스트링 선택라인(SSL1)에 연결된 낸드 스트링들(NS11 내지 NS13)은 제1행을 형성할 수 있고, 제2스트링 선택라인(SSL2)에 연결된 낸드 스트링들(NS21 내지 NS23)은

제2행을 형성할 수 있으며, 제3스트링 선택라인(SSL3)에 연결된 낸드 스트링들(NS31 내지 NS33)은 제3행을 형성할 수 있다.

[0095] 또한, 각 낸드 스트링(NS)에서, 높이가 정의될 수 있다. 예컨대, 각 낸드 스트링(NS)에서, 접지 선택 트랜지스터(GST)에 인접한 메모리 셀(MC1)의 높이는 1이다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접할수록 메모리 셀의 높이는 증가할 수 있다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접한 메모리 셀(MC7)의 높이는 7이다.

[0096] 그리고, 동일한 행의 낸드 스트링들(NS)의 스트링 선택 트랜지스터들(SST)은 스트링 선택라인(SSL)을 공유할 수 있다. 상이한 행의 낸드 스트링들(NS)의 스트링 선택 트랜지스터들(SST)은 상이한 스트링 선택라인들(SSL1, SSL2, SSL3)에 각각 연결될 수 있다.

[0097] 아울러, 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 메모리 셀들은 워드라인(WL)을 공유할 수 있다. 즉, 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 메모리 셀들(MC)에 연결된 워드라인들(WL)은 공통으로 연결될 수 있다. 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 더미 메모리 셀들(DMC)은 더미 워드라인(DWL)을 공유할 수 있다. 즉, 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 더미 메모리 셀들(DMC)에 연결된 더미 워드라인들(DWL)은 공통으로 연결될 수 있다.

[0098] 예컨대, 워드라인들(WL) 또는 더미 워드라인들(DWL)은 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 제공되는 층에서 공통으로 연결될 수 있다. 예컨대, 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)은 콘택을 통해 상부 층에 연결될 수 있다. 상부 층에서 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 공통으로 연결될 수 있다. 즉, 동일한 행의 낸드 스트링들(NS)의 접지 선택 트랜지스터들(GST)은 접지 선택라인(GSL)을 공유할 수 있다. 그리고, 상이한 행의 낸드 스트링들(NS)의 접지 선택 트랜지스터들(GST)은 접지 선택라인(GSL)을 공유할 수 있다. 다시 말해, 낸드 스트링들(NS11 내지 NS13, NS21 내지 NS23, 및 NS31 내지 NS33)은 접지 선택라인(GSL)에 공통으로 연결될 수 있다.

[0099] 공통 소스라인(CSL)은 낸드 스트링들(NS)에 공통으로 연결될 수 있다. 예를 들면, 기판(5111) 상의 활성 영역에서, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)이 연결될 수 있다. 예를 들면, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은 콘택을 통해 상부 층에 연결될 수 있고, 또한 상부 층에서 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)이 공통으로 연결될 수 있다.

[0100] 즉, 도 8에 도시된 바와 같이, 동일 깊이의 워드라인들(WL)은 공통으로 연결될 수 있다. 따라서, 특정 워드라인(WL)이 선택될 때, 특정 워드라인(WL)에 연결된 모든 낸드 스트링들(NS)이 선택될 수 있다. 상이한 행의 낸드 스트링들(NS)은 상이한 스트링 선택라인(SSL)에 연결될 수 있다. 따라서, 스트링 선택라인들(SSL1 내지 SSL3)을 선택함으로써, 동일 워드라인(WL)에 연결된 낸드 스트링들(NS) 중 비선택 행의 낸드 스트링들(NS)이 비트라인들(BL1 내지 BL3)로부터 분리될 수 있다. 즉, 스트링 선택라인들(SSL1 내지 SSL3)을 선택함으로써, 낸드 스트링들(NS)의 행이 선택될 수 있다. 그리고, 비트라인들(BL1 내지 BL3)을 선택함으로써, 선택 행의 낸드 스트링들(NS)이 열 단위로 선택될 수 있다.

[0101] 각 낸드 스트링(NS)에서, 더미 메모리 셀(DMC)이 제공될 수 있다. 더미 메모리 셀(DMC) 및 접지 선택라인(GST) 사이에 제1메모리 셀 내지 제3메모리 셀들(MC1 내지 MC3)이 제공될 수 있다.

[0102] 더미 메모리 셀(DMC) 및 스트링 선택라인(SST) 사이에 제4메모리 셀 내지 제6메모리 셀들(MC4 내지 MC6)이 제공될 수 있다. 여기서, 각 낸드 스트링(NS)의 메모리 셀들(MC)은, 더미 메모리 셀(DMC)에 의해 메모리 셀 그룹들로 분할될 수 있으며, 분할된 메모리 셀 그룹들 중 접지 선택 트랜지스터(GST)에 인접한 메모리 셀들(예를 들면, MC1 to MC3)을 하부 메모리 셀 그룹이라 할 수 있고, 분할된 메모리 셀 그룹들 중 스트링 선택 트랜지스터(SST)에 인접한 메모리 셀들(예를 들면, MC4 내지 MC6)을 상부 메모리 셀 그룹이라 할 수 있다. 그러면 이하에서는, 도 9 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치가 제1구조와 다른 구조의 3차원 비휘발성 메모리 장치로 구현될 경우에 대해 보다 구체적으로 설명하기로 한다.

[0103] 도 9 및 도 10을 참조하면, 메모리 장치(150)의 복수의 메모리 블록들에서 제2구조로 구현된 임의의 메모리 블록(BLKj)은, 제1방향 내지 제3방향들을 따라 신장된 구조물들을 포함할 수 있다. 여기서, 도 9는, 본 발명의 실시 예에 따른 메모리 장치가 앞선 도 5 내지 도 8에서 설명한 제1구조와 다른 제2구조의 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이며, 도 4의 복수의 메모리 블록에서 제2구조로 구현된 임의의 메모리 블록(BLKj)을 도시한 사시도이고, 도 10은, 도 9의 메모리 블록(BLKj)을 임의의 제2선(VII-VII')에

따른 단면도이다.

- [0104] 우선, 기판(6311)이 제공될 수 있다. 예컨대, 기판(6311)은 제1타입 불순물로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 기판(6311)은 p-타입 불순물로 도핑된 실리콘 물질을 포함하거나, p-타입 웰(예를 들면, 포켓 p-웰)일 수 있고, p-타입 웰을 둘러싸는 n-타입 웰을 더 포함할 수 있다. 이하에서는 설명의 편의를 위해, 기판(6311)은 p-타입 실리콘인 것으로 가정하지만, 기판(6311)은 p-타입 실리콘으로 한정되지 않는다.
- [0105] 그리고, 기판(6311) 상에, x-축 방향 및 y-축 방향으로 신장되는 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)이 제공된다. 여기서, 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)은 z-축 방향을 따라 특정 거리만큼 이격되어 제공된다.
- [0106] 또한, 기판(6311) 상에 x-축 방향 및 y-축으로 신장되는 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)이 제공된다. 여기서, 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)은 z-축 방향을 따라 특정 거리만큼 이격되어 제공된다. 그리고, 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)은 y-축 방향을 따라 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)과 이격되어 제공된다.
- [0107] 아울러, 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)을 관통하는 복수의 하부 필라들이 제공된다. 각 하부 필라(DP)는 z-축 방향을 따라 신장된다. 또한, 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)을 관통하는 복수의 상부 필라들이 제공된다. 각 상부 필라(UP)는 z-축 방향을 따라 신장된다.
- [0108] 하부 필라(DP) 및 상부 필라(UP) 각각은 내부 물질(6361), 중간층(6362) 및 표면층(6363)을 포함한다. 여기서, 도 5 및 도 6에서 설명한 바와 같이, 중간층(6362)은 셀 트랜지스터의 채널로서 동작할 것이다. 표면층(6363)은 블로킹 절연막, 전하 저장막 및 터널링 절연막을 포함할 것이다.
- [0109] 하부 필라(DP) 및 상부 필라(UP)는 파이프 게이트(PG)를 통해 연결된다. 파이프 게이트(PG)는 기판(6311) 내에 배치될 수 있으며, 일 예로, 파이프 게이트(PG)는 하부 필라(DP) 및 상부 필라(UP)와 동일한 물질들을 포함할 수 있다.
- [0110] 하부 필라(DP)의 상부에, x-축 방향 및 y-축 방향으로 신장되는 제 2 타입의 도핑 물질(6312)이 제공된다. 예컨대, 제2타입의 도핑 물질(6312)은 n-타입의 실리콘 물질을 포함할 수 있다. 제2타입의 도핑 물질(6312)은 공통 소스라인(CSL)으로서 동작한다.
- [0111] 상부 필라(UP)의 상부에 드레인(6340)이 제공된다. 예컨대, 드레인(6340)은 n-타입의 실리콘 물질을 포함할 수 있다. 그리고, 드레인들의 상부에 y-축 방향으로 신장되는 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)이 제공된다.
- [0112] 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)은 x-축 방향을 따라 이격되어 제공된다. 예컨대, 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)은 금속으로서 형성될 수 있으며, 일 예로, 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)과 드레인들은 콘택 플러그들을 통해 연결될 수 있다. 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)은 각각 제1비트라인 및 제2비트라인들(BL1, BL2)로 동작한다.
- [0113] 제1도전 물질(6321)은 소스 선택라인(SSL)으로 동작하고, 제2도전 물질(6322)은 제1더미 워드라인(DWL1)으로 동작하며, 제3도전 물질 및 제4도전 물질들(6323, 6324)은 각각 제1메인 워드라인 및 제2메인 워드라인들(MWL1, MWL2)로 동작한다. 그리고, 제5도전 물질 및 제6도전 물질들(6325, 6326)은 각각 제3메인 워드라인 및 제4메인 워드라인들(MWL3, MWL4)로 동작하고, 제7도전 물질(6327)은 제2더미 워드라인(DWL2)으로 동작하며, 제8도전 물질(6328)은 드레인 선택라인(DSL)로서 동작한다.
- [0114] 하부 필라(DP), 그리고 하부 필라(DP)에 인접한 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)은 하부 스트링을 구성한다. 상부 필라(UP), 그리고 상부 필라(UP)에 인접한 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)은 상부 스트링을 구성한다. 하부 스트링 및 상부 스트링은 파이프 게이트(PG)를 통해 연결된다. 하부 스트링의 일단은 공통 소스라인(CSL)으로 동작하는 제2타입의 도핑 물질(6312)에 연결된다. 상부 스트링의 일단은 드레인(6340)을 통해 해당 비트라인에 연결된다. 하나의 하부 스트링 및 하나의 상부 스트링은 제2타입의 도핑 물질(6312)과 해당 비트라인 사이에 연결된 하나의 셀 스트링을 구성할 것이다.
- [0115] 즉, 하부 스트링은 소스 선택 트랜지스터(SST), 제1더미 메모리 셀(DMC1), 그리고 제1메인 메모리 셀 및 제2메인 메모리 셀들(MMC1, MMC2)을 포함할 것이다. 그리고, 상부 스트링은 제3메인 메모리 셀 및 제4메인 메모리 셀

들(MMC3, MMC4), 제2더미 메모리 셀(DMC2), 그리고 드레인 선택 트랜지스터(DST)를 포함할 것이다.

- [0116] 한편, 도 9 및 도 10에서 상부 스트림 및 하부 스트림은, 낸드 스트링(NS)을 형성할 수 있으며, 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함할 수 있다. 여기서, 도 9 및 도 10에서의 낸드 스트림에 포함된 트랜지스터 구조는, 앞서 도 7에서 구체적으로 설명하였으므로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.
- [0117] 그리고, 도 11을 참조하면, 메모리 장치(150)의 복수의 블록들에서 제2구조로 구현된 임의의 블록(BLKj)에는, 도 9 및 도 10에서 설명한 바와 같이, 하나의 상부 스트림과 하나의 하부 스트림이 파이프 게이트(PG)를 통해 연결되어 구현된 하나의 셀 스트림들이 각각 복수의 쌍들을 이루어 제공될 수 있다. 여기서, 도 11은, 도 9 및 도 10에서 설명한 제2구조로 구현된 메모리 블록(BLKj)의 등가 회로를 도시한 회로도이며, 설명의 편의를 위해 제2구조로 구현된 임의의 블록(BLKj)에서 한 쌍을 구성하는 제1스트림과 제2스트림만을 도시하였다.
- [0118] 즉, 제2구조로 구현된 임의의 블록(BLKj)에서, 제1채널(CH1)을 따라 적층된 메모리 셀들, 예컨대 적어도 하나의 소스 선택 게이트 및 적어도 하나의 드레인 선택 게이트는, 제1스트림(ST1)을 구현하고, 제2채널(CH2)을 따라 적층된 메모리 셀들, 예컨대 적어도 하나의 소스 선택 게이트 및 적어도 하나의 드레인 선택 게이트는 제2스트림(ST2)을 구현한다.
- [0119] 또한, 제1스트림(ST1)과 제2스트림(ST2)은, 동일한 드레인 선택라인(DSL) 및 동일한 소스 선택라인(SSL)에 연결되며, 또한 제1스트림(ST1)은, 제1비트라인(BL1)에 연결되고, 제2스트림(ST2)은 제2비트라인(BL2)에 연결된다.
- [0120] 여기서, 설명의 편의를 위해, 도 11에서는, 제1스트림(ST1)과 제2스트림(ST2)이 동일한 드레인 선택라인(DSL) 및 동일한 소스 선택라인(SSL)에 연결되는 경우를 일 예로 설명하였으나, 제1스트림(ST1)과 제2스트림(ST2)이 동일한 소스 선택라인(SSL) 및 동일한 비트라인(BL)에 연결되어, 제1스트림(ST1)이 제1드레인 선택라인(DSL1)에 연결되고 제2스트림(ST2)이 제2드레인 선택라인(DSL2)에 연결되거나, 또는 제1스트림(ST1)과 제2스트림(ST2)이 동일한 드레인 선택라인(DSL) 및 동일한 비트라인(BL)에 연결되어, 제1스트림(ST1)이 제1소스 선택라인(SSL1)에 연결되고 제2스트림(ST2)은 제2소스 선택라인(SSL2)에 연결될 수도 있다. 그러면 이하에서는, 도 12 내지 도 13을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서의 메모리 장치로의 데이터 처리, 특히 메모리 장치로 데이터를 프로그램할 경우의 데이터 처리 동작에 대해서 보다 구체적으로 설명하기로 한다.
- [0121] 도 12는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치에 데이터 처리 동작의 일 예를 개략적으로 설명하기 위한 도면이다. 이하에서는, 설명의 편의를 위해, 도 1에 도시한 메모리 시스템(110)에서 호스트(102)로부터 수신된 커맨드에 해당하는 커맨드 데이터, 예컨대 호스트(102)로부터 수신된 라이트 커맨드(write command)에 해당하는 라이트 데이터를 컨트롤러(130)의 메모리(144)에 포함된 버퍼/캐시에 저장한 후, 버퍼/캐시에 저장된 데이터를 메모리 장치(150)에 포함된 복수의 메모리 블록들에 라이트, 다시 말해 프로그램하며, 또한 메모리 장치(150)에 프로그램된 데이터를, 업데이트하여 메모리 장치(150)에 다시 프로그램할 경우의 데이터 처리를 일 예로 하여 설명하기로 한다.
- [0122] 여기서, 본 발명의 실시 예에서, 메모리 장치(150)의 메모리 블록들에는, 전술한 바와 같이, 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터가 프로그램되어 저장되며, 특히 각각의 메모리 블록들에는 복수의 페이지들이 각각 포함되고, 라이트 데이터가 해당 메모리 블록의 페이지들에 프로그램되어 저장된다. 이때, 메모리 블록의 페이지들에 프로그램된 라이트 데이터에 대해, 호스트(102)로부터 라이트 커맨드가 수신될 경우, 다른 해당 메모리 블록의 페이지들에, 라이트 데이터가 업데이트 프로그램되며, 그에 따라 이전 해당 메모리 블록들의 페이지들에 저장된 라이트 데이터는 무효 데이터가 되고, 이전 해당 메모리 블록들의 페이지들은 무효 페이지(invalid page)가 된다. 이렇게 메모리 장치(150)의 메모리 블록들에 무효 페이지들이 포함될 경우, 메모리 장치(150)의 사용 효율을 보다 극대화하기 위해, 메모리 장치(150)의 메모리 블록들 간에 데이터를 처리하는 동작을 수행, 예컨대 가비지 컬렉션(GC: Garbage Collection)을 수행할 수 있다.
- [0123] 특히, 본 발명의 실시 예에서는, 메모리 장치(150)의 각 메모리 블록들에서, 무효 페이지들을 포함하는 전체(whole) 또는 부분(partial) 메모리 블록들을 수집(collect)하여, 빈(empty) 메모리 블록, 오픈(open) 메모리 블록, 또는 프리(free) 메모리 블록을 생성하거나, 메모리 장치(150)의 각 메모리 블록들에 대한 가비지 컬렉션을 수행하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성할 수 있다. 이하에서는, 메모리 장치(150)의 메모리 블록들로의 데이터 프로그램에 따른 부분 메모리 블록들에 대한, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록의 생성 동작을 일 예로 하여 보다 구체적으로 설명하기로 한다. 그리고, 이하에서는 설명의 편의를 위해, 메모리 시스템에서의 데이터 처리 동작을 컨트롤러(130)가 수행하는 것을 일

예로 하여 설명하지만, 전술한 바와 같이, 컨트롤러(130)에 포함된 프로세서(134)가, 예컨대 FTL을 통해, 데이터 처리를 수행, 다시 말해 FTL을 통해, 메모리 장치(150)의 메모리 블록들에서, 무효 페이지들을 포함하는 전체 또는 부분 메모리 블록, 특히 부분 메모리 블록들을 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성할 수 있다.

[0124] 다시 말해, 본 발명의 실시 예에서는, 컨트롤러(130)가 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터를, 컨트롤러(130)의 메모리(144)에 포함된 버퍼에 저장한 후, 버퍼에 저장된 데이터를, 메모리 장치(150)에 포함된 복수의 메모리 블록들에서 임의의 메모리 블록의 복수의 페이지들에 프로그램, 예컨대 프로그램 동작을 수행하여 제1메모리 블록의 제1페이지에 저장한다. 그리고, 컨트롤러(130)가, 제1메모리 블록의 제1페이지에 저장된 데이터에 대한 라이트 커맨드를 호스트(102)로부터 수신할 경우, 제1메모리 블록의 제1페이지에 저장된 데이터에 대한 프로그램을 수행, 다시 말해 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터를, 임의의 메모리 블록의 다른 페이지들, 예컨대 제1메모리 블록의 다른 제2페이지, 또는 다른 임의의 메모리 블록의 페이지들, 예컨대 제2메모리 블록의 제1페이지에 저장하며, 이때 이전 임의의 메모리 블록의 페이지, 다시 말해 제1메모리 블록의 제1페이지에 저장된 데이터를 무효 데이터로 처리하며, 그에 따라 제1메모리 블록의 제1페이지는 무효 페이지가 된다.

[0125] 또한, 본 발명의 실시 예에서는, 컨트롤러(130)가 메모리 장치(150)의 메모리 블록들에서, 프로그램이 완료된 메모리 블록들, 다시 말해 각 메모리 블록에 포함된 모든 페이지들에 대한 데이터의 라이트 동작이 수행된 메모리 블록들, 즉 데이터의 프로그램이 수행된 클로즈(close) 메모리 블록들에서, 무효 페이지들을 포함하는 부분 메모리 블록들을 수집하여, 데이터의 라이트 동작 수행이 가능한, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성할 경우의 데이터 처리를 일 예로 하여 설명하기로 한다. 여기서, 본 발명의 실시 예에서는, 메모리 장치(150)의 메모리 블록들에 저장된 데이터의 업데이트 프로그램할 경우, 다시 말해 메모리 블록들에 저장된 데이터에 해당하는 라이트 커맨드를 호스트(102)로부터 수신하여, 라이트 커맨드에 해당하는 데이터를 메모리 장치(150)의 메모리 블록들에 다시 프로그램할 경우의 데이터 처리에 대해서 보다 구체적으로 설명하기로 한다.

[0126] 그리고, 이하에서는 설명의 편의를 위해, 메모리 장치(150)의 메모리 블록들에서, 메모리 블록에 포함된 모든 페이지들에 대한 데이터 프로그램이 완료된 메모리 블록들, 예컨대 클로즈 메모리 블록들에 저장된 데이터의 업데이트 프로그램을 수행할 경우, 다시 말해 클로즈 메모리 블록들에 저장된 데이터에 해당하는 라이트 커맨드를 호스트(102)로부터 수신하여, 메모리 장치(150)의 다른 메모리 블록에 프로그램할 경우의 데이터 처리 및 메모리 블록들의 처리에 대해서 보다 구체적으로 설명하기로 한다. 특히, 본 발명의 실시 예에서는, 메모리 장치(150)의 클로즈 메모리 블록들에 대한 가비지 컬렉션을 수행하기 전에, 메모리 장치(150)의 클로즈 메모리 블록들에서, 무효 페이지들을 포함하는 전체 또는 부분 메모리 블록들을 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성하는 동작에 대해서 보다 구체적으로 설명하기로 한다.

[0127] 우선, 도 12를 참조하면, 컨트롤러(130)는, 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터를, 컨트롤러(130)의 메모리(144)에 포함된 버퍼에 저장한 후, 버퍼에 저장된 라이트 데이터를 메모리 장치(1200)에 포함된 복수의 메모리 블록들, 예컨대 블록0(Block0)(1210), 블록1(Block1)(1220), 블록2(Block2)(1230), 블록3(Block3)(1240)에 라이트 데이터를 프로그램한다.

[0128] 여기서, 메모리 장치(150)에 포함된 복수의 메모리 블록들에는, 전술한 바와 같이 복수의 페이지들을 포함하며, 각각의 메모리 블록들은, 기 설정된 개수의 페이지들을 포함하는 복수의 페이지 존(page zone)들 또는 부분 메모리 블록들을 포함, 다시 말해 각각의 메모리 블록들은, 기 설정된 개수의 페이지들을 포함하는 복수의 페이지 존들 또는 부분 메모리 블록들로 분할되며, 본 발명의 실시 예에서는, 메모리 장치(150)의 메모리 블록들에 저장된 데이터의 업데이트 프로그램할 경우, 업데이트 프로그램에 상응한 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들에서의 무효 페이지(invalid page) 및 유효 페이지(valid page)를 확인하여, 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들에서 유효 페이지의 존재 여부를 지시하는 정보 리스트, 다시 말해 페이지 존들 또는 부분 메모리 블록들의 유효 페이지 존재 지시 정보를 포함하는 맵 리스트(map list)를 생성한다.

[0129] 그리고, 본 발명의 실시 예에서는, 메모리 장치(150)의 클로즈 메모리 블록들에 대한 가비지 컬렉션을 수행하기 전에, 맵 리스트를 통해, 유효 페이지가 존재하지 않는 메모리 블록들의 페이지 존들, 다시 말해 무효 페이지들만을 존재하는 전체 또는 부분 메모리 블록들을 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성한다. 또한, 본 발명의 실시 예에서는, 전술한 바와 같이, 맵 리스트를 통해, 무효 페이지들만을 포함하는 전체 또는 부분 메모리 블록들을 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블

록을 생성한 후, 유효 페이지들이 존재하는 전체 또는 부분 메모리 블록들에 대해 가비지 컬렉션을 수행하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성할 수도 있다.

[0130] 예컨대, 본 발명의 실시 예에서는, 각 메모리 블록들에 포함된 복수의 페이지 존들 별로 유효 페이지 존재 지시 정보가, 비트맵(bitmap), 클린 맵(clean map), 또는 클린 블록 비트맵(clean block bitmap) 형태로, 맵 리스트에 포함되며, 맵 리스트에 포함된 유효 페이지 존재 지시 정보에 따라, 유효 페이지가 존재하지 않는 페이지 존들, 다시 말해 무효 페이지들만을 존재하는 전체 또는 부분 메모리 블록들을 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성한다. 여기서, 컨트롤러(130)는, 맵 리스트를, 컨트롤러(130)의 메모리(144)에 저장하거나, 또는 메모리 장치(150)의 메모리 블록들에서 임의의 메모리 블록에 저장하며, 맵 리스트가 저장된 임의의 메모리 블록에는, 리드/라이트 데이터가 메모리 장치(150)에 저장된 유효 페이지의 존재 여부를 지시하는 정보, 예컨대 리드/라이트 데이터의 저장 정보로서 맵 정보, 어드레스(address) 정보, 페이지 정보, 논리적/물리적(L2P: Logical to Physical) 정보, 물리적/논리적(P2L: Physical to Logical) 정보, 또는 이러한 정보들을 포함하는 메타(meta) 데이터가 함께 저장될 수도 있다.

[0131] 예를 들어 보다 구체적으로 설명하면, 메모리 장치(150)에 포함된 복수의 메모리 블록들, 예컨대 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)은, 각각 복수의 페이지들을 포함하며, 또한 기 설정된 개수, 예컨대 6개의 페이지들이 그룹화된 복수의 페이지 존들을 포함, 다시 말해 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)은, 각각 6개의 페이지들을 포함하는 복수의 페이지 존들로 분할된다. 또한, 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)은, 하나의 슈퍼 블록(super block)을 형성할 수도 있다.

[0132] 일 예로, 메모리 장치(1200)의 블록0(1210)은, 각각 6개의 페이지들이 그룹화된 페이지 존0(1212), 페이지 존1(1214), 페이지 존2(1216), 및 페이지 존3(1218)을 포함하고, 메모리 장치(1200)의 블록1(1220)은, 각각 6개의 페이지들이 그룹화된 페이지 존0(1222), 페이지 존1(1224), 페이지 존2(1226), 및 페이지 존3(1228)을 포함하며, 메모리 장치(1200)의 블록2(1230)는, 각각 6개의 페이지들이 그룹화된 페이지 존0(1232), 페이지 존1(1234), 페이지 존2(1236), 및 페이지 존3(1238)을 포함하고, 메모리 장치(1200)의 블록3(1240)은, 각각 6개의 페이지들이 그룹화된 페이지 존0(1242), 페이지 존1(1244), 페이지 존2(1246), 및 페이지 존3(1248)을 포함한다. 즉, 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)은, 각각 6개의 페이지들을 포함하는 페이지 존0(1212, 1222, 1232, 1242), 페이지 존1(1214, 1224, 1234, 1244), 페이지 존2(1216, 1226, 1236, 1246), 및 페이지 존3(1218, 1228, 1238, 1248)으로 분할된다. 이하에서는 설명의 편의를 위해, 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)이 클로즈 메모리 블록인 것을 일 예로 하여 보다 구체적으로 설명하기로 한다.

[0133] 그리고, 컨트롤러(130)는, 전술한 바와 같이, 메모리 장치(150)에 포함된 복수의 메모리 블록들, 예컨대 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)에 저장된 데이터에 대해 업데이트 프로그램할 경우, 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 유효 페이지 존재 여부를 지시하는 정보, 즉 유효 페이지 존재 지시 정보를, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로, 맵 리스트(1250)에 포함한다. 여기서, 맵 리스트(1250)는, 메모리 장치(1200)의 클로즈 메모리 블록인 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)에서 데이터의 업데이트 프로그램에 상응한 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 유효 페이지 존재 지시 정보를, 각각 대응하는 행(row)들에 저장, 다시 말해 블록0(1210)에 대한 유효 페이지 존재 지시 정보를 제1행(1260)에 저장하고, 블록1(1220)에 대한 유효 페이지 존재 지시 정보를 제2행(1270)에 저장하며, 블록2(1230)에 대한 유효 페이지 존재 지시 정보를 제3행(1280)에 저장하고, 블록3(1240)에 대한 유효 페이지 존재 지시 정보를 제4행(1290)에 저장한다.

[0134] 또한, 각 블록들(1210, 1220, 1230, 1240)에 대한 유효 페이지 존재 지시 정보가 맵 리스트(1250)에 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 포함되므로, 각 블록들(1210, 1220, 1230, 1240)에 포함된 각각의 페이지 존들에 해당하는 유효 페이지 존재 지시 정보가, 맵 리스트(1250)의 각각의 행들(1260, 1270, 1280, 1290)의 소정 비트 영역들에 저장된다. 다시 말해, 맵 리스트(1250)의 각각의 행들(1260, 1270, 1280, 1290)은, 메모리 장치(1200)의 각 블록들(1210, 1220, 1230, 1240)에 대응하고, 맵 리스트(1250)의 각각의 행들(1260, 1270, 1280, 1290)에서 소정 비트 영역들은, 각 블록들(1210, 1220, 1230, 1240)의 페이지 존들에 대응하며, 그에 따라 각 블록들(1210, 1220, 1230, 1240)의 각 페이지 존들에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)에서 대응하는 소정 비트 영역들에, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 저장된다.

[0135] 여기서, 블록0(1210)의 페이지 존0(1212)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제1행

(1260)에서 제1비트 영역(1262)에 저장되고, 블록0(1210)의 페이지 존1(1214)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제1행(1260)에서 제2비트 영역(1264)에 저장되며, 블록0(1210)의 페이지 존2(1216)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제1행(1260)에서 제3비트 영역(1266)에 저장되고, 블록0(1210)의 페이지 존3(1218)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제1행(1260)에서 제4비트 영역(1268)에 저장된다.

[0136] 그리고, 블록1(1220)의 페이지 존0(1222)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제2행(1270)에서 제1비트 영역(1272)에 저장되고, 블록1(1220)의 페이지 존1(1224)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제2행(1270)에서 제2비트 영역(1274)에 저장되며, 블록1(1220)의 페이지 존2(1226)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제2행(1270)에서 제3비트 영역(1276)에 저장되고, 블록1(1220)의 페이지 존3(1228)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제2행(1270)에서 제4비트 영역(1278)에 저장된다.

[0137] 아울러, 블록2(1230)의 페이지 존0(1232)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제3행(1280)에서 제1비트 영역(1282)에 저장되고, 블록2(1230)의 페이지 존1(1234)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제3행(1280)에서 제2비트 영역(1284)에 저장되며, 블록2(1230)의 페이지 존2(1236)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제3행(1280)에서 제3비트 영역(1286)에 저장되고, 블록2(1230)의 페이지 존3(1238)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제3행(1280)에서 제4비트 영역(1288)에 저장된다.

[0138] 그리고, 블록3(1240)의 페이지 존0(1242)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제4행(1290)에서 제1비트 영역(1292)에 저장되고, 블록3(1240)의 페이지 존1(1244)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제4행(1290)에서 제2비트 영역(1294)에 저장되며, 블록3(1240)의 페이지 존2(1246)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제4행(1290)에서 제3비트 영역(1296)에 저장되고, 블록3(1240)의 페이지 존3(1248)에 대한 유효 페이지 존재 지시 정보는, 맵 리스트(1250)의 제4행(1290)에서 제4비트 영역(1298)에 저장된다.

[0139] 여기서, 각 블록들(1210, 1220, 1230, 1240)의 각 페이지 존들에 대한 유효 페이지 존재 지시 정보를 포함하는 소정 비트 영역들에는, 각 페이지 존들에 대응하는 1비트가 할당되거나, 또는 그 이상의 비트, 예컨대 페이지 존들에 포함된 페이지들 별로 각각 대응하는 1비트가 할당되어 각 페이지 존들에 6개의 페이지들이 포함되므로 6비트가 할당될 수 있다. 또한, 각 블록들(1210, 1220, 1230, 1240)에서 페이지 존들의 페이지들에 저장된 데이터에 대한 업데이트 프로그램이 수행될 경우, 다시 말해 호스트(102)로부터 페이지 존들의 페이지들에 저장된 데이터에 대한 라이트 커맨드를 수신하여 프로그램이 수행될 경우, 컨트롤러(130)는, 각 블록들(1210, 1220, 1230, 1240)의 페이지 존들에서의 프로그램에 상응하여, 각 블록들(1210, 1220, 1230, 1240)의 페이지 존들에 유효 페이지가 존재하지 않을 경우, 즉 각 블록들(1210, 1220, 1230, 1240)의 페이지 존들에 무효 페이지들만 존재할 경우에는, 유효 페이지가 존재하지 않음, 즉 무효 페이지들만 존재함을 지시하도록, 각 블록들(1210, 1220, 1230, 1240)의 페이지 존들에 대응하는 소정 비트 영역들을 '1'로 설정할 수 있다.

[0140] 그러면 이하에서는, 전술한 바와 같이, 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)이 클로즈 메모리 블록인 것을 일 예로 하여, 본 발명의 실시 예에서의 데이터 처리 동작에 따른 오픈 메모리 블록 생성에 대해서 보다 구체적으로 설명하기로 한다.

[0141] 먼저, 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)이 클로즈 메모리 블록이므로, 메모리 장치(1200)의 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들에는 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터가 저장되며, 라이트 데이터가 메모리 장치(1200)에서 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들에 저장됨을 지시하는 정보, 예컨대 논리 어드레스(Logical Address)와 물리적 어드레스(Physical Address) 간의 매핑 정보로, L2P(Logical to Physical) 정보 및 P2L(Physical to Logical) 정보가, 컨트롤러(130)의 메모리(144) 또는 메모리 장치(1200)의 임의의 메모리 블록에 저장된다.

[0142] 다시 말해, 컨트롤러(130)는, 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터를, 메모리 장치(1200)에서 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들에 프로그램하여 저장하며, 또한 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들로의 데이터 저장에 따른 맵 정보를 생성, 예컨대 논리적 페이지 번호를 갖는 데이터의 논리 어드레스/물리적 어드레스 정보를 포함하는 L2P 정보와, 각 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들에 저장된 데이터의 논리적 페이지 번호 정보

를 포함하는 P2L 정보를 생성한 후, 이렇게 생성된 L2P 정보와 P2L 정보를 저장하며, 아울러 라이트 데이터의 프로그램에 따라 저장된 L2P 정보와 P2L 정보는 업데이트된다. 여기서, L2P 정보에는, 메모리 장치(1200)의 모든 메모리 블록들, 다시 말해 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들에 저장된 데이터에 대한 물리적 맵 정보가 포함된 L2P 테이블들이 포함된다. 그리고, P2L 정보에는 메모리 장치(1200)의 모든 메모리 블록들의 각 페이지들에 저장된 데이터에 대한 논리적 정보, 다시 말해 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 각 페이지들에 저장된 데이터의 논리적 페이지 번호가 포함된 P2L 테이블들이 포함된다.

[0143] 이렇게 클로즈 메모리 블록인 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지들에 저장된 데이터에 대한 라이트 커맨드를 호스트(102)로부터 수신할 경우, 라이트 커맨드에 해당하는 라이트 데이터를, 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)이 아닌 새로운 임의의 메모리 블록의 페이지들에 업데이트 프로그램하며, 이러한 새로운 임의의 메모리 블록의 페이지들에 라이트 데이터의 업데이트 프로그램에 따라, 전송한 L2P 정보 및 P2L 정보를 업데이트하며, 아울러 클로즈 메모리 블록인 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)의 페이지 존들에서 유효 페이지의 존재 여부를 지시하는 정보를 맵 리스트(1250)에 저장한다.

[0144] 예를 들어 보다 구체적으로 설명하면, 클로즈 메모리 블록인 블록0(1210)의 페이지1(Page1), 페이지4(Page4), 페이지5(Page5), 페이지8(Page8), 페이지9(Page9), 및 페이지20(Page20)을 제외한 나머지 페이지들에 저장된 데이터에 해당하는 라이트 커맨드를 호스트(102)로부터 수신할 경우, 컨트롤러(130)는, 라이트 커맨드 해당하는 데이터를 메모리 장치(150)의 임의의 메모리 블록에 프로그램하며, 그에 따라 블록0(1210)의 페이지1(Page1), 페이지4(Page4), 페이지5(Page5), 페이지8(Page8), 페이지9(Page9), 및 페이지20(Page20)은, 유효 페이지가 되고, 블록0(1210)의 나머지 페이지들은 무효 페이지가 된다. 이때, 컨트롤러(130)는, 클로즈 메모리 블록인 블록0(1210)에서, 페이지 존0(1212), 페이지 존1(1214), 및 페이지 존3(1218)에는 유효 페이지가 존재하고, 페이지 존2(1216)에는 무효 페이지들만이 존재하므로, 블록0(1210)의 페이지 존들(1212,1214,1216,1218)에 대한 유효 페이지 존재 지시 정보를, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 맵 리스트(1250)에 저장한다. 특히, 컨트롤러(130)는, 클로즈 메모리 블록인 블록0(1210)의 페이지 존2(1216)에 유효 페이지가 존재하지 않으므로, 즉 무효 페이지들만 존재하므로, 블록0(1210)의 페이지 존2(1216)에 대응하는 맵 리스트(1250)의 제1행(1260)의 제3비트 영역(1266)을 '1'로 설정한다.

[0145] 또한, 클로즈 메모리 블록인 블록1(1220)의 페이지8(Page8), 페이지9(Page9), 페이지13(Page13), 페이지14(Page14), 및 페이지20(Page20)을 제외한 나머지 페이지들에 저장된 데이터에 해당하는 라이트 커맨드를 호스트(102)로부터 수신할 경우, 컨트롤러(130)는, 라이트 커맨드 해당하는 데이터를 메모리 장치(150)의 임의의 메모리 블록에 프로그램하며, 그에 따라 블록1(1220)의 페이지8(Page8), 페이지9(Page9), 페이지13(Page13), 페이지14(Page14), 및 페이지20(Page20)은, 유효 페이지가 되고, 블록0(1210)의 나머지 페이지들은 무효 페이지가 된다. 이때, 컨트롤러(130)는, 클로즈 메모리 블록인 블록1(1220)에서, 페이지 존1(1224), 페이지 존2(1226), 및 페이지 존3(1228)에는 유효 페이지가 존재하고, 페이지 존0(1222)에는 무효 페이지들만이 존재하므로, 블록1(1220)의 페이지 존들(1222,1224,1226,1228)에 대한 유효 페이지 존재 지시 정보를, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 맵 리스트(1250)에 저장한다. 특히, 컨트롤러(130)는, 클로즈 메모리 블록인 블록1(1220)의 페이지 존0(1222)에 유효 페이지가 존재하지 않으므로, 즉 무효 페이지들만 존재하므로, 블록1(1220)의 페이지 존0(1222)에 대응하는 맵 리스트(1250)의 제2행(1270)의 제1비트 영역(1272)을 '1'로 설정한다.

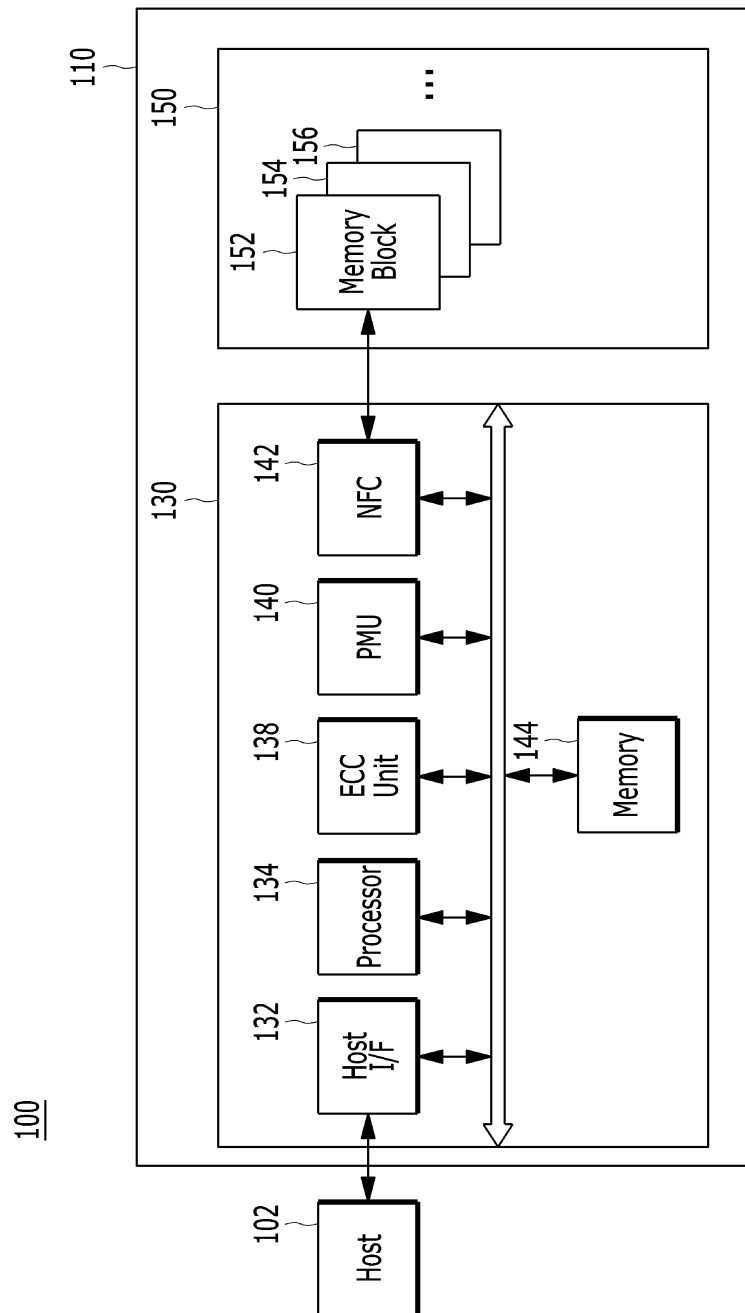
[0146] 그리고, 클로즈 메모리 블록인 블록2(1230)의 페이지1(Page1), 페이지4(Page4), 페이지5(Page5), 페이지8(Page8), 페이지9(Page9), 페이지14(Page14), 및 페이지15(Page15)를 제외한 나머지 페이지들에 저장된 데이터에 해당하는 라이트 커맨드를 호스트(102)로부터 수신할 경우, 컨트롤러(130)는, 라이트 커맨드 해당하는 데이터를 메모리 장치(150)의 임의의 메모리 블록에 프로그램하며, 그에 따라 블록2(1230)의 페이지1(Page1), 페이지4(Page4), 페이지5(Page5), 페이지8(Page8), 페이지9(Page9), 페이지14(Page14), 및 페이지15(Page15)는, 유효 페이지가 되고, 블록2(1230)의 나머지 페이지들은 무효 페이지가 된다. 이때, 컨트롤러(130)는, 클로즈 메모리 블록인 블록2(1230)에서, 페이지 존0(1232), 페이지 존1(1234), 및 페이지 존2(1236)에는 유효 페이지가 존재하고, 페이지 존3(1238)에는 무효 페이지들만이 존재하므로, 블록2(1230)의 페이지 존들(1232,1234,1236,1238)에 대한 유효 페이지 존재 지시 정보를, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 맵 리스트(1250)에 저장한다. 특히, 컨트롤러(130)는, 클로즈 메모리 블록인 블록2(1230)의 페이지 존3(1238)에 유효 페이지가 존재하지 않으므로, 즉 무효 페이지들만 존재하므로, 블록3(1230)의 페이지 존3(1238)에 대응하는 맵 리스트(1250)의 제3행(1280)의 제4비트 영역(1288)을 '1'로 설정한다.

- [0147] 아울러, 클로즈 메모리 블록인 블록3(1240)의 페이지4(Page4), 페이지5(Page5), 페이지12(Page12), 페이지13(Page13), 및 페이지20(Page20)을 제외한 나머지 페이지들에 저장된 데이터에 해당하는 라이트 커맨드를 호스트(102)로부터 수신할 경우, 컨트롤러(130)는, 라이트 커맨드 해당하는 데이터를 메모리 장치(150)의 임의의 메모리 블록에 프로그램하며, 그에 따라 블록3(1240)의 페이지4(Page4), 페이지5(Page5), 페이지12(Page12), 페이지13(Page13), 및 페이지20(Page20)은, 유효 페이지가 되고, 블록3(1240)의 나머지 페이지들은 무효 페이지가 된다. 이때, 컨트롤러(130)는, 클로즈 메모리 블록인 블록3(1240)에서, 페이지 존0(1242), 페이지 존2(1246), 및 페이지 존3(1248)에는 유효 페이지가 존재하고, 페이지 존1(1244)에는 무효 페이지들만이 존재하므로, 블록3(1240)의 페이지 존들(1242, 1244, 1246, 1248)에 대한 유효 페이지 존재 지시 정보를, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 맵 리스트(1250)에 저장한다. 특히, 컨트롤러(130)는, 클로즈 메모리 블록인 블록3(1240)의 페이지 존1(1244)에 유효 페이지가 존재하지 않으므로, 즉 무효 페이지들만 존재하므로, 블록3(1240)의 페이지 존1(1244)에 대응하는 맵 리스트(1250)의 제4행(1290)의 제2비트 영역(1294)을 '1'로 설정한다.
- [0148] 이렇게 메모리 장치(1200)의 메모리 블록들, 예컨대 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)에 무효 페이지들이 포함될 경우, 메모리 장치(1200)의 사용 효율을 보다 극대화하기 위해, 메모리 장치(1200)의 메모리 블록들 간에 데이터를 처리하는 동작을 수행, 예컨대 가비지 컬렉션을 수행하며, 이때 본 발명의 실시 예에서는, 컨트롤러(130)가 메모리 장치(1200)의 메모리 블록들에서 페이지 존들에 대한 유효 페이지 존재 지시 정보를 통해, 메모리 장치(1200)의 메모리 블록들에 대한 가비지 컬렉션을 수행하기 전에, 메모리 장치(1200)에 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성, 다시 말해 컨트롤러(130)는, 가비지 컬렉션을 수행하기 전에, 맵 리스트(1250)를 통해, 메모리 장치(1200)의 메모리 블록들에서 무효 페이지들만을 포함하는 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들을 확인한 후, 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성한다. 또한, 컨트롤러(130)는, 전술한 바와 같이, 맵 리스트를 통해, 무효 페이지들만을 포함하는 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성한 후, 유효 페이지들을 포함하는 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들에 대한 가비지 컬렉션을 수행하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성한다. 그러므로, 본 발명의 실시 예에서는, 가비지 컬렉션의 수행을 최소화하며, 메모리 장치(1200)의 사용 효율을 보다 극대화할 수 있다.
- [0149] 보다 구체적으로 설명하면, 컨트롤러(130)는, 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)에 대한 유효 페이지 존재 지시 정보를, 비트맵, 클린 맵, 또는 클린 블록 비트맵 형태로 저장하는 맵 리스트(1250)에서, 각 블록0(1210), 블록1(1220), 블록2(1230), 블록3(1240)에서 무효 페이지들만 존재하는 페이지 존들을 확인한다. 즉, 컨트롤러(130)는, 맵 리스트(1250)에서 제1행의 제3비트 영역(1266)을 통해, 블록0(1210)의 페이지 존2(1216)에는 무효 페이지들만 존재함을 확인하고, 맵 리스트(1250)에서 제2행의 제1비트 영역(1272)을 통해, 블록1(1220)의 페이지 존0(1222)에는 무효 페이지들만 존재함을 확인하며, 맵 리스트(1250)에서 제3행의 제4비트 영역(1288)을 통해, 블록2(1230)의 페이지 존3(1238)에는 무효 페이지들만 존재함을 확인하고, 맵 리스트(1250)에서 제4행의 제2비트 영역(1294)을 통해, 블록3(1240)의 페이지 존1(1244)에는 무효 페이지들만 존재함을 확인한다.
- [0150] 그리고, 컨트롤러(130)는, 무효 페이지들만 존재하는 각 블록들의 페이지 존들, 즉 블록0(1210)의 페이지 존2(1216), 블록1(1220)의 페이지 존0(1222), 블록2(1230)의 페이지 존3(1238), 및 블록3(1240)의 페이지 존1(1244)를 수집하여, 오픈 메모리 블록인 블록i(Blocki)(1295)를 생성한다. 즉, 블록i(1295)에는, 페이지 존0(1222-1), 페이지 존1(1244-1), 페이지 존2(1216-1), 및 페이지 존3(1238-1)을 포함하며, 컨트롤러(130)는, 호스트(102)로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터를, 블록i(1295)의 페이지 존0(1222-1), 페이지 존1(1244-1), 페이지 존2(1216-1), 및 페이지 존3(1238-1)에 포함된 복수의 페이지들에 프로그램한다. 그러면 여기서, 도 13을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서의 데이터를 처리하는 동작에 대해서 보다 구체적으로 설명하기로 한다.
- [0151] 도 13은 본 발명의 실시 예에 따른 메모리 시스템에서의 데이터를 처리하는 동작 과정을 개략적으로 도시한 도면이다.
- [0152] 도 13을 참조하면, 메모리 시스템은, 1310단계에서, 메모리 장치의 메모리 블록들에 저장된 데이터에 대한 라이트 커맨드를 호스트로부터 수신할 경우, 라이트 커맨드에 해당하는 데이터를, 메모리 장치의 메모리 블록들에서 다른 임의의 메모리 블록에 프로그램하여 저장, 다시 말해 업데이트 프로그램을 수행한 후, 이러한 업데이트 프로그램에 상응한 메모리 블록들에 대한 유효 페이지 존재 여부를 지시하는 정보를, 맵 리스트에 업데이트하여

저장한다.

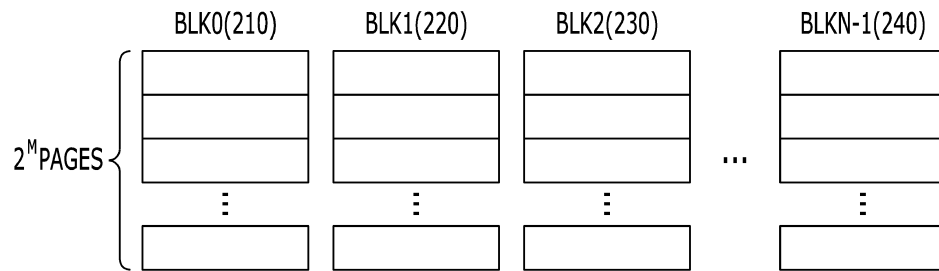
- [0153] 그리고, 1320 단계에서, 맵 리스트를 통해, 메모리 장치의 메모리 블록들에서, 유효 페이지가 존재하지 않는 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들을 확인, 다시 말해 맵 리스트를 통해, 메모리 블록들에서 무효 페이지들만 존재하는 메모리 블록들의 페이지 존들 또는 부분 메모리 블록들을 확인한다.
- [0154] 그런 다음, 1330단계에서, 메모리 블록들에서 무효 페이지들만 존재하는 페이지 존들 또는 부분 메모리 블록들을 수집한 후, 1340단계에서, 무효 페이지들만 존재하는 페이지 존들 또는 부분 메모리 블록들로, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성며, 이렇게 생성된 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록의 페이지들에, 호스트로부터 수신한 라이트 커맨드에 해당하는 라이트 데이터를 프로그램한다.
- [0155] 여기서, 메모리 장치의 메모리 블록들에서의 데이터 처리, 다시 말해 호스트로부터 수신된 라이트 커맨드에 해당하는 라이트 데이터를, 메모리 장치의 메모리 블록들에서 업데이트 프로그램, 업데이트 프로그램에 상응한 맵 리스트 생성, 및 메모리 블록들에 대한 가비지 컬렉션을 수행하기 전에, 맵 리스트를 통해 무효 페이지들만 존재하는 페이지 존들 또는 부분 메모리 블록들을 수집하여, 빈 메모리 블록, 오픈 메모리 블록, 또는 프리 메모리 블록을 생성하는 동작에 대해서는, 앞서 도 12를 참조하여 보다 구체적으로 설명하였으므로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.
- [0156] 한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면
도면1



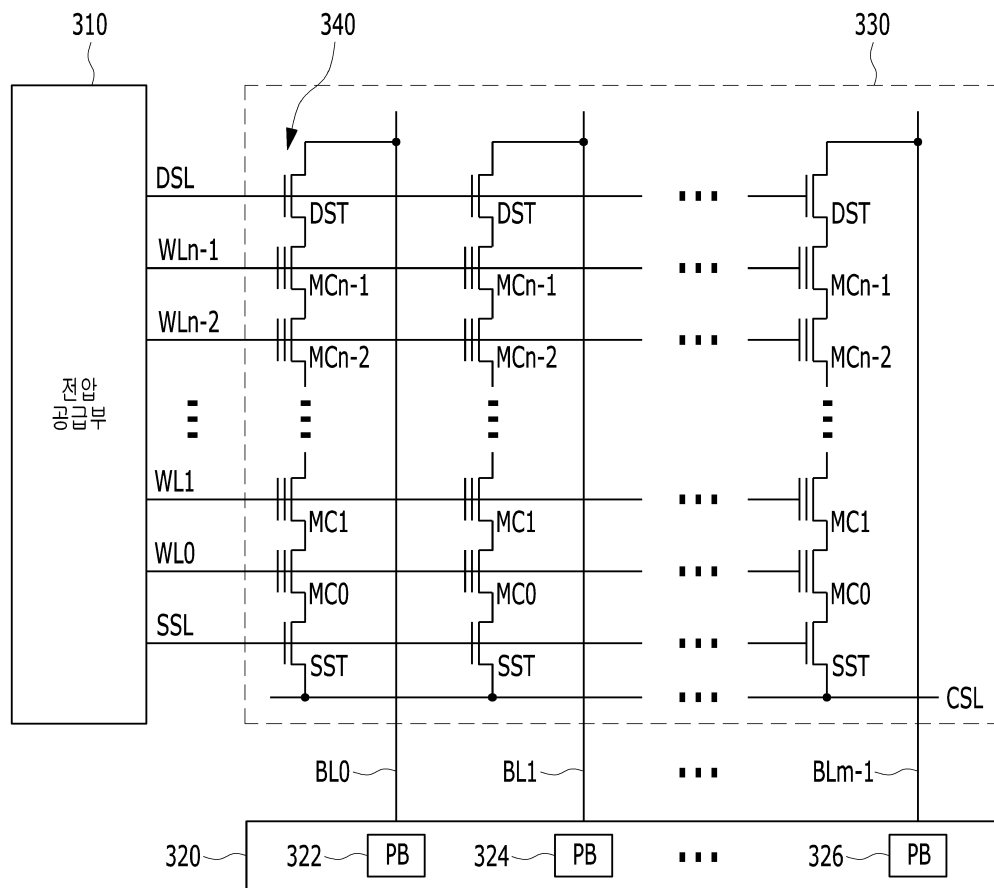
도면2

150

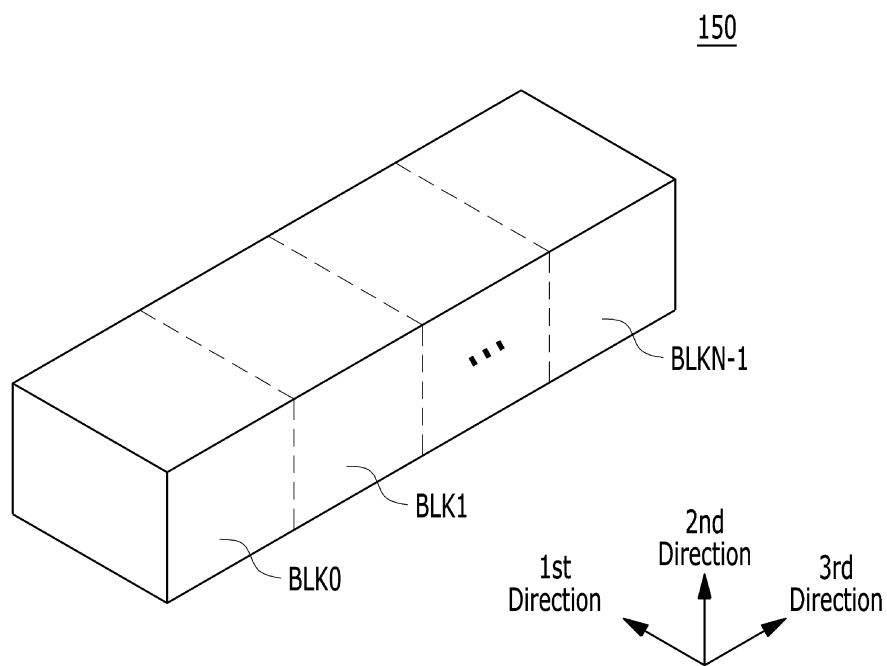


도면3

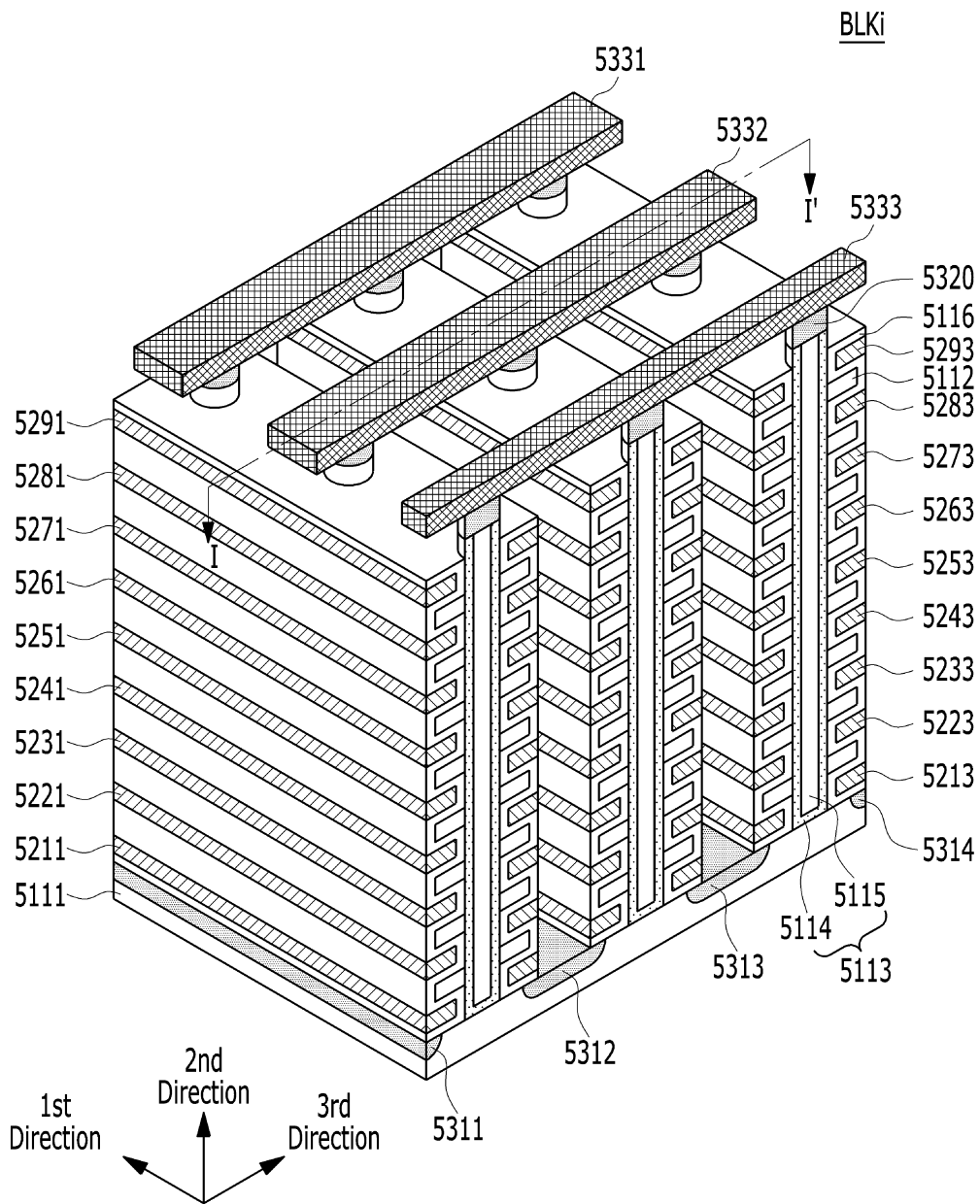
300



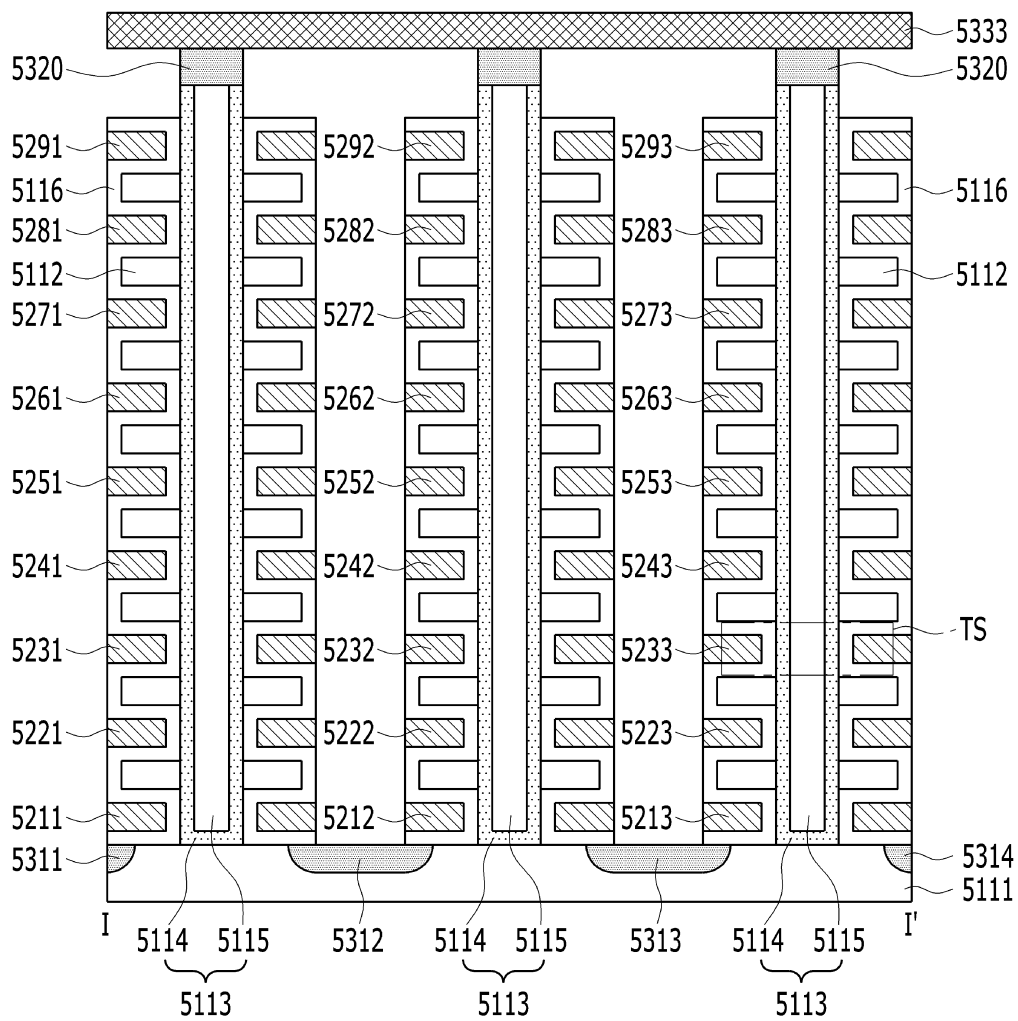
도면4



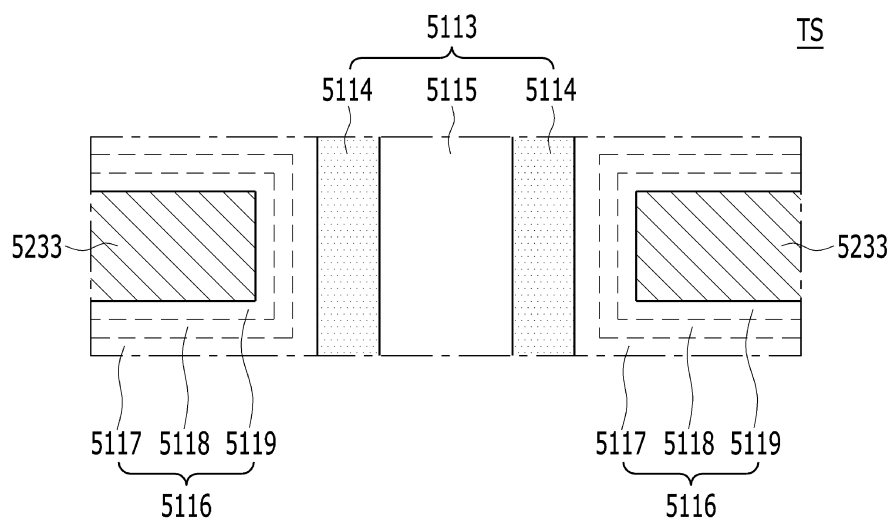
도면5



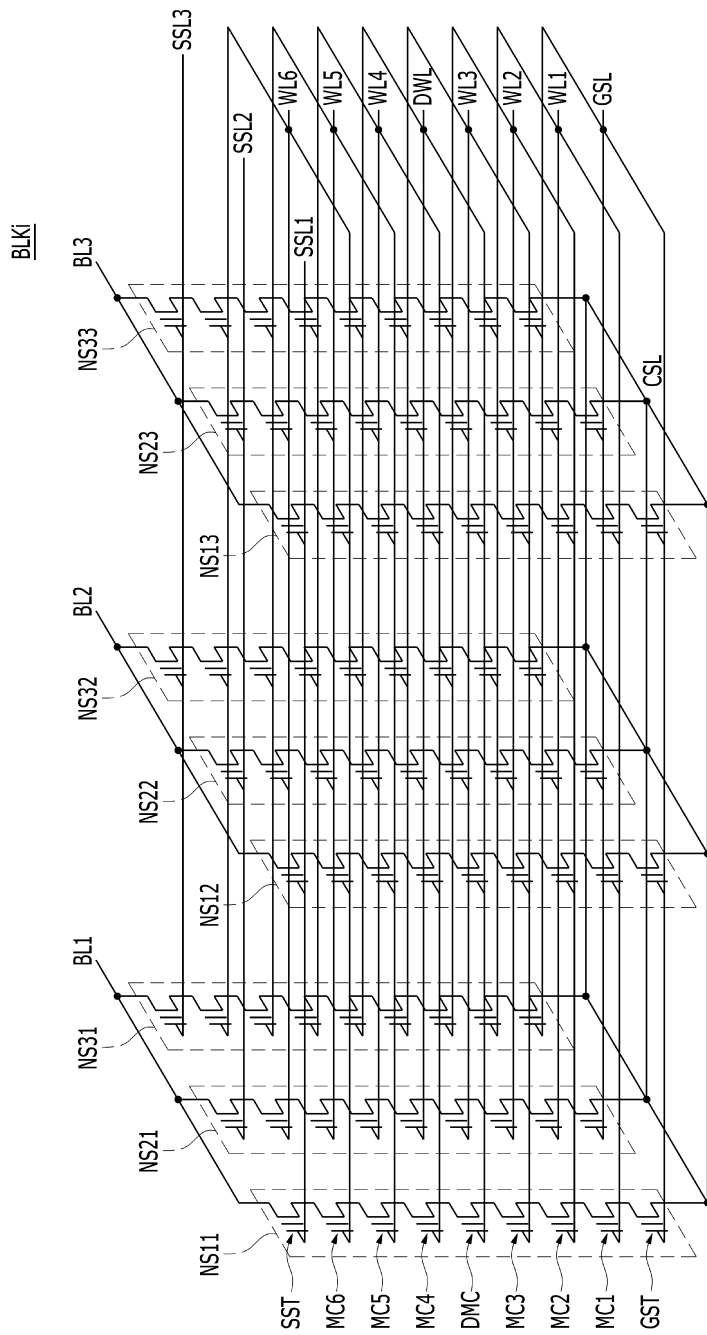
도면6



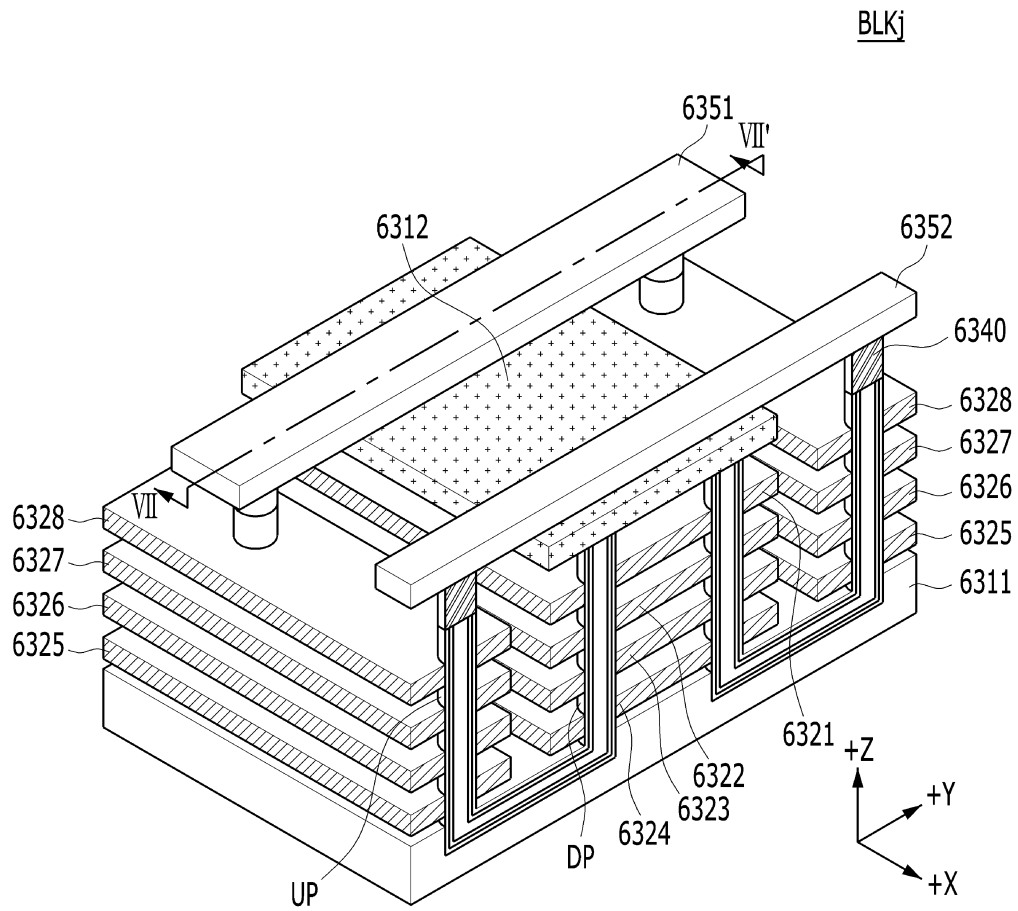
도면7



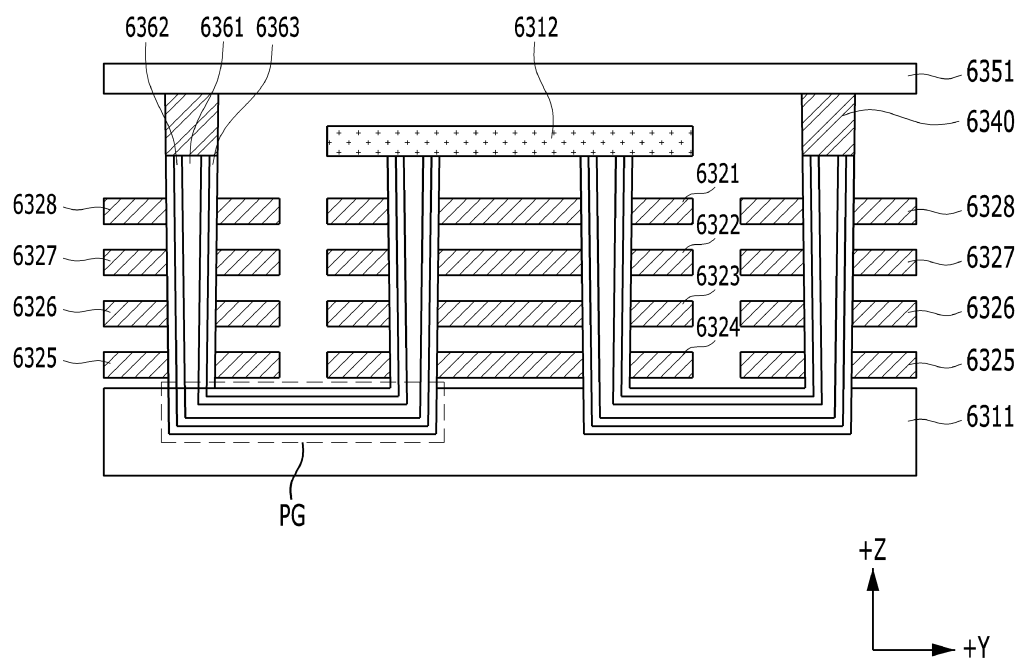
도면8



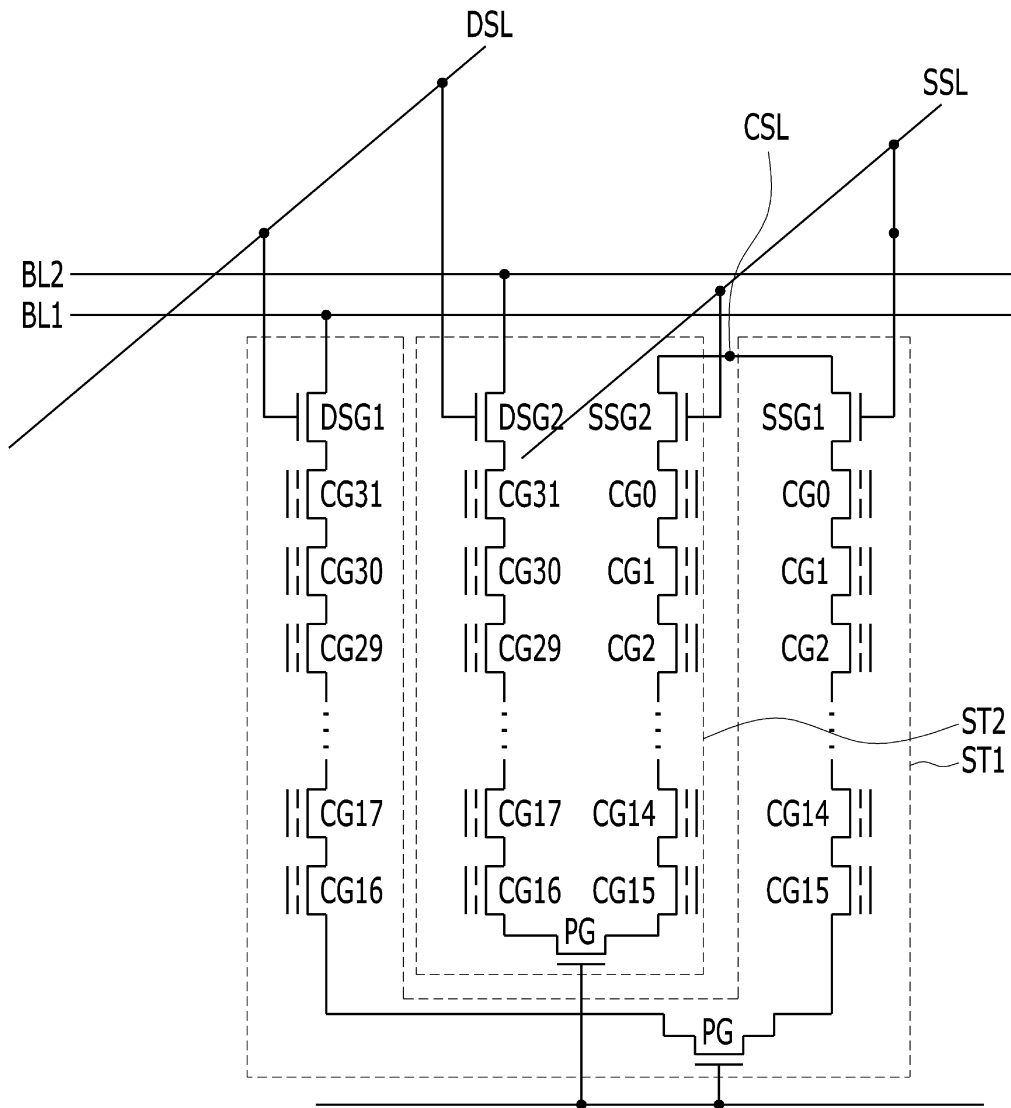
도면9



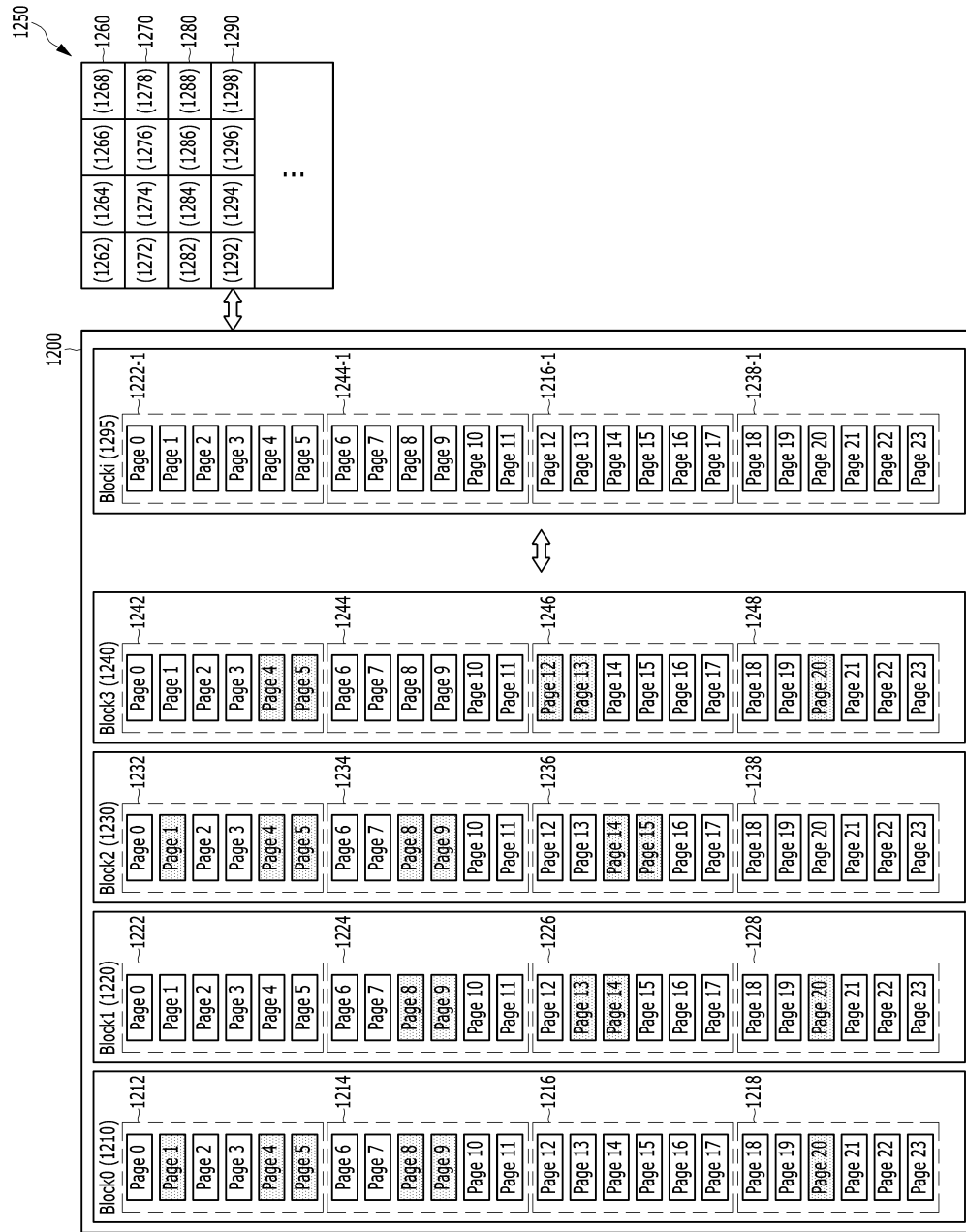
도면10



도면11



도면12



도면13

