【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年8月18日(2005.8.18)

【公開番号】特開2002-289825(P2002-289825A)
【公開日】平成14年10月4日(2002.10.4)
【出願番号】特願2002-39731(P2002-39731)
【国際特許分類第７版】
　Ｈ０１Ｌ　27/146
　Ｈ０１Ｌ　31/10
　Ｈ０４Ｎ　 5/335
【ＦＩ】
　Ｈ０１Ｌ　27/14　　Ａ
　Ｈ０４Ｎ　 5/335　　Ａ
　Ｈ０１Ｌ　31/10　　Ａ

【手続補正書】
【提出日】平成17年2月3日(2005.2.3)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　イメージング装置であって、
　基板と、
　前記基板上のアモルファス半導体バイポーラ・フォトトランジスタからなるアレイと、
　が含まれており、
　前記バイポーラ・フォトトランジスタのそれぞれに、複数のアモルファス半導体層が含まれることと、前記複数のアモルファス半導体層に、少なくとも１つのｐ型層と、少なくとも１つのｎ型層が含まれることと、前記フォトトランジスタが受光する光に応答する出力を各前記バイポーラ・フォトトランジスタが有することを特徴とする、
　イメージング装置。
【請求項２】
　前記バイポーラ・フォトトランジスタがオープン・ベース素子であることと、各前記バイポーラ・フォトトランジスタが電気的に開放されたアモルファス半導体ベース層を備えていることを特徴とする請求項１に記載のイメージング装置。
【請求項３】
　各前記バイポーラ・フォトトランジスタに真性コレクタ層が含まれることを特徴とする請求項２に記載のイメージング装置。
【請求項４】
　前記電気的に開放されたアモルファス半導体ベース層の少なくとも一部が前記基板と前記真性コレクタ層との間に位置することと、前記アモルファス半導体ベース層がアモルファス・シリコンであることを特徴とする請求項３に記載のイメージング装置。
【請求項５】
　さらに、少なくとも部分的に前記基板内に形成されている処理回路要素が含まれることを特徴とする請求項１に記載のイメージング装置。
【請求項６】
　各前記バイポーラ・フォトトランジスタが電極によって前記処理回路要素に電気的に結

合されることを特徴とする請求項５に記載のイメージング装置。
【請求項７】
各前記バイポーラ・フォトトランジスタが、ｐ型アモルファス半導体ベース層によって真性コレクタ層から間隔をあけて配置されたｎ型アモルファス半導体エミッタ層を備えるオープン・ベースＮＰＮバイポーラ・トランジスタであることを特徴とする請求項１に記載のイメージング装置。
【請求項８】
各前記バイポーラ・フォトトランジスタに、真性コレクタ層と接触した第２のｎ型アモルファス半導体層が含まれており、さらに、透明上部電極が含まれていることを特徴とする請求項７に記載のイメージング装置。
【請求項９】
各前記バイポーラ・フォトトランジスタが、ｎ型アモルファス半導体ベース層によって真性コレクタ層から間隔をあけて配置されたｐ型アモルファス半導体エミッタ層を備えるオープン・ベースＰＮＰバイポーラ・トランジスタであることを特徴とする請求項１に記載のイメージング装置。