(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-192995
(P2008-192995A)
(43)公開日　平成20年8月21日(2008.8.21)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/10	(2006.01)	H01L	27/10	451	5F083
H01L 45/00	(2006.01)	H01L	45/00	Z	
H01L 49/00	(2006.01)	H01L	49/00	Z	

審査請求 未請求　請求項の数 19　ＯＬ　（全 38 頁）

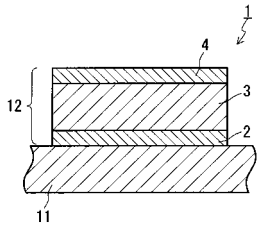
(21)出願番号　特願2007-28452(P2007-28452)
(22)出願日　平成19年2月7日(2007.2.7)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100107641
弁理士　鎌田　耕一
(74)代理人　100115152
弁理士　黒田　茂
(72)発明者　小田川　明弘
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

Ｆターム(参考)　5F083 FZ10 GA11 JA35 JA36 JA37 JA38 JA39 JA43 JA60 KA01 MA05 MA06 PR40 ZA21

(54)【発明の名称】抵抗変化素子とその製造方法ならびにそれを用いた抵抗変化型メモリ

(57)【要約】
【課題】優れた抵抗変化特性を有するとともに電気抵抗値の保持特性に優れる抵抗変化素子とその製造方法を提供する。
【解決手段】基板と基板上に配置された多層構造体とを含み、多層構造体が、上部電極および下部電極と、上部電極と下部電極との間に配置された抵抗変化層とを含み、上部電極と下部電極との間の電気抵抗値が異なる２以上の状態が存在し、上部電極と下部電極との間に駆動電圧または電流を印加することにより、上記２以上の状態から選ばれる１つの状態から他の状態へと変化する抵抗変化素子であって、抵抗変化層が式$M(Fe_{2-x}A_x)O_4$で示される酸化物を含む素子とする。上記式において、MはMn、Co、Ni、CuおよびZnから選ばれる少なくとも１種の元素。AはTi、V、Nb、Ta、Cr、Mn、CoおよびRhから選ばれる少なくとも１種の元素であってMとは異なる元素。xは式$0<x\leqq0.5$を満たす数値である。
【選択図】図１



【特許請求の範囲】
【請求項１】
基板と、前記基板上に配置された多層構造体とを含み、
前記多層構造体が、上部電極および下部電極と、前記上部電極と前記下部電極との間に配置された抵抗変化層と、を含み、
前記上部電極と前記下部電極との間の電気抵抗値が異なる２以上の状態が存在し、
前記上部電極と前記下部電極との間に駆動電圧または電流を印加することにより、前記２以上の状態から選ばれる１つの状態から他の状態へと変化する抵抗変化素子であって、
前記抵抗変化層が、式$M(Fe_{2-x}A_x)O_4$で示される酸化物を含む抵抗変化素子。
ただし、前記式において、ＭはＭｎ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素であり、ＡはＴｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種の元素であってＭとは異なる元素であり、ｘは式０＜ｘ≦０．５を満たす数値である。
【請求項２】
ｘが、式０．０５≦ｘ≦０．５を満たす数値である請求項１に記載の抵抗変化素子。
【請求項３】
前記抵抗変化層が、前記式で示される第１の酸化物からなる第１の抵抗変化膜と、前記式で示され、前記第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜と、を有する請求項１に記載の抵抗変化素子。
【請求項４】
前記第１および第２の抵抗変化膜の膜厚が互いに異なる請求項３に記載の抵抗変化素子。
【請求項５】
前記第１および第２の抵抗変化膜から選ばれる少なくとも１つの抵抗変化膜が、前記下部電極および前記上部電極から選ばれる少なくとも１つの電極と接している請求項３に記載の抵抗変化素子。
【請求項６】
前記第１の抵抗変化膜が前記上部電極に、前記第２の抵抗変化膜が前記下部電極に接している請求項５に記載の抵抗変化素子。
【請求項７】
前記抵抗変化層が、Fe_3O_4からなる抵抗膜を有する請求項１に記載の抵抗変化素子。
【請求項８】
前記抵抗変化層が、前記式で示される第１の酸化物からなる第１の抵抗変化膜と、前記式で示され、前記第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜と、を有し、
前記抵抗膜が、前記第１および第２の抵抗変化膜により狭持されている請求項７に記載の抵抗変化素子。
【請求項９】
前記抵抗変化層が、前記式で示される酸化物からなる一対の抵抗変化膜を有し、
前記抵抗膜が、前記一対の抵抗変化膜により狭持されており、
前記一対の抵抗変化膜の膜厚が互いに異なる請求項７に記載の抵抗変化素子。
【請求項１０】
前記一対の抵抗変化膜から選ばれる少なくとも１つの抵抗変化膜が、前記下部電極および前記上部電極から選ばれる少なくとも１つの電極と接している請求項９に記載の抵抗変化素子。
【請求項１１】
前記抵抗変化層が、当該層の厚さ方向に組成勾配を有する請求項１に記載の抵抗変化素子。
【請求項１２】
前記基板上に、前記多層構造体が多段に配置されている請求項１に記載の抵抗変化素子

。

【請求項１３】

請求項１～１２のいずれかに記載の抵抗変化素子を備える抵抗変化型メモリ。

【請求項１４】

前記抵抗変化素子に、情報の記録および読出時に前記素子を選択するための選択素子が直列接続されている請求項１３に記載の抵抗変化型メモリ。

【請求項１５】

請求項１に記載の抵抗変化素子の製造方法であって、

基板上に下部電極を形成する下部電極形成工程と、

前記下部電極上に、式$M(Fe_{2-x}A_x)O_4$で示される酸化物を含む抵抗変化層を形成する抵抗変化層形成工程と、

前記抵抗変化層上に、前記下部電極とともに前記抵抗変化層を狭持する上部電極を形成する上部電極形成工程と、を含む抵抗変化素子の製造方法。

ただし、前記式において、ＭはＭｎ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素であり、ＡはＴｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種の元素であってＭとは異なる元素であり、ｘは式$0<x\leqq 0.5$を満たす数値である。

【請求項１６】

前記抵抗変化層形成工程において、前記式で示される第１の酸化物からなる第１の抵抗変化膜と、前記式で示され、前記第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜とを形成して、前記第１および第２の抵抗変化膜を有する抵抗変化層を形成する、請求項１５に記載の抵抗変化素子の製造方法。

【請求項１７】

前記形成した抵抗変化層を５００℃以下の温度において熱処理し、当該層の厚さ方向に組成勾配を有する前記抵抗変化層とする、請求項１６に記載の抵抗変化素子の製造方法。

【請求項１８】

前記抵抗変化層形成工程において、室温以上５００℃以下の温度範囲で成膜温度を変化させながら前記抵抗変化層を形成する、請求項１５に記載の抵抗変化素子の製造方法。

【請求項１９】

前記抵抗変化層形成工程において、前記式で示される酸化物からなる抵抗変化膜と、Fe_3O_4からなる抵抗膜とを形成して、前記抵抗変化膜および前記抵抗膜を有する抵抗変化層を形成する、請求項１５に記載の抵抗変化素子の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、駆動電圧または電流の印加により抵抗値が変化する抵抗変化素子と、その製造方法とに関する。本発明は、また、上記抵抗変化素子を用いた抵抗変化型メモリに関する。

【背景技術】

【０００２】

メモリ素子は、情報化社会を支える重要な基幹電子部品として幅広い分野に用いられている。近年、情報携帯端末の普及に伴い、メモリ素子の微細化の要求が高まっているが、ＤＲＡＭなどの従来のメモリ素子は電荷の蓄積により情報を記録するため、微細化による悪影響を受けやすい。現在、このような悪影響を受けにくいメモリ素子として、電気抵抗値の変化により情報を記録する抵抗変化型メモリ素子が注目されており、このようなメモリ素子として、電圧または電流の印加により電気抵抗値が変化する抵抗変化素子の開発が進められている。

【０００３】

抵抗変化素子は、通常、抵抗変化層と、抵抗変化層を狭持する一対の電極とを有する。この素子は、電気抵抗値が異なる２以上の状態をとることができ、上記一対の電極間に駆

動電圧または駆動電流を印加することにより、上記状態を変化させることができる。素子において選択された１つの上記状態は、駆動電圧または電流を再印加するなどの所定の操作が素子に加わらない限り基本的に保持されるため、抵抗変化素子により不揮発性のメモリを構築できる。

【０００４】

抵抗変化素子の電気抵抗値に関する上記現象は、一般に、巨大抵抗変化（ＣＥＲ：Colossal Electro-Resistance）効果と呼ばれる。ＣＥＲ効果には、いわゆる「微細化に伴うサイズの問題」が無く、また、ＣＥＲ効果では非常に大きい抵抗変化が得られることから、抵抗変化素子を、より一層の微細化を実現した次世代の不揮発性メモリ（抵抗変化型ランダムアクセスメモリ：ＲｅＲＡＭ）とする期待が高まっている。

【０００５】

このような抵抗変化素子として、特許文献１には、スピネル型酸化物であるXFe_2O_4（ただし、Ｘは、Ｍｎ、Ｆｅ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素）からなる抵抗変化層を有する素子が開示されており、スピネル型酸化物がＣＥＲ効果の発現に適した材料であることが示されている。また、特許文献２には、化合物Ａ、Ｂで区分される２種類の元素を含む、スピネル型酸化物を含む各種の酸化物に、遷移金属を５％未満でドープした材料を抵抗変化層に用いた素子が開示されている。

【特許文献１】特開２００４－２６１９２１号公報

【特許文献２】特表２００２－５３７６２７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

不揮発性メモリを構築するためには、優れた抵抗変化特性、例えば高い抵抗変化比、を有するとともに、抵抗値の保持特性に優れる素子であることが重要である。しかし、特許文献１に開示の素子のように、スピネル型酸化物であるXFe_2O_4からなる抵抗変化層を有する素子では、十分な保持特性が実現されているとは言えず、その特性向上が求められている。また、特許文献２に開示されているような酸化物に単に遷移金属元素をドープした抵抗変化層では、却って素子の特性が劣化することがある。

【０００７】

そこで本発明は、上記従来の抵抗変化素子とは異なる構成を有し、優れた抵抗変化特性を有するとともに電気抵抗値の保持特性に優れる抵抗変化素子と、その製造方法を提供することを目的とする。

【課題を解決するための手段】

【０００８】

本発明の抵抗変化素子は、基板と前記基板上に配置された多層構造体とを含み、前記多層構造体は、上部電極および下部電極と、前記上部電極と前記下部電極との間に配置された抵抗変化層とを含み、前記上部電極と前記下部電極との間の電気抵抗値が異なる２以上の状態が存在し、前記上部電極と前記下部電極との間に駆動電圧または電流を印加することにより、前記２以上の状態から選ばれる１つの状態から他の状態へと変化する素子である。前記抵抗変化層は、式$M(Fe_{2-x}A_x)O_4$で示される酸化物を含む。ただし、前記式において、ＭはＭｎ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素であり、ＡはＴｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種の元素であってＭとは異なる元素であり、ｘは式$0<x\leqq 0.5$を満たす数値である。

【０００９】

本発明の抵抗変化型メモリは、上記本発明の抵抗変化素子を備える。

【００１０】

本発明の抵抗変化素子の製造方法は、上記本発明の抵抗変化素子の製造方法であって、基板上に下部電極を形成する下部電極形成工程と、前記下部電極上に、式$M(Fe_{2-x}A_x)O_4$で示される酸化物を含む抵抗変化層を形成する抵抗変化層形成工程と、前記抵抗変

化層上に、前記下部電極とともに前記抵抗変化層を狭持する上部電極を形成する上部電極形成工程とを含む。ただし、前記式において、ＭはＭｎ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素であり、ＡはＴｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種の元素であってＭとは異なる元素であり、ｘは式０＜ｘ≦０．５を満たす数値である。

【発明の効果】

【００１１】

本発明の抵抗変化素子は、単なるスピネル型酸化物からなる抵抗変化層、あるいは、スピネル型酸化物に遷移金属元素を単にドープした材料からなる抵抗変化層を有する従来の素子とは異なり、優れた抵抗変化特性を有するとともに電気抵抗値の保持特性に優れる。

【００１２】

また、このような素子を備える本発明の抵抗変化型メモリは、不揮発性に優れ、安定したメモリ特性を有する。

【発明を実施するための最良の形態】

【００１３】

以下、図面を参照しながら、本発明の実施の形態について説明する。以下の説明において、同一の部材に同一の符号を付して、重複する説明を省略する場合がある。

【００１４】

［抵抗変化素子］

図１に示す抵抗変化素子１は、基板１１と、下部電極２および上部電極４からなる一対の電極と、下部電極２および上部電極４により狭持された抵抗変化層３とを備える。下部電極２、抵抗変化層３および上部電極４は、多層構造体（積層体）１２として上記順に基板１１上に配置されている。

【００１５】

抵抗変化層３は、抵抗変化材料として式Ｍ（$Fe_{2-x}A_x$）O_4で示される酸化物を含む。ただし、上記式において、ＭはＭｎ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素であり、ＡはＴｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種の元素であってＭとは異なる元素であり、ｘは式０＜ｘ≦０．５を満たす数値である。

【００１６】

素子１には、抵抗変化層３の電気抵抗値、即ち、下部電極２と上部電極４との間の電気抵抗値、が異なる２以上の状態が存在する。駆動電圧または電流を抵抗変化層３に、具体的には下部電極２と上部電極４との間に、印加することにより、素子１は、上記２以上の状態から選ばれる１つの状態から他の状態へと変化する。素子１に電気抵抗値が異なる２つの状態（相対的に高抵抗である高抵抗状態、および、相対的に低抵抗である低抵抗状態）が存在する場合、駆動電圧または電流の印加により、素子１は、高抵抗状態から低抵抗状態へ、あるいは、低抵抗状態から高抵抗状態へと変化する。

【００１７】

このような素子１は、単なるスピネル型酸化物からなる抵抗変化層、あるいは、スピネル型酸化物に遷移金属元素を単にドープした材料からなる抵抗変化層を有する従来の素子とは異なり、優れた抵抗変化特性、例えば高い抵抗変化比、を有するとともに、その電気抵抗値の保持特性に優れている。なお、抵抗変化比とは、素子の抵抗変化特性の指標となる数値であり、素子が示す最大電気抵抗値をR_{MAX}、最小電気抵抗値をR_{MIN}としたときに、式（$R_{MAX}-R_{MIN}$）／R_{MIN}により求められる値である。

【００１８】

このような効果が得られる原理は未だ明確ではないが、上記酸化物における元素Ｍおよび元素Ａが取り得るイオンの価数が影響を与えている可能性がある。

【００１９】

例えば、元素ＭがＦｅであるＦｅ（Ｆｅ）$_2O_4$酸化物の場合、当該酸化物はイオン価数による表記ではFe^{3+}（Fe^{2+}, Fe^{3+}）（O^{2-}）$_4$と書き下せるが、この状態から抵抗

変化を引き起こす電子の取り出しを行うと、Fe^{2+}がFe^{3+}になるともに電荷中性化が進んで、イオン価数による表記ではFe^{3+}（$Fe^{3+}_{1.67}$）（O^{2-}）$_4$と書き下せる$Fe_{2.67}O_4$（＝Fe_2O_3）への変化が起こる。このとき、電荷中性化に際して酸素イオンの移動が起こると考えられる。つまり、このＣＥＲ効果による抵抗変化は、Ｆｅイオン価数に影響を与える電子の移動と、酸素イオンの移動との２つの機構が関与して引き起こされていると考えられる。良好な保持特性の確保には、熱的な安定性が必須であるが、もともと酸素イオン移動を伴うＣＥＲ効果では、高温にて容易に酸素イオンが移動することから、抵抗変化層３、即ち、素子１としての電気抵抗値の保持特性の劣化が生じ易いと考えられる。

【００２０】

また例えば、元素ＭがＺｎであるＺｎ（Ｆｅ）$_2O_4$酸化物の場合、当該酸化物はイオン価数による表記ではZn^{2+}（Fe^{3+}, Fe^{3+}）（O^{2-}）$_4$と書き下せるが、この状態から抵抗変化を引き起こす電子の取り出しを行おうとしても、当該酸化物には価数配置を変更できるサイトが存在しないため、抵抗変化自体を起こすことが困難であると考えられる。また価数の変動が殆ど無いため、酸素量の変動もあまりないと考えられる。ただし、実際には、Ｚｎ（Ｆｅ）$_2O_4$酸化物からなる抵抗変化層とした場合においても、その元素配置の揺らぎなどに起因する小さな抵抗変化比が得られることがある。

【００２１】

一方、本発明の素子１の抵抗変化層３が含む上記酸化物の一例であるＺｎ（$Fe_{2-x}Cr_x$）O_4酸化物（元素Ｍ＝Ｚｎ、元素Ａ＝Ｃｒ）の場合、当該酸化物はイオン価数による表記ではZn^{2+}（Fe^{3+}_{2-x}, Cr^{3+}_x）（O^{2-}）$_4$と書き下せ、この状態から抵抗変化を引き起こす電子の取り出しを行うとCr^{3+}がCr^{4+}になるとともに電荷中性化が進むが、このとき、陽イオンであるＦｅイオンにより中性化を補償できると考えられる。より具体的に示すと、当該酸化物では、取り出した電子の電荷量に相当するCr^{4+}が生成するとともに、生成したCr^{4+}とほぼ同数のFe^{2+}が生成して中性化を補償できると考えられる。即ち、当該酸化物を含む抵抗変化層３とすることにより、電子の取り出しに伴う酸素イオンの移動を抑制できるため、電気抵抗値の保持特性を向上できると考えられる。

【００２２】

この原理によれば、MFe_2O_4におけるＦｅを置換する元素Ａには、Ｆｅが２価および３価の価数配置をとることに起因する酸素イオンの移動を抑制するための適切な価数配置が存在する。本発明では、元素Ａは、Ｔｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種であり、これらの元素は、イオン価数として３価および４価（あるいは５価）をとることができるため、上記効果が得られると考えられる。

【００２３】

上記酸化物における元素Ｍと元素Ａとの組み合わせは特に限定されない。例えば、以下のような組み合わせが考えられる。元素ＭがＺｎであり、元素ＡがＣｒ、Ｎｂ、ＭｎおよびＣｏから選ばれる少なくとも１種、より好ましくはＣｒ、である；このとき、保持特性により優れる素子１とすることができる。あるいは、元素ＭがＣｕであり、元素ＡがＭｎである；このとき、保持特性により優れる素子１とすることができる。

【００２４】

これらの組み合わせの具体的な組成の一例として、Ｚｎ（$Fe_{1.8}Cr_{0.2}$）O_4、あるいは、Ｃｕ（$Fe_{1.6}Mn_{0.4}$）O_4を挙げることができる。

【００２５】

上記酸化物は式Ｍ（$Fe_{2-x}A_x$）O_4を満たす組成を有していればよく、この式において、ｘは、式０＜ｘ≦０．５を満たす数値であり、式０．０５≦ｘ≦０．５を満たす数値であることが好ましい。また、元素Ｍと元素Ａとの組み合わせによっても異なるが、ｘは、式０．２≦ｘ≦０．４を満たす数値であることがより好ましい。

【００２６】

抵抗変化層３の構成は、上記酸化物を含む限り特に限定されない。例えば、上記式で示される１種類の酸化物からなる抵抗変化層３であってもよい。また例えば、抵抗変化層３

が、上記式で示される酸化物であって、互いに組成が異なる酸化物を２以上の種類含んでいてもよい。このような抵抗変化層３を含む本発明の素子１の一例を図２に示す。

【００２７】

図２に示す素子１は、図１に示す素子１と同様に、基板１１と、下部電極２および上部電極４からなる一対の電極と、下部電極２および上部電極４により狭持された抵抗変化層３とを備える。ここで抵抗変化層３は、上記式で示される第１の酸化物からなる第１の抵抗変化膜３ａと、上記式で示され、第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜３ｂとを有する。

【００２８】

抵抗変化膜３ａと３ｂとでは、その組成が異なるために、膜としての電気抵抗値が互いに異なる。このような抵抗変化層３ａ、３ｂを有する抵抗変化層３では、当該層へ駆動電圧または電流を印加した際に、抵抗値が相対的に高い抵抗変化膜への分配電圧を高くでき、素子１としての抵抗変化の制御がより容易となる。

【００２９】

なお、第１の酸化物を式$M(Fe_{2-x}A_x)O_4$により示した場合、第２の酸化物は、式$M(Fe_{2-y}A_y)O_4$（ただし、ｙは、式$0<y\leqq 0.5$および式$y\neq x$を満たす数値）により示すことができる。例えば、第１および第２の酸化物の具体的な組成の一例として、$Zn(Fe_{1.8}Cr_{0.2})O_4$／$Zn(Fe_{1.5}Cr_{0.5})O_4$、あるいは、$Cu(Fe_{1.6}Mn_{0.4})O_4$／$Cu(Fe_{1.8}Mn_{0.2})O_4$などを挙げることができる。その他の具体的な組成の例は、実施例に後述する。

【００３０】

図２に示す例では、第１の抵抗変化膜３ａが上部電極４側に、第２の抵抗変化膜３ｂが下部電極２側に配置されているが、双方の抵抗変化膜の上記一対の電極に対する配置は逆であってもよい。なお、本発明の素子における「下部電極」および「上部電極」の「下部」および「上部」は、抵抗変化層３を狭持する一対の電極のそれぞれを区別するために便宜的に付けた名称であり、物理的な上下関係を意味しない。

【００３１】

図２に示す例では、第１の抵抗変化膜３ａの膜厚と、第２の抵抗変化膜３ｂの膜厚とがほぼ等しいが、図３に示すように、抵抗変化層３が有する第１の抵抗変化膜３ａの膜厚と、第２の抵抗変化膜３ｂの膜厚とが互いに異なっていてもよい。この場合、抵抗変化層３へ駆動電圧または電流を印加した際に、双方の膜への分配電圧を互いに異なる状態にでき、素子１としての抵抗変化の制御がより容易となる。

【００３２】

抵抗変化層３が第１の抵抗変化膜および第２の抵抗変化膜を有する場合、第１の抵抗変化膜および第２の抵抗変化膜から選ばれる少なくとも１つの抵抗変化膜が、下部電極２および上部電極４から選ばれる少なくとも１つの電極に接していることが好ましい。このとき、素子１における抵抗変化をより容易に起こすことができる。

【００３３】

抵抗変化層３が第１の抵抗変化膜および第２の抵抗変化膜を有する場合、第１および第２の抵抗変化膜のいずれもが下部電極または上部電極と接していること、即ち、第１の抵抗変化膜が上部（下部）電極と接し、第２の抵抗変化膜が下部（上部）電極と接していること、がより好ましい。このとき、下部電極２に接する抵抗変化膜と、上部電極４に接する抵抗変化膜とは、互いに異なる組成を有する上記酸化物からなる、ともいえる。図２、３に示す例では、第１の抵抗変化膜３ａが上部電極４に、第２の抵抗変化膜３ｂが下部電極２に接している。

【００３４】

抵抗変化層３が第１の抵抗変化膜および第２の抵抗変化膜を有する場合、それぞれの膜の数は特に限定されず、例えば、図４に示すように、２以上の抵抗変化膜３ａおよび３ｂを有する抵抗変化層３であってもよい。なお、この場合においても、抵抗変化膜３ａおよび３ｂのいずれもが、下部電極または上部電極と接していることが好ましい。図４に示す

例では、第１の抵抗変化膜３ａが上部電極４に、第２の抵抗変化膜３ｂが下部電極２に接している。

【００３５】

抵抗変化層３が第１および第２の抵抗変化膜を有する場合、抵抗変化層３が有する抵抗変化膜の種類は第１および第２の抵抗変化膜の２種類に限定されない。例えば、抵抗変化層３は、上記式で示される酸化物であって、第１および第２の酸化物とは異なる組成を有する酸化物からなる抵抗変化膜をさらに含んでいてもよい。

【００３６】

本発明の素子の抵抗変化層３は、上記酸化物以外の材料を含んでいてもよく、例えば、上記酸化物以外の材料からなる膜を有していてもよい。より具体的には、例えば、抵抗変化層３は、Fe_3O_4からなる抵抗膜を有していてもよい。

【００３７】

図５に、抵抗膜を有する抵抗変化層３を含む本発明の素子の一例を示す。図５に示す素子１は、図１に示す素子１と同様に、基板１１と、下部電極２および上部電極４からなる一対の電極と、下部電極２および上部電極４により狭持された抵抗変化層３とを備える。ここで抵抗変化層３は、上記式で示される酸化物からなる抵抗変化膜３ｃと、Fe_3O_4からなる抵抗膜５とを有する。

【００３８】

図５に示す素子１では、抵抗変化層３が抵抗膜５を有することにより、素子１の初期抵抗値の設計の自由度を高くできる。なお、素子１の初期抵抗値の値を変化させるためには、例えば、抵抗変化膜３ｃと抵抗膜５との膜厚を調整すればよい。

【００３９】

また、抵抗変化層３が抵抗膜５を有する場合、抵抗変化層３のプロセス加工上の自由度を高くできる。例えば、抵抗変化材料のみからなる数ｎｍの膜厚の抵抗変化層を形成するのにはプロセス加工上の困難さを伴うが、抵抗膜を加えることで抵抗変化層としての膜厚を増大でき、このような困難さを低減させることができる。

【００４０】

Fe_3O_4からなる抵抗膜５は、バルク抵抗率が数ｍΩ・ｃｍ～数十ｍΩ・ｃｍと比較的小さいため、このような効果をより確実に得ることができる。

【００４１】

なお、Fe_3O_4はスピネル型酸化物であり、いわゆる抵抗変化材料の１種であるが、本発明の素子では、駆動電圧または電流の印加によってもその電気抵抗値がほぼ変化しない抵抗膜として扱うことができる。これは、駆動電圧または電流の印加時に、抵抗変化層を構成する、上記式$M(Fe_{2-x}A_x)O_4$で示される酸化物からなる抵抗変化膜に主体的に電圧が印加される、即ち、抵抗変化が$M(Fe_{2-x}A_x)O_4$膜に優先的に引き起こされることによると考えられる。

【００４２】

図６に、抵抗膜を有する抵抗変化層を含む本発明の素子の別の一例を示す。図６に示す素子１では、抵抗変化層３は、上記式で示される第１の酸化物からなる第１の抵抗変化膜３ａと、上記式で示され、第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜３ｂと、Fe_3O_4からなる抵抗膜５とを有する。このように、抵抗変化層３は、上記式で示される酸化物であって、互いに組成が異なる酸化物を２以上の種類と、上記酸化物以外の材料とを含んでいてもよい。

【００４３】

このように抵抗変化層３が抵抗膜５を有する場合においても、抵抗変化層３は上述した第１の抵抗変化膜３ａおよび第２の抵抗変化膜３ｂを有してもよく、このとき、抵抗変化層３が有する双方の抵抗変化膜に対しては上述した説明を適用できる。

【００４４】

例えば、第１の抵抗変化膜および第２の抵抗変化膜から選ばれる少なくとも１つの抵抗変化膜が、下部電極２および上部電極４から選ばれる少なくとも１つの電極に接している

ことが好ましく、第１および第２の抵抗変化膜のいずれもが下部電極または上部電極と接していること、即ち、第１の抵抗変化膜が上部（下部）電極と接し、第２の抵抗変化膜が下部（上部）電極と接していること、がより好ましい。図６に示す例では、第１の抵抗変化膜３ａが上部電極４に、第２の抵抗変化膜３ｂが下部電極２に接している。このとき、抵抗膜５は、抵抗変化膜３ａおよび３ｂに狭持された状態にある。

【００４５】

換言すれば、図６に示す素子１では、抵抗変化層３が、上記式で示される第１の酸化物からなる第１の抵抗変化膜３ａと、第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜３ｂと、Fe_3O_4からなる抵抗膜５とを有し、抵抗膜５が、第１および第２の抵抗変化膜３ａおよび３ｂにより狭持されている。

【００４６】

また例えば、図７に示す素子１のように、第１の抵抗変化膜３ａの膜厚と、第２の抵抗変化膜３ｂの膜厚とが互いに異なっていてもよい。図７に示す素子１は、抵抗変化膜３ａおよび３ｂの膜厚が互いに異なる以外は、図６に示す素子１と同様の構造を有する。

【００４７】

図８に、抵抗膜を有する抵抗変化層を含む本発明の素子のまた別の一例を示す。図８に示す素子１では、抵抗変化層３は、Fe_3O_4からなる抵抗膜５と、上記式で示される酸化物からなる一対の抵抗変化膜３ｄ、３ｅと、を有する。抵抗膜５は、抵抗変化膜３ｄ、３ｅにより狭持されている。抵抗変化膜３ｄ、３ｅは、その組成は互いに同一であるが、その膜厚は互いに異なっている。

【００４８】

このような素子１においても、抵抗変化層３へ駆動電圧または電流を印加した際に、双方の抵抗変化膜への分配電圧を互いに異なる状態にでき、素子１としての抵抗変化の制御がより容易となる。

【００４９】

抵抗変化層３が上記一対の抵抗変化膜３ｄ、３ｅを有する場合、当該一対の抵抗変化膜から選ばれる少なくとも１つの抵抗変化膜が、下部電極２および上部電極４から選ばれる少なくとも１つの電極に接していることが好ましい。このとき、素子１における抵抗変化をより容易に起こすことができる。

【００５０】

抵抗変化層３が上記一対の抵抗変化膜３ｄ、３ｅを有する場合、双方の抵抗変化膜のいずれもが下部電極または上部電極と接していることがより好ましい。

【００５１】

抵抗変化層３が上記一対の抵抗変化膜３ｄ、３ｅを有する場合、抵抗変化層３が有する抵抗変化膜の種類は当該一対の抵抗変化膜に限定されない。例えば、抵抗変化層３は、上記式で示される酸化物からなる、抵抗変化膜３ｄ、３ｅとは異なる組成を有する抵抗変化膜をさらに含んでいてもよい。

【００５２】

本発明の抵抗変化素子では、抵抗変化層が、当該層の厚さ方向に組成勾配を有していてもよい。組成勾配は連続的であっても、段階的であってもよく、その構成によっては、素子の抵抗変化特性および／または保持特性をより向上できる。また、このような組成勾配を有する素子は、例えば、後述する本発明の製造方法により形成できる。

【００５３】

本発明の抵抗変化素子では、下部電極２、抵抗変化層３および上部電極４を含む多層構造体１２が、基板１１上に多段に配置されていてもよい。この場合、素子１を多値化できる。

【００５４】

下部電極２は、基本的に導電性を有していればよく、例えば、Ａｕ（金）、Ｐｔ（白金）、Ｒｕ（ルテニウム）、Ｉｒ（イリジウム）、Ｔｉ（チタン）、Ａｌ（アルミニウム）、Ｃｕ（銅）、Ｔａ（タンタル）、Ｉｒ－Ｔａ（イリジウム－タンタル合金）、スズ添加

インジウム酸化物（ＩＴＯ）など、あるいは、これらの合金、酸化物、窒化物、弗化物、炭化物、硼化物、シリサイドなどからなればよい。半導体製造プロセスとの親和性の観点からは、下部電極２が、Ｉｒ、Ｒｕ、Ｉｒ－Ｏ（酸化イリジウム）、Ｒｕ－Ｏ（酸化ルテニウム）、Ｔｉ、Ａｌ、Ｔｉ－Ａｌ合金、あるいは、これらの窒化物などからなることが好ましい。下部電極２は、上述した材料から選ばれる２以上の異なる材料の積層体からなってもよく、例えば、Ｉｒ－ＯとＴｉ－Ａｌ－Ｎ（窒化チタンアルミニウム）との積層体などであってもよい。なお、Ｔｉ－Ａｌ－Ｎを用いる場合には、その導電性を確保するために、Ａｌ比、即ち、Ｔｉ＋Ａｌの総量に対するＡｌの量の比が５０原子％以下であることが好ましい。

【００５５】

上部電極４は、基本的に導電性を有していればよく、例えば、Ａｕ、Ｐｔ、Ｒｕ、Ｉｒ、Ｔｉ、Ａｌ、Ｃｕ、Ｔａ、Ｒｅ（レニウム）、Ｏｓ（オスミウム）、Ｒｈ（ロジウム）、Ｉｒ－Ｔａ、ＩＴＯなど、あるいは、これらの合金、酸化物、窒化物、弗化物、炭化物、硼化物などからなればよい。半導体製造プロセスとの親和性の観点からは、上部電極４が、酸化されにくい材料、または、酸化後も導電性を保持できる材料からなることが好ましく、例えば、Ｉｒ、Ｒｕ、Ｒｅ、Ｏｓ、Ｒｈ、Ｐｔ、Ａｕなどからなることが好ましい。同様の理由から、上部電極４が、Ｉｒ－Ｏ、Ｒｕ－Ｏ、Ｒｅ－Ｏ(酸化レニウム)、Ｏｓ－Ｏ(酸化オスミウム)、Ｒｈ－Ｏ(酸化ロジウム)などの酸化物からなることが好ましく、また、Ｔｉ－Ｎ(窒化チタン)、Ｆｅ－Ｎ(窒化鉄)、Ｔｉ－Ａｌ－Ｎなどの窒化物からなることが好ましい。上部電極４は、上述した材料から選ばれる２以上の異なる材料の積層体からなってもよい。なお、Ｔｉ－Ａｌ－Ｎを用いる場合には、その導電性を確保するために、Ａｌ比が５０原子％以下であることが好ましい。

【００５６】

下部電極２および上部電極４は、非磁性体であってもよい。

【００５７】

基板１１は、例えば半導体基板、典型的にはシリコン（Ｓｉ）基板であればよく、この場合、本発明の抵抗変化素子と半導体素子とを組み合わせが容易となり、例えば、同一基板上に本発明の素子と半導体素子とを形成できる。基板１１における下部電極２に接する表面が酸化されていてもよく、基板１１の表面に酸化膜が形成されていてもよい。なお、本明細書における「基板」には、トランジスタあるいはコンタクトプラグなどが形成された基板も含まれる。

【００５８】

駆動電圧または電流は、下部電極２および上部電極４を介して素子１に印加すればよい。駆動電圧または電流の印加により、素子１における上記状態が、例えば、高抵抗状態から低抵抗状態へと変化するが、変化後の状態は、素子１に駆動電圧または電流が再び印加されるまで保持される。素子１の上記状態は、駆動電圧または電流を素子１に印加することにより、再び変化させる（例えば、低抵抗状態から高抵抗状態へ）ことができる。

【００５９】

素子１に印加する駆動電圧または電流は、素子１が高抵抗状態にあるときと、低抵抗状態にあるときとの間で必ずしも同一でなくてもよく、その大きさ、印加方向などは、素子１の状態により異なっていてもよい。即ち、本明細書における「駆動電圧または電流」とは、素子１がある状態にあるときに、当該状態とは異なる他の状態へと変化できる「電圧または電流」であればよい。

【００６０】

このように素子１では、特定の電気抵抗値を示す素子の状態を、素子１に駆動電圧または電流を印加するまで保持できる。このため、素子１と、素子１における上記状態を検出する機構（即ち、素子１の電気抵抗値を検出する機構）とを組み合わせることにより、不揮発性の抵抗変化型メモリを構築できる。２以上の素子１を用いることにより、２以上のメモリ素子が配列したメモリアレイの構築も可能である。このメモリでは、素子１の上記各状態に対してビット、例えば、高抵抗状態に対して「０」を、低抵抗状態に対して「１

」を割り当てればよい。素子１の上記状態の変化は少なくとも２回以上繰り返して行うことができるため、信頼性のある不揮発性ランダムアクセスメモリを得ることもできる。また、素子１の上記各状態に対して「ＯＮ」または「ＯＦＦ」を割り当てることにより、素子１をスイッチング素子へ応用することも可能である。

【００６１】

素子１に印加する駆動電圧または電流は、パルス状であることが好ましい。駆動電圧（駆動電流）をパルス状とすることにより、素子１を用いて構築したメモリなどのデバイスにおける消費電力の低減やスイッチング効率の向上を図ることができる。パルスの形状は、特に限定されず、例えば、正弦波状、矩形波状および三角波状から選ばれる少なくとも１つの形状であってもよい。パルスの幅は、通常、数ナノ秒〜数ミリ秒程度の範囲であればよい。

【００６２】

デバイスの駆動をより簡便に行うためには、パルスの形状が三角波状であることが好ましい。素子１の応答をより高速にするためには、パルスの形状が矩形波状であることが好ましく、この場合、数ナノ秒〜数マイクロ秒程度の応答を図ることができる。簡便な駆動、消費電力の低減、および、早い応答速度などを達成するためには、パルスの形状が、正弦波状、あるいは、矩形波状の立ち上がり部／立ち下がり部に適度なスロープを設けた台形状であることが好ましい。正弦波状や台形状のパルスは、素子１の応答速度を、数十ナノ秒〜数百マイクロ秒程度とする場合に適しており、三角波状のパルスは、素子１の応答速度を、数十マイクロ秒〜数ミリ秒程度とする場合に適している。

【００６３】

素子１には電圧を印加することが好ましく、この場合、素子１の微細化や、素子１を用いて構築したデバイスの小型化がより容易となる。電気抵抗値に関する２つの状態が存在する素子１の場合、下部電極２と上部電極４との間に電位差を発生させる電位差印加機構を素子１に接続し、下部電極２の電位に対して上部電極４の電位が正となるようなバイアス電圧（正バイアス電圧）を素子１に印加することにより、例えば、素子１を高抵抗状態から低抵抗状態へと変化させ、下部電極２の電位に対して上部電極４の電位が負となるようなバイアス電圧（負バイアス電圧）を素子１に印加することにより（即ち、先ほどとは極性を反転させた電圧を印加することにより）、例えば、素子１を低抵抗状態から高抵抗状態へと変化させてもよい。電位差印加機構としては、例えば、パルスジェネレータが挙げられる。

【００６４】

本発明の抵抗変化素子は、下部電極、抵抗変化層および上部電極以外の任意の層を含んでいてもよい。

【００６５】

［抵抗変化型メモリ］

本発明の抵抗変化素子を、半導体素子、例えば、ダイオード、あるいは、ＭＯＳ電界効果トランジスタ（ＭＯＳ－ＦＥＴ）などのトランジスタなど、と組み合わせることにより、抵抗変化型メモリを構築できる。

【００６６】

本発明の抵抗変化素子とＭＯＳ－ＦＥＴとを組み合わせた、抵抗変化型メモリ（メモリ素子）の一例を図９に示す。

【００６７】

図９に示す抵抗変化型メモリ素子３１は、抵抗変化素子１とトランジスタ２１とを備えており、素子１は、トランジスタ２１およびビット線３２と電気的に接続されている。トランジスタ２１のゲート電極はワード線３３に電気的に接続されており、トランジスタ２１の残る１つの電極は接地されている。このようなメモリ素子３１では、トランジスタ２１をスイッチング素子として、素子１における上記状態の検出（即ち、素子１の電気抵抗値の検出）、および、素子１への駆動電圧または電流の印加が可能となる。例えば、素子１が、電気抵抗値が異なる２つの状態をとる場合、図９に示すメモリ素子３１を、１ビッ

トの抵抗変化型メモリ素子とすることができる。

【００６８】

トランジスタ２１は、例えば、ＭＯＳ－ＦＥＴとして一般的な構成であればよい。

【００６９】

本発明の抵抗変化型メモリ（メモリ素子）の具体的な構成の一例を図１０に示す。図１０に示すメモリ素子３１では、トランジスタ２１が形成された基板１１上に抵抗変化素子１が形成されており、素子１とトランジスタ２１とが一体化されている。

【００７０】

以下、図１０のメモリ素子３１の構成を具体的に説明する。基板１１にはソース電極２２およびドレイン電極２３が形成されており、ドレイン電極２３は、プラグ２４を介して素子１の下部電極２と電気的に接続されている。ソース電極２２は、図示していないが、別途、接地電位などに接続されていればよい。基板１１におけるソース電極２２とドレイン電極２３との間には、ゲート絶縁膜２５およびゲート電極２６が形成されている。素子１の下部電極２上には、抵抗変化層３および上部電極４が上記順に積層されている。ゲート電極２６は、ワード線（図示せず）と電気的に接続され、上部電極４はプラグ２７を介してビット線３２と電気的に接続されている。基板１１上には、基板１１の表面、ならびに、トランジスタ２１および素子１の全体を覆うように層間絶縁層２８が配置されており、層間絶縁層２８によって、各電極間における電気的なリークの発生が防止されている。なお、基板１１上の符号２９で示された部分は、素子分離部２９である。

【００７１】

層間絶縁層２８は、SiO_2やAl_2O_3などの絶縁材料からなればよく、２以上の種類の材料の積層体であってもよい。絶縁材料には、SiO_2やAl_2O_3などの無機材料の他、レジスト材料のような有機材料を用いてもよい。絶縁材料に有機材料を用いた場合、平坦でない表面上に層間絶縁層２８を形成する場合においても、スピナーコーティング法などを用いることによって、自らの表面が平坦な層間絶縁層２８を容易に形成できる。有機材料としては、例えば、感光性樹脂であるポリイミドのような材料が好ましい。

【００７２】

図１０に示す例では、抵抗変化素子とＭＯＳ－ＦＥＴとを組み合わせることにより抵抗変化型メモリ素子が構築されているが、本発明の抵抗変化型メモリの構成は図１０に示す例に限定されず、例えば、本発明の抵抗変化素子と、情報の記録および読出時に素子を選択するための選択素子として、その他の種類のトランジスタやダイオードなど、任意の半導体素子とを組み合わせてもよい。このとき、本発明の抵抗変化素子と選択素子とが直列接続されていることが好ましい。

【００７３】

また、図１０に示すメモリ素子３１では、トランジスタ２１の直上に抵抗変化素子１が配置されているが、トランジスタ２１と抵抗変化素子１とを互いに離れた場所に配置し、下部電極２とドレイン２３とを引き出し電極により電気的に接続してもよい。メモリ素子３１の製造プロセスを容易にするためには、素子１とトランジスタ２１とを互いに離して配置することが好ましい。一方、図１０に示すように、トランジスタ２１の直上に素子１を配置することにより、メモリ素子３１の占有面積を小さくでき、より高密度な抵抗変化型メモリアレイを実現できる。

【００７４】

メモリ素子３１への情報の記録は、素子１への駆動電圧または電流の印加により行えばよく、素子１に記録した情報の読出は、例えば、情報の記録時とは異なる大きさの電圧（電流）を素子１に印加することにより行えばよい。情報の記録および読出方法として、パルス状の電圧を素子１に印加する方法の一例について、図１１を用いて説明する。

【００７５】

図１１に示す例では、抵抗変化素子１は、ある閾値（V_0）以上の大きさを有する正バイアス電圧の印加により、高抵抗状態から低抵抗状態へと変化し、ある閾値（$V_{0'}$）以上の大きさを有する負バイアス電圧の印加により、低抵抗状態から高抵抗状態へと変化す

る抵抗変化特性を有する。各バイアス電圧の大きさは、下部電極２と上部電極４との間の電位差の大きさに相当する。

【００７６】

抵抗変化素子１の初期状態が、高抵抗状態であるとする。下部電極２と上部電極４との間にパルス状の正バイアス電圧V_{SE}（$|V_{SE}| \geqq V_0$）を印加すると、素子１は高抵抗状態から低抵抗状態へと変化する（図１１に示すＳＥＴ）。このとき印加する正バイアス電圧をＳＥＴ電圧とする。

【００７７】

ここで、ＳＥＴ電圧よりも小さく、大きさがV_0未満の正バイアス電圧を素子１に印加することにより、素子１の電気抵抗値を、素子１の電流出力として検出できる（図１１に示すＲＥＡＤ１およびＯＵＴＰＵＴ１）。素子１の電気抵抗値の検出は、素子１に、大きさがV_0，未満の負バイアス電圧を印加することによっても行うことができ、これら、素子１の電気抵抗値を検出するために印加する電圧をＲＥＡＤ電圧（V_{RE}）とする。ＲＥＡＤ電圧は、図１１に示すようにパルス状であってもよく、この場合、ＳＥＴ電圧をパルス状とした時と同様に、メモリ素子３１における消費電力の低減やスイッチング効率の向上を図ることができる。ＲＥＡＤ電圧の印加では、素子１の状態は変化しないため、複数回ＲＥＡＤ電圧を印加した場合においても、同一の電気抵抗値を検出できる。

【００７８】

次に、下部電極２と上部電極４との間にパルス状の負バイアス電圧V_{RS}（$|V_{RS}| \geqq V_0$，）を印加すると、素子１は低抵抗状態から高抵抗状態へと変化する（図１１に示すＲＥＳＥＴ）。このとき印加する負バイアス電圧をＲＥＳＥＴ電圧とする。

【００７９】

ここで、素子１にＲＥＡＤ電圧を印加すれば、素子１の電気抵抗値を、素子１の電流出力として検出できる（図１１に示すＲＥＡＤ２およびＯＵＴＰＵＴ２）。この場合も、ＲＥＡＤ電圧の印加では、素子１の状態は変化しないため、複数回ＲＥＡＤ電圧を印加した場合においても、同一の電気抵抗値を検出できる。

【００８０】

このように、パルス状の電圧の印加により、素子１を備えるメモリ素子３１への情報の記録および読出を行うことができる。読出によって得られる素子１の出力電流の大きさは、素子１の状態に対応して異なる。ここで、相対的に出力電流の大きい状態（図１１におけるＯＵＴＰＵＴ１）を「１」、相対的に出力電流の小さい状態（図１１におけるＯＵＴＰＵＴ２）を「０」とすれば、メモリ素子３１を、ＳＥＴ電圧により情報「１」が記録され、ＲＥＳＥＴ電圧により情報「０」が記録される（情報「１」が消去される）メモリ素子とすることができる。

【００８１】

図１０に示すメモリ素子３１において、抵抗変化素子１にパルス状の電圧を印加するためには、ワード線によりトランジスタ２１をＯＮ状態とし、ビット線３２を介して電圧を印加すればよい。

【００８２】

ＲＥＡＤ電圧の大きさは、ＳＥＴ電圧およびＲＥＳＥＴ電圧の大きさに対して、通常、１／２～１／１０００程度の範囲にあることが好ましい。ＳＥＴ電圧およびＲＥＳＥＴ電圧の具体的な値は、抵抗変化素子１の構成にもよるが、通常、０．１Ｖ～１０Ｖ程度の範囲であり、１Ｖ～５Ｖ程度の範囲が好ましい。

【００８３】

素子１、即ち、メモリ素子３１の電気抵抗値は、素子１（３１）の抵抗値（または出力電流値）と、参照素子の参照抵抗値（または参照出力電流値）との差分に基づいて算出することが好ましい。参照抵抗値は、例えば、検出する素子とは別に参照素子を準備し、参照素子に対しても素子１（３１）と同様にＲＥＡＤ電圧を印加して得ることができる。このような方法により素子１（３１）の電気抵抗値を得るための回路の構成の一例を図１２に示す。

【００８４】
図１２に示す回路では、素子１（あるいはメモリ素子３１）からの出力４２を負帰還増幅回路４４ａにより増幅した出力４５と、参照素子４１からの出力４３を負帰還増幅回路４４ｂにより増幅した出力４６とを差動増幅回路４７に入力する。そして、差動増幅回路４７から得られた出力信号４８を用いて、素子１（３１）の抵抗を求めることができる。
【００８５】
図１３に示すように、２以上のメモリ素子３１をマトリクス状に配列することにより、不揮発性でランダムアクセス型の抵抗変化型メモリ（メモリアレイ）５１を構築できる。メモリ５１では、２以上のビット線３２から選ばれる１つのビット線（B_n）と、２以上のワード線３３から選ばれる１つのワード線（W_n）とを選択することにより、座標（B_n、W_n）に位置するメモリ素子３１ａへの情報の記録およびメモリ素子３１ａからの情報の読出が可能となる。
【００８６】
図１３に示すように、２以上のメモリ素子をマトリクス状に配列する場合、少なくとも１つのメモリ素子を参照素子としてもよい。
【００８７】
図１４に示すように、本発明の抵抗変化素子１に、非線形の電流電圧特性を有する選択素子３５（図１４では一例としてダイオード）が直列接続されたメモリ素子３４とし、２以上の当該メモリ素子３４をマトリクス状に配列することによっても、不揮発性でランダムアクセス型の抵抗変化型メモリ（メモリアレイ）５２を構築できる。メモリ５２では、２以上のビット線３２から選ばれる１つのビット線（B_n）と、２以上のワード線３３から選ばれる１つのワード線（W_n）とを選択することにより、座標（B_n、W_n）に位置するメモリ素子３４ａへの情報の記録と、メモリ素子３４ａからの情報の読出が可能となる。
【００８８】
図１５に示すように、パストランジスタ３６を用い、２以上の抵抗変化素子１をマトリクス状に配列することによっても、不揮発性でランダムアクセス型の抵抗変化型メモリ（メモリアレイ）５３を構築できる。メモリ５３では、ビット線３２は素子１の上部電極４に接続され、ワード線３３は素子１の下部電極２に接続されている。メモリ５３では、２以上のビット線３２から選ばれる１つのビット線（B_n）に接続されたパストランジスタ３６ａと、２以上のワード線３３から選ばれる１つのワード線（W_n）に接続されたパストランジスタ３６ｂとを選択的にＯＮ状態とすることによって、座標（B_n、W_n）に位置する抵抗変化素子１ａへの情報の記録、および、抵抗変化素子１ａからの情報の読出が可能となる。素子１ａの情報を読出すためには、例えば、素子１ａの電気抵抗値に対応する電圧である、図１５に示す電圧Ｖを測定すればよい。
【００８９】
また、抵抗変化素子１の代わりに、メモリ素子３４のような非線形の電流電圧特性を有する素子を用いた場合も、この構成により不揮発性でランダムアクセス型のメモリアレイを構築できる。さらに、このメモリ構成は、メモリアレイを多層にした場合にも適用することができ、この場合、パストランジスタ群３７にさらにスイッチを設け、各メモリアレイ層にその都度アクセス可能な構成とすればよい。
【００９０】
なお、図１５に示すメモリ５３には参照素子群３８が配置されている。参照素子群３８に接続されたビット線（B_0）に対応するパストランジスタ３６ｃを選択的にＯＮ状態とし、図１５に示す電圧V_{REF}を測定することによって、素子１ａの出力と、参照素子群３８の出力との差分を検出できる。
【００９１】
また、図１５に示すメモリ５３では、パストランジスタにより選択されなかった非選択の素子１を参照素子として利用することも可能である。この方法では、パストランジスタにより選択された素子１ａ周辺の素子の状態を検証しながら、参照素子を適宜設定する必

要があるため、メモリアレイとしての動作がやや遅くなることがあるが、メモリアレイの構成をより簡便にできる。

【００９２】

［抵抗変化素子の製造方法］

本発明の製造方法では、基板上に下部電極を形成した後に、形成した下部電極上に、式Ｍ（$Fe_{2-x}A_x$）O_4で示される酸化物を含む抵抗変化層を形成する。次に、形成した抵抗変化層上に、下部電極とともに当該抵抗変化層を狭持するように上部電極を形成する。ただし、上記式において、ＭはＭｎ、Ｃｏ、Ｎｉ、ＣｕおよびＺｎから選ばれる少なくとも１種の元素であり、ＡはＴｉ、Ｖ、Ｎｂ、Ｔａ、Ｃｒ、Ｍｎ、ＣｏおよびＲｈから選ばれる少なくとも１種の元素であってＭとは異なる元素であり、ｘは式０＜ｘ≦０．５を満たす数値である。本発明の製造方法によれば、上述した本発明の抵抗変化素子を形成できる。

【００９３】

本発明の製造方法では、抵抗変化層形成工程において、上記式で示される第１の酸化物からなる第１の抵抗変化膜と、上記式で示され、第１の酸化物とは組成が異なる第２の酸化物からなる第２の抵抗変化膜とを形成して、第１および第２の抵抗変化膜を有する抵抗変化層を形成してもよい。この方法では、例えば、図２～４、６および７に示す素子１を形成できる。

【００９４】

この場合、形成した第１および第２の抵抗変化膜を有する抵抗変化層を５００℃以下の温度において熱処理し、自層の厚さ方向に組成勾配を有する抵抗変化層としてもよい。

【００９５】

また、このような熱処理により、例えば、所望の組成Ｍ（$Fe_{2-x}A_x$）O_4を有する酸化物を含む抵抗変化層の形成がより容易となる。具体的には、式Ｍ（$Fe_{2-x1}A_{x1}$）O_4で示される酸化物からなる第１の抵抗変化膜と、式Ｍ（$Fe_{2-x2}A_{x2}$）O_4で示される酸化物からなる第２の抵抗変化膜（ただし、０＜ｘ１＜ｘ＜ｘ２≦０．５）とを有する抵抗変化層を形成した後に、当該抵抗変化層を熱処理すればよい。熱処理により、双方の抵抗変化膜の間で元素の相互拡散が起こり、式Ｍ（$Fe_{2-x}A_x$）O_4で示される酸化物を含む抵抗変化層を形成できる。

【００９６】

抵抗変化層の熱処理は、抵抗変化層を形成した後の任意の時点で行うことができ、例えば、抵抗変化層を形成後、上部電極を形成する前の時点で、あるいは、素子全体を形成した後に、行ってもよい。

【００９７】

本発明の製造方法では、抵抗変化層形成工程において、室温以上５００℃以下の温度範囲で成膜温度を変化させながら抵抗変化層を形成してもよい。成膜温度が変化すると、抵抗変化層を構成する材料、例えば、上記式で示される酸化物、の粒径が変化する。このため、この方法では、自層の厚さ方向に粒径分布を有する抵抗変化層を形成できる。

【００９８】

本発明の製造方法では、抵抗変化層形成工程において、上記式で示される酸化物からなる抵抗変化膜と、Fe_3O_4からなる抵抗膜とを形成して、抵抗変化膜および抵抗膜を有する抵抗変化層を形成してもよい。この方法では、例えば、図５～７に示す素子１を形成できる。

【００９９】

本発明の製造方法では、下部電極形成工程、抵抗変化層形成工程および上部電極形成工程の各工程間に任意の工程が加えられていてもよい。

【０１００】

本発明の抵抗変化素子１を構成する各層は、半導体の製造プロセスを応用し、一般的な薄膜形成プロセスおよび微細加工プロセスにより形成すればよい。例えば、パルスレーザーデポジション（ＰＬＤ）、イオンビームデポジション（ＩＢＤ）、クラスターイオンビ

ーム、およびＲＦ、ＤＣ、電子サイクロトン共鳴（ＥＣＲ）、ヘリコン、誘導結合プラズマ（ＩＣＰ）、対向ターゲットなどの各種スパッタリング法、分子線エピタキシャル法（ＭＢＥ）などの蒸着法、イオンプレーティング法などを用いればよい。これらＰＶＤ（Physical Vapor Deposition）法の他に、ＣＶＤ（Chemical Vapor Deposition）法、ＭＯＣＶＤ（Metal Organic Chemical Vapor Deposition）法、メッキ法、ＭＯＤ（Metal Organic Decomposition）法、あるいは、ゾルゲル法などを用いてもよい。

【０１０１】

各層の微細加工には、例えば、半導体製造プロセスや磁性デバイス（ＧＭＲやＴＭＲなどの磁気抵抗素子など）製造プロセスに用いられる方法を適用できる。具体的には、イオンミリング、ＲＩＥ（Reactive Ion Etching）、ＦＩＢ（Focused Ion Beam）などの物理的あるいは化学的エッチング法、および、微細パターン形成のためのステッパー、ＥＢ（Electron Beam）法などを用いたフォトリソグラフィー技術を組み合わせて用いればよい。各層の表面の平坦化には、例えば、ＣＭＰ（Chemical Mechanical Polishing）、クラスターーイオンビームエッチングなどを用いればよい。

【０１０２】

本発明の抵抗変化素子を備えるメモリなどの電子デバイスについても、上記方法によって、あるいは、上記方法と他の公知の方法とを組み合わせることによって、形成できる。

【０１０３】

本発明の抵抗変化素子の製造方法の一例を、本発明の抵抗変化素子が組み込まれたメモリ素子の一例として、図１６Ａ～図１６Ｈに示す。

【０１０４】

最初に、図１６Ａに示すように、トランジスタ２１が形成された基板１１の表面に、トランジスタ２１を覆うように保護絶縁膜６１を堆積し、堆積した保護絶縁膜６１の表面をＣＭＰなどにより平坦化した後に、保護絶縁膜６１に対して選択的にエッチングを行ってプラグ用開口部６２を形成する。

【０１０５】

保護絶縁膜６１は、例えば、SiO_2からなればよく、より具体的にはＴＥＯＳ（テトラエチルオルトシリケート）およびO_3（オゾン）から形成したSiO_2膜（ＴＥＯＳ膜）であってもよい。基板１１表面へのトランジスタ２１の形成方法は、一般的な手法によればよい。図１６Ａに示すトランジスタ２１は、ソース電極２２、ドレイン電極２３、ゲート絶縁膜２５、ゲート電極２６および素子分離部２９を備える一般的なＭＯＳ－ＦＥＴである。プラグ用開口部６２は、トランジスタ２１のドレイン電極２３が露出するように形成すればよい。

【０１０６】

次に、図１６Ｂに示すように、保護絶縁膜６１の表面にバリアメタル６３およびプラグメタル６４を順に堆積する。バリアメタル６３には、プラグメタル６４の拡散を抑制したり、周囲の絶縁層との密着性を高めたりする作用を有する材料、あるいは、プラグメタル６４をメッキにより形成する場合にはシードとしての作用を有する材料を用いればよく、例えば、チタン（Ｔｉ）膜と窒化チタン（Ｔｉ－Ｎ）膜とからなる積層体や、タンタル（Ｔａ）膜と窒化タンタル（Ｔａ－Ｎ）膜とからなる積層体などを用いればよい。プラグメタル６４には基本的に導電性に優れる材料を用いればよく、例えば、タングステン、アルミニウム、銅などを用いればよい。プラグメタル６４は、プラグ用開口部６２を充填するように堆積すればよい。

【０１０７】

次に、図１６Ｃに示すように、堆積したバリアメタル６３およびプラグメタル６４における保護絶縁膜６１上の部分をＣＭＰなどにより除去し、ドレイン電極２３と電気的に接続されたプラグ２４を形成する。

【０１０８】

次に、図１６Ｄに示すように、プラグ２４および保護絶縁膜６１の表面に、下部電極２、抵抗変化層３および上部電極４を順に形成する。下部電極２は、プラグ２４との間に電

気的な接続が確保されるように形成すればよい。

【０１０９】

次に、図１６Ｅに示すように、形成した下部電極２、抵抗変化層３および上部電極４を所定の形状に微細加工し、抵抗変化素子１とする。

【０１１０】

次に、図１６Ｆに示すように、保護絶縁膜６１上に、下部電極２、抵抗変化層３および上部電極４の積層体を覆うように、保護絶縁膜６５を堆積する。保護絶縁膜６５は、例えば、上述したＴＥＯＳ膜からなればよい。

【０１１１】

次に、図１６Ｇに示すように、保護絶縁膜６５の表面をＣＭＰなどにより平坦化した後、保護絶縁膜６５に対して選択的にエッチングを行ってプラグ用開口部６６を形成する。プラグ用開口部６６は、上部電極４が露出するように形成すればよい。

【０１１２】

次に、図１６Ｈに示すように、保護絶縁膜６５の表面に密着用メタル６７および配線用メタル６８を順に堆積し、ビット線３２と、ビット線３２および上部電極４を電気的に接続するプラグ２７とを形成する。密着用メタル６７には、周囲の絶縁層との密着性を高める作用を有する材料、あるいは、配線用メタル６８をメッキにより形成する場合にはシードとしての作用を有する材料を用いればよく、例えば、チタン（Ｔｉ）膜と窒化チタン（Ｔｉ－Ｎ）膜とからなる積層体や、タンタル（Ｔａ）膜と窒化タンタル（Ｔａ－Ｎ）膜とからなる積層体や炭窒化シリコン（Ｓｉ－Ｃ－Ｎ）などを用いればよい。配線用メタル６８には基本的に導電性に優れる材料を用いればよく、例えば、タングステン、銅、アルミニウムなどを用いればよい。配線用メタル６８は、プラグ用開口部６６を充填するように、かつ、ビット線３２が形成されるように堆積すればよい。このようにして図１０に示すメモリ素子３１を形成できる。なお、保護絶縁膜６１および６５は、図１０に示す層間絶縁層２８となる。

【０１１３】

本発明の抵抗変化素子の製造方法の別の一例を、本発明の抵抗変化素子が組み込まれたメモリ素子の製造方法の一例として、図１７Ａ～図１７Ｍに示す。

【０１１４】

最初に、図１６Ａ～図１６Ｃに示す工程と同様にして、図１７Ａに示すように、ＭＯＳ－ＦＥＴであるトランジスタ２１が形成された基板１１の表面に保護絶縁膜６１ａおよび水素バリア層７０を堆積し、堆積した保護絶縁膜６１ａの一部の領域に、トランジスタ２１のドレイン電極２３と電気的に接続されたプラグ２４、および、トランジスタ２１のソース電極２２と電気的に接続されたプラグ６９を形成する。プラグ６９は、プラグ２４と同様に形成すればよい。水素バリア層７０には、ＳｉＮあるいはＴｉＡｌＯなどを好適に用いることができる。

【０１１５】

次に、図１７Ｂに示すように、水素バリア層７０、プラグ２４およびプラグ６９上に下部電極２を形成する。

【０１１６】

次に、図１７Ｃに示すように、下部電極２を、プラグ２４の直上の部分を除いてエッチングなどにより除去する。

【０１１７】

次に、図１７Ｄに示すように、プラグ６９の表面に、プラグ６９との電気的な接続が確保されるように、ソース電極２２と後に形成されるビット線３２とを接続するための電極７１を形成する。電極７１は、基本的に、導電性を有する材料からなればよい。

【０１１８】

次に、図１７Ｅに示すように、水素バリア層７０上に、下部電極２および電極７１を覆うように保護絶縁膜６１ｂを堆積した後に、図１７Ｆに示すように、保護絶縁膜６１ｂの表面をＣＭＰなどにより平坦化して、下部電極２および電極７１を露出させる。

【０１１９】
次に、図１７Ｇに示すように、保護絶縁膜６１ｂ、下部電極２および電極７１上に、抵抗変化層３および上部電極４を形成する。
【０１２０】
次に、図１７Ｈに示すように、抵抗変化層３および上部電極４を、所定の形状に微細加工し、抵抗変化層１とする。
【０１２１】
次に、図１７Ｉに示すように、保護絶縁膜６１ｂおよび電極７１上に、抵抗変化層３および上部電極４を覆うように、保護絶縁膜６５を形成する。
【０１２２】
次に、図１７Ｊに示すように、保護絶縁膜６１ｂおよび６５のうち、素子１および電極７１の周囲以外の部分を、水素バリア層７０が露出するようにエッチングにより除去する。
【０１２３】
次に、全体に水素バリア層７２を堆積させた後、図１７Ｋに示すように、水素バリア層７２における素子１の周囲以外の部分をエッチングにより除去して、水素バリア層７０および７２により素子１を被覆する。水素バリア層７２には、ＳｉＮ、ＴｉＡｌＯ、ＴｉＡｌＮ、ＴｉＡｌＯＮなどを好適に用いることができる。
【０１２４】
次に、全体に保護絶縁膜７３を形成し、その表面をＣＭＰなどにより平坦化した後、保護絶縁膜７３に対して選択的にエッチングを行ってプラグ用開口部７４を形成する（図１７Ｌ）。プラグ用開口部７４は、電極７１が露出するように形成すればよい。
【０１２５】
次に、図１７Ｍに示すように、保護絶縁膜７３の表面に密着用メタル６７および配線用メタル６８を順に堆積し、ビット線３２と、ビット線３２と電極７１とを電気的に接続するプラグ７５を形成して、メモリ素子７６を形成できる。配線用メタル６８は、プラグ用開口部７４を充填するように、かつ、ビット線３２が形成されるように堆積すればよい。
【０１２６】
メモリ素子７６では、上部電極４は、プラグ２４と同様に水素バリア７０を貫通するプラグ（図示せず）によって、素子の下部にある電極（図示せず）に電気的に接続され、さらに、水素バリア７０および保護絶縁膜７３を貫通する別のプラグ（図示せず）によって、素子の表面に配置された別の電極配線に電気的に接続されている。
【０１２７】
図１７Ａ～図１７Ｍに示す製造方法によって形成されたメモリ素子は、高いパッシベーション効果を有する。このとき、下部電極２に、水素暴露に対する耐性が高い、Ｔｉ－Ａｌ合金の窒化物、あるいは、その積層体を用いることで、より高いパッシベーション効果を得ることができる。
【実施例】
【０１２８】
以下、実施例により、本発明をより詳細に説明する。本発明は、以下に示す実施例に限定されない。
【０１２９】
（実施例１）
実施例１では、図１に示す抵抗変化素子１を備え、図１０に示す構成を有するメモリ素子３１を作製し、その抵抗変化特性を評価した。評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、式$Zn(Fe_{2-x}Cr_x)O_4$で示される酸化物からなる抵抗変化層３とした。
【０１３０】
保護絶縁膜６１は、厚さ４００ｎｍのＴＥＯＳ膜とした。バリアメタル６３は、Ｔｉ膜とＴｉＮ膜との積層体とし、プラグメタル６４はタングステン膜とした。

【０１３１】
下部電極２は基板１１側から順にＴｉＡｌＮ膜およびＰｔ膜を堆積させたＴｉＡｌＮ／Ｐｔ膜（合計の厚さ１００ｎｍ）とした。ＴｉＡｌＮ膜は、$Ti_{70}Al_{30}$合金をターゲットとして用い、マグネトロンスパッタリング法により、圧力０．１Ｐａのアルゴン－窒素混合雰囲気下（窒素：アルゴン（分圧比）＝約４：１）にて、Ｓｉ基板の温度を０～４００℃（主に３５０℃）とした上で、印加電力をＤＣ４ｋＷとして形成した。Ｐｔ膜は、ＴｉＡｌＮ膜を形成したチャンバーと同じチャンバー内において、マグネトロンスパッタリング法により、圧力０．７Ｐａのアルゴン雰囲気下にて、Ｓｉ基板の温度を２７℃とした上で、印加電力をＲＦ１００Ｗとして形成した。
【０１３２】
抵抗変化層３（厚さ５０ｎｍ）は、式$Zn(Fe_{2-x}Cr_x)O_4$で示される焼結体をターゲットとして用い、マグネトロンスパッタリング法により、圧力０．６Ｐａのアルゴン雰囲気下にて、Ｓｉ基板の温度を室温～４００℃（主に３００℃）とした上で、印加電力をＲＦ３００Ｗとして形成した。なお、ここでは、上記式におけるｘの値を変化させたサンプルを、実施例として８種類（サンプル１－１～１－８）、比較例として３種類（サンプルＡ－１～Ａ－３）作製した。各サンプルの具体的なｘの値は、以下の表１に示す。
【０１３３】
上部電極４は、Ｐｔ膜（厚さ５０ｎｍ）とし、当該膜は、マグネトロンスパッタリング法により、圧力０．７Ｐａのアルゴン雰囲気下にて、Ｓｉ基板の温度を２７℃とした上で、印加電力をＲＦ１００Ｗとして形成した。
【０１３４】
保護絶縁膜６５は厚さ８００ｎｍのＴＥＯＳ膜とした。密着用メタル６７は厚さ１０ｎｍのＴａＮ膜とし、配線用メタル６８は厚さ３００ｎｍのＡｌ膜とした。
【０１３５】
素子１の接合面積は０．２μm^2とした。
【０１３６】
なお、形成した抵抗変化層３の組成は、Ｘ線回折法、赤外吸収法、ラマン分光法、および、エネルギー分散型X線分析（ＥＤＸ）により確認した。同様の手法により、形成した抵抗変化層３の結晶構造を評価したところ、以下の表１に示す全てのサンプルにおいて、抵抗変化層３を構成する材料がスピネル型の結晶構造を有することが確認できた。また、抵抗変化層３のシート抵抗値を評価したところ、ｘの値により、抵抗変化層のシート抵抗値が変化することが確認できた。
【０１３７】
上記のように作製したサンプルに対し、図１１に示すようにパルス状のＳＥＴ電圧、ＲＥＳＥＴ電圧およびＲＥＡＤ電圧を印加し、素子１の抵抗変化比を評価した。
【０１３８】
抵抗変化比の評価は以下のようにして行った。ゲート電極２６への電圧印加によってトランジスタ２１をＯＮ状態とし、ソース電極２２と上部電極４との間に、パルスジェネレータにより、ＳＥＴ電圧として２Ｖ（正バイアス電圧）、ＲＥＳＥＴ電圧として－２Ｖ（負バイアス電圧、大きさ２Ｖ）、ＲＥＡＤ電圧として０．５Ｖ（正バイアス電圧）を印加した。印加する各電圧のパルス幅は１００ｎｓとした。ＳＥＴ電圧またはＲＥＳＥＴ電圧を印加した後、ＲＥＡＤ電圧の印加により読み出した電流値からサンプルの電気抵抗値を算出し、算出した電気抵抗値の最大値をR_{MAX}、最小値をR_{MIN}として、以下の式から抵抗変化比ΔＲを求めた。
【０１３９】
抵抗変化比$\Delta R = (R_{MAX} - R_{MIN}) / R_{MIN}$
抵抗変化比の評価結果を、各サンプルにおけるｘの値とともに表１に示す。なお、ｘの値が０であるサンプルＡ－１の抵抗変化層は、元素Ａ（Ｃｒ）を含まない。
【０１４０】

【表１】

サンプルNo.	x	⊿R
１－１	0.05	19
１－２	0.10	40
１－３	0.20	65
１－４	0.30	115
１－５	0.35	75
１－６	0.40	60
１－７	0.45	58
１－８	0.50	25
Ａ－１（比較例）	0.00	8.5
Ａ－２（比較例）	0.55	2
Ａ－３（比較例）	0.60	0

【０１４１】

表１に示すように、抵抗変化層３を構成する酸化物について、式$Zn(Fe_{2-x}Cr_x)O_4$におけるｘの値が０．０５以上０．５以下の範囲のサンプルにおいて、当該ｘの値が０または０．５５以上である比較例サンプルに対して高い抵抗変化比を得ることができた。特にｘの値が０．１以上０．４５以下の範囲のサンプルにおいて４０以上の高い抵抗変化比が得られ、ｘの値が０．２以上０．４以下の範囲のサンプルにおいて６０以上のより高い抵抗変化比が得られた。

【０１４２】

次に、サンプル１－１～１－５、および、比較例サンプルＡ－１～Ａ－３について、その保持特性を評価した。保持特性は、１つのサンプル種に対して、ＲＥＳＥＴ電圧あるいはＳＥＴ電圧の印加により、高抵抗状態および低抵抗状態の素子をそれぞれ準備し、当該素子を１２５℃の雰囲気下に保持したときに、高抵抗状態の抵抗値と低抵抗状態の抵抗値との差の絶対値が１／２になるまでの時間Ｔを指標とした。評価結果を以下の表２に示す。

【０１４３】

なお、サンプルの抵抗変化比および保持特性の評価は、これ以降に示す各サンプルにおいても全て同様に行った。

【０１４４】

【表２】

サンプルNo.	x	T（時間）
１－１	0.05	15
１－２	0.10	100
１－３	0.20	120
１－４	0.30	285
１－５	0.35	75
Ａ－１（比較例）	0.00	1
Ａ－２（比較例）	0.55	1
Ａ－３（比較例）	0.60	1

【０１４５】

表２に示すように、抵抗変化層３を構成する酸化物について、式$Zn(Fe_{2-x}Cr_x)O_4$におけるｘの値が０．０５以上０．３５以下の範囲のサンプルにおいて、当該ｘの値が０または０．５５以上である比較例サンプルに対して大幅に高い保持特性を得ることができた。特に、ｘの値が０．１以上０．３以下の範囲のサンプルにおいて時間Ｔは１００時間以上となり、より高い保持特性が得られることがわかった。

【０１４６】

これらの結果から、$ZnFe_2O_4$におけるＦｅを元素Ａ（Ｃｒ）により部分的に置換した酸化物である$Zn(Fe_{2-x}Cr_x)O_4$：$0<x\leqq 0.5$を抵抗変化層に用いることにより、素子の抵抗変化比だけではなく保持特性も向上できることがわかった。この理由については、上述したように、Ｃｒイオンの価数が３価と４価との間で変化することが鍵になっていると思われる。即ち、サンプル１－１～１－８では、抵抗変化層から電子の取り出しが行われる際においてもＦｅの価数変化をＣｒにより補償することができ、酸素を関与させることなく金属イオンの価数調整のみで電荷中性の保持が可能となる。また、$ZnFe_2O_4$内のＦｅサイトにてＦｅイオンがともに３価であるために抑制されていた電子伝導が、ＦｅサイトへのＣｒ添加によって２価、３価および４価のイオンが混在することにより行われやすくなり、高抵抗状態から低抵抗状態への変化がよりスムーズになって抵抗変化比が向上すると考えられる。即ち、スピネル型酸化物を抵抗変化層とする素子では、当該素子の抵抗変化特性および保持特性を向上させようとすると、当該酸化物における被置換元素（本発明ではＦｅ）、置換元素（本発明では元素Ａ）および元素Ｍの組み合わせが重要であって、これらの組み合わせに関する知見は本発明により初めて得られたといえる。なお、Ｆｅに対するＣｒ（元素Ａ）の置換量が上記ｘの値にして０．５を超えた場合には、十分な抵抗変化特性および保持特性が得られなくなったが、これは、母材である$ZnFe_2O_4$内のＦｅサイトにおいて、Ｆｅイオンの量よりも置換元素のイオンの量の方が多くなり、その伝導特性が変化したのが原因ではないかと推察される。

【０１４７】

次に、サンプル１－１～１－８と同様にして、式$Zn(Fe_{2-x}A_x)O_4$で示される酸化物からなる抵抗変化層３を有するメモリ素子を、元素Ａの種類を変えて７種類（サンプル１－９～１－１５）作製し、その抵抗変化比および保持特性を評価した。上記式におけるｘの値は、元素ＡがＴａであるサンプル１－１５（ｘ＝０．１）を除き、全てｘ＝０．３とした。元素Ａの種類とともに、その評価結果を以下の表３に示す。なお、表３では、元素ＡがＣｒであるサンプル１－４の評価結果を併せて示す。

【０１４８】

【表３】

サンプルNo.	元素A	x	⊿R	T（時間）
１－４	Ｃｒ	0.3	115	285
１－９	Ｔｉ	0.3	85	12
１－１０	Ｖ	0.3	28	10
１－１１	Ｎｂ	0.3	90	115
１－１２	Ｍｎ	0.3	150	190
１－１３	Ｃｏ	0.3	58	140
１－１４	Ｒｈ	0.3	40	8
１－１５	Ｔａ	0.1	20	5

【０１４９】

表３に示すように、サンプル１－４、１－９～１－１５の全てのサンプルにおいて、比較例サンプルＡ－１～Ａ－３に比べて高い抵抗変化比および保持特性を得ることができた。

【０１５０】

次に、サンプル１－１～１－８と同様にして、式Ｆｅ（$Fe_{2-x}Cu_x$）O_4で示される酸化物からなる抵抗変化層３を有するメモリ素子（比較例Ａ－４）、式Ｚｎ（$Fe_{2-x}W_x$）O_4で示される酸化物からなる抵抗変化層３を有するメモリ素子（比較例Ａ－５）、および、式Ｃｕ（$Fe_{2-x}Zn_x$）O_4で示される酸化物からなる抵抗変化層３を有するメモリ素子（比較例Ａ－６）を作製し、その抵抗変化比および保持特性を評価した。上記各式におけるｘの値は、全てｘ＝０．０５とした。各比較例サンプルにおける元素Ｍ、元素Ａおよびｘの値を以下の表４に示す。

【０１５１】

【表４】

サンプルNo.	元素M	元素A	x
A－4（比較例）	Ｆｅ	Ｃｕ	0.05
A－5（比較例）	Ｚｎ	Ｗ	0.05
A－6（比較例）	Ｃｕ	Ｚｎ	0.05

【０１５２】

評価の結果、比較例サンプルＡ－４～Ａ－６は、抵抗変化特性そのものが発現しなかった。このことから、元素Ｍおよび元素Ａには好ましい組み合わせが存在し、本発明の素子において発現する高い特性は、適した組み合わせの知見を得て初めて実現可能となったと考えられる。

（実施例２）

実施例２では、図２に示す抵抗変化素子１を備え、図１０に示す構成を有するメモリ素子３１を、元素Ｍと元素Ａとの組み合わせを変えて２種類（サンプル２－１～２－２）作製し、その抵抗変化特性を評価した。

【０１５３】

評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、サンプル２－１においては、式Ｚｎ（$Fe_{1.7}Cr_{0.3}$）O_4で示される酸化物（ｘ＝０．３）からなる第２の抵抗変化膜３ｂと、式Ｚｎ（$Fe_{1.8}Cr_{0.2}$）O_4で示される酸化物（ｘ

＝０．２）からなる第１の抵抗変化膜３ａとした。サンプル２－２においては、式Ｃｕ（$Fe_{1.7}Mn_{0.3}$）O_4で示される酸化物（ｘ＝０．３）からなる第２の抵抗変化膜３ｂと、式Ｃｕ（$Fe_{1.8}Mn_{0.2}$）O_4で示される酸化物（ｘ＝０．２）からなる第１の抵抗変化膜３ａとした。下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。

【０１５４】

抵抗変化層３（厚さ５０ｎｍ）は、最初に下部電極２上に第２の抵抗変化膜３ｂ（厚さ２５ｎｍ）を形成した後に、さらに第１の抵抗変化膜３ａ（厚さ２５ｎｍ）を形成して作製した。双方の抵抗変化膜の作製条件は、実施例１における抵抗変化層の作製条件と同様とした。

【０１５５】

形成した各抵抗変化膜の組成は、実施例１と同様にして確認した。また、同様の手法により、形成した各抵抗変化膜の結晶構造を評価したところ、サンプル２－１、２－２ともに、スピネル型の結晶構造を有することが確認できた。また、各抵抗変化膜のシート抵抗値を評価したところ、ｘの値により、抵抗変化層のシート抵抗値が変化することが確認できた。

【０１５６】

上記のように作製したサンプルに対し、実施例１と同様にして、その抵抗変化比および保持特性を評価した。評価結果を、各サンプルにおける元素Ｍ、元素ＡおよびｘのＴとともに以下の表５に示す。

【０１５７】

【表５】

サンプル No.	元素M	元素A	x		⊿R	T (時間)
			第1の抵抗変化膜3a	第2の抵抗変化膜3b		
2－1	Zn	Cr	0.2	0.3	115	250
2－2	Cu	Mn	0.2	0.3	55	120

【０１５８】

表５に示すように、サンプル２－１では、ｘの値が互いに異なる酸化物からなる２つの抵抗変化膜により抵抗変化層を構成することで、１つの酸化物から抵抗変化層を構成した場合（例えば、ｘ＝０．２０であるサンプル１－３）よりも、抵抗変化比および保持特性を向上できた。この効果についても詳細な原理は不明であるが、双方の抵抗変化膜の界面におけるＦｅイオンおよび元素Ａのイオン（Ｃｒイオン）の価数配置が微妙に異なるために、電子の移動に伴うイオンの価数変化が起こりやすくなっている可能性がある。

【０１５９】

また、表５に示すように、元素ＭがＣｕ、元素ＡがＭｎの場合においても、高い抵抗変化比および保持特性を得ることができた。

【０１６０】

（実施例３）

実施例３では、図５に示す抵抗変化素子１を備え、図１０に示す構成を有するメモリ素子３１を、抵抗変化膜３ｃと抵抗膜５との厚さを変化させて５種類（実施例であるサンプル３－１～３－５）作製し、その抵抗変化特性を評価した。

【０１６１】

評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。また、式Ｚｎ（$Fe_{1.7}Cr_{0.3}$）

O_4で示される酸化物（ｘ＝０．３）からなる抵抗変化膜３ｃとし、Fe_3O_4からなる抵抗膜５とした。

【０１６２】

抵抗変化層３は、最初に下部電極２上に抵抗膜５を形成した後に、抵抗変化膜５ｃを形成して作製した。抵抗変化膜３ｃおよび抵抗膜５の作製条件は、実施例１における抵抗変化層の作製条件と同様とした。形成した抵抗変化膜および抵抗膜の組成は、実施例１と同様にして確認した。また、同様の手法により、形成した抵抗変化膜の結晶構造を評価したところ、スピネル型の結晶構造を有することが確認できた。

【０１６３】

サンプル３－１～３－５の作製とは別に、式$Zn(Fe_{1.7}Cr_{0.3})O_4$で示される酸化物からなる単層の抵抗変化層３を含む素子１（図１に準じる）を備え、抵抗変化層３の厚さを１～２５ｎｍの範囲で変化させたメモリ素子３１を、実施例１における各サンプルと同様にして作製した。作製した当該素子１における下部電極２と上部電極４との間の電気抵抗値（初期抵抗値）を測定したところ、初期抵抗値は抵抗変化層３の厚さに応じて線形に変化することがわかった。しかし、抵抗変化層３の厚さが１０ｎｍ以下になると、その実測値は予測値よりも小さくなり、抵抗変化層３自体のリークと考えられる現象が確認された。このことから、単層の抵抗変化層３では、抵抗変化層３を構成する材料にもよるが、その厚さがおよそ１０ｎｍ以下程度になると、抵抗変化比が小さくなったり得られなくなったりする可能性があると考えられる。

【０１６４】

サンプル３－１～３－５に対し、実施例１と同様にして、その抵抗変化比を評価した。評価結果を、各サンプルにおける抵抗変化膜３ｃの厚さ、および、抵抗膜５の厚さとともに以下の表６に示す。

【０１６５】

【表６】

サンプルNo.	抵抗変化膜３ｃの厚さ（ｎｍ）	抵抗膜５の厚さ（ｎｍ）	⊿R
３－１	10	20	90
３－２	10	30	85
３－３	5	50	100
３－４	2	75	115
３－５	1	100	90

【０１６６】

表６に示すように、抵抗変化膜３ｃの厚さが１０ｎｍ以下の場合においても、抵抗膜５の配置によりリークの発生を抑え、安定した抵抗変化特性が得られることがわかった。

【０１６７】

なお、サンプル３－１～３－５のように、Fe_3O_4からなる抵抗膜５の上に抵抗変化膜３ｃを形成することにより、素子の抵抗変化特性の発現がより容易となった。実施例１の比較例Ａ－１では、素子形成後、抵抗変化を起こすための前処理として電気フォーミングと呼ばれるパルス電圧の印加を１００～１０００回程度印加する必要があったが、サンプル３－１～３－５では、素子形成後、１回のＲＥＳＥＴ電圧の印加により、すぐに抵抗変化を発現できた。

【０１６８】

次に、図６に示す抵抗変化素子１を備え、図１０に示す構成を有するメモリ素子３１を

２種類作製し（サンプル３－６～３－７）、その抵抗変化比を評価した。

【０１６９】

評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。抵抗変化膜３ａ、３ｂおよび抵抗膜５は、サンプル３－１～３－５における抵抗変化膜３ｃおよび抵抗膜５と同様に形成した。抵抗変化膜３ａおよび３ｂの厚さは、それぞれ１０ｎｍとし、抵抗膜５の厚さは２０ｎｍとした。

【０１７０】

サンプル３－６～３－７における抵抗変化比の評価結果を、各サンプルの抵抗変化膜の組成および抵抗膜の組成とともに、以下の表７に示す。

【０１７１】

【表７】

サンプルNo.	抵抗変化膜３ａ	抵抗膜５	抵抗変化膜３ｂ	⊿R
３－６	$Zn(Fe_{1.8}Cr_{0.2})O_4$	Fe_3O_4	$Zn(Fe_{1.7}Cr_{0.3})O_4$	125
３－７	$Zn(Fe_{1.7}Cr_{0.3})O_4$	Fe_3O_4	$Zn(Fe_{1.8}Cr_{0.2})O_4$	106

【０１７２】

表７に示すように、下部電極２および上部電極４に対する抵抗変化膜３ａ、３ｂの配置位置は素子の抵抗変化特性にあまり影響を与えないことがわかった。ただし、ＲＥＳＥＴ電圧の印加による抵抗変化の向きはサンプル３－６と３－７とで逆になることがわかった。即ち、サンプル３－６では、ＲＥＳＥＴ電圧の印加により、素子は低抵抗状態から高抵抗状態へと変化し、ＳＥＴ電圧の印加により高抵抗状態から低抵抗状態へと変化するが、サンプル３－７では、ＲＥＳＥＴ電圧の印加により、素子は高抵抗状態から低抵抗状態へと変化し、ＳＥＴ電圧の印加により低抵抗状態から高抵抗状態へと変化した。この結果は、抵抗変化膜における電子の出入りが、抵抗変化現象と密接に関係していることを示している。

【０１７３】

次に、図７に示す抵抗変化素子１を備え、図１０に示す構成を有するメモリ素子３１を２種類作製し（サンプル３－８～３－９）、その抵抗変化比を評価した。

【０１７４】

評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。抵抗変化膜３ａ、３ｂおよび抵抗膜５は、サンプル３－１～３－５における抵抗変化膜３ｃおよび抵抗膜５と同様に形成した。

【０１７５】

サンプル３－８～３－９における抵抗変化比の評価結果を、各サンプルの抵抗変化膜の組成および厚さ、ならびに、抵抗膜の組成および厚さとともに、以下の表８に示す。

【０１７６】

【表８】

サンプル No.	抵抗変化膜３ａ	抵抗膜５	抵抗変化膜３ｂ	⊿R
３－８	$Zn(Fe_{1.7}Cr_{0.3})O_4$ 5nm	Fe_3O_4 10nm	$Zn(Fe_{1.7}Cr_{0.3})O_4$ 20nm	88
３－９	$Zn(Fe_{1.7}Cr_{0.3})O_4$ 20nm	Fe_3O_4 10nm	$Zn(Fe_{1.7}Cr_{0.3})O_4$ 5nm	72

【０１７７】

表８に示すように、下部電極２および上部電極４に対する、膜厚の異なる抵抗変化膜３ａ、３ｂの配置位置は素子の抵抗変化特性にあまり影響を与えないことがわかった。ただし、ＲＥＳＥＴ電圧の印加による抵抗変化の向きはサンプル３－８と３－９とで逆になることがわかった。即ち、サンプル３－８では、ＲＥＳＥＴ電圧の印加により、素子は低抵抗状態から高抵抗状態へと変化するが、サンプル３－９では、ＲＥＳＥＴ電圧の印加により、素子は高抵抗状態から低抵抗状態へと変化した。この結果は、抵抗変化膜における電子の出入りが、抵抗変化現象と密接に関係していることを示している。

【０１７８】

（実施例４）

実施例４では、抵抗変化層３として、互いに組成が異なる２種類の抵抗変化膜３ａ、３ｂを積層した後に熱処理した層を含む素子１を備え、図１０に示す構成を有するメモリ素子３１（サンプル４－１）を作製し、その抵抗変化特性および保持特性を評価した。

【０１７９】

評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、式$Zn(Fe_{1.95}Cr_{0.05})O_4$で示される酸化物（ｘ＝０．０５）からなる第２の抵抗変化膜３ｂと、式$Zn(Fe_{1.5}Cr_{0.5})O_4$で示される酸化物（ｘ＝０．５）からなる第１の抵抗変化膜３ａとした。下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。

【０１８０】

抵抗変化層３（厚さ５０ｎｍ）は、以下のようにして作製した。最初に下部電極２上に第２の抵抗変化膜３ｂ（厚さ２５ｎｍ）を形成した後に、さらに第１の抵抗変化膜３ａ（厚さ２５ｎｍ）を形成し、続いて室温～４００℃の範囲で、第１および第２の抵抗変化膜の積層体に熱処理を施して抵抗変化層３とした。双方の抵抗変化膜の形成条件は、実施例１における抵抗変化層の形成条件と同様とした。また、熱処理は、ＲＴＡ（Rapid Thermal Annealing）装置を用いたランプ加熱により、窒素流下にて行った。熱処理温度と熱処理時間とは互いに関連し合っているが、典型的には、４００℃で１分の熱処理を中心とした。

【０１８１】

熱処理により形成した抵抗変化層３における元素Ａ（Ｃｒ）の分布を透過型電子顕微鏡（ＴＥＭ）およびＥＤＸにより確認したところ、当該層の厚さ方向に、上記式におけるｘの値にして０．０５～０．５の範囲で元素Ａの濃度勾配が生じていることがわかった。即ち、サンプル４－１の抵抗変化層３は、当該層の厚さ方向に組成勾配を有していることがわかった。この濃度勾配（組成勾配）は、熱処理によるＣｒの拡散に基づくと考えられる。

【０１８２】

上記のように作製したサンプルに対し、実施例１と同様にして、その抵抗変化比および保持特性を評価した。評価結果を、熱処理前の第１および第２の抵抗変化膜の組成とともに以下の表９に示す。

【０１８３】
【表９】

サンプル No.	抵抗変化膜３ａ (熱処理前)	抵抗変化膜３ｂ (熱処理前)	⊿R	T (時間)
４－１	$Zn(Fe_{1.5}Cr_{0.5})O_4$	$Zn(Fe_{1.95}Cr_{0.05})O_4$	180	420

【０１８４】
表９に示すように、抵抗変化層３内に元素ＡであるＣｒの濃度勾配を設けたことにより、均一な組成を有する抵抗変化層とした場合よりも、抵抗変化比および保持特性を向上できることがわかった。この効果についても詳細な原理は不明であるが、元素Ａの濃度勾配により、抵抗変化層３内に、抵抗変化特性および保持特性の発現に最も適した元素Ａの濃度（＝上記式におけるｘの値）が実現した可能性が考えられる。
【０１８５】
次に、元素Ｍおよび元素Ａの種類を変えて、サンプル４－１と同様の検討を行った。その結果を、以下の表１０に示す。
【０１８６】
【表１０】

サンプル No.	抵抗変化膜３ａ (熱処理前)	抵抗変化膜３ｂ (熱処理前)	⊿R	T (時間)
４－２	$Zn(Fe_{1.5}Nb_{0.5})O_4$	$Zn(Fe_{1.95}Nb_{0.05})O_4$	95	120
４－３	$Zn(Fe_{1.5}Ti_{0.5})O_4$	$Zn(Fe_{1.95}Ti_{0.05})O_4$	100	20
４－４	$Zn(Fe_{1.5}Mn_{0.5})O_4$	$Zn(Fe_{1.95}Mn_{0.05})O_4$	200	200
４－５	$Cu(Fe_{1.5}Mn_{0.5})O_4$	$Cu(Fe_{1.95}Mn_{0.05})O_4$	60	120
４－６	$Cu(Fe_{1.5}Rh_{0.5})O_4$	$Cu(Fe_{1.95}Rh_{.05})O_4$	50	20
４－７	$Ni(Fe_{1.5}Co_{0.5})O_4$	$Ni(Fe_{1.95}Co_{0.05})O_4$	80	20
４－８	$Mn(Fe_{1.5}Co_{0.5})O_4$	$Mn(Fe_{1.95}Co_{0.05})O_4$	60	25
４－９	$Co(Fe_{1.5}Cr_{0.5})O_4$	$Co(Fe_{1.95}Cr_{0.05})O_4$	45	40

【０１８７】
表１０に示すように、抵抗変化層３内に元素Ａの濃度勾配を設けたことにより、均一な組成を有する抵抗変化層とした場合よりも、抵抗変化比および保持特性を向上できることがわかった。
【０１８８】
（実施例５）
実施例５では、図４に示すように、互いに組成が異なる２種類の抵抗変化膜３ａ、３ｂを、それぞれ複数積層した抵抗変化層３を含む素子１を備え、図１０に示す構成を有するメモリ素子３１（サンプル５－１）を作製し、その抵抗変化特性および保持特性を評価した。
【０１８９】
評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、素子１の構成は下部電極２側から順に、下部電極２／第２の抵抗変化膜３ｂ／［第１の抵抗変化膜３ａ／第２の抵抗変化膜３ｂ］^{4}／上部電極４とした。［　］^{4}は、４回の繰り返しであることを示す。

【０１９０】
第１の抵抗変化膜３ａ（厚さ１０ｎｍ）は、式Ｚｎ（$Fe_{1.8}Cr_{0.2}$）O_4で示される酸化物（ｘ＝０．２）からなる膜とし、第２の抵抗変化膜３ｂ（厚さ１０ｎｍ）は、式Ｚｎ（$Fe_{1.7}Cr_{0.3}$）O_4で示される酸化物（ｘ＝０．３）からなる膜とし、双方の抵抗変化膜の作製条件は、実施例１における抵抗変化層の作製条件と同様とした。抵抗変化層３全体の厚さは９０ｎｍである。
【０１９１】
下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。
【０１９２】
サンプル５－１の作製とは別に、サンプル５－１と同様にして抵抗変化層３を形成した後に、実施例４と同様にして熱処理を加えたサンプル（サンプル５－２）を別途作製した。サンプル５－２における抵抗変化層３以外の各部分の構成は、サンプル５－１と同様とした。
【０１９３】
上記のように作製したサンプルに対し、実施例１と同様にして、その抵抗変化比および保持特性を評価した。評価結果を以下の表１１に示す。
【０１９４】
【表１１】

サンプル No.	熱処理の有無	⊿R	T (時間)
5－1	無	100	190
5－2	有	160	230

【０１９５】
表１１に示すように、互いに異なる組成を有する抵抗変化膜を複数積層した抵抗変化層３とすることで、素子の抵抗変化特性および保持特性を向上できることがわかった。また、このような抵抗変化層にさらに熱処理を施して組成勾配を形成することにより、さらなる特性の向上が実現できることがわかった。
【０１９６】
（実施例６）
実施例６では、抵抗変化層３として、成膜温度を変化させながら形成した抵抗変化層を含む素子１を備え、図１０に示す構成を有するメモリ素子３１（サンプル６－１）を作製し、その抵抗変化特性および保持特性を評価した。
【０１９７】
評価した素子サンプルは、上述した図１６Ａ～図１６Ｈに示す方法により作製し、下部電極２など、メモリ素子３１における抵抗変化層３以外の各部分の構成は、素子の接合面積を含め、実施例１における各サンプルと同様とした。
【０１９８】
抵抗変化層３（厚さ５０ｎｍ）は、式Ｚｎ（$Fe_{1.7}Cr_{0.3}$）O_4で示される焼結体をターゲットとして用い、マグネトロンスパッタリング法により、圧力０．６Ｐａのアルゴン雰囲気下にて、Ｓｉ基板の温度を室温～５００℃の範囲で図１８に示す温度プロファイルに従って変化させながら、印加電力をＲＦ３００Ｗとして形成した。
【０１９９】
形成した抵抗変化層３の組成を実施例１と同様にして確認したところ、Ｚｎ（$Fe_{1.7}Cr_{0.3}$）O_4であった。また、抵抗変化層内の粒径をＴＥＭにより観察したところ、抵抗変化層３における下部電極２側、即ち、成膜温度が低いときに形成された領域、に比べて、上部電極４側、即ち、成膜温度が高いときに形成された領域の方が大きくなっていた。

即ち、サンプル６－１の抵抗変化層３は、その厚さ方向に粒径分布を有していた。

【０２００】

上記のように作製したサンプルに対し、実施例１と同様にして、その抵抗変化比および保持特性を評価した。評価結果を以下の表１２に示す。

【０２０１】

【表１２】

サンプル No.	⊿R	T (時間)
6－1	220	350

【０２０２】

表１２に示すように、成膜温度を変化させながら形成した抵抗変化層３とすることにより、同様の組成を有するサンプル１－４に比べて抵抗変化特性および保持特性を大幅に向上できた。これは、層を構成する材料の粒径など、層の膜質により元素Ａの置換効果が異なるが、実施例４において検証した組成勾配を有する抵抗変化層の場合と同様に、層内に形成された粒径分布により、抵抗変化層３内に、抵抗変化特性および保持特性の発現に最も適した状態が実現した可能性が考えられる。

【０２０３】

（実施例７）

実施例７では、実施例１で作製したメモリ素子３１（サンプル１－４）を複数配列して、５×５のメモリアレイを作製し、その動作の検証を行った。

【０２０４】

メモリアレイの動作確認は、選択した素子３１におけるゲート２５への電圧の印加によりトランジスタ２１をＯＮ状態とし、ソース２２と上部電極４との間に、ＳＥＴ電圧として２Ｖ（正バイアス電圧）、ＲＥＳＥＴ電圧として－２Ｖ（負バイアス電圧、大きさ２Ｖ）、ＲＥＡＤ電圧として０．５Ｖ（正バイアス電圧）を印加して、サンプル１－４から出力される電流値を測定して行った。サンプル１－４に印加する各電圧のパルス幅は１００ｎｓとした。

【０２０５】

動作確認の結果、上記メモリアレイでは、ＲＥＡＤ電圧の印加時に素子３１から出力される電流値の測定により、任意のメモリ素子３１に対してデータの記録および読出が可能であり、メモリアレイとして安定した動作が可能であることが確認できた。

【０２０６】

（実施例８）

実施例８では、式$Zn(Fe_{2-x}Mn_x)O_4$で示される酸化物からなる抵抗変化層３（厚さ５０ｎｍ）とした以外は実施例１と同様に、上記式におけるｘの値を変化させたサンプルを８種類（サンプル８－１～８－８）作製し、その抵抗変化比および保持特性を評価した。

【０２０７】

評価した素子サンプルは実施例１と同様にして作製した。ただし、抵抗変化層３の作製にあたっては、ターゲットとして式$Zn(Fe_{2-x}Mn_x)O_4$で示される焼結体を用いた。

【０２０８】

形成した抵抗変化層３の組成は、実施例１と同様に確認した。また、実施例１と同様の手法により、形成した抵抗変化層３の結晶構造を評価したところ、以下の表１３に示す全てのサンプルにおいて、抵抗変化層３を構成する材料がスピネル型の結晶構造を有することが確認できた。また、抵抗変化層３のシート抵抗値を評価したところ、ｘの値により、抵抗変化層のシート抵抗値が変化することが確認できた。

【０２０９】
上記のように作製したサンプルに対し、実施例１と同様にして、その抵抗変化比および保持特性を評価した。評価結果を、各サンプルにおけるｘの値とともに以下の表１３に示す。
【０２１０】
【表１３】

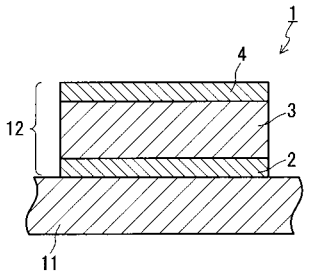
サンプルNo.	x	⊿R	T（時間）
8－1	0.05	35	25
8－2	0.10	50	30
8－3	0.20	90	120
8－4	0.30	170	200
8－5	0.35	112	75
8－6	0.40	40	22
8－7	0.45	18	10
8－8	0.50	15	5

【０２１１】
表１３に示すように、抵抗変化層３を構成する酸化物について、式$Zn(Fe_{2-x}Mn_x)O_4$におけるｘの値が０．０５以上０．５以下の範囲のサンプルにおいて、高い抵抗変化比を得ることができた。特に、ｘの値が０．２以上０．３５以下の範囲のサンプルにおいて９０以上のより高い抵抗変化比が得られた。
【０２１２】
また、表１３に示すように、抵抗変化層３を構成する酸化物について、式$Zn(Fe_{2-x}Mn_x)O_4$におけるｘの値が０．０５以上０．５以下の範囲のサンプルにおいて、高い保持特性を得ることができた。特に、ｘの値が０．２以上０．３以下の範囲のサンプルにおいて時間Ｔは１００時間以上となり、より高い保持特性が得られることがわかった。
【０２１３】
これらの結果から、$ZnFe_2O_4$におけるＦｅを元素Ａ（Ｍｎ）により部分的に置換した酸化物である$Zn(Fe_{2-x}Mn_x)O_4$：$0<x\leqq 0.5$を抵抗変化層に用いることにより、素子の抵抗変化比だけではなく保持特性も向上できることがわかった。この理由については、上述したように、Ｍｎイオンの価数が３価、４価および５価の間で変化することが鍵になっていると思われる。
【産業上の利用可能性】
【０２１４】
以上説明したように、本発明によれば、抵抗変化特性および保持特性が従来よりも向上した抵抗変化素子を得ることができる。このため、本発明の抵抗変化素子は信頼性が高く、不揮発性メモリへ好適に適用できる。
【０２１５】
本発明の抵抗変化素子は、メモリに限らず、様々な電子デバイスへの応用が可能であり、当該デバイスとして、例えば、情報通信端末などに使用されるスイッチング素子、センサ、画像表示装置などへの応用が考えられる。
【図面の簡単な説明】
【０２１６】
【図１】本発明の抵抗変化素子の一例を模式的に示す断面図である。
【図２】本発明の抵抗変化素子の別の一例を模式的に示す断面図である。

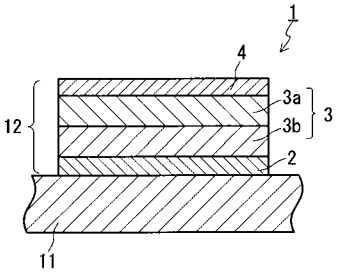
【図３】本発明の抵抗変化素子のまた別の一例を模式的に示す断面図である。
【図４】本発明の抵抗変化素子のさらにまた別の一例を模式的に示す断面図である。
【図５】本発明の抵抗変化素子の上記とは別の一例を模式的に示す断面図である。
【図６】本発明の抵抗変化素子の上記とは別の一例を模式的に示す断面図である。
【図７】本発明の抵抗変化素子の上記とは別の一例を模式的に示す断面図である。
【図８】本発明の抵抗変化素子の上記とは別の一例を模式的に示す断面図である。
【図９】本発明の抵抗変化素子を備える抵抗変化型メモリ（素子）の一例を示す模式図である。
【図１０】本発明の抵抗変化素子を備える抵抗変化型メモリ（素子）の一例を模式的に示す断面図である。
【図１１】本発明の抵抗変化素子を備える抵抗変化型メモリにおける情報の記録および読出方法の一例を説明するための図である。
【図１２】本発明の抵抗変化素子を備える抵抗変化型メモリにおける情報の読出方法の一例を説明するための図である。
【図１３】本発明の抵抗変化素子を備える抵抗変化型メモリ（アレイ）の一例を示す模式図である。
【図１４】本発明の抵抗変化素子を備える抵抗変化型メモリ（アレイ）の別の一例を示す模式図である。
【図１５】本発明の抵抗変化素子を備える抵抗変化型メモリ（アレイ）のまた別の一例を示す模式図である。
【図１６Ａ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｂ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｃ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｄ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｅ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｆ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｇ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１６Ｈ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ａ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｂ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｃ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｄ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｅ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｆ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｇ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｈ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｉ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｊ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｋ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｌ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１７Ｍ】本発明の抵抗変化型メモリの製造方法の一例を模式的に示す工程図である。
【図１８】実施例６において抵抗変化層３を形成する際の成膜温度のプロファイルを示す図である。
【符号の説明】
【０２１７】
１　抵抗変化素子
２　下部電極
３　抵抗変化層
３ａ、３ｂ、３ｃ、３ｄ、３ｅ　抵抗変化膜
４　上部電極

５　抵抗膜
１１　基板
１２　多層構造体（積層体）
２１　トランジスタ
２２　ソース
２３　ドレイン
２４　プラグ
２５　ゲート絶縁膜
２６　ゲート電極
２７　プラグ
２８　層間絶縁層
２９　素子分離部
３１、３１ａ　（抵抗変化型）メモリ素子
３２　ビット線
３３　ワード線
３４、３４ａ　（抵抗変化型）メモリ素子
３５　選択素子
３６、３６ａ、３６ｂ、３６ｃ　パストランジスタ
３７　パストランジスタ群
３８　参照素子群
４１　参照素子
４２　（メモリ素子３１の）出力
４３　（参照素子４１の）出力
４４ａ、４４ｂ　負帰還増幅回路
４５　（負帰還増幅回路４４ａにより増幅した）出力
４６　（負帰還増幅回路４４ｂにより増幅した）出力
４７　差動増幅回路
４８　出力信号
５１　（抵抗変化型）メモリアレイ
５２　（抵抗変化型）メモリアレイ
５３　（抵抗変化型）メモリアレイ
６１　保護絶縁膜
６２　プラグ用開口部
６３　バリアメタル
６４　プラグメタル
６５　保護絶縁膜
６６　プラグ用開口部
６７　密着用メタル
６８　配線用メタル
６９　プラグ
７０　水素バリア層
７１　電極
７２　水素バリア層
７３　保護絶縁膜
７４　プラグ用開口部
７５　プラグ
７６　（抵抗変化型）メモリ素子

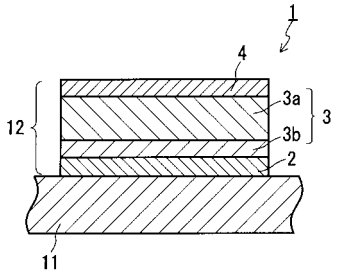
【図１】



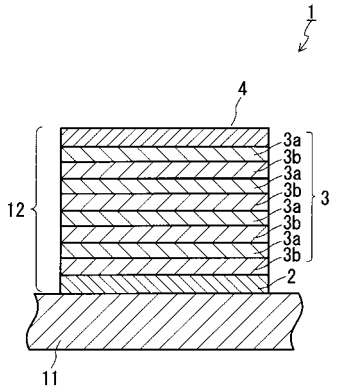
【図２】



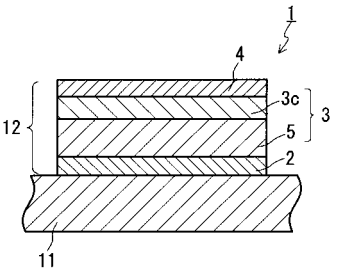
【図３】



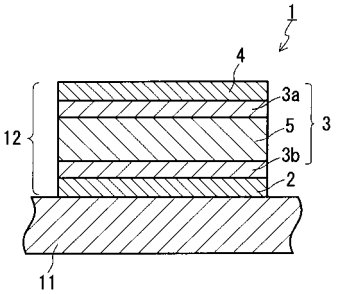
【図４】



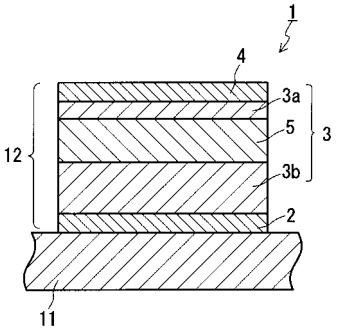
【図５】



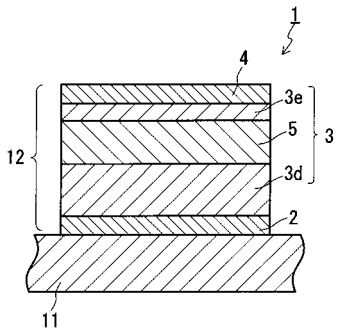
【図６】



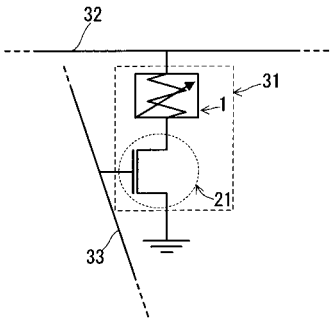
【図７】



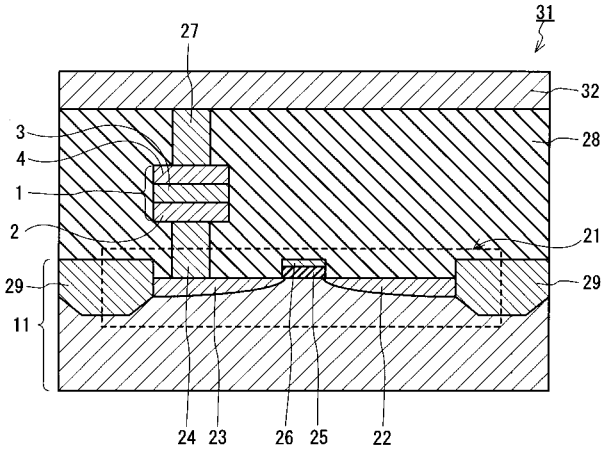
【図８】



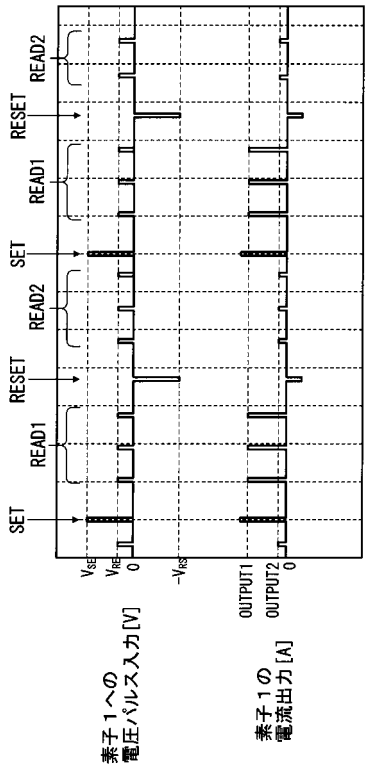
【図９】



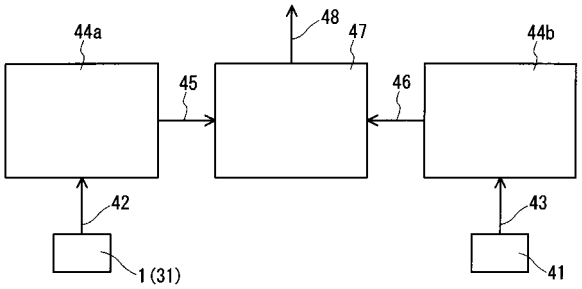
【図１０】



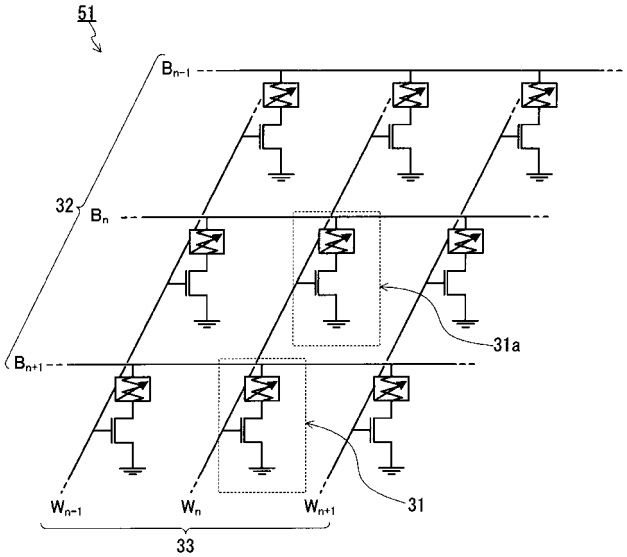
【図１１】



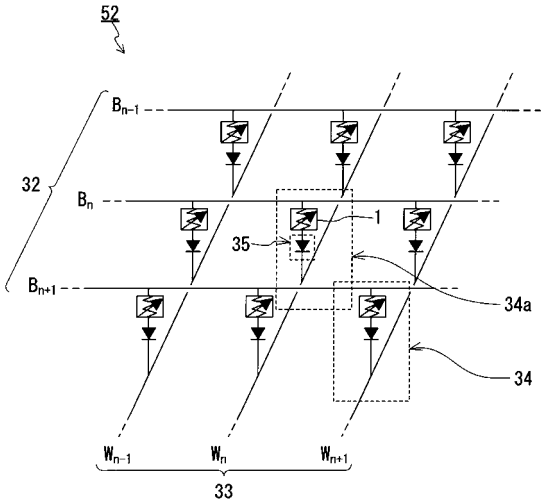
【図１２】



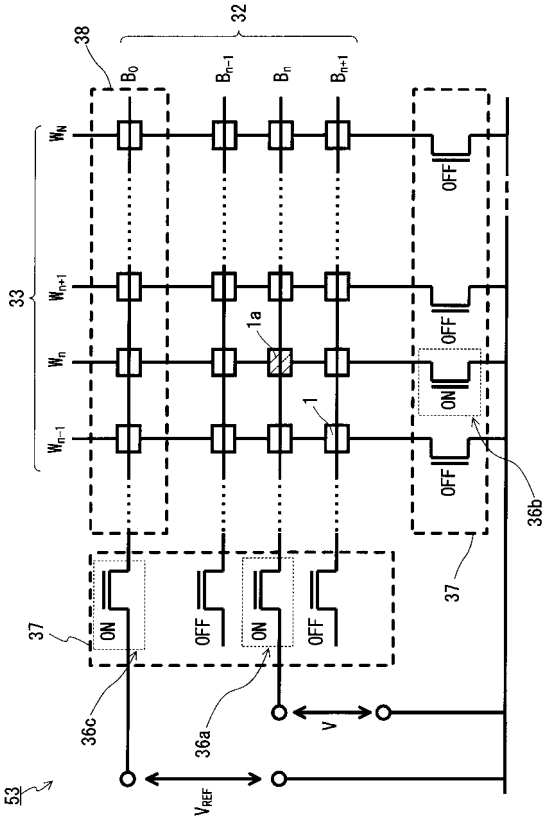
【図１３】



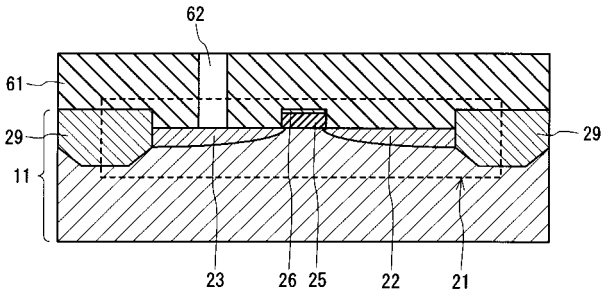
【図１４】



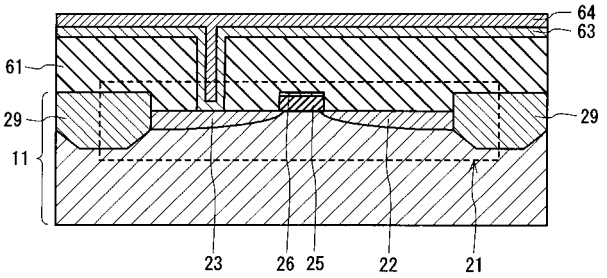
【図１５】



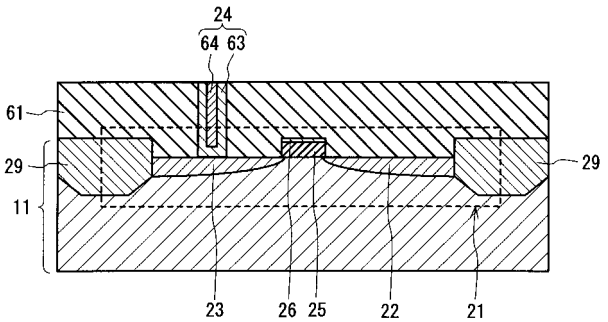
【図１６Ａ】



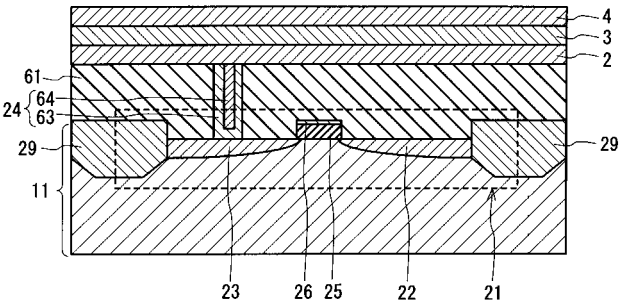
【図１６Ｂ】



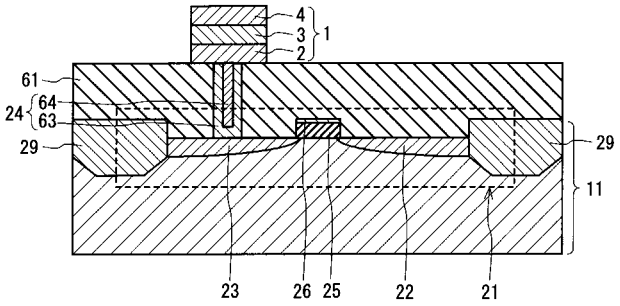
【図１６Ｃ】



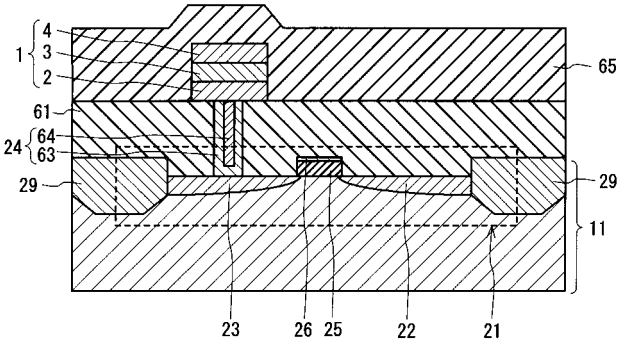
【図１６Ｄ】



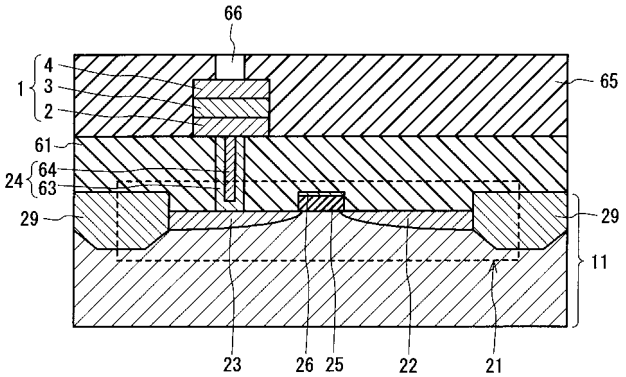
【図１６Ｅ】



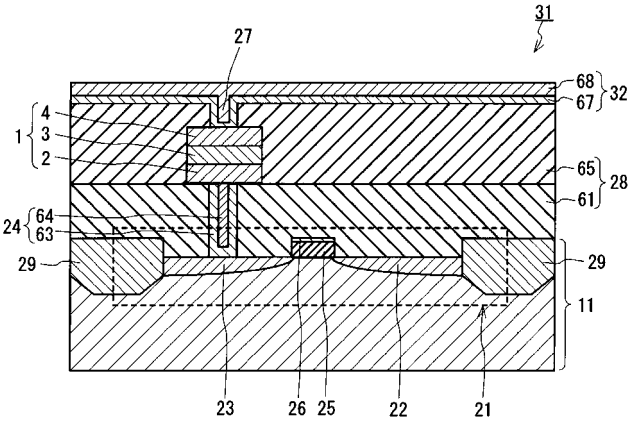
【図１６Ｆ】



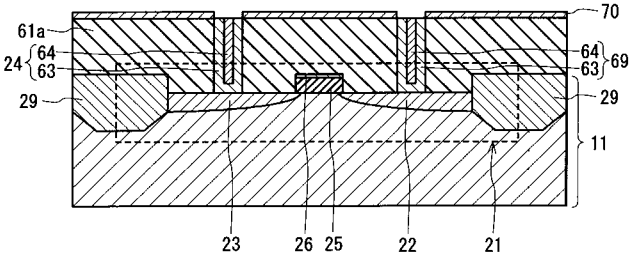
【図１６Ｇ】



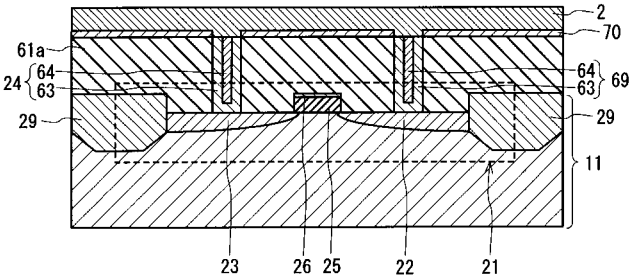
【図１６Ｈ】



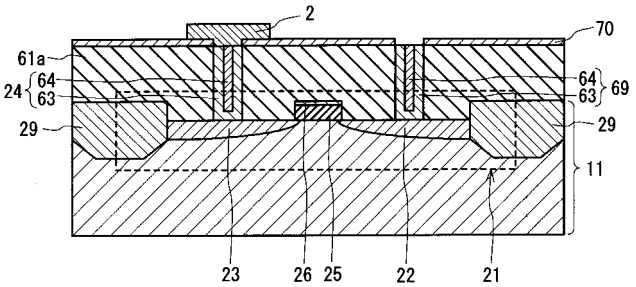
【図１７Ａ】



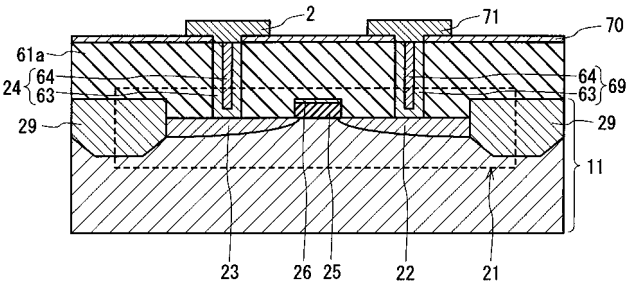
【図１７Ｂ】



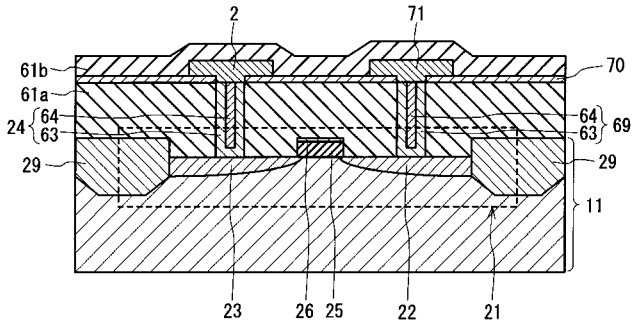
【図１７Ｃ】



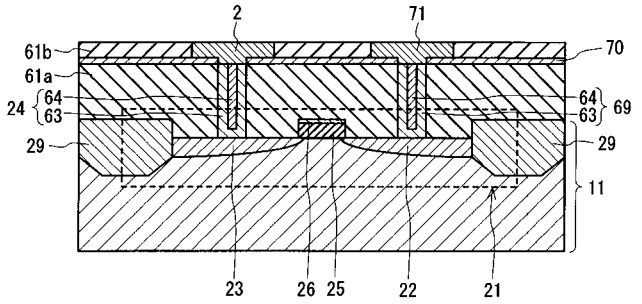
【図１７Ｄ】



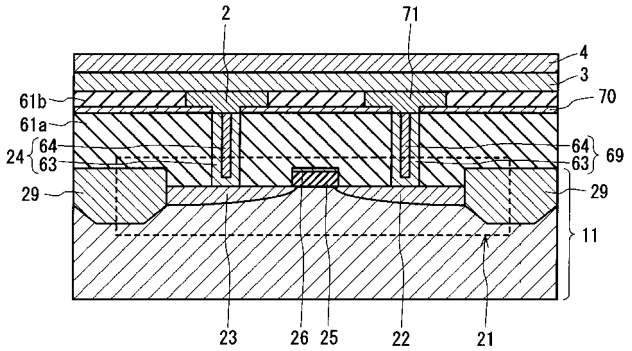
【図１７Ｅ】



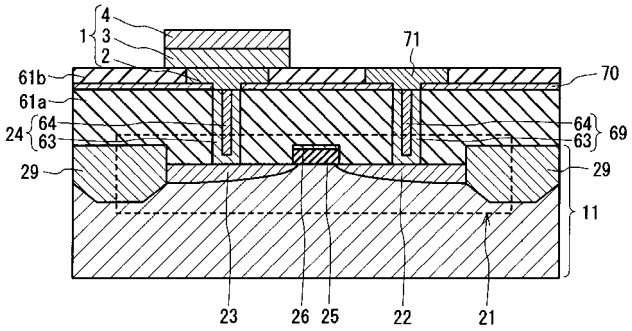
【図１７Ｆ】



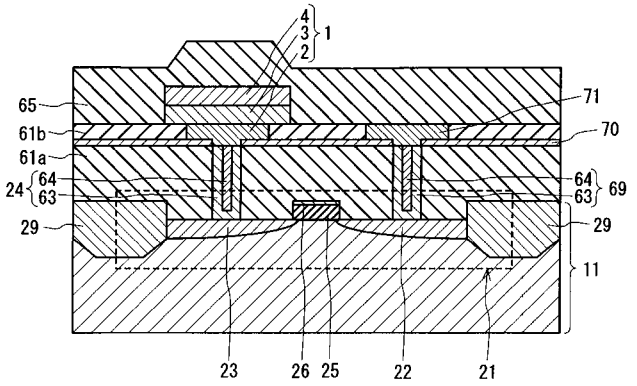
【図１７Ｇ】



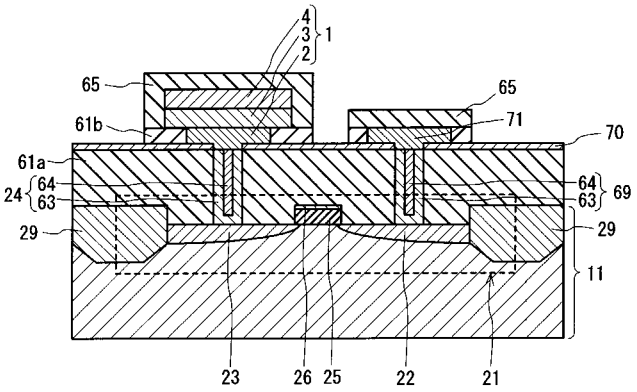
【図１７Ｈ】



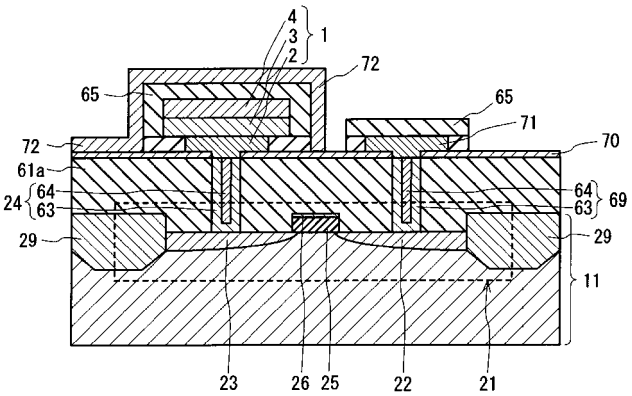
【図１７Ｉ】



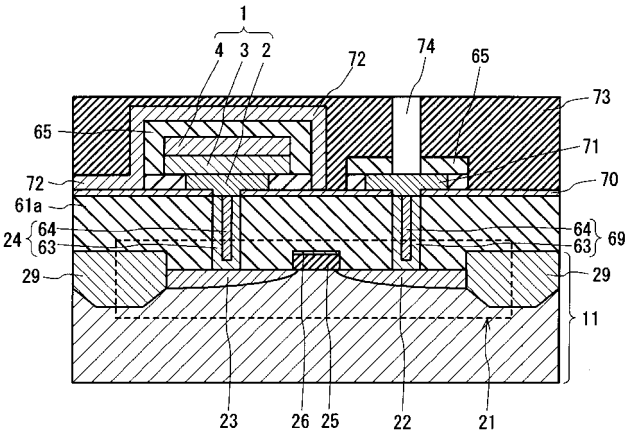
【図１７Ｊ】



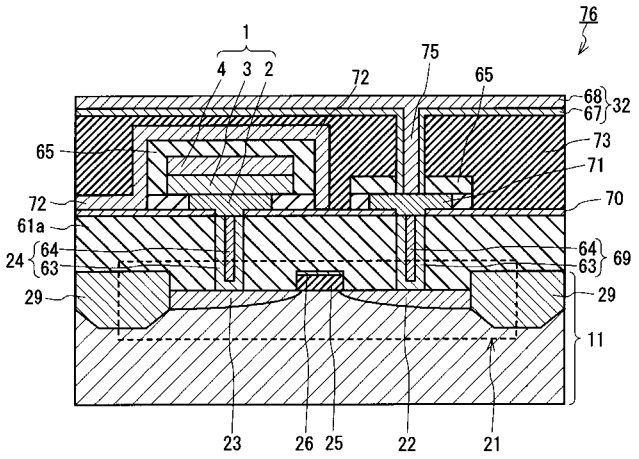
【図１７Ｋ】



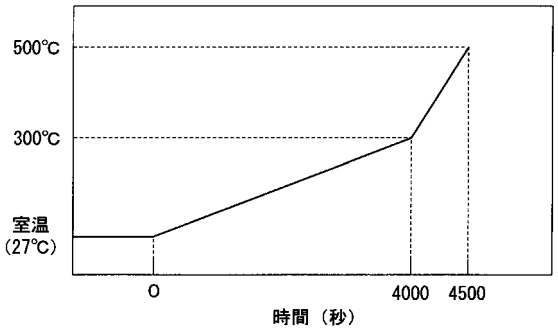
【図１７Ｌ】



【図１７Ｍ】


76
1
4 3 2
72
75
65
68
67
32
65
73
71
72
70
61a
64
24
63
64
63
69
29
29
11
23
26 25
22
21

【図１８】


500℃
300℃
室温
(27℃)
0
4000
4500
時間（秒）