(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년02월27일
(11) 등록번호 10-2082147
(24) 등록일자 2020년02월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/11524 (2017.01) *G11C 16/02* (2006.01)
H01L 21/8238 (2006.01) *H01L 27/02* (2006.01)
H01L 27/10 (2006.01)
(52) CPC특허분류
H01L 27/11524 (2013.01)
G11C 16/02 (2013.01)
(21) 출원번호 10-2018-0101777
(22) 출원일자 2018년08월29일
심사청구일자 2018년08월29일
(56) 선행기술조사문헌
Kim Y.H., et al., Design of Multi-time Programmable Memory for PMICs, ETRI Journal, Volume 37, Number 6, December 2015
(뒷면에 계속)
전체 청구항 수 : 총 9 항

(73) 특허권자
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김홍주
경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 306호
(74) 대리인
이철희, 고윤호

심사관 : 고연화

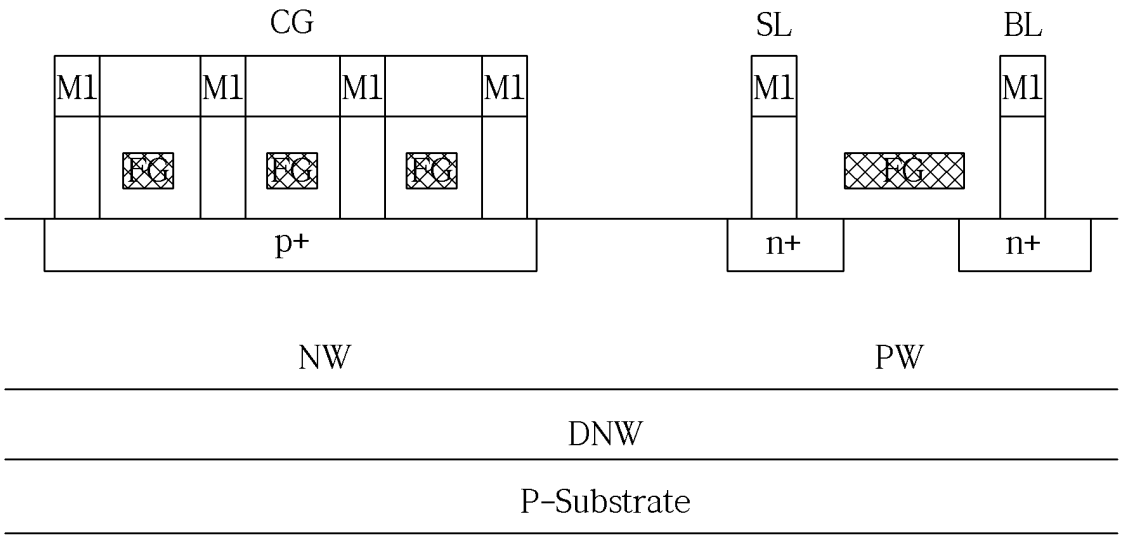
(54) 발명의 명칭 **비씨디 공정 기반의 싱글 폴리 엠티피 셀**

(57) 요 약

본 발명은 본 발명은 PMIC용 싱글 폴리 엠티비 셀(MTP Cell)의 설계 기술에 관한 것이다.

이러한 본 발명은 커플링 커패시터(MC)와 센스 트랜지스터(MN)를 포함하되, 상기 커플링 커패시터(MC)는 딥엔웰(DNW)의 상부 일측에 형성된 엔웰(NW)에 형성되고, 상기 센스 트랜지스터(MN)는 상기 딥엔웰(DNW)의 상부 타측에 형성된 피웰(PW)에 형성되며, 상기 엔웰(NW)과 피웰(PW)은 서로 버팅(butting)된 구조를 갖는 것을 특징으로 한다.

대 표 도 - 도4



(52) CPC특허분류
H01L 21/823892 (2013.01)
H01L 27/0288 (2013.01)
H01L 27/101 (2013.01)

(56) 선행기술조사문헌
KR101357847 B1
KR101459506 B1
KR101519595 B1
US20090194806 A1
US20040061168 A1

명 세 서

청구범위

청구항 1

일측 단자가 컨트롤 게이트에 연결된 커플링 커패시터; 및

플로팅 게이트가 상기 커플링 커패시터의 타측 단자에 연결되고, 일측 단자가 비트라인에 연결되며, 타측 단자가 소스라인에 연결된 센스 트랜지스터를 포함하되,

딥엔웰 상에서 상기 커플링 커패시터가 형성되는 엔웰과 상기 센스 트랜지스터가 형성되는 피웰이 서로 버팅(butting)된 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 2

제1항에 있어서, 상기 커플링 커패시터는 상기 딥엔웰의 상부 일측에 형성된 상기 엔웰에 형성되고, 상기 센스 트랜지스터는 상기 딥엔웰의 상부 타측에 형성된 상기 피웰에 형성된 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 3

제2항에 있어서, 상기 싱글 폴리 엠티피 셀은

상기 엔웰과 상기 피웰이 서로 버팅되는 것에 의하여 상기 딥엔웰에 의해 서로 격리되는 공간이 생략된 구조를 갖는 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 4

제1항에 있어서, 센스 트랜지스터는

상기 엠티피 셀 어레이의 로우 방향에 위치한 다른 센스 트랜지스터들과 상기 피웰을 공유하는 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 5

제1항에 있어서, 상기 센스 트랜지스터는

삭제 모드에서 FN(Fowler-Nordheim) 터널링 방식으로 플로팅 게이트의 전자를 방출하고, 프로그램 모드에서는 상기 FN 터널링 방식으로 상기 플로팅 게이트에 전자를 주입하는 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 6

제1항에 있어서, 상기 싱글 폴리 엠티피 셀에 대한 삭제 모드에서 상기 컨트롤 게이트에 -6V의 전압을 인가하고, 소스라인 노드에 6V의 전압을 인가하며, 상기 비트라인은 플로팅(floating) 상태로 유지하는 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 7

제1항에 있어서, 상기 싱글 폴리 엠티피 셀에 대한 프로그램 모드에서는 상기 컨트롤 게이트에 6V의 전압을 인가하고, 소스라인 노드에 -6V의 전압을 인가하며, 상기 비트라인은 플로팅 상태로 유지하는 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 8

제1항에 있어서, 상기 엠티피 셀은

0.13㎛ BCD(Bi-Polar CMOS DMOS) 공정으로 설계된 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

청구항 9

제1항에 있어서, 상기 커플링 커패시터는 피모스 커플링 커패시터(PMOS coupling capacitor)로 구현되고, 소스와 드레인의 LDD(Lightly Doped Drin)가 서로 병합되도록 짧은 채널 길이(Short Channel Length)를 사용하는 것을 특징으로 하는 비씨디 공정 기반의 싱글 폴리 엠티피 셀.

발명의 설명

기 술 분 야

[0001] 본 발명은 PMIC용 싱글 폴리 엠티비 셀(Single-Poly MTP cell)의 설계 기술에 관한 것으로, 특히 싱글 폴리 엠티피 셀에서 엔웰과 피웰 사이의 딥엔웰 영역을 없애고 선택 트랜지스터를 생략할 수 있도록 한 비씨디 공정 기반의 싱글 폴리 엠티피 셀에 관한 것이다.

배 경 기 술

[0002] BCD(Bi-Polar CMOS DMOS) 공정 기반의 PMIC(Power Management IC)는 휴대폰, 노트북 컴퓨터, 티브이 및 모니터 등의 정보기기에 적용되는 칩으로서 외부로부터 공급되는 전원을 시스템에서 요구하는 안정적이고 효율적인 전원으로 변환하는 역할을 한다. PMIC 칩은 아날로그 트리밍 등의 기능을 위해 비휘발성(NVM: Non-Volatile Memory) 메모리가 요구된다. 이에 비하여, 유에스비 타입 씨(USB type-C) 등의 칩에서는 BCD 공정 기반의 NVM 메모리인 EEPROM IP가 요구된다. 더블 폴리(Double-Poly) EEPROM 셀은 3 내지 8장 정도의 추가 마스크가 요구되므로 터널 옥사이드(tunnel oxide) 마스크 한 장 정도의 추가 마스크가 사용되는 싱글 폴리 EEPROM 셀인 엠티비(MTP: Multiple Time Programmable) 셀이 제안되었다.

[0003] 종래 기술에 의한 엠티피 셀은 펌핑 전압인 VPP 전압과 VNN(Negative Voltage) 전압의 듀얼 파워(dual power)를 이용하여 데이터를 삭제(erase)하거나 프로그램(program) 한다.

[0004] 도 1은 종래 기술에 의한 싱글 폴리 엠티피 셀의 회로도로서 이에 도시한 바와 같이 커플링 커패시터(MC1), 센스 트랜지스터(TG_SENSE transistor)(MN1) 및 선택 트랜지스터(select transistor)(MN2)를 포함한다.

[0005] 커플링 커패시터(MC1)는 PW(P-Well)과 P+P(P^+ Poly) 사이에 형성된 모스 커패시터이다. 센스 트랜지스터(MN1)는 삭제 모드(erase mode)와 프로그램 모드(program mode)에서 82Å의 터널 옥사이드(tunnel oxide)를 통해 FN(Fowler- Nordheim) 터널링(tunneling)이 일어나고, 읽기 모드(read mode)에서는 리드 데이터를 센싱하는 역할을 한다.

[0006] 도 2는 종래 기술에 의한 싱글 폴리 엠티피 셀의 공정 단면도이다.

[0007] 도 2를 참조하면, 종래 기술에 의한 싱글 폴리 엠티피 셀은 하나의 딥엔웰(DNW: Deep N-Well) 안에 센스 트랜지스터(MN1)와 선택 트랜지스터(MN2)를 위해 하나의 피웰(PW)이 형성되고, 커플링 커패시터(MC1)를 위해 또 다른 하나의 피웰(PW)이 형성되어 총 2 개의 피웰(PW)이 형성되어 있다.

[0008] 그리고, 엠티피 셀에서 부스트 전압(VPP: Voosted Voltage, 6.5V)과 부극성 프로그램 전압(VNN: Negative Voltage, -6.5V)으로 인해 엔웰(NW)과 피웰(PW) 간의 브레이크 다운(NW-to-PW breakdown)이 발생되는 것을 방지하기 위해 엔웰(NW)과 피웰(PW)이 딥엔웰(DNW)에 의해 격리된 구조를 갖는다.

[0009] 이와 같이 종래 기술에 의한 엠티피 셀에서는 엔웰과 피웰 간의 브레이크 다운이 발생되는 것을 방지하기 위해 엔웰과 피웰이 딥엔웰에 의해 격리된 구조를 갖고, 선택 트랜지스터가 형성되어 있으므로, 이에 의해 엠티피 셀의 사이즈가 커지는 단점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 해결하고자 하는 과제는 엔웰과 피웰의 사이에 딥엔웰 영역을 두지않고 그들을 바로 버팅(butting)하고, 선택 트랜지스터가 생략된 구조를 갖는 싱글 폴리 엠티피 셀을 제공하는데 있다.

과제의 해결 수단

[0011] 상기 기술적 과제를 이루기 위한 본 발명의 실시예에 따른 비씨디 공정 기반의 싱글 폴리 엠티피 셀은, 일측 단자가 컨트롤 게이트에 연결된 커플링 커패시터; 및 플로팅 게이트가 상기 커플링 커패시터의 타측 단자에 연결되고, 일측 단자가 비트라인에 연결되며, 타측 단자가 소스라인에 연결된 센스 트랜지스터를 포함하되, 딥엔웰 상에서 상기 커플링 커패시터가 형성되는 엔웰과 상기 센스 트랜지스터가 형성되는 피웰이 서로 버팅(butting)된 것을 특징으로 한다.

발명의 효과

[0012] 본 발명은 비씨디 공정 기반의 싱글 폴리 엠티피 셀에서, 엔웰과 피웰의 사이에 딥엔웰 영역을 두지않고 그들을 바로 버팅(butting)하고, 선택 트랜지스터가 생략된 구조를 갖도록 함으로써, 엠티피 셀의 사이즈를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0013] 도 1은 종래 기술에 의한 싱글 폴리 엠티피 셀의 회로도.

도 2는 종래 기술에 의한 싱글 폴리 엠티피 셀의 공정 단면도.

도 3은 본 발명에 의한 비씨디 공정 기반의 싱글 폴리 엠티피 셀의 회로도.

도 4는 본 발명에 의한 비씨디 공정 기반의 싱글 폴리 엠티피 셀의 공정 단면도.

도 5는 본 발명에 따른 싱글 폴리 엠티피 셀의 레이아웃 이미지.

도 6은 본 발명에 따른 싱글 폴리 엠티피 셀에 대한 삭제 모드와 프로그램 모드의 수행 과정을 나타낸 흐름도.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0015] 도 3은 본 발명에 의한 비씨디 공정 기반의 싱글 폴리 엠티피 셀의 회로도로서 이에 도시한 바와 같이, 일측 단자가 컨트롤 게이트(CG: Control Gate)에 연결된 커플링 커패시터(MC) 및 플로팅 게이트(FG: Floating Gate)가 상기 커플링 커패시터(MC)의 타측 단자에 연결되고, 일측 단자가 비트라인(BL: Bit-Line)에 연결되며, 타측 단자가 소스라인(SL: Source-Line)에 연결된 센스 트랜지스터(MN)를 포함한다. 엠티피 셀 어레이의 로우(row) 방향에 위치한 센스 트랜지스터(MN)들의 피웰(PW)은 서로 공유되어 있다.

[0016] 도 4는 본 발명에 의한 비씨디 공정 기반의 싱글 폴리 엠티피 셀의 공정 단면도로서 0.13㎛ BCD 공정을 사용하여 설계된 것이다.

[0017] 도 4를 참조하면, 본 발명에 따른 싱글 폴리 엠티피 셀은 기판(P-substrate)에 형성된 딥엔웰(DNW)의 상부 일측에 엔웰(NW)이 형성되고 타측에는 피웰(PW)이 형성되며, 상기 엔웰(NW)과 피웰(PW)이 서로 버팅(butting)된다. 상기 엔웰(NW)에 커플링 커패시터(MC)가 형성되고 상기 피웰(PW)에는 센스 트랜지스터(MN)가 형성된다.

[0018] 여기서, 커플링 커패시터(MC)는 피모스 커플링 커패시터(PMOS coupling capacitor)로 구현되는데, 소스(S)/드레인(D)의 LDD(Lightly Doped Drin)가 서로 병합(merge)되도록 짧은 채널 길이(Short Channel Length)를 사용한다.

[0019] 센스 트랜지스터(MN)는 삭제 모드와 프로그램 모드에서 FN 터널링(Fowler-Nordheim tunneling)이 일어나는 터널

링 옥사이드(tunnel oxide) 역할을 하고, 읽기 모드에서는 리드 데이터를 센싱하는 역할을 한다.

[0020] 커플링 커패시터(MC)와 센스 트랜지스터(MN)의 게이트 옥사이드 두께는 82Å이다. 0.13㎛ BCD 공정을 이용하여 설계된 엠티피 셀의 사이즈는 2.115㎛ × 2.16㎛(=4.568㎟)이다. 도 5는 본 발명에 따른 싱글 폴리 엠티피 셀의 레이아웃 이미지를 나타낸 것이다.

[0021] 도 6은 본 발명에 따른 싱글 폴리 엠티피 셀에 대한 삭제 모드와 프로그램 모드의 수행 과정을 나타낸 흐름도이다.

[0022] 도 6을 참조하면, 임의의 셀을 선정하여 그 셀에 데이터를 저장하고자 하는 경우 데이터 저장 동작에 앞서 그 셀에 저장되어 있는 데이터 삭제 동작을 한다(S1).

[0023] 이어서, 상기 셀에 저장된 데이터가 상기 삭제 동작에 의해 삭제되었는지 확인하게 되는데, 이를 위해 그 셀의 전류가 기 설정된 특정값(예:25㎂) 이상인지 확인한다(S2,S3).

[0024] 상기 확인 결과 상기 셀의 전류가 특정값 이상이 아닌 것으로 판명되면 상기 과정(S1-S3)을 반복적으로 수행하고, 이상인 것으로 판명되면 삭제 확인 동작을 종료한다.

[0025] 상기 셀에 저장된 데이터에 대한 삭제 및 확인 동작의 수행 시간은 특별하게 한정되지 않지만 통상적으로 100㎲이며, 최대 25번 반복할 수 있다.

[0026] 상기 셀에 저장된 데이터에 대한 삭제 및 확인 동작이 성공적으로 수행된 후 그 셀에 데이터를 저장하는 데이터 저장 동작을 한다(S4).

[0027] 이어서, 상기 데이터 저장 동작에 의해 상기 셀에 데이터가 저장되었는지 확인하게 되는데, 이를 위해 그 셀의 전류가 기 설정된 소정값(예:5㎂) 이하인지 확인한다(S5,S6).

[0028] 상기 확인 결과 상기 셀의 전류가 소정값 이하가 아닌 것으로 판명되면 상기 과정(S4-S6)을 반복적으로 수행하고, 이하인 것으로 판명되면 저장 확인 동작을 종료한다.

[0029] 상기 셀에 대한 데이터 저장 및 확인 동작의 수행시간 또는 특별하게 한정되지 않으며, 통상적으로 상기 삭제 및 확인 동작과 같이 100㎲이며, 최대 25번 반복할 수 있다.

[0030] 싱글 폴리 엠티피 셀에 저장된 데이터를 삭제하거나 새로 데이터를 저장하는 경우 각부의 전압을 아래의 표를 참조하여 설명하면 다음과 같다.

[0031] 싱글 폴리 엠티피 셀에 대한 삭제 모드에서 엠티피 셀의 컨트롤 게이트(CG)에 -6V의 전압을 인가하고, 소스라인(SL) 노드에 6V의 전압을 인가하며, 비트라인(BL)은 플로팅(floating) 상태를 유지한다. 이때, 센스 트랜지스터(MN)의 터널 옥사이드(tunnel oxide)를 통해 FN(Fowler-Nordheim) 터널링(tunneling) 전류가 흘러 플로팅 게이트(FG)에 저장된 전자가 피웰(PW) 노드로 빠져 나온다.

[0032] 싱글 폴리 엠티피 셀에 대한 프로그램 모드에서는 엠티피 셀의 컨트롤 게이트(CG)에 6V의 전압을 인가하고, 소스라인(SL) 노드에 -6V의 전압을 인가하며, 비트라인(BL)은 플로팅 상태를 유지한다. 이에 따라, 플로팅 게이트(FG)와 컨트롤 게이트(CG)의 사이에 있는 커플링 커패시터(MC)의 용량 결합(capacitive coupling)에 의해 플로팅 게이트(FG)의 전압이 컨트롤 게이트(CG)의 전압에 따라 증가하게 된다. 센스 트랜지스터(MN)의 터널 옥사이드 양단에 10MV/cm 이상의 전기장 (electric field)이 걸리면 FN 터널링에 의해 그 센스 트랜지스터(MN)의 터널 옥사이드 아래에 위치한 소스라인(SL) 영역으로부터 전자들이 그 터널 옥사이드를 통해 플로팅 게이트(FG)에 주입된다. 이에 따라, 플로팅 게이트(FG)에 전자들이 모이게 되어 센스 트랜지스터(MN)의 드레쉬홀드전압(V_T)이 증가되고, 이로 인하여 셀 커런트(cell current)가 5㎂ 이하로 떨어지게 된다.

[0033]

Operation	Mode	CG	SL	BL	PW	p+_CG	DNW
PGM	SWL & SBL	6V	-6V	Floating	-6V	6V	6V
	SWL & UBL	6V	2V	Floating	-6V	6V	6V
	UWL & SBL	-2V	-6V	Floating	-6V	-2V	6V
	UWL & UBL	-2V	2V	Floating	-6V	-2V	6V
ERS	Full Chip	-6V	6V	Floating	6V	-6V	6V
	Selected Page	-6V	6V	Floating	6V	-6V	6V
	Unselected Page	2V	6V	Floating	6V	2V	6V
Read	SWL & SBL	VRD	0V	0.6V	0V	VRD	VRD
	SWL & UBL	VRD	0V	Floating	0V	VRD	VRD
	UWL & SBL	0V	0V	0.6V	0V	0V	VRD
	UWL & UBL	0V	0V	Floating	0V	0V	VRD

[0034] 상기 설명에서와 같이 본 발명에 따른 싱글 폴리 엠티피 셀은 삭제모드 또는 프로그램 모드에서 컨트롤 게이트(CG)와 소스라인(SL)에 상기와 같이 ±6V를 공급하되, 엔웰(NW)과 피웰(PW)이 딥엔웰에 의해 분리된 구조를 갖는 것이 아니라 서로 버팅(butting)된 구조를 갖게 함으로써, 선택 트랜지스터를 생략할 수 있게 된다.

[0035] 이와 같은 구조를 갖는 엠티피 셀은 플로팅 게이트 트랜지스터인 센스 트랜지스터(MN)는 삭제 모드에서 FN(Fowler-Nordheim) 터널링 방식으로 플로팅 게이트(FG)의 전자를 방출하고, 프로그램 모드에서는 FN 터널링 방식으로 그 플로팅 게이트(FG)에 전자를 주입한다. 본 발명의 실시예에 따라 0.13㎛ BCD 공정을 기반으로 설계된 엠티피 셀의 레이아웃 면적은 2.115㎛ × 2.16㎛(=4.568㎛²)이다.

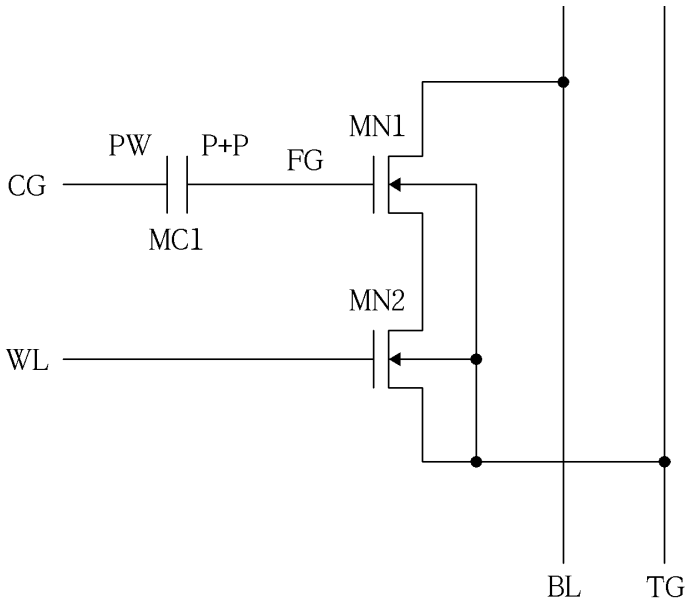
[0036] 이상에서 본 발명의 바람직한 실시예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시예로 구현될 수 있으며, 이러한 실시예들 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

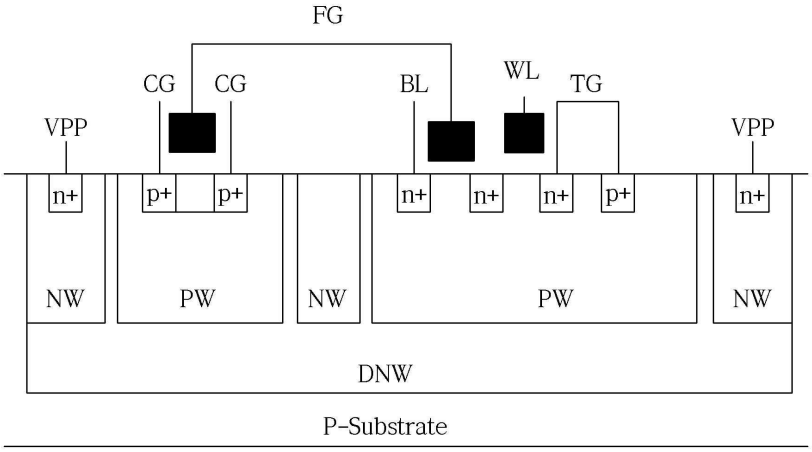
[0037] MC : 커플링 커패시터 MN : 센스 트랜지스터

도면

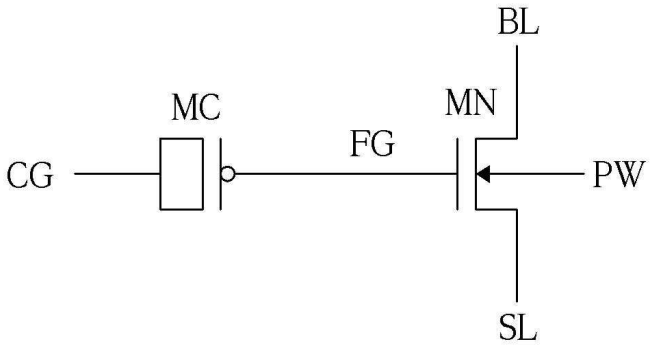
도면1



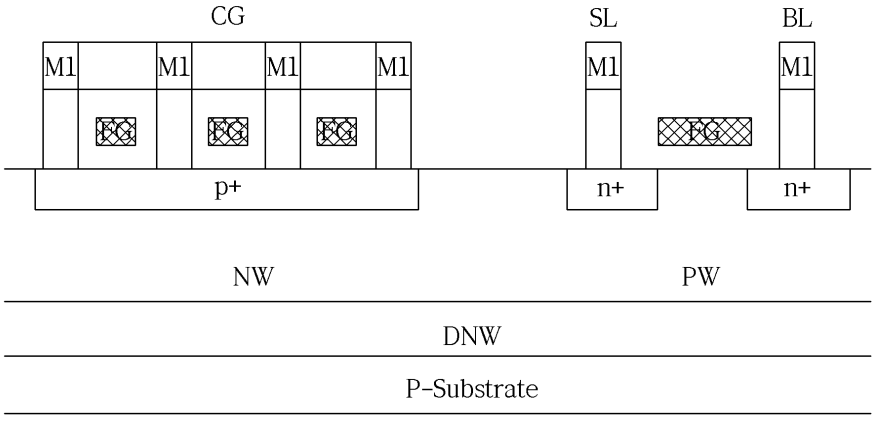
도면2


FG
CG
CG
BL
WL
TG
VPP
VPP
n+
p+
p+
n+
n+
n+
p+
n+
NW
PW
NW
PW
NW
DNW
P-Substrate

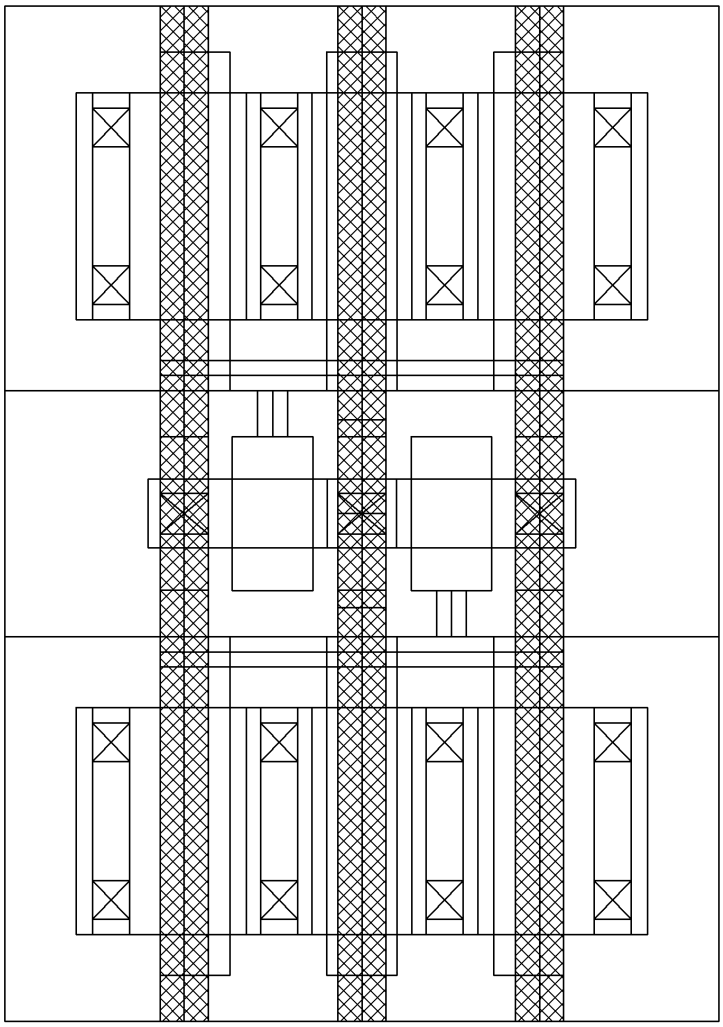
도면3


BL
MC
MN
FG
CG
PW
SL

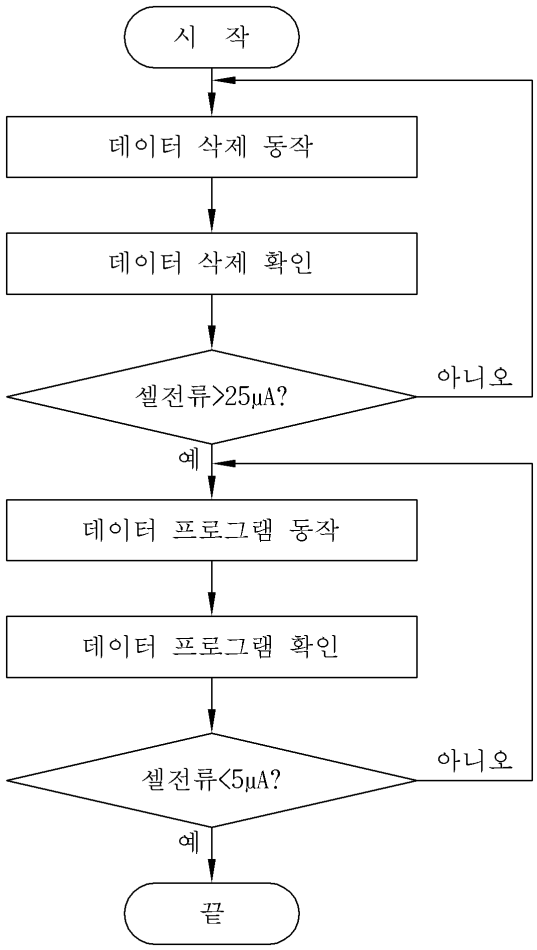
도면4


CG
SL
BL
M1
M1
M1
M1
M1
M1
FG
FG
FG
FG
p+
n+
n+
NW
PW
DNW
P-Substrate

도면5



도면6


시 작
데이터 삭제 동작
데이터 삭제 확인
셀전류>25μA?
아니오
예
데이터 프로그램 동작
데이터 프로그램 확인
셀전류<5μA?
아니오
예
끝