

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 28 年 9 月 8 日 (2016.9.8)

【公表番号】特表 2015-528601 (P2015-528601A)

【公表日】平成 27 年 9 月 28 日 (2015.9.28)

【年通号数】公開・登録公報 2015-060

【出願番号】特願 2015-526678 (P2015-526678)

【国際特許分類】

G 0 6 F 12/08 (2016.01)

【 F I 】

G 0 6 F 12/08 5 1 3

G 0 6 F 12/08 5 0 9 Z

【手続補正書】

【提出日】平成 28 年 7 月 19 日 (2016.7.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マルチコアプロセッサの第 1 のコアに関連付けられ第 1 の属性に従って調整された、第 1 のスピン注入磁化反転磁気抵抗ランダムアクセスメモリ、S T T - M R A M、キャッシュであって、前記第 1 のコアの他のキャッシュ層に対する第 1 の下位レベルキャッシュである、第 1 の S T T - M R A M キャッシュと、

マルチコアプロセッサの第 2 のコアに関連付けられ第 2 の属性に従って調整された、第 2 の S T T - M R A M キャッシュであって、前記第 2 のコアの他のキャッシュ層に対する第 2 の下位レベルキャッシュであり、前記第 1 の属性は前記第 2 の属性と異なる、第 2 の S T T - M R A M キャッシュと  
を含み、

少なくとも 1 つの他のコアは、前記第 1 の S T T - M R A M キャッシュまたは前記第 2 の S T T - M R A M キャッシュに関連付けられる、マルチコアプロセッサ。

【請求項 2】

第 3 の S T T - M R A M キャッシュおよび第 4 の S T T - M R A M キャッシュを中間レベルキャッシュとしてさらに含む、請求項 1 に記載のマルチコアプロセッサ。

【請求項 3】

前記第 1 の S T T - M R A M キャッシュおよび前記第 2 の S T T - M R A M キャッシュは各コアに埋め込まれているか、または各コアとモノリシックに統合されている、請求項 1 に記載のマルチコアプロセッサ。

【請求項 4】

前記第 1 の属性および第 2 の属性は、少なくとも、レイテンシ、エネルギー、エネルギー遅延積、セキュリティ、電力、密度および / またはデータ信頼性を含む、請求項 1 に記載のマルチコアプロセッサ。

【請求項 5】

各コアは、S T T - M R A M キャッシュの 1 つのタイプに関連付けられる、請求項 1 に記載のマルチコアプロセッサ。

【請求項 6】

前記マルチコアプロセッサの第 3 のコアに関連付けられ第 3 の属性に従って調整された

、第3のSTT-MRAMキャッシュをさらに含む、請求項1に記載のマルチコアプロセッサ。

【請求項7】

前記第1のSTT-MRAMキャッシュおよび前記第2のSTT-MRAMキャッシュは、同種下位レベル統合プロセスを利用して作製される、請求項1に記載のマルチコアプロセッサ。

【請求項8】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（PCS）ユニット、ポータブルデータユニット、および/または固定位置データユニットに統合される、請求項1に記載のマルチコアプロセッサ。

【請求項9】

マルチコアプロセッサ内のキャッシュを関連付けるための方法であって、

第1のスピン注入磁化反転磁気抵抗ランダムアクセスメモリ、STT-MRAM、キャッシュを、前記マルチコアプロセッサの第1のコアに関連付け、第1の属性に従って調整するステップであって、前記第1のSTT-MRAMキャッシュは、前記第1のコアの他のキャッシュ層に対する第1の下位レベルキャッシュである、ステップと、

第2のSTT-MRAMキャッシュを、前記マルチコアプロセッサの第2のコアに関連付け、第2の属性に従って調整するステップであって、前記第2のSTT-MRAMキャッシュは、前記第2のコアの他のキャッシュ層に対する第2の下位レベルキャッシュであり、前記第1の属性は前記第2の属性と異なる、ステップと、

少なくとも1つの他のコアを、前記第1のSTT-MRAMキャッシュまたは前記第2のSTT-MRAMキャッシュに関連付けるステップと、  
を含む、方法。

【請求項10】

前記関連付けるステップは、前記第1のSTT-MRAMキャッシュおよび前記第2のSTT-MRAMキャッシュを各コアに埋め込むか、または各コアとモノリシックに統合するステップを含む、請求項9に記載の方法。

【請求項11】

前記マルチコアプロセッサを、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（PCS）ユニット、ポータブルデータユニット、および/または固定位置データユニットに統合するステップをさらに含む、請求項9に記載の方法。

【請求項12】

前記第1の属性および第2の属性は、少なくとも、レイテンシ、エネルギー、エネルギー遅延積、セキュリティ、電力、密度および/またはデータ信頼性を含む、請求項9に記載の方法。