



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0103937  
(43) 공개일자 2016년09월02일

(51) 국제특허분류(Int. Cl.)

*H01L 21/8234* (2006.01) *H01L 21/02* (2006.01)  
*H01L 21/04* (2006.01) *H01L 27/02* (2006.01)  
*H01L 27/088* (2006.01) *H01L 29/04* (2006.01)  
*H01L 29/36* (2006.01) *H01L 29/49* (2006.01)  
*H01L 29/66* (2006.01) *H01L 29/78* (2006.01)

(52) CPC특허분류

*H01L 21/8234* (2013.01)  
*H01L 21/02164* (2013.01)

(21) 출원번호 10-2016-0020778

(22) 출원일자 2016년02월22일  
심사청구일자 없음

(30) 우선권주장

JP-P-2015-035501 2015년02월25일 일본(JP)  
(뒷면에 계속)

(71) 출원인

에스아이아이 세미컨덕터 가부시키가이샤

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반  
지

(72) 발명자

하라다 히로후미

일본국 치바肯 치바시 미하마구 나카세 1쵸메 8반  
지 에스아이아이 세미컨덕터 가부시키가이샤 내  
우에무라 게이스케일본국 치바肯 치바시 미하마구 나카세 1쵸메 8반  
지 에스아이아이 세미컨덕터 가부시키가이샤 내  
(뒷면에 계속)

(74) 대리인

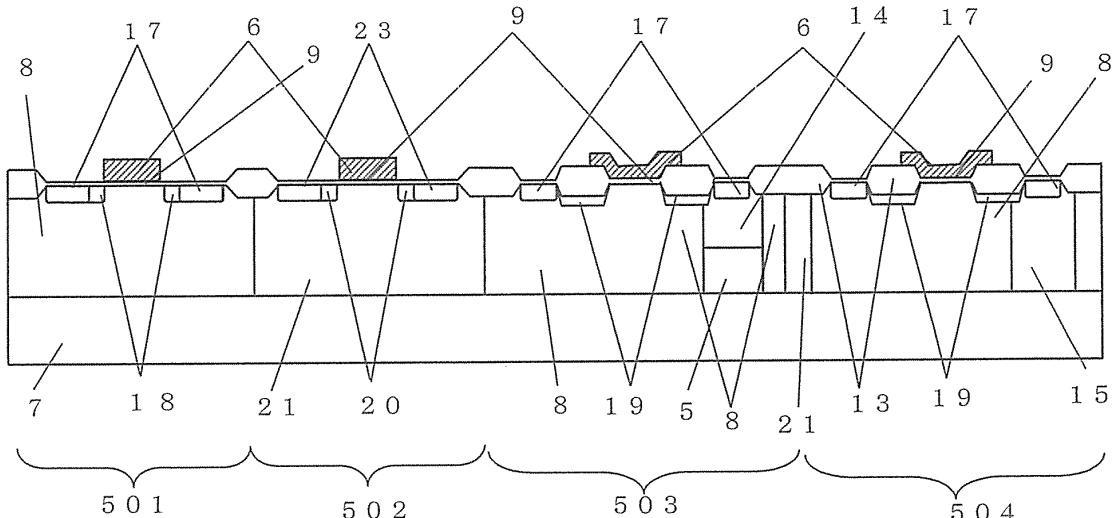
한양특허법인

전체 청구항 수 : 총 15 항

(54) 발명의 명칭 반도체 집적회로 장치 및 그 제조 방법

**(57) 요 약**

N형 반도체 기판 상에, P형 웨爾 영역 내에 P형 웨爾 영역보다 얕은 깊이의 비소로 이루어지는 제3의 N형 저농도 불순물 영역을 드레인 영역에 가지는 제1의 N채널형의 고내압 MOS 트랜지스터와, P형 웨爾 영역과 인접하여, 저면이 N형 반도체 기판과 접하는 제4의 N형 저농도 불순물 영역을 드레인 영역에 가지는 제2의 N채널형의 고내압 MOS 트랜지스터를 형성하고, N형 반도체 기판 상에, 30V 이상에서 동작 가능한 고내압 NMOS 트랜지스터를 집적화한 반도체 집적회로 장치를 설치한다.

**대 표 도 - 도5**

(52) CPC특허분류

*H01L 21/0217* (2013.01)

*H01L 21/0415* (2013.01)

*H01L 27/0248* (2013.01)

*H01L 27/088* (2013.01)

*H01L 29/04* (2013.01)

*H01L 29/36* (2013.01)

*H01L 29/49* (2013.01)

*H01L 29/6659* (2013.01)

*H01L 29/7833* (2013.01)

(72) 발명자

**하세가와 히사시**

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반  
지 에스아이아이 세미컨덕터 가부시키가이샤 내

**가토 신지로**

일본국 치바肯 치바시 미하마구 나카세 1쵸메 8반  
지 에스아이아이 세미컨덕터 가부시키가이샤 내

**요시노 히데오**

일본국 치바肯 치바시 미하마구 나카세 1쵸메 8반  
지 에스아이아이 세미컨덕터 가부시키가이샤 내

---

(30) 우선권주장

JP-P-2015-037330 2015년02월26일 일본(JP)

JP-P-2015-194572 2015년09월30일 일본(JP)

## 명세서

### 청구범위

#### 청구항 1

N형 반도체 기판에 설치된 제1의 P형 웨爾 영역 내에 형성된,

제1 게이트 절연막과,

다결정 실리콘으로 이루어지는 제1의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제1의 N형 고농도 드레인 영역 및 제1의 N형 고농도 소스 영역과,

상기 게이트 전극과, 상기 N형 고농도 드레인 영역 및 상기 N형 고농도 소스 영역의 사이에 각각 형성된 제1의 N형 저농도 불순물 영역인 제1의 N형 저농도 드레인 영역 및 제1의 N형 저농도 소스 영역,

을 가지는 N채널형의 저내압 MOS 트랜지스터와,

상기 제1의 P형 웨爾 영역과는 다른 영역에 상기 제1의 P형 웨爾 영역과 접해서 설치된 N형 웨爾 영역 내에 형성된,

제2의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제2의 게이트 전극과,

P형의 고농도 불순물 영역으로 이루어지는, P형 고농도 드레인 영역 및 P형 고농도 소스 영역과,

상기 제2의 게이트 전극과, 상기 P형 고농도 드레인 영역 및 상기 P형 고농도 소스 영역의 사이에 각각 형성된 P형 저농도 드레인 영역 및 P형 저농도 소스 영역,

을 가지는 P채널형의 저내압 MOS 트랜지스터와,

상기 제1의 P형 웨爾 영역과는 접하지 않은, 상기 제1의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제2의 P형 웨爾 영역 내에 형성된,

제3의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제3의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제3의 N형 고농도 드레인 영역 및 제3의 N형 고농도 소스 영역과,

상기 제3의 게이트 전극과, 상기 제3의 N형 고농도 드레인 영역 및 상기 제3의 N형 고농도 소스 영역의 사이에 각각 배치된 제2의 N형 저농도 불순물 영역인 제2의 N형 저농도 드레인 영역 및 제2의 N형 저농도 소스 영역과,

상기 제2의 N형 저농도 드레인 영역 및 상기 제2의 N형 저농도 소스 영역 상에 배치된 상기 제3의 게이트 절연막보다 두꺼운 절연막과,

상기 제2의 N형 저농도 드레인 영역의 일부를 포함하는 영역과 상기 제3의 N형 고농도 드레인 영역의 하방에, 깊이는 상기 제2의 P형 웨爾 영역보다 얕게 형성된 제3의 N형 저농도 불순물 영역,

을 가지는 제1의 N채널형의 고내압 MOS 트랜지스터와,

제2의 N채널형의 고내압 MOS 트랜지스터,

를 가지는, 반도체 집적회로 장치.

#### 청구항 2

청구항 1에 있어서,

상기 제2의 N채널형의 고내압 MOS 트랜지스터는, ESD 보호 소자이며, 상기 제1의 N채널형의 고내압 MOS 트랜지스터와 동일한 구성을 가지고 있는, 반도체 집적회로 장치.

### 청구항 3

청구항 1에 있어서,

상기 제2의 N채널형의 고내압 MOS 트랜지스터는,

상기 제1의 P형 웨爾 영역과는 접하지 않은, 상기 제1의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제3의 P형 웨爾 영역 내에 형성된,

제4의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제4의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제4의 N형 고농도 드레인 영역 및 제4의 N형 고농도 소스 영역과,

상기 제4의 게이트 전극과, 상기 제4의 N형 고농도 드레인 영역 및 상기 제4의 N형 고농도 소스 영역의 사이에 각각 배치된 제3의 N형 저농도 드레인 영역 및 제3의 N형 저농도 소스 영역과,

상기 제3의 N형 저농도 드레인 영역 및 상기 제3의 N형 저농도 소스 영역 상에 배치된 상기 제4의 게이트 절연막보다 두꺼운 절연막과,

상기 제3의 N형 저농도 드레인 영역의 일부 및 상기 제4의 N형 고농도 드레인 영역을 포함하고, 상기 제3의 P형 웨爾 영역과 인접하여, 저면이 상기 N형 반도체 기판에 접해 형성된 제4의 N형 저농도 불순물 영역,

을 가지며, ESD 보호 소자로서 사용되는 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 4

N형 반도체 기판에 설치된, 제1의 P형 웨爾 영역과,

상기 제1의 P형 웨爾 영역보다 불순물 농도가 높은 제2의 P형 웨爾 영역 내에 형성된 N채널형의 저내압 MOS 트랜지스터와,

N형 웨爾 영역 내에 형성된 P채널형의 저내압 MOS 트랜지스터와,

상기 제2의 P형 웨爾 영역과는 접하지 않은, 상기 제2의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제3의 P형 웨爾 영역 내에 형성된,

제1의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제1의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제1의 N형 고농도 드레인 영역 및 제1의 N형 고농도 소스 영역과,

상기 제1의 게이트 전극과, 상기 제1의 N형 고농도 드레인 영역 및 상기 제1의 N형 고농도 소스 영역의 사이에 각각 배치된 제2의 N형 저농도 불순물 영역인 제1의 N형 저농도 드레인 영역 및 제1의 N형 저농도 소스 영역과,

상기 제1의 N형 저농도 드레인 영역 및 상기 제1의 N형 저농도 소스 영역 상에 배치된 상기 제1의 게이트 절연막보다 두꺼운 절연막과,

상기 제1의 N형 저농도 드레인 영역의 일부 및 상기 제1의 N형 고농도 드레인 영역의 하방에, 깊이는 상기 제3의 P형 웨爾 영역보다 얕게 형성된 제3의 N형 저농도 불순물 영역과,

상기 제3의 N형 저농도 불순물 영역 아래로부터 상기 N형 반도체 기판의 사이에 설치된 상기 제1의 P형 웨爾 영역,

을 가지는 제1의 N채널형의 고내압 MOS 트랜지스터와,

상기 제2의 P형 웨爾 영역과는 접하지 않은, 상기 제2의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제4의 P형 웨爾 영역 내에 형성된,

제2의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제2의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제2의 N형 고농도 드레인 영역 및 제2의 N형 고농도 소스 영역과, 상기 제2의 게이트 전극과, 상기 제2의 N형 고농도 드레인 영역 및 상기 제2의 N형 고농도 소스 영역의 사이에 배치된 제2의 N형 저농도 드레인 영역 및 제2의 N형 저농도 소스 영역과,  
상기 제2의 N형 저농도 드레인 영역 및 상기 제2의 N형 저농도 소스 영역 상에 배치된 상기 제2의 게이트 절연막보다 두꺼운 절연막과,  
상기 제2의 N형 저농도 드레인 영역의 일부 및 상기 제2의 N형 고농도 드레인 영역을 포함하고, 상기 제4의 P형 웨爾 영역과 인접하여, 저면이 상기 N형 반도체 기판에 접해 형성된 제4의 N형 저농도 불순물 영역,  
을 가지며, ESD 보호 소자로서 사용되는 제2의 N채널형의 고내압 MOS 트랜지스터,  
를 가지는 반도체 집적회로 장치.

#### 청구항 5

청구항 1에 있어서,

상기 제2의 N채널형의 고내압 MOS 트랜지스터의 드레인 단자는 전원 단자에 접속되며,  
상기 제2의 N채널형의 고내압 MOS 트랜지스터의 게이트 단자 및 소스 단자는 접지 단자에 접속되고,  
상기 제2의 N채널형의 고내압 MOS 트랜지스터는 ESD 보호 소자로서 사용되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 6

청구항 4에 있어서,

상기 제2의 N채널형의 고내압 MOS 트랜지스터의 드레인 단자는 전원 단자에 접속되며,  
상기 제2의 N채널형의 고내압 MOS 트랜지스터의 게이트 단자 및 소스 단자는 접지 단자에 접속되고,  
상기 제2의 N채널형의 고내압 MOS 트랜지스터는 ESD 보호 소자로서 사용되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 7

청구항 1에 있어서,

상기 N형 반도체 기판은,  $3 \times 10^{14} / \text{cm}^3$  내지  $8 \times 10^{14} / \text{cm}^3$ 의 불순물 농도의 인을 포함하며,  
상기 제1의 P형 웨爾 영역은,  $8 \times 10^{15} / \text{cm}^3$  내지  $4 \times 10^{16} / \text{cm}^3$ 의 불순물 농도의 붕소 혹은 BF<sub>2</sub>로 이루어지며, 반도체 기판 표면으로부터 7 μm에서 10 μm까지의 깊이를 가지고,  
상기 N형 웨爾 영역은,  $8 \times 10^{15} / \text{cm}^3$  내지  $4 \times 10^{16} / \text{cm}^3$ 의 불순물 농도의 인으로 이루어지며, 반도체 기판 표면으로부터 7 μm 내지 10 μm의 깊이를 가지고,  
상기 제3의 N형 저농도 불순물 영역은,  $2 \times 10^{16} / \text{cm}^3$  내지  $2 \times 10^{17} / \text{cm}^3$ 의 불순물 농도의 비소로 이루어지며, 반도체 기판 표면으로부터 2 μm 내지 3.5 μm의 깊이를 가지고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 8

청구항 4에 있어서,

상기 N형 반도체 기판은,  $3 \times 10^{14} / \text{cm}^3$  내지  $8 \times 10^{14} / \text{cm}^3$ 의 불순물 농도의 인을 포함하며,  
상기 제1의 P형 웨爾 영역은,  $8 \times 10^{15} / \text{cm}^3$  내지  $4 \times 10^{16} / \text{cm}^3$ 의 불순물 농도의 붕소 혹은 BF<sub>2</sub>로 이루어지며, 반도체 기판 표면으로부터 7 μm에서 10 μm까지의 깊이를 가지고,

상기 N형 웨爾 영역은,  $8 \times 10^{15} / \text{cm}^3$  내지  $4 \times 10^{16} / \text{cm}^3$ 의 불순물 농도의 인으로 이루어지며, 반도체 기판 표면으로부터  $7 \mu\text{m}$  내지  $10 \mu\text{m}$ 의 깊이를 가지고,

상기 제3의 N형 저농도 불순물 영역은,  $2 \times 10^{16} / \text{cm}^3$  내지  $2 \times 10^{17} / \text{cm}^3$ 의 불순물 농도의 비소로 이루어지며, 반도체 기판 표면으로부터  $2 \mu\text{m}$  내지  $3.5 \mu\text{m}$ 의 깊이를 가지고 있는 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 9

청구항 7에 있어서,

상기 N채널형의 저내압 MOS 트랜지스터의 최소 게이트 길이가  $1.0 \mu\text{m}$ 인 것을 특징으로 하는, 반도체 집적회로 장치.

### 청구항 10

청구항 8에 있어서,

상기 N채널형의 저내압 MOS 트랜지스터의 최소 게이트 길이가  $1.0 \mu\text{m}$ 인 것을 특징으로 하는, 반도체 집적회로 장치.

### 청구항 11

청구항 4에 있어서,

상기 제2의 P형 웨爾 영역이,  $5 \times 10^{16} / \text{cm}^3$  내지  $2 \times 10^{17} / \text{cm}^3$ 의 불순물 농도의 붕소 혹은  $\text{BF}_2$ 로 이루어지는 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 12

청구항 4에 있어서,

상기 N채널형의 저내압 MOS 트랜지스터의 최소 게이트 길이가  $0.5 \mu\text{m}$ 인 것을 특징으로 하는, 반도체 집적회로 장치.

### 청구항 13

N형 반도체 기판 상에, 실리콘 산화막 및 실리콘 질화막을 적층하고, N형 웨爾 형성 예정 영역의 상기 실리콘 질화막을 개구하여 실리콘 질화막 개구부를 형성하고, 인으로 이루어지는 N형 불순물을 이온 주입법에 의해 주입하는, N형 웨爾 형성 공정과,

상기 실리콘 질화막 개구부에 실리콘 산화막을 형성하고, 상기 실리콘 질화막을 제거한, 상기 N형 웨爾 형성 예정 영역 이외의 영역에, 붕소 혹은  $\text{BF}_2$ 로 이루어지는 P형 불순물을 이온 주입법에 의해 셀프 얼라인으로 주입하는, P형 웨爾 형성 공정과,

제3의 N형 저농도 불순물층 형성 예정 영역에, 비소로 이루어지는 N형 불순물을 이온 주입법에 의해 주입하는, 제3의 N형 저농도 불순물층 형성 공정과,

열처리에 의해, N형 웨爾과, P형 웨爾과, 제3의 N형 저농도 불순물층을 동시에 형성하는, 웨爾 확산 공정과,

실리콘 산화막 및 실리콘 질화막을 적층하고, 고내압 NMOS 트랜지스터의 제2의 N형 저농도 불순물층 형성 예정 영역의 실리콘 질화막을 개구하여, 인으로 이루어지는 N형 불순물을 이온 주입법에 의해 주입하는, 제2의 N형 저농도 불순물층 형성 공정과,

상기 실리콘 질화막 개구부에 있어서, 상기 제2의 N형 저농도 불순물층 형성 예정 영역 상에 실리콘 산화막을 형성하는, 상기 고내압 NMOS 트랜지스터의 게이트/드레인간 전계 완화 절연막 형성 공정과,

저내압 NMOS 트랜지스터, 저내압 PMOS 트랜지스터 및 상기 고내압 NMOS 트랜지스터의 게이트 절연막을 형성하는 게이트 절연막 형성 공정과,

상기 게이트 절연막 상에 게이트 전극을 형성하는 게이트 전극 형성 공정과,

상기 저내압 NMOS 트랜지스터의 드레인 형성 예정 영역 및 소스 형성 예정 영역에 인을 이온 주입법에 의해 주입하는, 제1의 N형 저농도 불순물층 형성 공정과,

상기 저내압 PMOS 트랜지스터의 드레인 형성 예정 영역 및 소스 형성 예정 영역에 봉소 혹은  $BF_2$ 를 이온 주입법에 의해 주입하는, P형 저농도 불순물층 형성 공정과,

상기 저내압 NMOS 트랜지스터 및 상기 고내압 NMOS 트랜지스터의 드레인 형성 예정 영역 및 소스 형성 예정 영역에, 비소로 이루어지는 N형 불순물층을 각각 형성하고, 상기 저내압 PMOS 트랜지스터의 드레인 형성 예정 영역과 소스 형성 예정 영역에  $BF_2$ 로 이루어지는 P형 불순물층을 형성하는, 고농도 드레인/소스층 형성 공정,

을 가지는, 반도체 집적회로 장치의 제조 방법.

#### 청구항 14

N형 반도체 기판 상에, 실리콘 산화막 및 실리콘 질화막을 적층하고, N형 웨이팅 형성 예정 영역의 상기 실리콘 질화막을 개구하여 실리콘 질화막 개구부를 형성하고, 인으로 이루어지는 N형 불순물을 이온 주입법에 의해 주입하는, N형 웨이팅 형성 공정과,

상기 실리콘 질화막 개구부에 실리콘 산화막을 형성하고, 상기 실리콘 질화막을 제거한, 상기 N형 웨이팅 형성 예정 영역 이외의 영역에, 봉소 혹은  $BF_2$ 로 이루어지는 P형 불순물을 이온 주입법에 의해 셀프 얼라인으로 주입하는, 제1의 P형 웨이팅 형성 공정과,

상기 실리콘 질화막을 박리하고, 다시 실리콘 질화막을 퇴적시켜, 제3의 N형 저농도 불순물층 형성 예정 영역의 상기 실리콘 질화막을 개구하여, 비소로 이루어지는 N형 불순물을 이온 주입법에 의해 주입하는, 제3의 N형 저농도 불순물층 형성 공정과,

상기 실리콘 질화막 개구부에 실리콘 산화막을 형성하고, 상기 실리콘 질화막을 제거한 상기 N형 반도체 기판 상의 상기 제3의 N형 저농도 불순물층 형성 예정 영역 이외의 영역과 상기 N형 웨이팅 형성 예정 영역 이외의 영역에, 봉소 혹은  $BF_2$ 로 이루어지는 P형 불순물을 이온 주입법에 의해 셀프 얼라인으로 주입하는, 제2의 P형 웨이팅 형성 공정과,

열처리에 의해, N형 웨이팅과, 제1의 P형 웨이팅과, 제2의 P형 웨이팅과, 제3의 N형 저농도 불순물층을 동시에 형성하는, 웨이팅 확산 공정과,

실리콘 산화막 및 실리콘 질화막을 적층하고, 고내압 NMOS 트랜지스터의 제2의 N형 저농도 불순물층 형성 예정 영역의 실리콘 질화막을 개구하여, 인으로 이루어지는 N형 불순물을 이온 주입법에 의해 주입하는, 제2의 N형 저농도 불순물층 형성 공정과,

상기 실리콘 질화막 개구부에 있어서, 상기 제2의 N형 저농도 불순물층 형성 예정 영역 상에 실리콘 산화막을 형성하는, 상기 고내압 NMOS 트랜지스터의 게이트/드레인간 전계 완화 절연막 형성 공정과,

저내압 NMOS 트랜지스터, 저내압 PMOS 트랜지스터 및 상기 고내압 NMOS 트랜지스터의 게이트 절연막을 형성하는 게이트 절연막 형성 공정과,

상기 게이트 절연막 상에 게이트 전극을 형성하는 게이트 전극 형성 공정과,

상기 저내압 NMOS 트랜지스터의 드레인 형성 예정 영역 및 소스 형성 예정 영역에 인을 이온 주입법에 의해 주입하는, 제1의 N형 저농도 불순물층 형성 공정과,

상기 저내압 PMOS 트랜지스터의 드레인 형성 예정 영역 및 소스 형성 예정 영역에 봉소 혹은  $BF_2$ 를 이온 주입법에 의해 주입하는, P형 저농도 불순물층 형성 공정과,

상기 저내압 NMOS 트랜지스터 및 상기 고내압 NMOS 트랜지스터의 드레인 형성 예정 영역 및 소스 형성 예정 영역에, 비소로 이루어지는 N형 불순물층을 각각 형성하고, 상기 저내압 PMOS 트랜지스터의 드레인 형성 예정 영역과 소스 형성 예정 영역에  $BF_2$ 로 이루어지는 P형 불순물층을 형성하는, 고농도 드레인/소스층 형성 공정,

을 가지는 반도체 집적회로 장치의 제조 방법.

#### 청구항 15

청구항 14에 있어서,

상기 N형 웨LTE 형성 공정의 불순물 도즈량이  $3 \times 10^{12}/\text{cm}^2$  내지  $3 \times 10^{13}/\text{cm}^2$  이고,

상기 제1의 P형 웨LTE 형성 공정의 불순물 도즈량이  $2 \times 10^{12}/\text{cm}^2$  내지  $1 \times 10^{13}/\text{cm}^2$  이며,

상기 제2의 P형 웨LTE 형성 공정의 불순물 도즈량이  $5 \times 10^{12}/\text{cm}^2$  내지  $2 \times 10^{13}/\text{cm}^2$  이고,

상기 제3의 N형 저농도 불순물층 형성 공정의 불순물 도즈량이  $8 \times 10^{12}/\text{cm}^2$  내지  $7 \times 10^{13}/\text{cm}^2$  이며,

상기 제2의 N형 저농도 불순물층 형성 공정의 불순물 도즈량이  $1 \times 10^{12}/\text{cm}^2$  내지  $7 \times 10^{12}/\text{cm}^2$  이고,

상기 제1의 N형 저농도 불순물층 형성 공정의 불순물 도즈량이  $2 \times 10^{12}/\text{cm}^2$  내지  $2 \times 10^{14}/\text{cm}^2$  이며,

상기 P형 저농도 불순물층 형성 공정의 불순물 도즈량이  $2 \times 10^{12}/\text{cm}^2$  내지  $2 \times 10^{14}/\text{cm}^2$  이고,

상기 고농도 드레인/소스층 형성 공정의 N형 불순물 및 P형 불순물의 도즈량이  $2 \times 10^{15}/\text{cm}^2$  이상인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

### 발명의 설명

#### 기술 분야

[0001]

본 발명은, N형 반도체 기판을 사용한, 30V 이상의 전원 전압을 필요로 하는 반도체 집적회로 장치 및 그 제조 방법에 관한 것이다.

#### 배경 기술

[0002]

전기 기기에 이용되는 전기 회로는 전지 등의 외부 전원에 의해 구동되지만, 이 외부 전원의 전압치가 변동하면 전기 회로의 오동작이나 다양한 이상 현상을 일으킬 가능성이 있으므로, 외부 전원을 조정하여 일정 전압을 출력하거나, 전원 전압의 변동을 모니터링하는 파워 매니지먼트 IC를 전기 회로와 외부 전원 사이에 설치하여, 안정 동작을 도모하는 것이 일반적이다.

[0003]

파워 매니지먼트 IC에 요구되는 요구의 하나로서 고전압 입력/저전압 출력이 있지만, 그에 대응하기 위해서는 반도체 집적회로 장치 내에 고전압용 신호 처리의 영역과 저전압용 신호 처리의 영역을 설치할 필요가 있다. 구체적으로는 출력 회로나 내부 논리 회로 등에 적합한 저내압용의 소자를 이용한 저전압용 신호 처리 영역과, 입력 회로나 일부의 출력 회로 등에 적합한 고내압용의 소자를 이용한 고전압 신호 처리 영역 각각을 준비한다. 이 때, 고내압에 견딜 수 있는 것이 필요한 회로에서는 소자 영역이나 소자 분리 영역을 고내압에 견딜 수 있는 구조로 하기 위해 큰 소요 면적이 필요하기 때문에, 가능한 한 필요한 부분만 고내압 소자나 구조를 이용하여, 다른 영역을 저내압화함으로써 반도체 집적회로 장치의 고비용화를 억제하는 고안이 중요해진다.

[0004]

도 6(1)에, 이러한 저내압용의 MOS 트랜지스터와 고내압용의 MOS 트랜지스터를 P형 반도체 기판 상의 동일 반도체 집적회로 내에 형성한 경우의 모식 단면도를 나타낸다.

[0005]

P형 반도체 기판(1)의 표면에 설치된 저내압용의 NMOS 트랜지스터(501)는, 제1의 게이트 절연막(9)과 그 바로 윗쪽의 게이트 전극(6) 및 게이트 전극(6)의 양단에 배치하는 드레인/소스 영역으로 이루어진다. 그 드레인/소스 영역은, 금속과 컨택트하기 위한 저저항이며 고농도인 N형 불순물 영역(17)과 제1의 N형 저농도 불순물 영역(18)으로 구성한다.

[0006]

한편, 고내압 NMOS 트랜지스터(503)는, 게이트 절연막(9)과 그 바로 윗쪽의 게이트 전극(6) 및 게이트 전극(6)의 양단에 배치하는 드레인/소스 영역으로 이루어진다. 이 드레인/소스 영역은 고농도의 N형 불순물 영역(17) 및 제2의 N형 저농도 불순물 영역(19)으로 이루어지며, 또한 제2의 N형 저농도 불순물 영역(19) 상에는 게이트 절연막보다 두꺼운 절연막(13)을 형성하고 있다. 이 두꺼운 절연막은 게이트/드레인 간의 전계 완화에 효과가 있어 유효하다.

[0007]

이러한 드레인 구조는 30V 이상의 드레인 내압이 필요해지는 경우에 채용되며, 주로 드레인측의 제2의 N형 저농도 불순물 영역(19)의 길이와 농도에 따라 내압 조정이 이루어진다.

- [0008] 이 고내압 NMOS 트랜지스터의 N형 고농도 불순물 영역(17)은, 일반적으로 프로세스 비용 절감을 위해 저내압 NMOS 트랜지스터의 N형 고농도 불순물 영역(17)과 공정을 공유하며, 비소 혹은 안티몬을 사용한다.
- [0009] 또, 종종, 제2의 N형 저농도 불순물 영역(19)은, 소자와 영역의 채널 스톱 구조와 병용함으로써 공정의 간략화가 도모된다. 이 때문에 제2의 N형 저농도 불순물 영역(19) 상에는, LOCOS 프로세스로 형성되는 절연막(13)이 배치되고, 제2의 N형 저농도 불순물 영역(19)의 농도는 배선에 의한 농도 반전 방지를 위한 농도에 맞춰진다. 일반적으로 반도체 집적회로 중에서 고내압 NMOS 트랜지스터가 사용되는 빈도가 낮은 경우는, 이와 같은 간략화를 위한 구조 상의 제약이 고내압 NMOS 트랜지스터에 주어져, 이 제약 중에서 소자 설계를 하게 된다.
- [0010] 또한, 도 6(2)에 나타내는 바와 같이 고내압 NMOS 트랜지스터에 대해서는, 드레인측의 N형 고농도 불순물 영역(17)의 전체와, 드레인측의 제2의 N형 저농도 불순물 영역(19)의 일부를 덮도록, 깊이가 수  $\mu\text{m}$ 까지 달하는 제3의 N형 저농도 불순물 영역(14)을 고내압 NMOS 트랜지스터의 드레인측에 설치하는 경우가 있다. 이것은, 인접하는 N형 고농도 불순물 영역(17)과 제2의 N형 저농도 불순물 영역(19) 경계의 접촉 부분이 적은 것을 보완하여, 고내압 NMOS 트랜지스터의 전기적 동작 시에 걸리는 고전압과 대전류에 의한 발열 파괴를 막는 효과가 있다. 또 이러한 파괴 현상은 순간적인 파괴뿐만 아니라, 장기 신뢰성에도 영향을 준다.
- [0011] 이에 더하여, 이러한 드레인측이 깊은 확산 영역인, 제3의 N형 저농도 불순물 영역(14)은, ESD(Electrostatic Discharge) 파괴 등의 내성 향상에도 효과가 있다. 그 이유는, 순간적으로 들어 오는 정전기에 기인한 암페어 레벨의 과대 전류에 의한 발열 · 온도 상승을, 큰 N형 확산 영역의 체적과, 반도체 기판과의 사이에 형성되는 넓은 PN접합의 접촉 면적으로 완화하여, PN접합 파괴를 억제할 수 있기 때문이다(예를 들면, 특히 문헌 1 참조).
- [0012] 그런데, 이러한 반도체 집적회로에 이용하는 반도체 기판은, 경제적인 면에서는 잉곳 중의 불순물 농도 안정 영역이 넓고 웨이퍼 수량(收量)이 많은 P형 반도체 기판이 바람직하지만, 기능면이나 사용자로부터의 요청으로 N형 반도체 기판을 사용하는 경우가 많다.
- [0013] 예를 들면, 내부에 집적화하는 NMOS 트랜지스터의 정밀도를 유지하기 위해, 백 바이어스가 걸리지 않는 구성으로 하기 위해서는, N형 반도체 기판을 사용하여 각각의 NMOS 트랜지스터를 형성하는 P형 웨爾 영역을 분리하고, 각각의 P형 웨爾 영역의 전위를 임의로 변경하는 방법을 취한다.

## 선행기술문헌

### 특허문헌

[0014] (특허문헌 0001) 일본국 특허공개 2008-010443호 공보

## 발명의 내용

### 해결하려는 과제

- [0015] 종래, N형 반도체 기판 상에 고내압 NMOS 트랜지스터를 집적화하려면 이하와 같은 문제가 있었다.
- [0016] 우선, 도 6(2)에 있어서 고내압 NMOS 트랜지스터의 드레인 영역에 형성하는 제3의 N형 저농도 불순물 영역(14)을 고온 장시간 열처리로 형성하고 있었기 때문에, 그대로 이 고내압 NMOS 트랜지스터의 영역 전체를 P형 웨爾 영역으로 둘러싸려면 종래보다 깊은 P형 웨爾 확산 열처리 공정을 더 필요로 했다. 그 때문에 양자의 웨爾 영역을 깊게 형성하기 위해, 1100°C 이상의 고온으로 장시간의 열처리를 2회 실시하는 것이 필요하고, 공사기간의 장기화와 함께, 횡방향으로의 확산의 신장에 의한 소요 면적의 증대가 발생하여, 그에 수반하는 가격상승을 피할 수 없었다.
- [0017] 또, 종방향의 2중 확산 구조의 고내압화를 위해 에피택셜 성장 프로세스를 이용한 PN접합 분리 혹은 SOI 기판 등을 사용한 유전체 분리를 채용하는 방법이 있지만, 이 방법은 소요 면적의 증대는 억제할 수 있지만, 제조 비용의 증대가 현저하여, 역시 가격의 상승을 발생시키고 있었다.
- [0018] 또, 깊은 확산의 형성에 대한 다른 방법으로서, MeV(백만 전자 볼트)급 이온 주입법을 들 수 있지만, 이것은 고액의 장치가 필요하고, 특히 미세 프로세스를 채용하지 않는 염가 프로세스에 의해 제조되는 제품에서는, 장치 비용의 증대에 의한 제품 비용의 상승을 무시할 수 없다.

[0019] 한편, 고내압 NMOS 트랜지스터(503)의 드레인 영역에 제3의 N형 저농도 불순물 영역(14)을 형성하지 않고 ESD 등의 내성을 향상을 도모하려고 하는 경우, 노이즈 완화용의 저항체 등의 설치가 필요하게 되지만, 발열에 의한 파괴를 막기 위해 반도체 집적회로 장치의 소요 면적을 좌우할 정도의 저항 사이즈가 필요하게 되어, 역시 비용의 상승을 피할 수 없었다.

[0020] 그래서, 본 발명은 N형 반도체 기판을 이용하면서, 종래의 이온 주입·고온 열처리 방법을 이용해도, 공사기간의 장기화를 수반하지 않고 제조할 수 있는, 30V 이상의 고내압에서 동작 가능하고, ESD 등에 의한 발열에 의한 파괴에 대한 내성을 가지는 반도체 집적회로 장치 및 그 제조 방법을 제공하는 것을 과제로 한다.

### 과제의 해결 수단

[0021] 본 발명은 상기 과제를 해결하기 위해, 이하와 같이 했다. 즉,

N형 반도체 기판에 설치된 제1의 P형 웨爾 영역 내에 형성된,

제1의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제1의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제1의 N형 고농도 드레인 영역 및 제1의 N형 고농도 소스 영역과,

상기 제1의 게이트 전극과 상기 제1의 N형 고농도 드레인 영역의 사이에 형성된 제1의 N형 저농도 드레인 영역 및 상기 게이트 전극과 상기 제1의 N형 고농도 소스 영역의 사이에 형성된 제1의 N형 저농도 소스 영역,

을 가지는 N채널형의 저내압 MOS 트랜지스터와,

상기 제1의 P형 웨爾 영역과는 다른 영역에 상기 제1의 P형 웨爾 영역과 접해서 설치된 N형 웨爾 영역 내에 형성된,

제2의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제2의 게이트 전극과,

P형의 고농도 불순물 영역으로 이루어지는, P형 고농도 드레인 영역 및 P형 고농도 소스 영역과,

상기 제2의 게이트 전극과 상기 P형 고농도 드레인 영역 간에 형성된 P형 저농도 드레인 영역 및 상기 제2의 게이트 전극과 상기 P형 고농도 소스 영역의 사이에 형성된 P형 저농도 소스 영역,

을 가지는 P채널형의 저내압 MOS 트랜지스터와,

상기 제1의 P형 웨爾 영역과는 접하지 않은, 상기 제1의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제2의 P형 웨爾 영역 내에 형성된,

제3의 게이트 절연막과,

다결정 실리콘으로 이루어지는 제3의 게이트 전극과,

N형의 고농도 불순물 영역으로 이루어지는, 제3의 N형 고농도 드레인 영역 및 제3의 N형 고농도 소스 영역과,

상기 제3의 게이트 전극과 상기 제3의 N형 고농도 드레인 영역의 사이에 배치된 제3의 N형 저농도 드레인 영역 및 상기 상기 제3의 게이트 전극과 제3의 N형 고농도 소스 영역의 사이에 배치된 제3의 N형 저농도 소스 영역과,

상기 제3의 N형 저농도 드레인 영역 및 상기 제3의 N형 저농도 소스 영역 상에 배치된 상기 제3의 게이트 절연막보다 두꺼운 절연막과,

상기 제3의 N형 저농도 드레인 영역의 일부를 포함하는 영역과 상기 제3의 N형 고농도 드레인 영역의 하방에, 깊이는 상기 제2의 P형 웨爾 영역보다 얕게 형성된 N형 저농도 불순물 영역,

을 가지는 제1의 N채널형의 고내압 MOS 트랜지스터와,

제2의 N채널형의 고내압 MOS 트랜지스터

를 가지는 반도체 집적회로 장치로 했다.

또, 다른 양태에서는,

- [0045] N형 반도체 기판에 설치된, 제1의 P형 웨爾 영역과,
- [0046] 상기 제1의 P형 웨爾 영역보다 불순물 농도가 높은 제2의 P형 웨爾 영역 내에 형성된 N채널형의 저내압 MOS 트랜지스터와,
- [0047] N형 웨爾 영역 내에 형성된 P채널형의 저내압 MOS 트랜지스터와,
- [0048] 상기 제2의 P형 웨爾 영역과는 접하지 않은, 상기 제2의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제3의 P형 웨爾 영역 내에 형성된,
- [0049] 제1의 게이트 절연막과,
- [0050] 다결정 실리콘으로 이루어지는 제1의 게이트 전극과,
- [0051] N형의 고농도 불순물 영역으로 이루어지는, 제1의 N형 고농도 드레인 영역 및 제1의 N형 고농도 소스 영역과,
- [0052] 상기 제1의 게이트 전극과 상기 제1의 N형 고농도 드레인 영역의 사이에 배치된 제1의 N형 저농도 드레인 영역 및 상기 제1의 게이트 전극과 상기 제1의 N형 고농도 소스 영역의 사이에 배치된 제1의 N형 저농도 소스 영역과,
- [0053] 상기 제1의 N형 저농도 드레인 영역 및 상기 제1의 N형 저농도 소스 영역 상에 배치된 상기 제1의 게이트 절연막보다 두꺼운 절연막과,
- [0054] 상기 제1의 N형 저농도 드레인 영역의 일부 및 상기 제1의 N형 고농도 드레인 영역의 하방에, 깊이는 상기 제3의 P형 웨爾 영역보다 얕게 형성된 제1의 N형 저농도 불순물 영역과,
- [0055] 상기 제1의 N형 저농도 불순물 영역 아래로부터 상기 N형 반도체 기판의 사이에 설치된 상기 제1의 P형 웨爾 영역
- [0056] 을 가지는 제1의 N채널형의 고내압 MOS 트랜지스터와,
- [0057] 상기 제2의 P형 웨爾 영역과는 접하지 않은, 상기 제2의 P형 웨爾 영역과 동일한 불순물 농도를 가지는 제4의 P형 웨爾 영역 내에 형성된,
- [0058] 제2의 게이트 절연막과,
- [0059] 다결정 실리콘으로 이루어지는 제2의 게이트 전극과,
- [0060] N형의 고농도 불순물 영역으로 이루어지는, 제2의 N형 고농도 드레인 영역 및 제2의 N형 고농도 소스 영역과,
- [0061] 상기 제2의 게이트 전극과 상기 제2의 N형 고농도 드레인 영역의 사이에 배치된 제2의 N형 저농도 드레인 영역 및 상기 제2의 게이트 전극과 상기 제2의 N형 고농도 소스 영역의 사이에 배치된 제2의 N형 저농도 소스 영역과,
- [0062] 상기 제2의 N형 저농도 드레인 영역 및 상기 제2의 N형 저농도 소스 영역 상에 배치된 상기 제2의 게이트 절연막보다 두꺼운 절연막과,
- [0063] 상기 제2의 N형 저농도 드레인 영역의 일부 및 상기 제2의 N형 고농도 드레인 영역을 포함하고, 상기 제4의 P형 웨爾 영역과 인접하여, 저면이 상기 N형 반도체 기판에 접해 형성된 제2의 N형 저농도 불순물 영역,
- [0064] 을 가지며, ESD 보호 소자로서 사용되는 제2의 N채널형의 고내압 MOS 트랜지스터를 가지는 반도체 집적회로 장치로 했다.
- [0065] 또한, 상기 양태를 포함하는 반도체 집적회로 장치의 제조 방법을 과제 해결을 위한 수단으로 하고 있다.

### 발명의 효과

- [0066] 본 발명에 의하면, N형 반도체 기판을 이용해도, 종래의 이온 주입·고온 열처리 방법을 답습하면서 공사기간의 장기화를 수반하지 않고 제조할 수 있어, 30V 이상의 고내압에서 동작 가능하고, ESD 등에 의한 발열에 의한 파괴에 대한 내성을 가지는, 염가이며 고성능인 반도체 집적회로 장치 및 그 제조 방법을 제공할 수 있다.

### 도면의 간단한 설명

- [0067] 도 1은 본 발명의 제1의 실시예를 실현하는 모식 단면도이다.

도 2는 본 발명의 제1의 실시예가 적용 가능한 회로 구성의 일부이다.

도 3은 N형 불순물 농도에 대한 종방향 내압의 관계를 나타내는 특성 그레프이다.

도 4는 본 발명의 제2의 실시예를 실현하는 모식 단면도이다.

도 5는 본 발명의 제3의 실시예를 실현하는 모식 단면도이다.

도 6은 종래의 저내압 NMOS 트랜지스터와 고내압 NMOS 트랜지스터의 모식 단면도이다.

도 7은 본 발명의 제1의 실시예를 실현하는 공정 플로우를 나타내는 단면도이다.

도 8은 도 7에 이어지는, 본 발명의 제1의 실시예를 실현하는 공정 플로우 단면도이다.

도 9는 도 8에 이어지는, 본 발명의 제1의 실시예를 실현하는 공정 플로우 단면도이다.

도 10은 본 발명의 제2의 실시예를 실현하는 공정 플로우를 나타내는 단면도이다.

도 11은 도 10에 이어지는, 본 발명의 제2의 실시예를 실현하는 공정 플로우 단면도이다.

도 12는 도 11에 이어지는, 본 발명의 제2의 실시예를 실현하는 공정 플로우 단면도이다.

도 13은 본 발명의 제3의 실시예를 실현하는 공정 플로우를 나타내는 단면도이다.

도 14는 도 13에 이어지는, 본 발명의 제3의 실시예를 실현하는 공정 플로우 단면도이다.

도 15는 도 14에 이어지는, 본 발명의 제3의 실시예를 실현하는 공정 플로우 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0068] 본 발명에서는, 고전압의 입력 전압과 저전압의 출력 전압을 필요로 하는 반도체 집적회로 장치에 있어서, N형 반도체 기판 상에 고내압 NMOS 트랜지스터를 집적화하는데 있어서, 고내압 NMOS 트랜지스터의 드레인 영역에 깊은 N형 저농도 불순물 영역을 형성하기 위한 새로운 구성을 생각해 냈다. 또, 이 N형 저농도 불순물 영역이나 P형 웨爾 영역을 형성하기 위한 1100°C 이상의 고온 열처리는 종래의 공정과 동일한 정도로 함으로써, 공사기간의 장기화와 그에 수반하는 비용 증대를 억제했다.

[0069] 이하에 이 발명의 실시의 형태를 도면에 의거하여 설명한다.

[실시예 1]

[0071] 도 1은 본 발명의 제1의 실시예를 나타내는 모식 단면도이다. 본 실시예에서는 N형 반도체 기판(7)에, 저전압 구동용의 저내압의 MOS 트랜지스터(501, 502)와, 고전압 구동용의 고내압의 MOS 트랜지스터(503, 504)를 집적화하고 있다.

[0072] 저내압 NMOS 트랜지스터(501)는, 반도체 집적회로 장치 중의 저전압용 신호 처리 영역 내의 P형 웨爾 영역(5) 내에 형성된, 종래와 동일한 구조를 가지는 저전압 구동용이며, 게이트 전극(6), 게이트 절연막(9), 드레인/소스 영역의 일부를 구성하며 드레인/소스 단자를 취출하기 위한 N형 고농도 불순물 영역(17), 드레인/소스 영역의 일부를 구성하며 드레인/소스 간의 전계 완화를 목적으로 한 제1의 N형 저농도 불순물 영역(18)인 제1의 N형 저농도 드레인 영역 및 제1의 N형 저농도 소스 영역으로 이루어진다.

[0073] 또, 저내압 PMOS 트랜지스터(502)는, 마찬가지로 반도체 집적회로 장치 중의 저전압용 신호 처리 영역 내의 N형 웨爾 영역(21) 내에 형성된, 종래와 동일한 구조의 저전압 구동용이며, 게이트 전극(6), 게이트 절연막(9), 드레인/소스 영역의 일부를 구성하며 드레인/소스 단자를 취출하기 위한 P형 고농도 불순물 영역(23), 드레인/소스 영역의 일부를 구성하며 드레인/소스 간의 전계 완화를 목적으로 한 P형 저농도 불순물 영역(20)으로 이루어진다.

[0074] 또, 제1의 고내압 NMOS 트랜지스터(503)는, 반도체 집적회로 장치 중의 고전압용 신호 처리 영역 내의 P형 웨爾 영역(5) 내에 형성된 고전압 구동용이며, 게이트 전극(6), 게이트 절연막(9), 드레인/소스 영역의 일부를 구성하며 드레인/소스 단자를 취출하기 위한 N형 고농도 불순물 영역(17), 드레인/소스 영역의 일부를 구성하며 드레인/소스 간의 전계 완화를 목적으로 한 제2의 N형 저농도 불순물 영역(19), 게이트 절연막보다 두꺼운 막두께를 가지며 게이트/드레인 간의 전계 완화를 목적으로 한 제2의 N형 저농도 불순물 영역(19) 상에 형성된 두꺼운 절연막(13), 드레인측의 제2의 N형 저농도 불순물 영역(19)의 일부를 포함하는 영역 및 드레인측의 N형 고농도

불순물 영역(17)의 하방에, P형 웨爾 영역(5)보다는 얇게 형성된 제3의 N형 저농도 불순물 영역(14)으로 이루어지며, 고전압 신호 처리 회로에 사용한다.

[0075] 또, 제2의 고내압 NMOS 트랜지스터(504)는, P형 웨爾 영역(5) 내에 형성된 고전압 구동용이며, 고전압의 전원 단자와 최저 전위인 그라운드 단자 사이에 설치하여, 외부로부터 침입하는 정전기 노이즈 보호용 소자로서 사용하지만, 본 실시예에 있어서는 제1의 고내압 NMOS 트랜지스터(503)와 동일한 구조이다.

[0076] 또 도시는 하지 않지만, 반도체 집적회로 장치 중의 고전압용 신호 처리 영역 내의 N형 웨爾 영역 내에 형성한 고전압 구동용의 고내압 PMOS 트랜지스터도 존재하며, 게이트 전극, 게이트 절연막, 드레인/소스 영역의 일부를 구성하며 드레인/소스 단자를 취출하기 위한 P형 고농도 불순물 영역, 드레인/소스 영역의 일부를 구성하며 드레인/소스 간의 전계 완화를 목적으로 한 P형 저농도 불순물 영역, 및 게이트/드레인 간의 전계 완화를 목적으로 한 P형 저농도 불순물 영역 상에 형성하는 게이트 절연막보다 두꺼운 절연막으로 구성된다.

[0077] 또, 도 2는, 상기 각 MOS 트랜지스터 소자의 회로 상의 대표적인 역할의 예를 나타내는 회로도의 일부이다. 먼저 서술한 바와 같이, 전원 단자(106)와, 최저 전위가 되는 그라운드 단자(105)의 사이에 인가하는 전압은 최근 고전압화되고 있으며, 그 신호 처리는 제1의 고내압 NMOS 트랜지스터(503)와 고내압 PMOS 트랜지스터(505)로 구성한 회로에 의해 행한다.

[0078] 또, 그 전원 단자(106)와 그라운드 단자(105) 간의 정전기 노이즈로부터 내부 회로를 보호하기 위한 정전기 노이즈용 보호 소자는, 본 실시예에서는 제1의 고내압 NMOS 트랜지스터와 동일한 구조의 제2의 고내압 NMOS 트랜지스터(504)를 사용하여, 전원 단자(106)에 드레인 단자를 접속하고, 그라운드 단자(105)에 소스 단자 및 게이트 단자를 접속하는 게이트 오프 구성을 취하여, 정전기 노이즈가 침입한 경우만 애벌란시 항복에 의해 드레인 단자로부터 그라운드 단자에 그 정전기 노이즈를 내보내어, 내부 회로를 정전기 노이즈로부터 지키는 역할을 담당한다.

[0079] 만약 고전압 신호 처리 회로에 있어서 출력 단자(107)가 있는 경우는, 그 출력 단자(107)와 그라운드 단자(105) 간의 정전기 노이즈에 대해서는, 회로상 출력 단자(107)와 그라운드 단자(105) 간에 설정되어 있는 제1의 고내압 NMOS 트랜지스터(503)가 그대로 정전기 노이즈 보호 소자로서의 역할을 겸용해도 된다. 만약 이 제1의 고내압 NMOS 트랜지스터의 회로상 작은 사이즈로 설정되어 있는 등, 정전기 노이즈에 대한 내성이 낮은 경우는, 보호 소자로서 별도로 채널폭을 정전기 노이즈에 의거하는 전류를 충분히 허용할 수 있는 사이즈로 크게 설정한 고내압 NMOS 트랜지스터를 별도 전용으로 설치해도 된다. 그 경우는 출력 단자(107)에 드레인 단자를 접속하고, 그라운드 단자(105)에 소스 단자 및 게이트 단자를 접속하는 게이트 오프 구조으로 실현된다.

[0080] 또한, 본 실시예의 반도체 집적회로 장치에서는 고전압으로부터 저전압을 생성하고, 그 저전압으로 신호 처리를 한 후, 그 결과를 저전압 출력하는 기능을 가지는데, 그 모습도 도 2에서 모식적으로 나타내고 있다. 즉, 전원 단자(106)와 그라운드 단자(105) 간에 인가되는 고전압을, 예를 들면 분압 회로(103)로 저항 분할을 하는 등에 의해 강압하여 전원 단자(106)와 내부 저전압용 그라운드 단자(112)의 사이에 저전압 출력하고, 저전압용 신호 처리 영역 내의 저내압 NMOS 트랜지스터(501)와 저내압 PMOS 트랜지스터(502)로 신호 처리를 행하고, 그 결과를 저전압 출력 단자(113)로부터 출력한다.

[0081] 이 저전압 출력 단자(113)와 내부 저전압용 그라운드 단자(112) 간이나, 전원 단자(106)와 내부 저전압용 그라운드 단자(112) 간에, 외부로부터 정전기 노이즈를 받는 경우의 보호 방법은 도시하지 않지만, 저전압용 보호 소자를 별도 준비하여 각 단자 간에 종래의 방법으로 설치한다.

[0082] 다음에 도 1의 본 실시예의 구조에서, N형 반도체 기판을 채용하면서, 30V 이상의 내압을 유지하고, 외부로부터의 정전기 노이즈 등에 의한 발열 파괴를 막을 수 있는 고내압 NMOS 트랜지스터의 실현 방법에 대해서 설명한다.

[0083] 도 1에 있어서 N형 반도체 기판(7)은 인을  $3 \times 10^{14} / \text{cm}^3$  내지  $8 \times 10^{14} / \text{cm}^3$ 의 농도로 함유하는 기판을 선택한다. 30V 이상에서 동작 가능한 고내압 NMOS 트랜지스터를 제작하기 위해 연한 불순물 농도 영역에 의한 전계 완화층을 형성하기 위해서는 이 정도로 연한 불순물 농도를 가지는 반도체 기판의 채용이 바람직하다.

[0084] 다음에, P형 웨爾 영역(5)은, 여기에서는 어느 NMOS 트랜지스터에서도 동일한 조건의 것을 사용하고 있으며, 봉소 혹은 BF<sub>2</sub>의 P형 불순물을  $8 \times 10^{15} / \text{cm}^3$  내지  $4 \times 10^{16} / \text{cm}^3$ 의 사이의 값이며, 확산 깊이가 반도체 기판 표면에서 7 μm 내지 10 μm가 되도록 형성하고 있다. 이와 같이 P형 웨爾 영역(5)의 불순물 농도를 비교적 연하게 하고 있는 것도, 후에 설명하는 고내압 NMOS 트랜지스터의 제3의 N형 저농도 불순물 영역(14)의 농도의 조정 범위를 넓히

기 위해서이며, 30V 이상에서 동작 가능한 고내압 NMOS 트랜지스터의 제작을 우선하기 위해서이다.

[0085] 또, 이러한 불순물 농도의 P형 웨爾 영역을 저내압 NMOS 트랜지스터(501)에 채용하는 경우, 그 최소 게이트 길이는, 편치스루 현상에 의한 내압의 저하 등의 단(短)채널 효과를 고려하여,  $1.0 \mu\text{m}$ 로 하는 것이 바람직하다. 그 경우, 저내압 NMOS 트랜지스터는, 특히 제1의 N형 저농도 불순물 영역의 구조의 최적화에 의해 12V까지의 전압 신호 처리에 대응시킬 수 있다. 즉, 본 실시예 1은 게이트 길이가  $1.0 \mu\text{m}$  이상인 염가의 프로세스를 이용하는 것이 가능하고, 저전압 회로의 출력 전압이 12V까지 요구되는 반도체 집적회로 장치로의 채용에 대해 적합하다고 할 수 있다.

[0086] 본 발명에서 특징적인 제3의 N형 저농도 불순물 영역(14) 혹은 이하에서 설명하는 제4의 N형 저농도 불순물 영역(15)은, N형 불순물인 비소를  $2 \times 10^{16}/\text{cm}^3$  내지  $2 \times 10^{17}/\text{cm}^3$ 의 불순물 농도로, 반도체 기판 표면에서  $2 \mu\text{m}$  내지  $3.5 \mu\text{m}$ 의 깊이로 형성한다. 이 조건 설정 시에 유의해야 할 것은, 제3, 4의 N형 저농도 불순물 영역은 불순물 농도가 연하고 확산 깊이가 얕아지면, 정전기 노이즈에 의한 발열 파괴 내성이 저하되어 가는 것에 반해, 불순물 농도가 진하고 확산 깊이가 깊어지면, 제3, 4의 N형 저농도 불순물 영역에 고전압을 걸었을 때에 제3, 4의 N형 저농도 불순물 영역과 N형 반도체 기판의 사이에서 편치스루 현상에 의해 종방향의 내압 저하를 발생시켜 버린다는 트레이드 오프 관계이다. 따라서, 요구 사양에 맞추어 제3, 4의 N형 저농도 불순물 영역의 형성 조건을 선택할 필요가 있다.

[0087] 예를 들면, 제3, 4의 N형 저농도 불순물 영역과 N형 반도체 기판의 사이의 종방향 내압에 관하여, 제3, 4의 N형 저농도 불순물 영역의 N형 불순물로서 비소를 이온 주입하고,  $1170^\circ\text{C}$ 에 있어서 20시간 정도의 열처리로 확산시키고, 제3, 4의 N형 저농도 불순물 영역을 형성한 경우의, 불순물 농도에 대한 종방향 내압의 관계를 나타내는 도 3에 의하면,  $6 \times 10^{16}/\text{cm}^3$ 의 N형 불순물 농도를 형성함으로써 50V 정도의 종방향 내압을 얻을 수 있다. 또한, 이 조건에서는, 3kV 이상의 ESD 파괴 내량(휴먼·보디·모델)을 달성할 수 있어, 결과적으로 40V의 전원 전압 사양을 만족하는 반도체 집적회로 장치를 실현할 수 있다.

[0088] 이와 같이 하여, 제1의 실시예에 있어서는, ESD에 의한 발열 파괴 기준을 클리어하면서, 60V 미만의 내압까지를 실현할 수 있어, 30V에서 50V까지의 입력 전원 전압 사양에 대해 대응 가능한 반도체 집적회로 장치를 제공할 수 있다.

[0089] 또한 본 실시예에서는, 제4의 N형 저농도 불순물 영역의 형성에 비소를 이용함으로써, 상기 P형 웨爾 영역 및 제3, 4의 N형 저농도 불순물 영역의 양자의 확산 열처리를,  $1170^\circ\text{C}$ 에 있어서의 20시간 정도의 조건을 이용한 일괄 처리 형성으로 실현하고 있다. 이것은 제3, 4의 N형 저농도 불순물 영역을 형성하기 위해, 확산 계수가 높은 인이나 확산 계수가 낮은 안티몬을 채용한 경우에는 모두 실현 불가능하다. 본 발명의 조건을 선택함으로써 N형 반도체 기판을 이용하면서, 고전압에 견딜 수 있는 반도체 집적회로 장치를, 종래의 고온 열처리 조건을 단축하면서 공사기간의 장기화를 수반하지 않고 제작하는 것을 가능하게 하고 있다.

[0090] 한편, 제3, 4의 N형 저농도 불순물 영역 이외의 조건에 대해서는, 고내압 NMOS 트랜지스터의 드레인/소스간 내압을 확보하기 위해, 제2의 N형 저농도 불순물 영역(19)을, 불순물로서 인을 이용하여  $1 \times 10^{17}/\text{cm}^3$  내지  $1 \times 10^{18}/\text{cm}^3$  까지의 사이의 불순물 도즈량으로 형성한다. 또 이 N형 저농도 불순물 영역(19) 상에 게이트 절연막보다 두꺼운 절연막(13)을 형성하고 있다. 이 두꺼운 절연막(13)은 게이트/드레인 간의 전계 완화 효과에 대해 유효하며, 소자 분리를 위한 LOCOS 절연막과 겹용해도 된다. 이러한 구조에 대해서는 종래와 동일한 조건을 채용해도 상관없다.

[0091] [실시예 2]

[0092] 다음에, 본 발명의 제2의 실시예를 도 4에 의거하여 설명한다. 도 4는 본 발명의 제2의 실시예의 모식 단면도이며, 저내압 NMOS 트랜지스터(501), 저내압 PMOS 트랜지스터(502), 제1의 고내압 NMOS 트랜지스터(503), 제2의 고내압 NMOS 트랜지스터(504)의 각각의 단면 구조를 나타내고 있으며, 제1의 실시예로부터 구조의 변경을 더 행하고 있다. 이 중 제1의 실시예와 상이한 것은 제2의 고내압 NMOS 트랜지스터(504)의 드레인 구조이며, 제2의 실시예에서는 이 제2의 고내압 트랜지스터(504)는, 제1의 고내압 NMOS 트랜지스터(503)에서 드레인 영역에 설치하는 깊은 확산으로서 채용하고 있는 제3의 N형 저농도 불순물 영역(14)을, 제4의 N형 저농도 불순물 영역(15)으로 바꾸고 있다.

[0093] 이 제4의 N형 저농도 불순물 영역(15)의 확산 깊이는, 제3의 N형 저농도 불순물 영역(14)보다 깊고, P형 웨爾 영역(5)과 동일한 정도의 깊이이며, P형 웨爾 영역(5)과의 2중 확산 구조는 취하지 않았다. 그 때문에 제4의 N형

저농도 불순물 영역(15)의 저면은 N형 반도체 기판(7)과 접하고 있다. N형 반도체 기판(7)에는 통상 가장 고전위가 되는 전원 전압을 인가하므로, 이 N형 반도체 기판(7)과 접하는 제4의 N형 저농도 불순물 영역(15) 및 그에 연결되는 제2의 고내압 NMOS 트랜지스터의 드레인 단자는 고전위가 되는 전원 전압과 도통하고 있으며, 드레인 단자와 전원 단자가 동전위가 되도록 회로 상에서 사용되는 고내압 NMOS 트랜지스터 모두에 채용할 수 있다. 반도체 접적회로 장치상, 이러한 사용 형태를 확실히 필요로 하는 예는, 도 2에 나타내는, 전원 단자에 외부로부터 침입하는 정전기 노이즈로부터 반도체 접적회로 소자를 보호하는 정전기 노이즈 보호용 소자(504)이다. 즉, 전원 단자(106)에 제2의 고내압 NMOS 트랜지스터의 드레인 단자를 결선(結線)하고, 그라운드 단자(105)에 소스 단자 및 게이트 단자를 결선하는 오프 구성을 취하여, 정전기 노이즈가 침입한 경우만 애벌란시 파괴에 의해 드레인 단자로부터 그라운드 단자에 그 정전기 노이즈를 내보내는 역할을 담당한다.

[0094] 그런데, 도 4의 단면도 중의 제1의 고내압 NMOS 트랜지스터(503)와 같이, P형 웰 영역(5) 내에 반도체 기판(7)으로부터 일정한 거리만큼 얇게 한 깊이로 드레인 영역에 형성하는 제3의 N형 저농도 불순물 영역(14)은, 먼저 서술한 바와 같이 그 불순물 농도와 반도체 기판 표면으로부터의 확산 깊이에 대해, 정전기 노이즈 등에 의한 발열 내성과, 편치스루 현상에 기인하는 종방향 내압 저하의 트레이드 오프 관계에 의거하여 결정할 필요가 있어, 조건 설정의 폭이 좁다.

[0095] 한편, 제2의 고내압 NMOS 트랜지스터(504)는 제4의 N형 저농도 불순물 영역(15)과 N형 반도체 기판(7)이 접하고 있어, 앞의 트레이드 오프 관계의 후자에 해당하는 종방향 내압을 염려할 필요가 없다. 따라서, 정전기 노이즈 등에 의한 발열 내성 만으로 구조를 최적화하면 되며, 소요 면적 축소 효과와 그에 수반하는 저비용화를 실현할 수 있다는 이점이 있다.

[0096] 구체적으로는, 제2의 고내압 NMOS 트랜지스터(504)는, 드레인 영역에 형성하는 N형 저농도 불순물 영역이 N형 반도체 기판과 접하고 있기 때문에, 정전기 노이즈 내성에서 필요해지는 드레인 단자에 연결되는 N형 확산 영역의 체적이, 제1의 고내압 NMOS 트랜지스터(503)에 비해 현저하게 크다. 따라서 제1의 고내압 NMOS 트랜지스터와 동등한 ESD 발열 내량을 얻기 위해, ESD 발열 내량에 비례해 필요해지는 채널폭을 제1의 고내압 NMOS 트랜지스터(503)에 비해 2/3 이하로 축소할 수 있다.

[0097] 또한 제2의 실시예에서는 제2의 고내압 NMOS 트랜지스터(504)의 채용에 의해, 회로 구성에 따라서는, N형 반도체 기판을 채용한 50V 이상의 고전압이 요구되는 반도체 접적회로 장치의 실현이 가능해진다.

[0098] 우선, 제2의 고내압 NMOS 트랜지스터(504) 자체는, 편치스루 현상에 기인하는 종방향 내압의 제약이 없기 때문에, 드레인/소스간 전압의 고내압화에 대해 한층 더 제2의 N형 저농도 불순물 영역(19)의 저농도화와 사이즈의 신장에 의해, 고전압에 의한 공지층의 신장을 확보함으로써 50V 이상의 고전압화에 대한 대응이 가능해진다.

[0099] 한편, 고전압 신호 처리의 내부 회로에 대해서는, 제1의 고내압 NMOS 트랜지스터(503) 혹은 고내압 PMOS 트랜지스터(505)를 캐스코드 접속 등 하여 고전압을 분압하도록 회로 설정을 함으로써 1개의 소자당 인가 전압을 완화하여, 50V 이상의 고전압에서의 회로 동작을 실현하는 것이 가능해진다.

[0100] 다음에 도 4의 본 발명의 제2의 고내압 NMOS 트랜지스터(504)의 구조에 대해서 설명한다. 제2의 고내압 NMOS 트랜지스터의 게이트 전극(6), 게이트 절연막(9), 제2의 N형 저농도 불순물 영역(19), 제2의 N형 저농도 불순물 영역(19) 상의 게이트 절연막(9)보다 두꺼운 절연막(13)의 기본적인 구조는 제1의 고내압 NMOS 트랜지스터(503)와 동일하다.

[0101] 한편, 제2의 고내압 NMOS 트랜지스터(504)가 제1의 고내압 NMOS 트랜지스터(503)와 상이한 점인 제4의 N형 저농도 불순물 영역(15)은, P형 웰 영역(5)이 형성되지 않는 영역을 설정하고, 그곳에 N형 불순물의 인을  $8 \times 10^{15} / \text{cm}^3$  내지  $4 \times 10^{16} / \text{cm}^3$ 의 사이의 값으로 반도체 기판 표면에서  $7 \mu\text{m}$  내지  $10 \mu\text{m}$ 까지의 확산 깊이로 형성하고 있다. 즉, 저내압 혹은 고내압 PMOS 트랜지스터를 형성하는 N웰 영역(21)과 겹용해도 된다. 이러한 구성으로 함으로써, 특별한 공정 추가가 필요 없게 되어, 프로세스 비용의 증가를 수반하지 않고 제4의 N형 저농도 불순물 영역(15)을 형성할 수 있다.

[0102] 또, 제4의 N형 저농도 불순물 영역(15)을 N형 웰 영역(21)과 겹용함으로써, 셀프 열라인 트윈 웰 프로세스를 채용할 수 있다. 이렇게 함으로써 제4의 N형 저농도 불순물 영역(15)을 P형 웰 영역(5)과 정확하게 인접해서 형성시킬 수 있으며, 또 제4의 N형 저농도 불순물 영역과 P형 웰 영역의 상호 확산에 의해 PN접합 위치가 이동하는 일이 없어지므로, 제3의 N형 저농도 불순물 영역(14)과 달리, 제4의 N형 저농도 불순물 영역(15)의 횡방향의 확산을 억제할 수 있다. 즉 실시예 2의 제2의 고내압 NMOS 트랜지스터(504)에 있어서는, 먼저 서술한 바와 같이 정전기 노이즈 흡수를 위한 채널폭을 제1의 고내압 NMOS 트랜지스터보다 짧게 함과 함께, 제4의 N형 저농도

불순물 영역(15)의 평면 사이즈도 제3의 N형 저농도 불순물 영역(14)보다 축소할 수 있다는 비용 저감의 이점을 겸비한다.

[0103] [실시예 3]

다음에, 본 발명의 제3의 실시예에 대해서 도 5에 의거하여 설명한다. 도 5는 본 발명의 제3의 실시예의 모식 단면도이며, 저내압 NMOS 트랜지스터(501), 저내압 PMOS 트랜지스터(502), 제1의 고내압 NMOS 트랜지스터(503), 제2의 고내압 NMOS 트랜지스터(504)의 각각의 단면 구조를 나타내고 있으며, 제2의 실시예로부터 또한 구조의 추가를 행하고 있다. 이 중 제2의 실시예와 상이한 것은 P형 웨爾 영역의 일부의 불순물 농도이다.

[0105] 우선 제1의 고내압 NMOS 트랜지스터(503)에 대해서는, 제1, 2의 실시예와 동일하게 드레인 영역에 깊은 확산 영역인 제3의 N형 저농도 불순물 영역(14)을 설치하고 있는데, 그 N형 저농도 불순물 영역(14) 아래의 N형 반도체 기판(7)과의 사이에 있는 제1의 P형 웨爾 영역(5)은 제2의 실시예와 동일하지만, 제3의 N형 저농도 불순물 영역(14)에 인접하고 있는 제2의 P형 웨爾 영역(8)은, 제1의 P형 웨爾 영역(5)보다 P형 불순물 농도가 진해져 있다.

[0106] 이 제2의 P형 웨爾 영역(8)과 제3의 N형 저농도 불순물 영역(14)은, 제1의 P형 웨爾 영역(5)과 N형 웨爾 영역(21)과 마찬가지로, 후술하는 셀프 열라인 트윈 웨爾 프로세스로 형성하고 있기 때문에, 제2의 P형 웨爾 영역(8)과 제3의 N형 저농도 불순물 영역(14)은 정확하게 접합 위치가 일치하여, 불순물의 이온 주입 시의 형성 위치로부터의 어긋남을 일으키지 않는다. 이 때문에, 제3의 N형 저농도 불순물 영역(14)의 횡방향의 확산과 그에 수반하는 제1의 고내압 NMOS 트랜지스터의 소요 면적의 증대를 억제하여, 반도체 접적회로 장치의 비용 저감에 기여할 수 있다.

[0107] 또한, 저내압 NMOS 트랜지스터(501)와 제2의 고내압 NMOS 트랜지스터(504)의 P형 웨爾 영역도 제2의 P형 웨爾 영역(8)을 채용하여, P형 불순물 농도가 진해져 있는 것이 제2의 실시예와 상이하다. 이 때, 제2의 P형 웨爾 영역(8)과 N형 웨爾 영역(21)도 셀프 열라인적으로 형성되어 있어, 접합 위치의 어긋남은 생기지 않는다. 이 제2의 P형 웨爾 영역(8)은, 봉소 혹은 BF<sub>2</sub>의 P형 불순물을  $5 \times 10^{16}/\text{cm}^3$  내지  $2 \times 10^{17}/\text{cm}^3$ 의 사이의 값으로 형성하여 제1의 P형 웨爾 영역에 대해 전한 불순물 농도로 유지하고 있다.

[0108] 이러한 높은 불순물 농도의 P형 웨爾 영역을 저내압 NMOS 트랜지스터(501)에 채용하는 경우, 제1의 P형 웨爾 영역(5)을 채용하는 경우에 비해, 편치스루 현상에 의한 내압의 저하 등의 단채널 효과가 억제되며, 그 최소 게이트 길이는, 0.5 μm로 할 수 있다. 그 경우, 저내압 NMOS 트랜지스터는, 특히 제1의 N형 저농도 불순물 영역의 구조의 최적화에 의해 6V까지의 전압 신호 처리에 대응시킬 수 있다. 즉, 본 실시예 3은, 다른 실시예에 비해 미세한 률을 채용하여 소요 면적의 저감을 도모하면서, 출력 전압 6V 이하의 반도체 접적회로 장치에 있어서 저비용화를 촉진할 수 있다는 효과가 있다.

[0109] [실시예 4]

[0110] 다음에, 본 발명의 제1의 실시예를 실현하기 위한 제조 방법을, 도 7 내지 도 9의 공정 플로우를 나타내는 단면도를 이용하여 설명한다.

[0111] 우선, 인을  $3 \times 10^{14}/\text{cm}^3$  내지  $8 \times 10^{14}/\text{cm}^3$ 의 농도로 함유하는 N형 반도체 기판(7)을 준비하고, 그 N형 반도체 기판(7) 상에 100 내지 500 Å의 두께의 실리콘 산화막(24)을 열산화법으로 형성하고, 또한 그 실리콘 산화막(24) 상에 LPCVD(Low Pressure Chemical Vapor Deposition)법에 의해 300 내지 1500 Å의 두께의 실리콘 질화막(25)을 퇴적시킨다(도 7(1)).

[0112] 다음에, N형 웨爾 영역 형성 예정 영역의 실리콘 질화막을, 포토리소그래피 기술 및 드라이 에칭 기술에 의해 제거하고, 노출된 실리콘 산화막을 통해 실리콘 질화막 및 포토레지스트를 마스크로 하고,  $3 \times 10^{12}/\text{cm}^2$  내지  $3 \times 10^{13}/\text{cm}^2$  정도의 도즈량으로 N형 불순물의 인을 이온 주입법에 의해 주입하고, 인이 주입된 영역(21A)을 형성하고, 그 후 포토레지스트를 박리한다(도 7(2)).

[0113] 다음에 열산화법에 의해, 남겨진 질화막을 마스크로 하고 선택적으로 N형 웨爾 영역 형성 예정 영역에 1000 내지 3000 Å의 실리콘 산화막을 형성한다. 다음에, 질화막을 제거한 후, 앞의 1000 내지 3000 Å의 실리콘 산화막을 마스크로 하고, N형 웨爾 영역 이외의 P형 웨爾 영역 형성 예정 영역(5A)에  $2 \times 10^{12}/\text{cm}^2$  내지  $1 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 봉소 혹은 BF<sub>2</sub>의 P형 불순물을 이온 주입법에 의해 셀프 열라인으로 주입한다(도 7(3)).

- [0114] 이상과 같은 트윈 웨л 프로세스에 의해, 1개의 포토마스크 만으로 P형 웨л 영역과 N형 웨л 영역을 정확하게 인접해서 형성할 수 있다.
- [0115] 다음에, 제3의 N형 저농도 불순물 영역 예정 영역에, 포토레지스트를 마스크로 하고 실리콘 산화막을 통해,  $8 \times 10^{12}/\text{cm}^2$  내지  $7 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 N형 불순물의 비소를 이온 주입법에 의해 주입하고, 비소가 주입된 영역(14A)을 형성하고, 그 후 포토레지스트를 박리한다(도 8(1)).
- [0116] 다음에, 1170°C 내지 1200°C의 온도로 15시간에서 20시간 정도의 시간의 열처리로 이들 N형 및 P형 불순물을 동시에 확산시키고, 원하는 확산 깊이의 P형 웨л 영역(5), N형 웨л 영역(21), 제3의 N형 저농도 불순물 영역(14)을 얻는다(도 8(2)).
- [0117] 이상의 공정을 거침으로써, N형 불순물의 인으로 이루어지는  $8 \times 10^{15}/\text{cm}^3$  내지  $4 \times 10^{16}/\text{cm}^3$ 의 불순물 농도의 값을 가지는 반도체 기판 표면에서  $7 \mu\text{m}$  내지  $10 \mu\text{m}$ 의 확산 깊이의 N형 웨л 영역과, 붕소 혹은  $\text{BF}_2$ 로 이루어지며 P형 불순물 농도가  $8 \times 10^{15}/\text{cm}^3$  내지  $4 \times 10^{16}/\text{cm}^3$ 의 사이의 값을 가지는 반도체 기판 표면에서  $7 \mu\text{m}$  내지  $10 \mu\text{m}$ 의 확산 깊이의 P형 웨л 영역과, 비소로 이루어지며  $2 \times 10^{16}/\text{cm}^3$  내지  $1 \times 10^{18}/\text{cm}^3$ 의 불순물 농도의 값을 가지는 반도체 기판 표면에서  $2 \mu\text{m}$  내지  $3.5 \mu\text{m}$ 의 깊이의 제3의 N형 저농도 불순물 영역을 형성할 수 있다.
- [0118] 본 발명에서는 1100°C 이상의 고온 장시간 열처리는, 셀프 열라인적으로 주입한 P형 웨л 영역과 N형 웨л 영역의 불순물의 일괄 확산 형성뿐만이 아니라, 여기에 제3의 N형 저농도 불순물 영역을 형성하기 위한 불순물 확산도 겸용시키고 있다. 그 때, N형 불순물로서는 비소를 선택하고, P형 웨л 영역을 형성하는 붕소 혹은  $\text{BF}_2$ 와 비소의 확산 계수의 차이를 이용하여, 한 번의 열처리로 P형 웨ل 영역은 깊게, 제3의 N형 저농도 불순물 영역은 얕게 확산시킴으로써, P형 웨ل 영역 중에 제3의 N형 저농도 불순물 영역(14)을 2중 확산 구조로 형성할 수 있도록 주입 조건 및 확산 조건을 조정하고 있다.
- [0119] 이러한 본 발명의 방법으로 제3의 N형 저농도 불순물 영역을 형성하기 위한 N형 불순물의 주입량을 적절히 조절함으로써, 도 3과 같은 프로세스 조건과 내압의 관계를 얻을 수 있어, N형 반도체 기판을 채용하고 있으면서 다양한 입력 전압 사양의 반도체 집적회로 장치에 대응할 수 있는 것이 밝혀졌다.
- [0120] 다음에, 일단 모든 실리콘 산화막을 반도체 기판 표면으로부터 제거한 후, 100 내지 500Å의 두께의 실리콘 산화막(24)을 열산화법으로 형성하고, 또한 그 실리콘 산화막(24) 상에 LPCVD법에 의해 300 내지 1500Å의 두께의 실리콘 질화막(25)을 퇴적시킨다. 다음에 제2의 N형 저농도 불순물 영역을 형성하기 위해, 포토리소그래피 기술 및 드라이 에칭 기술에 의해 실리콘 질화막을 제거하고, 실리콘 질화막 및 포토레지스트를 마스크로 하고, 실리콘 산화막을 통해,  $1 \times 10^{12}/\text{cm}^2$  내지  $7 \times 10^{12}/\text{cm}^2$  정도의 도즈량의 N형 불순물의 인을 이온 주입법에 의해 영역(19A)에 주입하고, 그 후 포토레지스트를 박리한다(도 8(3)).
- [0121] 이 제2의 N형 저농도 불순물 영역은, 고내압 NMOS 트랜지스터의 드레인/소스간 내압을 조정하기 위해 설정하는 것으로,  $1 \times 10^{17}/\text{cm}^2$  내지  $1 \times 10^{18}/\text{cm}^2$  정도의 도즈량으로 하는 것이 바람직하지만, 프로세스 비용 삭감을 위해 소자 분리를 위한 채널 스토퍼용 불순물 주입과 겸용하여 형성해도 상관없다(도시하지 않음).
- [0122] 다음에 열산화법에 의해, 남겨진 질화막을 마스크로 하고 선택적으로 제2의 N형 저농도 불순물 영역 형성 예정 영역에 6000 내지 12000Å의 실리콘 산화막을 형성하고, 그 후 실리콘 질화막을 박리한다(도 9(1)). 이 6000 내지 12000Å의 열산화막은, 고내압 NMOS 트랜지스터의 게이트/드레인 간의 전계 완화 효과를 노리고 게이트 절연막보다 두껍게 한 절연체이지만, 동시에 소자 분리 영역의 LOCOS(Local Oxidation Of Silicon) 절연막과 겸용하여 형성함으로써, 프로세스 비용의 삭감을 도모할 수 있다.
- [0123] 다음에, 필요에 따라 MOS 트랜지스터의 역치 전압 제어를 위한 채널 불순물 주입이나 각 MOS 트랜지스터의 게이트 절연막(9) 형성을 행한 후, 게이트 전극(6)을 형성하기 위해, 2000 내지 5000Å의 다결정 실리콘막을 퇴적시키고,  $1 \times 10^{19}/\text{cm}^3$  이상의 불순물 농도가 되도록, 고농도의 불순물 주입을 이온 주입법, 혹은 열화산법으로 행하고, 그 후 포토리소그래피 기술 및 드라이 에칭 기술을 이용하여 원하는 형상으로 가공한다(도 9(2)).
- [0124] 다음에, 저내압 NMOS 트랜지스터의 드레인/소스 간의 전계 완화를 목적으로 한 제1의 N형 저농도 불순물 영역(18)의 형성, 및 저내압 PMOS 트랜지스터의 드레인/소스 간의 전계 완화를 목적으로 한 P형 저농도 불순물 영역(20)의 형성을 행한다. 각각의 조건은, 원하는 동작 전압에 따라 결정하지만,  $2 \times 10^{12}/\text{cm}^2$  내지  $2 \times 10^{14}/\text{cm}^2$  정

도의 도즈량의 N형 및 P형 불순물의 주입을 이온 주입법으로 행한다.

[0125] 다음에, 저내압 NMOS 트랜지스터 및 고내압 NMOS 트랜지스터의 드레인/소스 단자를 취출하기 위한 N형 고농도 불순물 영역(17)의 형성, 및 저내압 PMOS 트랜지스터의 드레인/소스 단자를 취출하기 위한 P형 고농도 불순물 영역(23)의 형성을,  $2 \times 10^{15}/\text{cm}^2$  이상의 도즈량의 이온 주입법으로 주입함으로써 행한다(도 9(3)).

[0126] 다음에 도시하지 않지만, 전체에 산화막으로 이루어지는 절연막을 퇴적시키고, 각각의 MOS 트랜지스터의 단자 전극을 취출하기 위해 소정의 위치에 드라이 에칭 기술을 이용하여 컨택트홀을 형성하고, 다음에 그들 단자에 전위를 부여하기 위한 금속 배선을 형성하기 위해, 알루미늄으로 이루어지는 금속막을 스퍼터링법으로 퇴적시킨 후, 드라이 에칭 기술로 가공 형성을 실시한다.

[0127] 이상과 같은 제1의 실시예의 제조 방법으로 함으로써, N형 반도체 기판을 이용하면서, 30V 이상의 내압과 정전기 노이즈 등에 의한 발열 파괴 내량의 확보를 양립시킨 고내압 NMOS 트랜지스터를 가지는 반도체 집적회로를 제작할 수 있다.

[0128] [실시예 5]

[0129] 다음에, 본 발명의 제2의 실시예를 실현하기 위한 제조 방법을, 도 10 내지 12의 공정 플로우를 나타내는 단면도를 이용하여 설명한다.

[0130] 우선, 인을  $3 \times 10^{14}/\text{cm}^3$  내지  $8 \times 10^{14}/\text{cm}^3$ 의 농도로 함유하는 N형 반도체 기판(7)에 대해, 열산화법에 의한 실리콘 산화막(24)의 형성, LPCVD법에 의한 실리콘 질화막(25)의 퇴적을 행하는 것은 제1의 실시예의 제조 방법과 동일하다(도 10(1)).

[0131] 다음에, N형 웰 영역 형성 예정 영역의 실리콘 질화막을 제거하고, 노출된 실리콘 산화막을 통해,  $3 \times 10^{12}/\text{cm}^2$  내지  $3 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 N형 불순물 인을 이온 주입법에 의해 주입하고, 그 후 포토레지스트를 박리한다(도 10(2)). 여기서 형성하는 N형 웰 영역(21)은, 저내압 PMOS 트랜지스터 및 고내압 PMOS 트랜지스터뿐만 아니라, 제2의 고내압 NMOS 트랜지스터의 드레인 영역(15)이 되는 드레인 영역 형성 예정 영역에도 추가로 행하는 것이 제1의 실시예와 상이하다.

[0132] 다음에, 열산화법에 의해, N형 웰 영역 형성 예정 영역에 1000 내지 3000Å의 실리콘 산화막을 형성하고, 질화막을 제거한 후 이 실리콘 산화막을 마스크로 하고,  $2 \times 10^{12}/\text{cm}^2$  내지  $1 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 봉소 혹은 BF<sub>2</sub>의 P형 불순물을 이온 주입법에 의해 영역(5)에 주입한다(도 10(3)).

[0133] 다음에, 제1의 고내압 NMOS 트랜지스터의 제3의 N형 저농도 불순물 영역을 형성하는 예정 영역(14A)에 포토레지스트를 마스크로 하고 실리콘 산화막을 통해,  $8 \times 10^{12}/\text{cm}^2$  내지  $7 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 N형 불순물의 비소를 이온 주입법에 의해 주입한다(도 11(1)).

[0134] 다음에, 1170°C 내지 1200°C의 온도에서 15시간 내지 20시간 정도의 시간의 열처리로 이들 N형 및 P형 불순물을 동일하게 확산시키고, 원하는 확산 깊이의 N형 웰 영역, 제1의 P형 웰 영역, 제3의 P형 웰 영역, 제3의 N형 저농도 불순물 영역을 얻는다(도 11(2)).

[0135] 이와 같이, 제1의 고내압 NMOS 트랜지스터와 제2의 고내압 NMOS 트랜지스터의 드레인 영역의 깊은 확산을 구분하여 만들지만, 제2의 고내압 NMOS 트랜지스터의 제4의 N형 저농도 불순물 영역을 N형 웰 영역과 겸용함으로써, 제1의 실시예에 대해 제조 공정의 증가 없이 제2의 실시예를 실현할 수 있다.

[0136] 이하, 제2의 N형 저농도 불순물 영역의 형성(도 11(3)), 제2의 N형 저농도 불순물 영역 상의 절연막 및 소자 분리 절연막의 형성(도 12(1)), 게이트 절연막 및 게이트 전극의 형성(도 12(2)), 저내압 MOS 트랜지스터 및 고내압 MOS 트랜지스터의 드레인/소스 영역의 형성(도 12(3))과, 도시하지 않지만, 컨택트홀이나 금속 배선의 형성 등을 거쳐, 반도체 집적회로 장치를 완성시킨다.

[0137] 이상과 같은 제2의 실시예의 제조 방법으로 함으로써, N형 반도체 기판을 이용하면서, 30V 이상, 또한 회로 구성의 고안에 의해 50V 이상의 내압과, 정전기 노이즈 등에 의한 발열 파괴 내량의 확보를 양립시킨 제1의 고내압 NMOS 트랜지스터에 더하여, 전원 단자와 그라운드 단자의 사이의 보호 소자로서 소요 면적을 더 저감한 제2의 고내압 NMOS 트랜지스터를 가지는 반도체 집적회로 장치를 제작할 수 있다.

## [0138] [실시예 6]

[0139] 다음에, 본 발명의 제3의 실시예를 실현하기 위한 제조 방법을, 도 13 내지 15의 공정 흐름을 나타내는 단면도를 이용하여 설명한다.

[0140] 우선, 제2의 실시예와 마찬가지로, N형 반도체 기판에 대한 실리콘 산화막, 실리콘 질화막의 형성(도 13(1)), N형 웨이 영역 예정 영역의 실리콘 질화막을 제거하고, 노출된 실리콘 산화막을 통해, N형 웨이 영역 형성을 위한 N형 불순물인 인을 이온 주입법에 의해 주입하고(도 13(2)), 그 후 포토레지스트를 박리한다. 계속해서 열산화법에 의해, N형 웨이 영역 예정 영역에 실리콘 산화막을 형성하고, 질화막을 제거한 후 이 실리콘 산화막을 마스크로 하고, 그 외의 영역(5A)에 봉소 혹은 BF<sub>2</sub>의 P형 불순물을 이온 주입법에 의해 주입하고, 제1의 P형 웨이 영역 형성을 위한 P형 불순물 주입(도 13(3))을 행한다. 이상과 같은 제1의 셀프 얼라인 트윈 웨이 프로세스에 의해, 1개의 포토마스크만으로 제1의 P형 웨이 영역과 N형 웨이 영역을 정확하게 인접해서 형성할 수 있다.

[0141] 그 후의 도 14(1) 내지 (3)의 공정이 제3의 실시예 특유의 제조 방법이 된다.

[0142] 도 13(3)에 이어서, 실리콘 질화막(25)을 LPCVD법에 의해 퇴적시키고, 제3의 N형 저농도 불순물 영역을 형성하는 예정 영역(14A)의 실리콘 질화막을 포토리소그래피 기술 및 드라이 에칭 기술로 개구하여, 실리콘 질화막 및 포토레지스트를 마스크로 하고 노출된 실리콘 산화막을 통해,  $8 \times 10^{12}/\text{cm}^2$  내지  $7 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 N형 불순물의 비소를 이온 주입법에 의해 주입하고, 그 후 포토레지스트를 박리한다(도 14(1)).

[0143] 다음에 열산화법에 의해, 남겨진 질화막을 마스크로 하고 선택적으로 제3의 N형 저농도 불순물 영역 예정 영역에 1000 내지 3000Å의 실리콘 산화막을 형성한다. 그 후, 질화막을 제거한 후, 앞의 1000 내지 3000Å의 실리콘 산화막을 마스크로 하고,  $5 \times 10^{12}/\text{cm}^2$  내지  $2 \times 10^{13}/\text{cm}^2$  정도의 도즈량의 봉소 혹은 BF<sub>2</sub>의 P형 불순물을 이온 주입법에 의해 주입한다. 이 주입 영역은 제1의 P형 웨이 영역 형성을 위한 P형 불순물 주입에 더하여, 거듭해서 P형 불순물을 주입함으로써, 제1의 P형 웨이 영역보다 불순물 농도가 높은 제2의 P형 웨이 영역(8)을 형성하고 있다(도 14(2)). 또, 제3의 N형 저농도 불순물 영역 형성 예정 영역 상에 더하여, N형 웨이 형성 예정 영역 상에도 1000 내지 3000Å의 실리콘 산화막이 남겨진 채이므로, 여기에 P형 불순물이 침입하는 일은 없다.

[0144] 이상과 같은 제2의 셀프 얼라인 트윈 웨이 프로세스를 채용함으로써, 제2의 P형 웨이 영역과 제3의 N형 저농도 불순물 영역도 정확하게 인접해서 형성할 수 있다.

[0145] 다음에, 1170°C · 20시간 정도의 열처리로 이를 N형 및 P형 불순물을 확산시키고, 원하는 확산 깊이의 N형 웨이 영역, 제1의 P형 웨이 영역, 제2의 P형 웨이 영역, 제3의 N형 저농도 불순물 영역을 얻는다(도 14(3)).

[0146] 이 때, 제2의 P형 웨이 영역과 N형 웨이 영역은, 도 14(2)와 같이 인접해서 형성하고, 그대로 확산되므로 양자의 접합 위치가 바뀌는 일은 없다. 또한 제2의 P형 웨이 영역과 제3의 N형 저농도 불순물 영역도 인접해서 형성되고, 그대로 확산되므로 양자의 접합 위치가 바뀌는 일은 없다. 그 때문에 본 실시예에 있어서 이러한 제조 공정을 채용함으로써, 각 불순물 영역의 사이즈가 바뀌는 일 없이, 고정밀의 사이즈 및 위치 규정을 실현할 수 있다.

[0147] 또, 이온 주입법에 의해 형성하는 제1의 P형 웨이 영역과 제2의 P형 웨이 영역의 겹침 영역은, 상기의 고온 장시간 열처리 전에 있어서는, 불순물 농도가 연한 제1의 P형 웨이 영역이 반도체 기판 표면에서 깊게까지 형성되고, 불순물 농도가 진한 제2의 P형 웨이 영역이 얕게 형성되어 있기 때문에, 2단계 스텝형상의 깊이 방향 농도 프로파일이 형성되지만, 고온 장시간 열처리에 의해 확산한 결과, 이러한 깊이 방향의 농도 프로파일의 불균일성은 해소된다.

[0148] 이상의 공정을 거친으로써, 인으로 이루어지며 N형 불순물 농도가  $8 \times 10^{15}/\text{cm}^3$  내지  $4 \times 10^{16}/\text{cm}^3$ 인 불순물 농도의 값이며, 반도체 기판 표면에서 7μm 내지 10μm까지의 확산 깊이의 N형 웨이 영역과, 봉소 혹은 BF<sub>2</sub>로 이루어지며 P형 불순물 농도가  $8 \times 10^{15}/\text{cm}^3$  내지  $4 \times 10^{16}/\text{cm}^3$ 의 사이의 값이며, 반도체 기판 표면에서 7μm 내지 10μm까지의 확산 깊이의 P형 웨이 영역과, 비소로 이루어지며  $2 \times 10^{16}/\text{cm}^3$  내지  $1 \times 10^{18}/\text{cm}^3$ 의 불순물 농도의 값이며, 반도체 기판 표면에서 2μm 내지 3.5μm의 깊이의 제3의 N형 저농도 불순물 영역을 형성할 수 있다.

[0149] 이어지는 도 15(1) 내지 (3)의 공정에 대해서는, 제1, 제2의 실시예와 동일한 제조 방법을 채용한다. 즉, 제2의 N형 저농도 불순물 영역의 형성 및, 제2의 N형 저농도 불순물 영역 상의 절연막과 소자 분리 절연막의 형성(도 15(1)), 게이트 절연막 및 게이트 전극의 형성(도 15(2)), 저내압 MOS 트랜지스터 및 고내압 MOS 트랜지스

터의 드레인/소스 영역의 형성(도 15(3))과, 도시하지 않지만, 컨택트홀이나 금속 배선의 형성 등을 거쳐, 반도체 집적회로 장치를 완성시킨다.

[0150] 이상의 설명에 있어서는 특히 N형 웰 영역의 조건에 대해서는 제1, 제2의 실시예와 동일하게 하고 있었지만, 제1의 P형 웰 영역보다 불순물 농도가 진해지는 제2의 P형 웰 영역의 불순물 농도에 맞추어, N형 웰 영역의 불순물 농도를 진하게 해도 상관없다. N형 웰 영역의 불순물 농도를 진하게 함으로써, 저내압 MOS 트랜지스터를 탑재하는 제2의 P형 웰 영역과의 PN접합 내압의 저하가 발생하지만, 본 실시예는 제1, 제2의 실시예와 달리 저내압 MOS 트랜지스터의 동작 전압을 6V 이하로 저하시키고 있으므로 문제는 되지 않는다. 한편, N형 웰 영역의 불순물 농도를 진하게 함으로써 저내압 PMOS 트랜지스터의 편치스루 현상에 의한 내압의 저하 등의 단채널 효과가 억제되며, 그 최소 게이트 길이를, 저내압 NMOS 트랜지스터와 합하여,  $0.5\mu m$ 로 할 수 있다는 장점을 향수할 수 있다.

[0151] 한편, 제2의 고내압 NMOS 트랜지스터도 채널 영역을 구성하는 P형 웰 영역의 농도가 진해지는 것에 대한, 제2의 고내압 NMOS 트랜지스터의 내압 저하의 염려는 불필요하다. 제2의 고내압 NMOS 트랜지스터의 내압은 제2의 N형 저농도 불순물 영역의 조건에 의해 제약되므로, 제2의 고내압 NMOS 트랜지스터에 본 발명의 제3의 실시예를 적용하는 것에 대한 단점은 존재하지 않는다.

[0152] 또, 일반적으로  $0.5\mu m$  정도의 프로세스에 있어서는 P, N형 웰 영역의 불순물 주입 후의 고온 장시간 열처리는 10시간 이하로 하는 경우가 많다. 이것에 의해 웰 영역의 확산 깊이가 축소되어 종방향 기생 소자의 동작이 용이해져, 내압의 저하나 래치 업 현상의 빈발이 염려되지만, 실제는 P, N형 웰 영역의 불순물 농도가 진해지는 것에 더하여, 미세화에 따르는 동작 전압의 저하의 영향으로 그러한 현상을 억제된다. 한편, 본 발명의 제3의 실시예에 있어서는, 20시간 정도의 고온 열처리를 채용함으로써, 고농도이며 깊은 확산 깊이의 웰 영역을 실현하고 있다. 그 때문에, 통상의  $0.5\mu m$  프로세스에 비해 래치 업 내성이 강하고, 고농도 불순물층에 의한 가이드 릴의 설치나, 내부 회로를 외부 단자로부터의 수  $10\mu m$  이상 이격시키는 등, 래치 업 억제를 위해 설치되는 기생 소자 동작 억제를 위한 평면적인 디자인 를 마진을 축소할 수 있어, 반도체 집적회로 장치의 소요 면적의 삭감에 의한 비용 저감에 기여할 수 있다.

[0153] 이상과 같은 제3의 실시예의 제조 방법으로 함으로써, N형 반도체 기판을 이용하면서, 30V 이상, 또 회로 구성의 고안에 의해 50V 이상의 내압과, 정전기 노이즈 등에 의한 발열 파괴 내량의 확보를 양립시킨 제1의 고내압 NMOS 트랜지스터에 더하여, 전원 단자와 그라운드 단자의 사이의 보호 소자로서 소요 면적을 저감한 제2의 고내압 NMOS 트랜지스터를 가지고, 또한 저전압 출력에 수반하여 미세화한 저내압 MOS 트랜지스터와, 보다 간소화된 래치 업 룰을 가지는, 소면적 저비용화를 실현한 반도체 집적회로를 제작할 수 있다.

[0154] 이상과 동일한 구조 및 형성 방법의 본 발명은, 지금까지 서술하는 바와 같은 강압형 시리즈 레귤레이터나 전압 검출기에 한정되지 않고, N형 반도체 기판 내에 저내압 트랜지스터와 고내압 트랜지스터를 집적할 필요가 있는 다양한 반도체 집적회로 장치를 실현할 수 있다. 그 때문에, 파워 매니지먼트 IC 이외의 용도에도 본 발명을 적용할 수 있는 것은 말할 필요도 없다.

### 부호의 설명

5 제1의 P형 웰 영역 6 게이트 전극

7 N형 반도체 기판 8 제2의 P형 웰 영역

9 게이트 절연막 13 LOCOS 절연막

14 제3의 N형 저농도 불순물 영역 15 제4의 N형 저농도 불순물 영역

17 N형 고농도 불순물 영역 18 제1의 N형 저농도 불순물 영역

19 제2의 N형 저농도 불순물 영역 20 P형 저농도 불순물 영역

21 N형 웰 영역 23 P형 고농도 불순물 영역

24 실리콘 산화막 25 실리콘 질화막

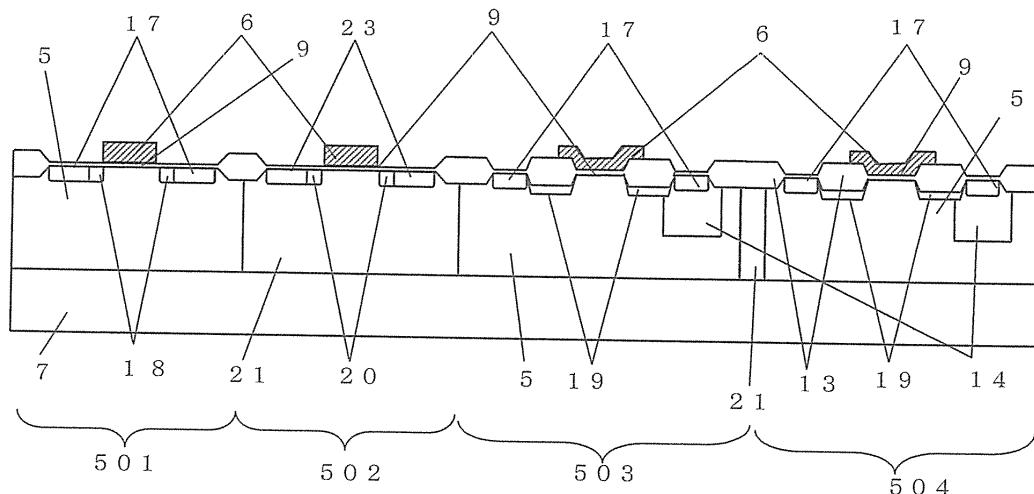
103 분압 회로 105 그라운드 단자

106 전원 단자 107 출력 단자

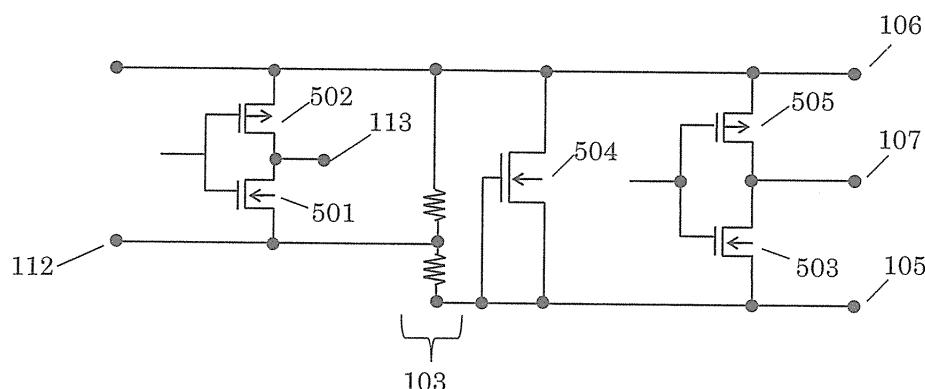
- 112 내부 저전압용 그라운드 단자 113 저전압 출력 단자  
 501 저내압 NMOS 트랜지스터 502 저내압 PMOS 트랜지스터  
 503 제1의 고내압 NMOS 트랜지스터 504 제2의 고내압 NMOS 트랜지스터  
 505 고내압 PMOS 트랜지스터

### 도면

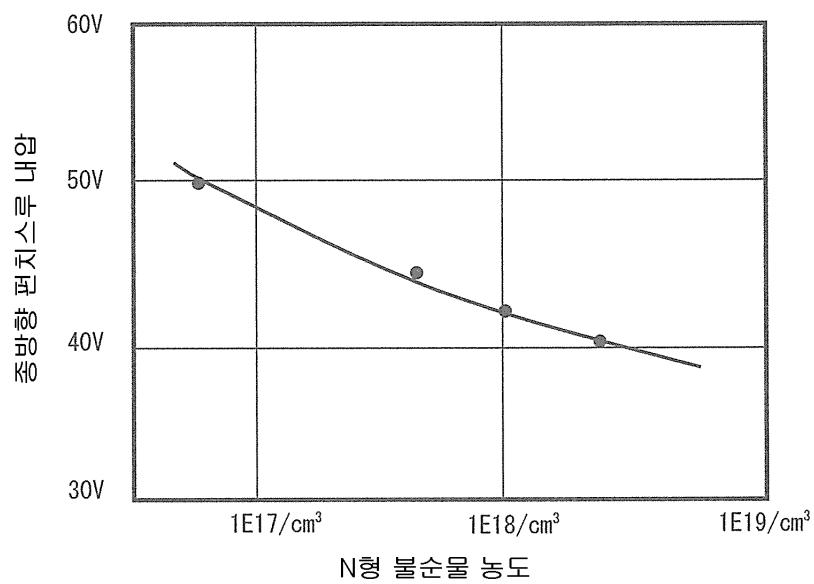
#### 도면1



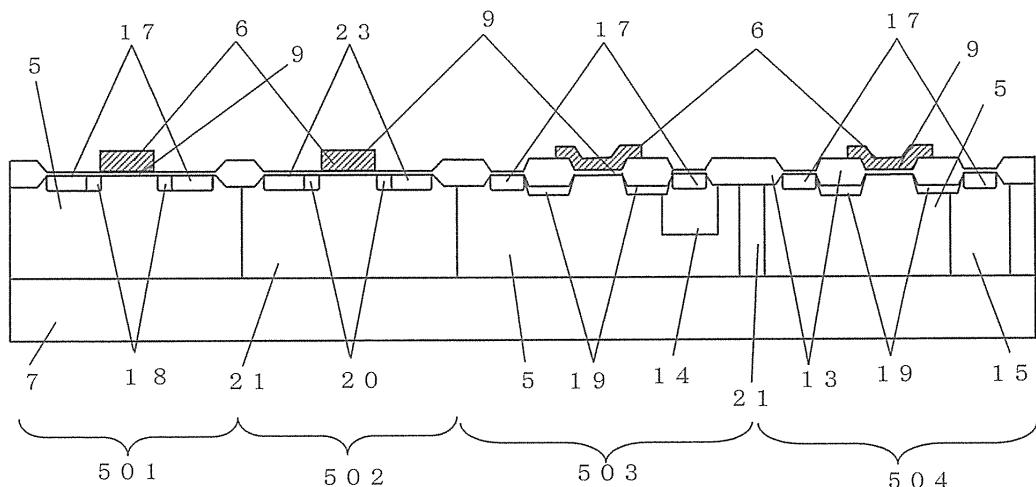
#### 도면2



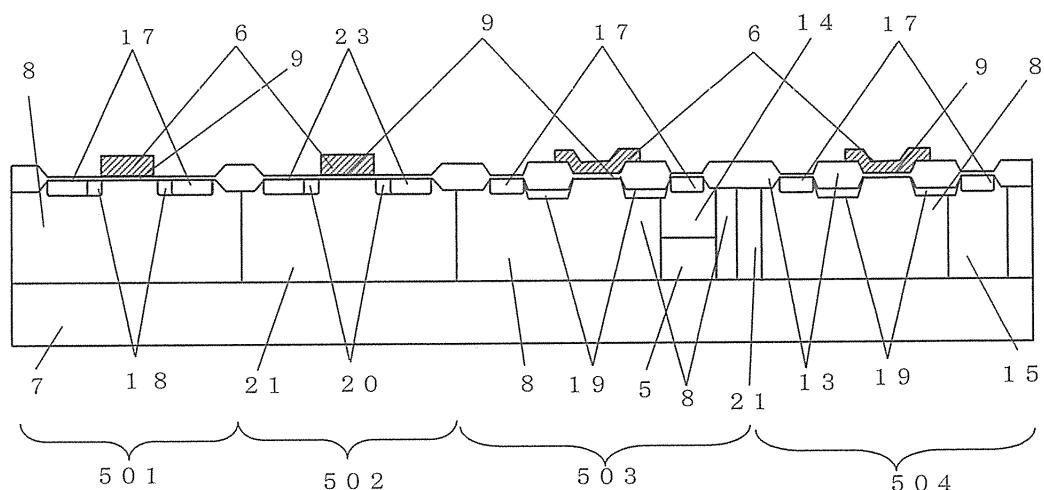
도면3



도면4

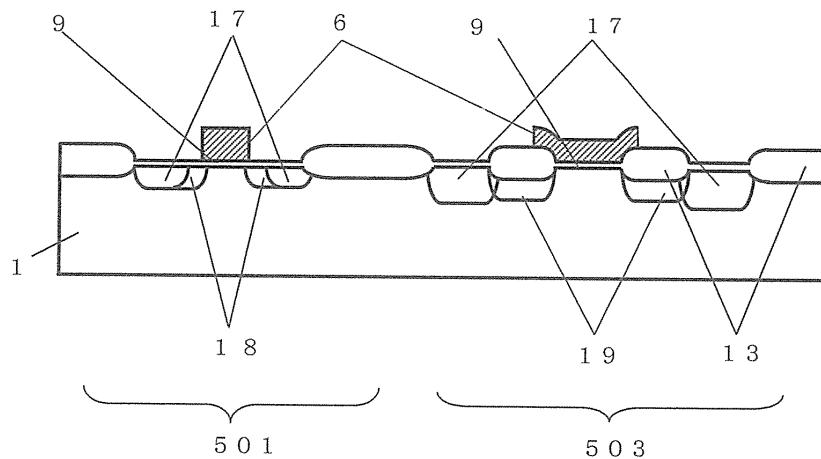


도면5

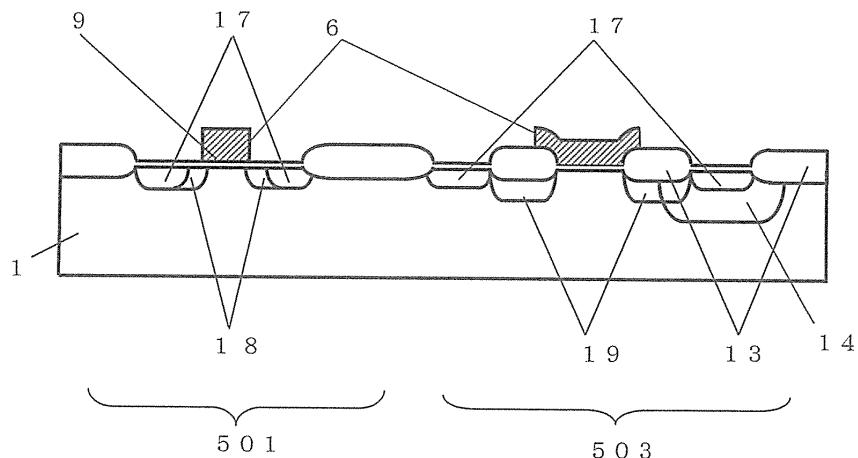


도면6

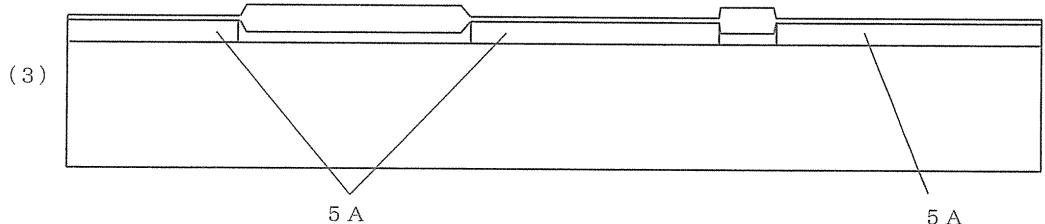
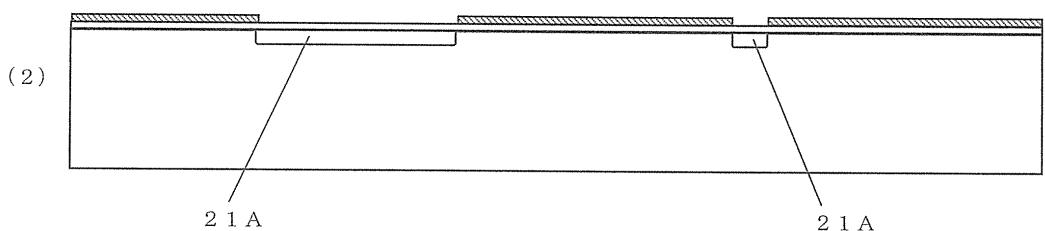
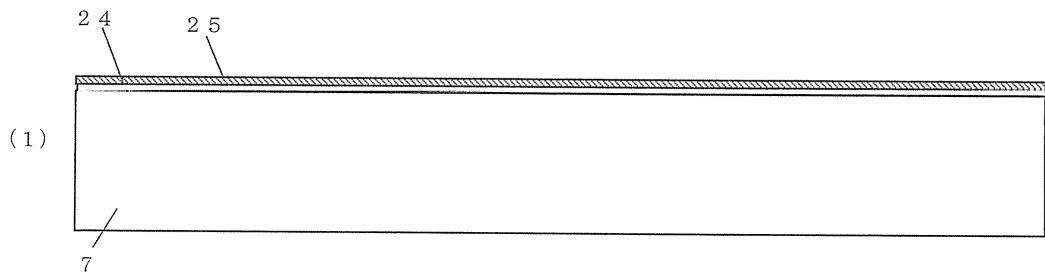
(1)



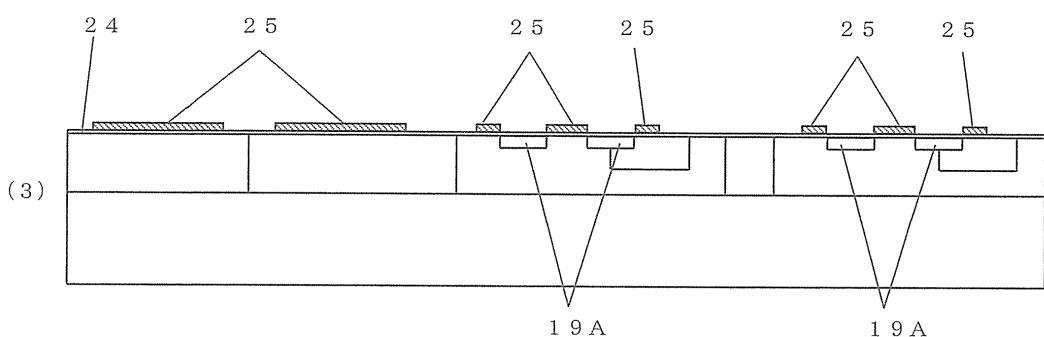
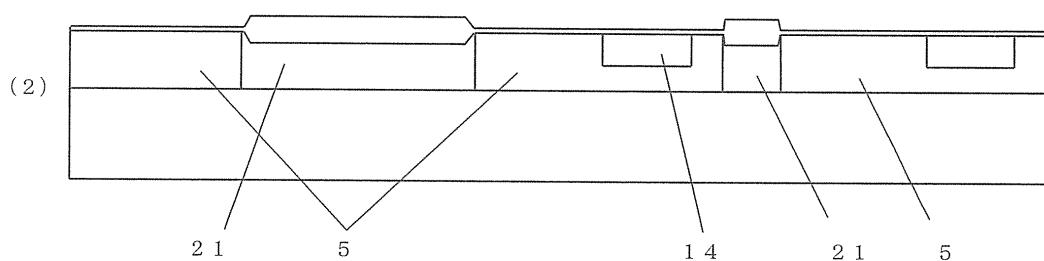
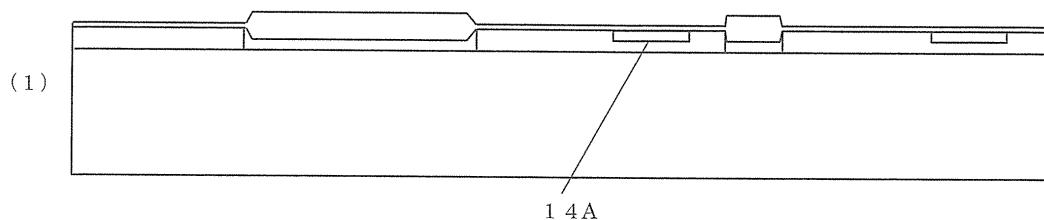
(2)



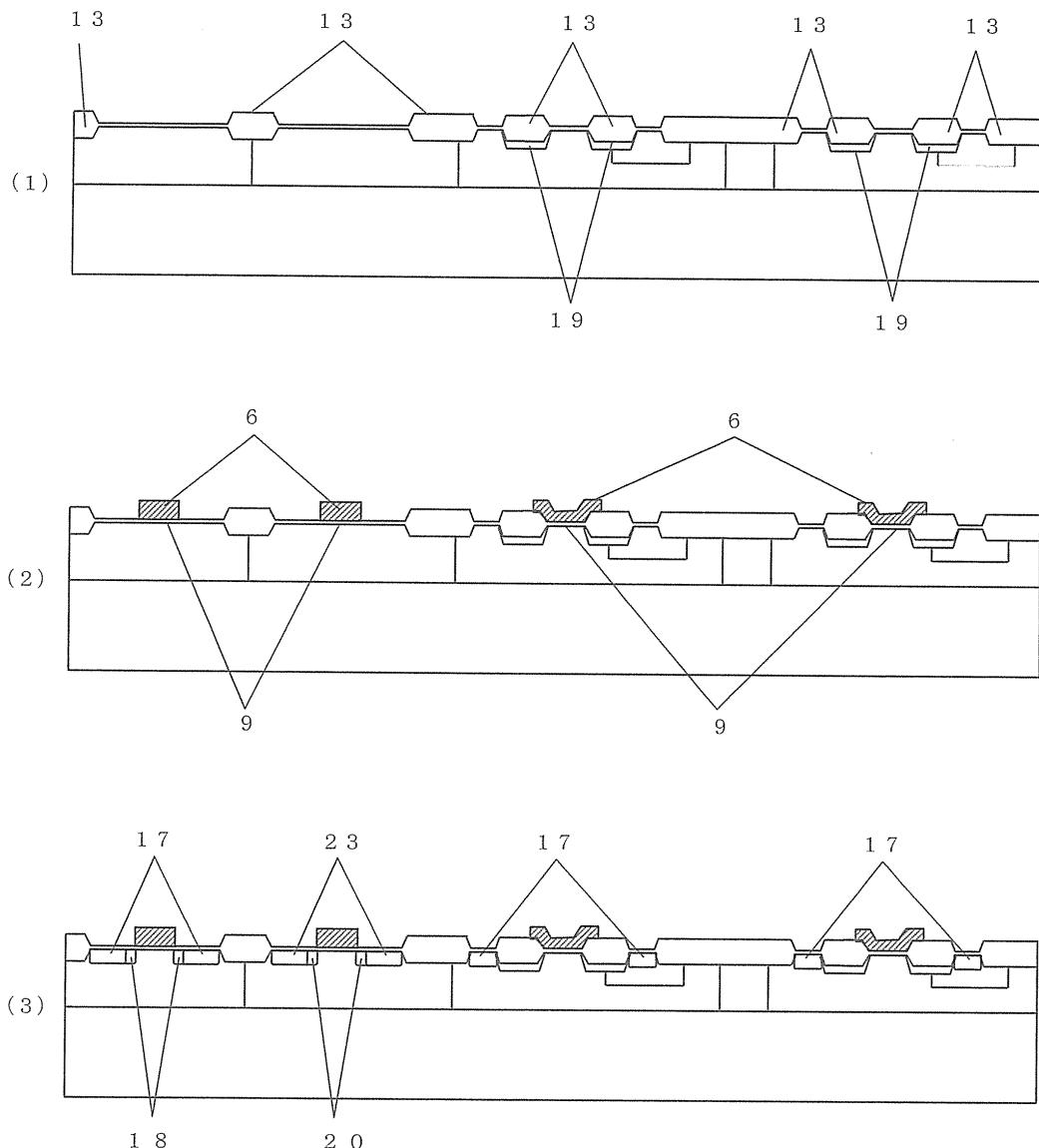
도면7



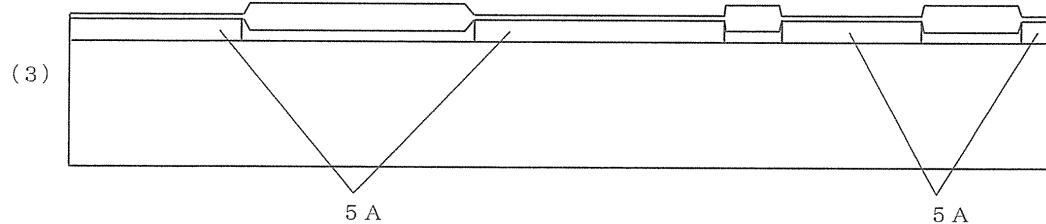
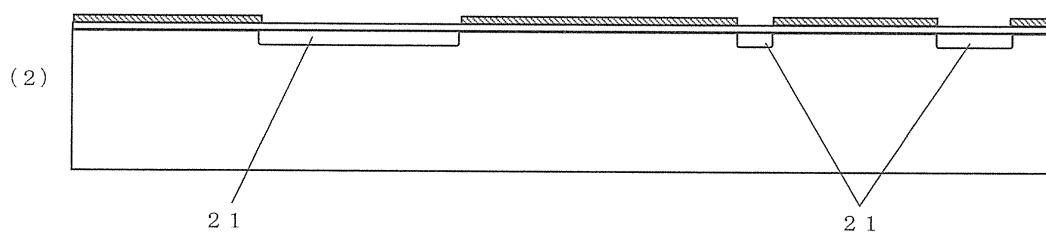
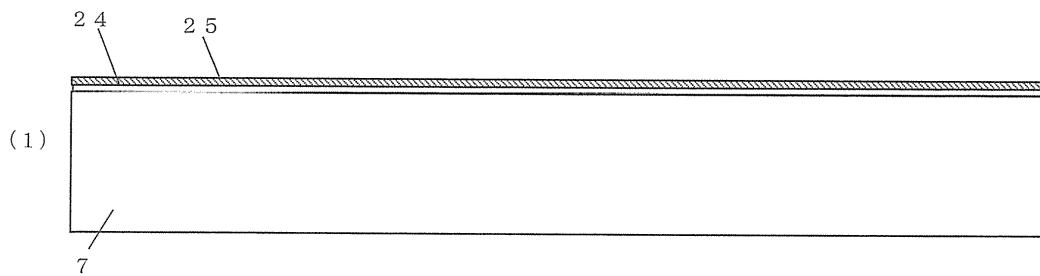
## 도면8



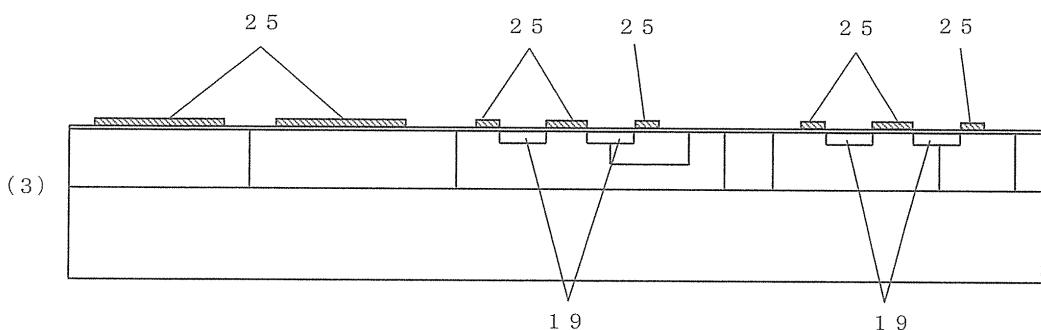
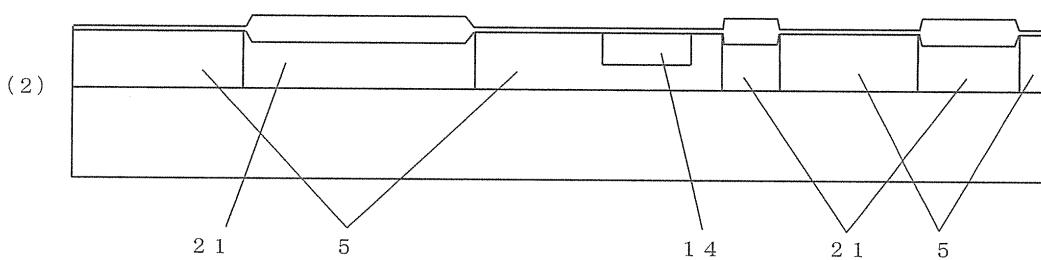
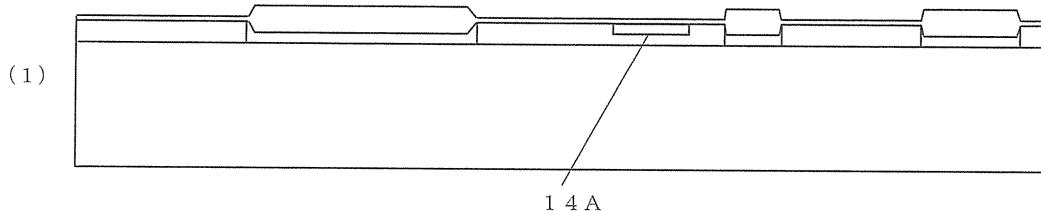
## 도면9



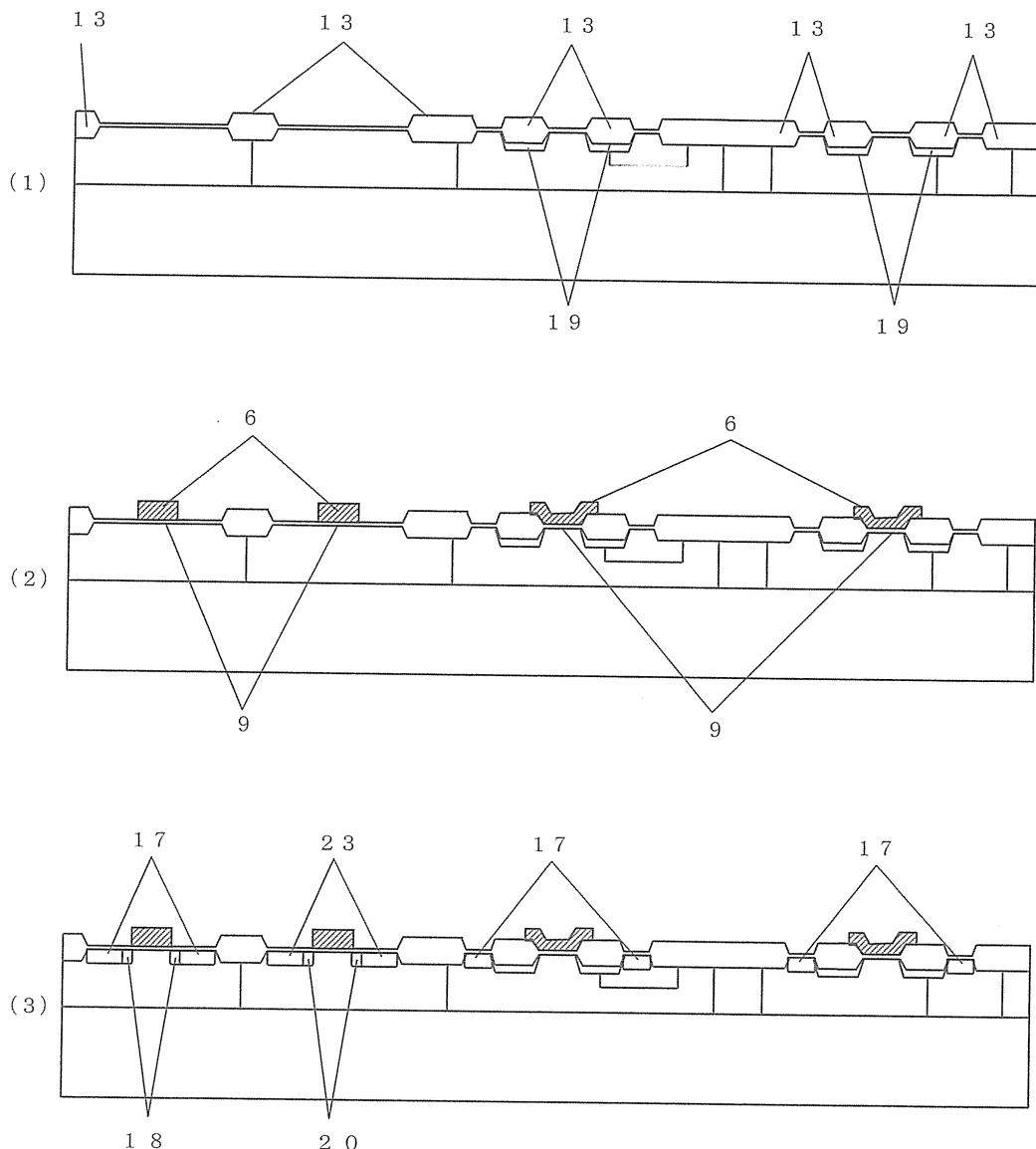
도면10



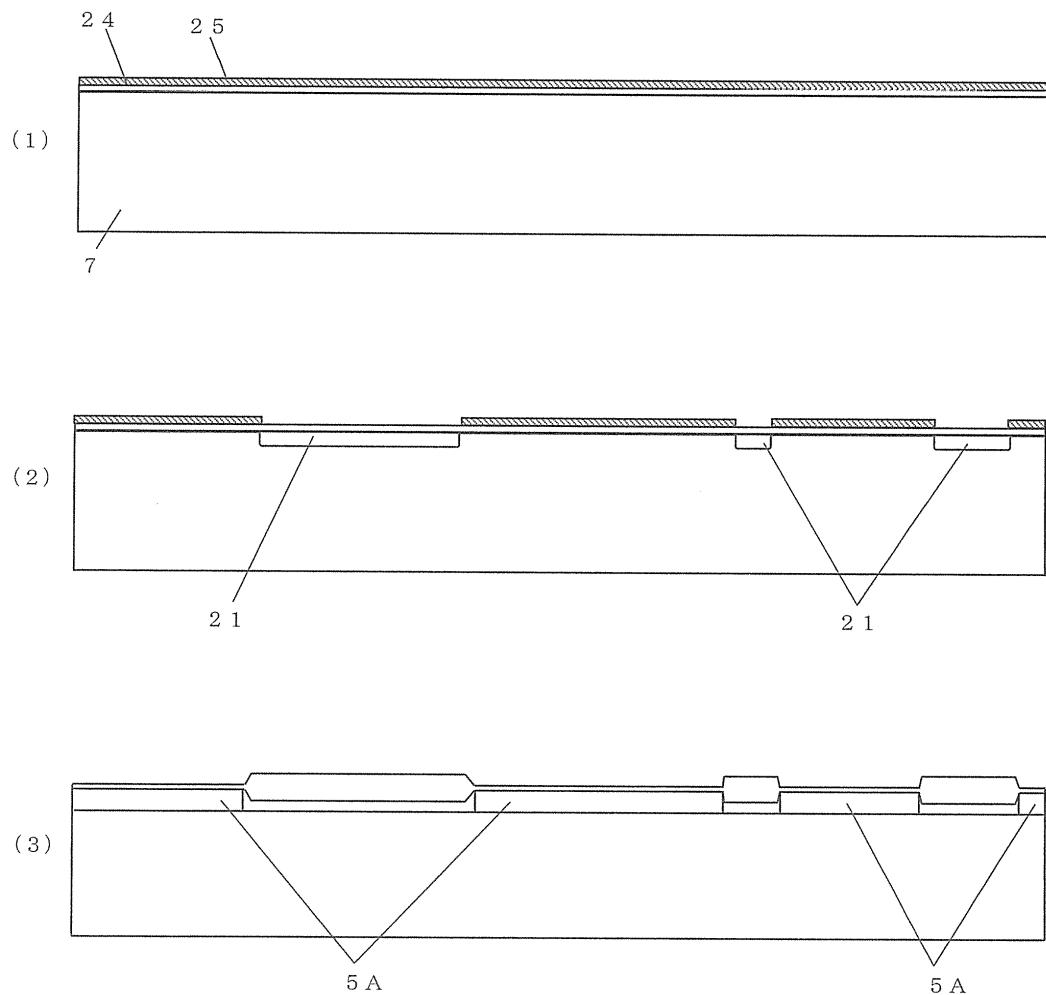
## 도면11



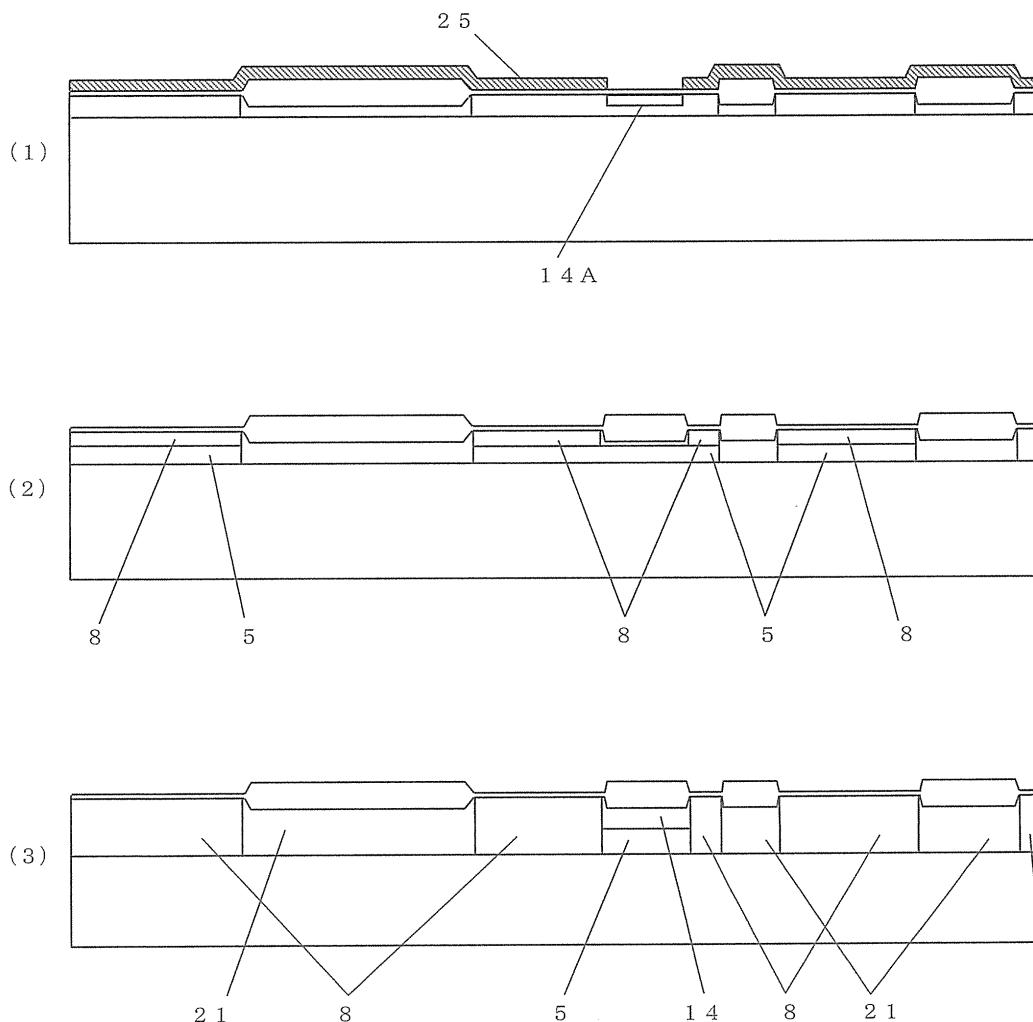
## 도면12



도면13



## 도면14



## 도면15

