

WO 2024/176785 A1



CORPORATION); 〒1600022 東京都新宿
区新宿 1 丁目 1 5 番 9 号 さわだビル 3 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の一実施の形態の発光装置は、駆動回路基板と、光出射面となる第1の面および第1の面とは反対側の、駆動回路基板と対向する第2の面を有し、複数の画素がアレイ状に配置された画素アレイ部を有すると共に、画素毎にメサ構造を有する発光素子が2つ以上の配置されている素子基板とを備える。

明 細 書

発明の名称：発光装置および画像表示装置

技術分野

[0001] 本開示は、発光装置およびこれを備えた画像表示装置に関する。

背景技術

[0002] 例えば、特許文献1では、複数の開口部を有するマスク層によって結晶成長基板を覆い、有機金属化学気相成長（MOCVD）法を用いて第1導電型の第1半導体層および第2導電型の第2半導体層を有する1本または複数本の半導体ロッドを選択成長させることで形成したマイクロLEDが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2020／136848号

発明の概要

[0004] ところで、発光装置では、微細化と高輝度化との両立が求められている。

[0005] 微細化と高輝度化とを両立可能な発光装置および画像表示装置を提供することが望ましい。

[0006] 本開示の一実施形態の発光装置は、駆動回路基板と、光出射面となる第1の面および第1の面とは反対側の、駆動回路基板と対向する第2の面を有し、複数の画素がアレイ状に配置された画素アレイ部を有すると共に、画素毎にメサ構造を有する発光素子が2つ以上の配置されている素子基板とを備えたものである。

[0007] 本開示の一実施形態の画像表示装置は、発光装置を備えたものであり、発光装置として、上記本開示の一実施形態の発光装置を有する。

[0008] 本開示の一実施形態の発光装置および一実施形態の画像表示装置では、画素毎にメサ構造を有する発光素子を2つ以上配置するようにした。これにより、各画素に冗長性を付与する。

図面の簡単な説明

[0009] [図1] 図 1 は、本開示の実施の形態に係る発光装置の構成の一例を表す断面模式図である。

[図2] 図 2 は、図 1 に示した発光装置の全体の平面構成の一例を表す模式図である。

[図3] 図 3 は、図 2 に示した発光装置の平面構成の一部を拡大した模式図である。

[図4] 図 4 は、図 1 に示した発光装置の各画素における発光素子の配置の一例を表す平面模式図である。

[図5] 図 5 は、図 1 に示した発光装置における各画素の輝度の制御方法の一例を説明する図である。

[図6] 図 6 は、図 1 に示した発光装置における各画素の輝度の制御方法の他の例を説明する図である。

[図7A] 図 7 A は、図 1 に示した発光装置の製造工程の一例を説明する断面模式図である。

[図7B] 図 7 B は、図 7 A に続く工程を表す断面模式図である。

[図7C] 図 7 C は、図 7 B に続く工程を表す断面模式図である。

[図7D] 図 7 D は、図 7 C に続く工程を表す断面模式図である。

[図7E] 図 7 E は、図 7 D に続く工程を表す断面模式図である。

[図7F] 図 7 F は、図 7 E に続く工程を表す断面模式図である。

[図7G] 図 7 G は、図 7 F に続く工程を表す断面模式図である。

[図7H] 図 7 H は、図 7 G に続く工程を表す断面模式図である。

[図7I] 図 7 I は、図 7 H に続く工程を表す断面模式図である。

[図8A] 図 8 A は、図 7 F に続く工程を表す断面模式図である。

[図8B] 図 8 B は、図 8 A に続く工程を表す断面模式図である。

[図8C] 図 8 C は、図 8 B に続く工程を表す断面模式図である。

[図8D] 図 8 D は、図 8 C に続く工程を表す断面模式図である。

[図8E] 図 8 E は、図 8 D に続く工程を表す断面模式図である。

[図8F]図8 F は、図8 E に続く工程を表す断面模式図である。

[図8G]図8 G は、図8 F に続く工程を表す断面模式図である。

[図8H]図8 H は、図8 G に続く工程を表す断面模式図である。

[図8I]図8 I は、図8 H に続く工程を表す断面模式図である。

[図8J]図8 J は、図8 I に続く工程を表す断面模式図である。

[図8K]図8 K は、図8 J に続く工程を表す断面模式図である。

[図8L]図8 L は、図8 K に続く工程を表す断面模式図である。

[図8M]図8 M は、図8 L に続く工程を表す断面模式図である。

[図8N]図8 N は、図8 M に続く工程を表す断面模式図である。

[図9]図9 は、比較例としての一般的な発光装置における各画素の補正前の輝度（A）および補正後の輝度（B）を説明する図である。

[図10]図10 は、一般的な発光装置における各発光素子の輝度と各画素の輝度との関係を説明する図である。

[図11]図11 は、図1 に示した発光装置における各発光素子の輝度と各画素の輝度との関係を説明する図である。

[図12]図12 は、図1 に示した発光装置の各画素における補正前の各発光素子の輝度（A）および補正後の各発光素子の輝度（B）を説明する図である。

[図13]図13 は、本開示の変形例に係る発光装置の全体の平面構成の一例を表す模式図である。

[図14]図14 は、図13 に示した発光装置の平面構成の一部を拡大した模式図である。

[図15]図15 は、本開示の適用例に係る画像表示装置の構成の一例を表す斜視図である。

[図16]図16 は、図15 に示した画像表示装置の配線レイアウトの一例を表す模式図である。

[図17]図17 は、本開示の適用例に係る画像表示装置の構成の一例を表す斜視図である。

[図18]図18は、図17に示した実装基板の構成を表す斜視図である。

[図19]図19は、図18に示したユニット基板の構成を表す斜視図である。

[図20]図20は、本開示の適用例に係る画像表示装置の例を表す図である。

発明を実施するための形態

[0010] 以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 第1の実施の形態（1つの画素に複数の発光素子を配置した発光装置の例）

1-1. 発光装置の構成

1-2. 発光装置の製造方法

1-3. 作用・効果

2. 変形例（発光装置の他の例）

3. 適用例

[0011] <1. 実施の形態>

図1は、本開示の一実施の形態に係る発光装置（発光装置1）の断面構成の一例を模式的に表したものである。図2は、図1に示した発光装置1の全体の平面構成の一例を模式的に表したものである。発光装置1は、所謂LEDディスプレイと呼ばれる画像表示装置（例えば、画像表示装置100、図15参照）に好適に適用可能なものである。

[0012] （1-1. 発光装置の構成）

発光装置1は、素子基板10と駆動回路基板30とがハイブリッド接合されたものである。発光装置1は、例えば図3に示したように、例えば矩形形状を有する複数の画素（例えば、赤色画素Pr、緑色画素Pgおよび青色画素Pb）が2次元アレイ状に配置された表示領域100Aと、その周囲に設けられたフレーム領域100Bとを有している。素子基板10は、光出射面

となる面10S1および面10S1とは反対側の面10S2とを有し、駆動回路基板30は、素子基板10の面10S2側に積層されている。駆動回路基板30は、素子基板10と対向する面30S1および面30S1とは反対側の面30S2を有し、表示領域100Aに配置された複数の発光素子11の駆動を制御する駆動回路等が設けられたものである。本実施の形態では、色画素Pr、Pg、Pb毎に、メサ構造を有する発光素子11が2つ以上（例えば、4つ）配置されている。

[0013] 本実施の形態では、素子基板10が、本開示の実施の形態における「素子基板」の一具体例に相当するものであり、面10S1が本開示の実施の形態における「第1の面」に、面10S2が本開示の実施の形態における「第2の面」に相当する。また、表示領域100Aが、本開示の実施の形態における「画素アレイ部」の一具体例に相当するものであり、赤色画素Pr、緑色画素Pgおよび青色画素Pbが、本開示の実施の形態における「複数の画素」の一具体例に相当する。駆動回路基板30が、本開示の実施の形態における「駆動回路基板」の一具体例に相当するものである。

[0014] 素子基板10は、表示領域100Aに延在する化合物半導体層110（図7A参照）を分離してなる複数の発光素子11を有している。複数の発光素子11は、例えば図4に示したように、略円形の平面形状を有し、表示領域100Aに、例えば行方向（例えば、X軸方向）および列方向（例えば、Y軸方向）にアレイ状に配置されている。これら行方向および列方向にアレイ状に配置された複数の発光素子11のうち、例えば2行×2列に配置された4つの発光素子が、各色画素Pr、Pg、Pbそれぞれに配置されている。複数の発光素子11の光取り出し面（面11S1）側には、例えば、複数の発光素子11に連続する電極層12が形成されている。複数の発光素子11の面11S2側には、素子毎に設けられた電極層115、絶縁層116および保護層117と、複数の発光素子11に連続する絶縁膜118Aおよび反射膜118Bとが形成されている。素子基板10は、さらに、駆動回路基板30側に、複数の発光素子11を面10S2側から埋設する埋込層119と

、絶縁層 17, 18 とを有している。埋込層 119 は素子毎に設けられたプラグ 15 を、絶縁層 17 は表示領域 100A において素子毎に設けられたパッド部 16A およびフレーム領域 100B に設けられたパッド電極 16B を有している。絶縁層 18 は、駆動回路基板 30 との接合面を形成し、素子基板 10 と駆動回路基板 30 とを電氣的、且つ、物理的に貼り合わせる複数のパッド部 19 を有している。

[0015] 発光素子 11 は、本開示の実施の形態における「発光素子」の一具体例に相当するものである。発光素子 11 は、所定の波長帯域の光を面 11S1 から発する固体発光素子であり、例えば、LED (Light Emitting Diode) チップである。LED チップとは、結晶成長に用いたウェハから切り出した状態のものを指しており、成形した樹脂等で覆われたパッケージタイプのものではないことを指している。LED チップは、例えば 5 μm 以上 100 μm 以下のサイズとなっており、いわゆるマイクロ LED と呼ばれるものである。

[0016] 発光素子 11 は、第 1 導電型層 111、活性層 112 および第 2 導電型層 113 がこの順に積層されており、第 2 導電型層 113 の上面が光出射面（面 11S1）となっている。

[0017] 第 1 導電型層 111 は、例えば n 型の GaN 系の半導体材料により形成されている。活性層 112 は、例えば InGa_xN_{1-x} と GaN とが交互に積層された多重量子井戸構造を有し、層内に発光領域を有している。活性層 112 からは、例えば、430 nm 以上 500 nm 以下の青色帯域の光が取り出される。活性層 112 からは、この他、例えば紫外領域に対応する波長の光（紫外光）が取り出されてもよい。第 2 導電型層 113 は、例えば p 型の GaN 系半導体材料により形成されている。

[0018] 電極層 12 は、複数の発光素子 11 に対する共通電極として、複数の発光素子 11 それぞれの面 11S1 に連続形成されている。電極層 12 は、第 2 導電型層 113 とオーミック接触しており、例えば、酸化亜鉛 (ZnO)、ITO、インジウム亜鉛酸化物 (IZO)、酸化錫 (SnO) または TiO

等の透明電極材料により形成されている。電極層 1 2 は、例えば、フレーム領域 1 0 0 B において、保護層 1 1 7 および埋込層 1 1 9 を貫通し、その底部にパッド電極 1 6 B が露出する開口 H 1 を介して、パッド電極 1 6 B と電気的に接続されている。

[0019] 発光素子 1 1 の第 1 導電型層 1 1 1 の下面（面 1 1 S 2）には電極層 1 1 5 が形成されている。電極層 1 1 5 は、第 1 導電型層 1 1 1 とオーミック接触しており、例えば、ニッケル（Ni）と金（Au）との多層膜（Ni/Au）やITO等の透明導電材料を用いて形成されている。

[0020] 絶縁層 1 1 6 は、電極層 1 1 5 上に設けられている。絶縁層 1 1 6 は、例えば、酸化シリコン（SiO）や窒化シリコン（SiN）等により形成されている。

[0021] 発光素子 1 1 は駆動回路基板 3 0 側に、第 1 導電型層 1 1 1、活性層 1 1 2 および第 2 導電型層 1 1 3 の一部を含むメサ構造を有している。メサ状に加工された発光素子 1 1 の面 1 1 S 2 および第 1 導電型層 1 1 1、活性層 1 1 2 および一部の第 2 導電型層 1 1 3 の側面は保護層 1 1 7 に覆われている。保護層 1 1 7 は、例えば、酸化シリコン（SiO）や窒化シリコン（SiN）等により形成されている。

[0022] 更に、保護層 1 1 7 上および保護層 1 1 7 から露出した第 2 導電型層 1 1 3 の側面は、絶縁膜 1 1 8 A および反射膜 1 1 8 B からなる積層膜によって覆われている。積層膜は、複数の発光素子 1 1 に連続形成されている。積層膜は、発光素子 1 1 の面 1 1 S 2 側に開口 1 1 8 H を有し、開口 1 1 8 H 内にはプラグ 1 5 が形成されている。

[0023] プラグ 1 5 は、複数の発光素子 1 1 それぞれの第 1 導電型層 1 1 1 に電圧を印加するものである。プラグ 1 5 は、例えば、銅（Cu）、アルミニウム（Al）、タングステン（W）、銀（Ag）またはそれらの合金等を用いて形成されている。

[0024] 埋込層 1 1 9 は、複数の発光素子 1 1 を埋設すると共に、駆動回路基板 3 0 側に、表示領域 1 0 0 A およびフレーム領域 1 0 0 B に亘って平坦な積層

面を形成するものである。埋込層 119 は、さらに、フレーム領域 100B において、複数の発光素子 11 の面 11S1 に連続する平坦な面を形成している。埋込層 119 は、例えば、酸化シリコン (SiO) や窒化シリコン (SiN) 等により形成されている。

[0025] 埋込層 119 の駆動回路基板 30 側には、絶縁層 17 が設けられている。絶縁層 17 内には、表示領域 100A において発光素子 11A 毎に設けられた複数のパッド部 16A およびフレーム領域 100B に設けられたパッド電極 16B ならびにビアが形成されている。絶縁層 17 は、例えば、酸化シリコン (SiO) や窒化シリコン (SiN) 等により形成されている。パッド部 16A、パッド電極 16B およびビアは、例えば、銅 (Cu)、アルミニウム (Al)、タングステン (W)、銀 (Ag) またはそれらの合金等を用いて形成されている。

[0026] 絶縁層 17 の駆動回路基板 30 側には、さらに、駆動回路基板 30 との接合面を形成する絶縁層 18 が形成されている。絶縁層 18 には、上記のように、駆動回路基板 30 との接合面を形成し、素子基板 10 と駆動回路基板 30 とを電氣的、且つ、物理的に貼り合わせる複数のパッド部 19 が埋め込み形成されている。絶縁層 18 は、例えば、酸化シリコン (SiO) や窒化シリコン (SiN) 等により形成されている。パッド部 19 は、例えば、銅 (Cu) を用いて形成されている。

[0027] 素子基板 10 は、さらに、面 10S1 側に、平坦化層 21 と、例えば色素 Pr, Pg, Pb 毎に開口 22H を有する隔壁層 22 と、開口 22H 内に形成された波長変換層 23 とを有している。隔壁層 22 と波長変換層 23 との間には、さらに、反射膜 24 が設けられている。

[0028] 平坦化層 21 は、複数の発光素子 11 がアレイ状に配置されてなる表示領域 100A の光取り出し面 (面 11S1) を平坦化するためのものである。平坦化層 21 は、例えば、酸化シリコン (SiO) や窒化シリコン (SiN) 等により形成されている。

[0029] 隔壁層 22 は、発光装置 1 を画像表示装置 100 に適用する際に、隣接す

る異色画素間における光の漏れ込みによる混色の発生を抑制するためのものである。隔壁層22は、図3に示したように、アレイ状に配置された色画素Pr, Pg, Pb毎に、例えば、略矩形状の開口22Hを有している。開口22Hは、断面視において、例えば、隔壁層22の発光素子11と対向する面に対して90°未満の傾斜面を有している。つまり、隔壁層22は、断面視において、隣り合う色画素Pr, Pg, Pbの間に順テーパ状の側面を有している。隔壁層22は、熱伝導率および電気導電率の高い材料を用いて形成することが好ましく、例えば、銅(Cu)、アルミニウム(Al)、金(Au)、ニッケル(Ni)および白金(Pt)等の金属材料を用いて形成されている。

[0030] 波長変換層23は、各色画素Pr, Pg, Pbに配置された複数の発光素子11から出射される光を所望の波長(例えば、赤色(R)/緑色(G)/青色(B))に変換して出射するためのものであり、色画素Pr, Pg, Pb毎に設けられた開口22H内に形成されている。具体的には、赤色画素Prには、例えば4つの発光素子11から出射された光を赤色帯域の光(赤色光)に変換する赤色波長変換層23Rが、緑色画素Pgには、例えば4つの発光素子11から出射された光を緑色帯域の光(緑色光)に変換する緑色波長変換層23Gが、青色画素Pbには、例えば4つの発光素子11から出射された光を青色帯域の光(青色光)に変換する青色波長変換層23Bがそれぞれ設けられている。

[0031] 各波長変換層23R, 23G, 23Bは、それぞれ、各色に対応する量子ドットを用いて形成することができる。具体的には、赤色光を得る場合には、量子ドットは、例えば、InP、GaInP、InAsP、CdSe、CdZnSe、CdTeSeまたはCdTe等から選択することができる。緑色光を得る場合には、量子ドットは、例えば、InP、GaInP、ZnSeTe、ZnTe、CdSe、CdZnSe、CdSまたはCdSeS等から選択することができる。青色光を得る場合には、ZnSe、ZnTe、ZnSeTe、CdSe、CdZnSe、CdS、CdZnSおよびCdSe

S等から選択することができる。なお、上記のように発光素子11から青色光が出射される場合には、青色波長変換層23Bは、光透過性を有する透明な樹脂層によって形成するようにしてもよい。

[0032] 反射膜24は、複数の発光素子11から出射され、各波長変換層23R、23G、23Bにおいて変換された各色光を波長変換層23の光取り出し面（面23S1）からの効率よく取り出すためのものであり、開口22Hの側面に設けられている。反射膜24は、光反射性を有する金属材料を用いて形成されている。反射膜24を形成する金属材料としては、例えば、可視光領域において高い反射率を有する金属が挙げられる。具体的な材料としては、例えば、銀（Ag）、アルミニウム（Al）、銅（Cu）、金（Au）、白金（Pt）、ロジウム（Rh）およびそれらの合金等が挙げられる。

[0033] なお、反射膜24は、上記光反射性を有する金属材料を用いて隔壁層22を形成する場合には必ずしも形成する必要はない。

[0034] 素子基板10の光出射面S1側には、さらに、光学構造部40を形成するようにしてもよい。光学構造部40は、表示領域100Aおよびフレーム領域100Bに亘って形成された保護層41と、保護層41上に設けられたオンチップレンズ層42とを有する。

[0035] 保護層41は、波長変換層23の表面を保護するためのものであり、例えば、酸化シリコン（SiO）や窒化シリコン（SiN）等により形成されている。

[0036] オンチップレンズ層42は、表示領域100Aおよびフレーム領域100Bの全面を覆うように設けられている。オンチップレンズ層42は、所定の曲率を有し、入射した光を所定方向に出射する複数のオンチップレンズ42Lを有している。各オンチップレンズ42Lは、図4に示したように、色画素Pr、Pg、Pb毎に配置されている。オンチップレンズ層42は、光透過性を有する材料により構成され、例えば、酸化シリコン（SiO）、窒化シリコン（SiN）および酸窒化シリコン（SiCN）等のうちのいずれかよりなる単層膜、あるいはそれらのうちの2種以上よりなる積層膜により

構成されている。

[0037] 駆動回路基板 30 は、例えば、表示領域 100A に配置された複数の発光素子 11 に一定の電流を流す定電流駆動回路が複数設けられたものである。駆動回路基板 30 は、支持基板 31 と、支持基板 31 上に設けられ、複数の配線層（例えば、配線層 M1, M2, M3, M4, M5）および配線層間を電氣的に接続するビアを含む層間絶縁層 32 と、素子基板 10 との接合面を形成する絶縁層 33 および絶縁層 33 に埋め込み形成されたパッド部 34 とを有している。

[0038] 複数の定電流駆動回路は、それぞれ、発光素子 11 に流される電流を制御する制御素子 35 を含み、例えば、素子基板 10 と駆動回路基板 30 とのそれぞれの接合面（面 10S2 および面 30S1）に設けられたパッド部 19, 34 を介して複数の発光素子 11 と電氣的に接続されている。

[0039] 図 5 および図 6 は、それぞれ、図 1 に示した発光装置 1 における各画素（例えば、赤色画素 P_r および緑色画素 P_g）の輝度の制御方法の一例を説明するものである。なお、図 5 および図 6 に示した矢印は、各発光素子 11 に流される電流量を示している。

[0040] 例えば、色画素 P_r, P_g 毎に設けられた複数の発光素子 11 は、それぞれ、定電流駆動回路と個別に接続されている。これにより、図 5 に示したように、各色画素 P_r, P_g に設けられた複数の発光素子 11 の一部が、例えば欠陥により輝点不良を発生した場合、その発光素子 11 に接続された制御素子 35 を動作オフにし、他の発光素子 11 に流れる電流を制御（ここでは、増加）することで、1 画素当たりの輝度を維持することが可能となる。

[0041] 例えば、色画素 P_r, P_g 毎に設けられた複数の発光素子 11 は互いに結線されており、1 つの定電流駆動回路と接続されている。これにより、図 6 に示したように、各色画素 P_r, P_g に設けられた複数の発光素子 11 の一部が、例えば欠陥により輝点不良を発生した場合、その発光素子 11 にはトリミングすることにより電流が流れないが、他の発光素子 11 には多くの電流が流れるため 1 画素当たりの輝度を一定に保つことができる。

[0042] 層間絶縁層 32 は、例えば酸化シリコン (SiO) や窒化シリコン (SiN) 等により形成されている。

[0043] 配線層 M1, M2, M3, M4, M5 および各配線層間を電氣的に接続するビアは、例えば、銅 (Cu)、アルミニウム (Al)、タングステン (W)、銀 (Ag) またはそれらの合金等を用いて形成されている。絶縁層 33 は、例えば、酸化シリコン (SiO) や窒化シリコン (SiN) 等により形成されている。パッド部 34 は、例えば、銅 (Cu) を用いて形成されている。

[0044] (1-2. 発光装置の製造方法)

本実施の形態の発光装置 1 は、例えば、次のようにして製造することができる。図 7A~図 7I, 図 8A~図 8N は、発光装置 1 の製造工程の一例を表したものである。

[0045] まず、図 7A に示したように、サファイア基板 114 を成長基板として、例えば、有機金属化学気相成長 (MOCVD: Metal Organic Chemical Vapor Deposition) 法や分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法等の方法を用いたエピタキシャル結晶成長により化合物半導体層 110 を形成する。続いて、化合物半導体層 110 上に、例えば化学気相成長 (CVD) 法により電極層 115 および絶縁層 116 を形成する。次に、例えば化学機械研磨 (CMP) により、絶縁層 116 の表面を平坦化する。

[0046] 続いて、図 7B に示したように、例えばフォトリソグラフィ技術を用いて絶縁層 116、電極層 115 および化合物半導体層 110 をエッチングしてパターンニングする。次に、図 7C に示したように、支持基板 51 に対して絶縁層 116 が対向するようにサファイア基板 114 を移載したのち、サファイア基板 114 を切断して個片化する。続いて、図 7D に示したように、個片化した各サファイア基板 114 を支持基板 52 に対して絶縁層 116 が対向するように貼り合わせる。

[0047] 次に、図 7E に示したように、例えば研削研磨によりサファイア基板 114 を除去すると共に、化合物半導体層 110 の表面を平坦化する。続く

て、図 7 F に示したように、例えば C V D 法により、支持基板 5 2 上に埋込層 1 1 9 を成膜して平坦化した後、図 7 G に示したように、端部をトリミングする。次に、図 7 H に示したように、例えばプラズマ接合により、埋込層 1 1 9 を支持基板 5 3 に接合させた後、図 7 I に示したように、支持基板 5 2 を剥離する。以下、図 7 I に示した枠 X 内を拡大して説明する。

[0048] まず、図 8 A に示したように、例えばフォトリソグラフィ技術を用いて、化合物半導体層 1 1 0 上に設けられた絶縁層 1 1 6 および電極層 1 1 5 をエッチングしてパターンニングする。続いて、図 8 B に示したように、例えばフォトリソグラフィ技術を用いて化合物半導体層 1 1 0 の一部をエッチングして、第 1 導電型層 1 1 1、活性層 1 1 2 および第 2 導電型層 1 1 3 の一部を含むメサ構造を形成する。

[0049] 次に、例えば原子層堆積 (A L D) 法により、絶縁層 1 1 6 の上面および絶縁層 1 1 6、電極層 1 1 5 およびメサ構造を構成する第 1 導電型層 1 1 1、活性層 1 1 2 および第 2 導電型層 1 1 3 の側面および底面に亘って A I O 膜を成膜した後、例えば C V D 法により、S i N 膜をさらに成膜する。その後、例えばフォトリソグラフィ技術を用いて S i N 膜をエッチングして図 8 C に示したように、メサ構造の上面および側面にサイドウォールとして保護層 1 1 7 を形成する。

[0050] 続いて、図 8 D に示したように、例えばフォトリソグラフィ技術を用いて、例えば保護層 1 1 7 から露出した第 2 導電型層 1 1 3 を切り離して複数の発光素子 1 1 を形成する。次に、例えば A L D 法により、保護層 1 1 7 の上面および露出した発光素子 1 1 の側面を被覆する A I O 膜を成膜する。続いて、図 8 E に示したように、例えば C V D 法により、絶縁膜 1 1 8 A および反射膜 1 1 8 B を順に成膜した後、メサ構造の上面に開口 1 1 8 H を形成する。

[0051] 次に、図 8 F に示したように、例えば C V D 法により、再度埋込層 1 1 9 を成膜して平坦化した後、図 8 G に示したように、発光素子 1 1 毎にプラグ 1 5、複数のパッド部 1 6 A およびパッド電極 1 6 B が埋め込まれた絶縁層

17を形成する。続いて、図8Hに示したように、絶縁層17を厚膜化すると共に、絶縁層17上に絶縁層18を形成した後、図8Iに示したように、端部をトリミングする。

[0052] 次に、図8Jに示したように、各パッド部16Aおよびパッド電極16B上に開口18Hを形成した後、図8Kに示したように、開口18H内に、例えばCuを埋め込んで複数のパッド部19を形成する。その後、絶縁層18および複数のパッド部19の表面を、例えばCMPにより研磨して駆動回路基板30との接合面を平坦化する。

[0053] 続いて、図8Lに示したように、別途形成した駆動回路基板30の複数のパッド部34と複数のパッド部19とをハイブリッド接合により貼り合わせした後、図8Mに示したように、支持基板53を剥離する。次に、図8Nに示したように、例えばCVD法によりITO膜を成膜した後、例えばフォトリソグラフィ技術を用いてITO膜をパターニングして電極層12を形成する。続いて、図8Nに示したように、例えばCVD法により、絶縁層13を成膜した後、例えばフォトリソグラフィ技術を用いて、隣り合う発光素子11の間に開口およびパッド電極16Bまで達する開口H1を形成する。続いて、図8Nに示したように、例えばCVD法により、例えばTi/Wの積層膜を成膜した後、例えばフォトリソグラフィ技術を用いて積層膜をパターニングして、取出し電極14を形成する。

[0054] その後、例えばCVD法により、平坦化層21および隔壁層22を順に形成した後、例えばフォトリソグラフィ技術を用いて、隔壁層22に画素毎に開口22Hを形成する。次に、例えばCVD法により、隔壁層22の上面、開口22Hの側面および底面にAl膜を成膜した後、エッチバックにより、隔壁層22の上面および開口22Hの底面に成膜されたAl膜を除去して開口22Hの側面に反射膜24を形成する。続いて、開口22H内に、例えばインクジェット法等の塗布法を用いて各色の波長変換層23（23R，23G，23B）を形成する。その後、隔壁層22および波長変換層23上に、保護層41を形成した後、オンチップレンズ層42を貼り合わせる。以上に

より、図 1 に示した発光装置 1 が完成する。

[0055] (1-3. 作用・効果)

本実施の形態の発光装置 1 では、色画素 P_r , P_g , P_b 毎に、メサ構造を有する発光素子 11 が 2 つ以上（例えば、4 つ）配置するようにした。これにより、各画素に冗長性を付与する。以下、これについて説明する。

[0056] LED を光源とする発光デバイスの高精細化には、画素ピッチの縮小およびそれに伴う画素を構成するメサ構造の微細化が必要となる。「メサ」は、画像表示装置における発光部（または、独立した発光素子）のことを示す。しかしながら、LED メサ構造を微細化すると、例えば $1\ \mu\text{m}$ 以下の領域でペリフェリ効果によって発光効率が急激に低下し、内部量子効率 (IQE) に大きなばらつきが生じる。

[0057] 通常、画素毎に LED を有する発光デバイスでは、画素での冗長性を持たないため、1 画素でも輝度の要求値を満たさない場合、不良チップとなってしまう。

[0058] この問題を解決する手段としては、1 画素に対して複数の LED メサ構造を設ける方法がある。複数の LED メサは、前述したように、複数の開口部を有するマスク層によって結晶成長基板を覆い、MOCVD 法を用いて 1 本または複数本の半導体ロッドを選択成長させることで形成することができる。しかしながら、MOCVD 法は高さの制御が難しく、微細な LED メサを形成した場合、高さのばらつきによるメサ間における輝度のばらつきが大きな課題となる。また、メサ自体が結晶成長基板に対して垂直方向に成長するため、集光の点で不利となる。

[0059] これに対して本実施の形態では、1 つの画素（例えば、赤色画素 P_r 、緑色画素 P_g および青色画素 P_b ）に、化合物半導体層 110 のエッチングにより分離された複数の発光素子 11 を配置するようにした。これにより、各画素に冗長性を付与することができ、画素間における輝度のばらつきを低減することができる。

[0060] 図 9 は、比較例としての一般的な発光装置 1000 における画素 P_1 , P

2, P 3, P 4 間の輝度のばらつき (A) と、補正後の画素 P 1, P 2, P 3, P 4 の輝度 (B) とを表したものである。各画素に 1 つの発光素子 1 1 が配置された発光装置 1 0 0 0 では、各画素 P に輝度のばらつきがある場合、例えば、最も輝度が低い画素の輝度レベルに他の画素の輝度レベルを合わせることで各画素 P 間の輝度のばらつき補正する。即ち、図 8 の (A) に示したように、2 行×2 列に配置された 4 つの画素 P 1, P 2, P 3, P 4 がそれぞれ 3 0, 1 0 0, 5 0, 7 0 の輝度レベルを有する場合、図 8 の (B) に示したように、最も輝度レベルが低い画素 P 1 の輝度レベル 3 0 に P 2, P 3, P 4 の輝度レベルを合わせることになる。

[0061] 図 1 0 および図 1 1 に示したように、発光素子 1 1 の輝度にばらつきがある場合、各画素 P に 1 つの発光素子 1 1 が配置された発光装置 1 0 0 0 では、図 1 0 に示したように、各画素 P に配置された発光素子 1 1 がそのまま画素 P の輝度になる。上記のように、各画素 P に輝度のばらつきがある場合、最も輝度が低い画素の輝度レベルに他の画素の輝度レベルを合わせるようになるため、発光装置 1 0 0 0 の輝度レベルは 3 0 となる。一方、本実施の形態の発光装置 1 では、各発光素子 1 1 の輝度にばらつきがあった場合でも、各画素 P 1, P 2, P 3, P 4 の輝度は、画素内に設けられた 4 つの発光素子 1 1 の平均となる。よって、図 1 1 に示したように、4 つの画素 P 1, P 2, P 3, P 4 のそれぞれの輝度は 6 2. 5 となり、発光装置 1 0 0 0 と比較して高輝度化される。

[0062] 以上により、本実施の形態の発光装置 1 およびこれを備えた画像表示装置 1 0 0 の微細化と高輝度化とを両立させることが可能となる。

[0063] また、本実施の形態では、隣り合う複数の発光素子 1 1 に対して単一の波長変換層 2 3 (例えば、赤色波長変換層 2 3 R、緑色波長変換層 2 3 G または青色波長変換層 2 3 B) を配置するようにしたので、メサ構造の微細化による画素間の輝度のばらつきおよびムラを改善することができる。また、輝点となるような欠陥画素の発生を無効化することができるため、製造歩留まりを改善することが可能となる。

[0064] 更に、本実施の形態では、各色画素 P_r 、 P_g 、 P_b に配置された複数の発光素子 11 それぞれに定電流駆動回路を接続し、各発光素子 11 を独立して発光制御できるようにした。

[0065] 図 12 は、発光装置 1 の各画素 P における補正前の各発光素子 11 の輝度 (A) と、補正後の各発光素子 11 の輝度 (B) とを表したものである。図 12 の (A) に示したように、2 行×2 列に配置された 4 つの画素 P_1 、 P_2 、 P_3 、 P_4 では、画素 P_1 に配置された 4 つの発光素子 11 の輝度平均が 47.5 と最も低い平均輝度となる。他の画素 P_2 、 P_3 、 P_4 では、高輝度 (高 IQE) な発光素子 11 をそれぞれ選択し、その発光素子 11 によって最も輝度平均が低い画素 P_1 の輝度が満たせる場合には、各画素 P_2 、 P_3 、 P_4 に配置された複数の発光素子の一部を選択的に動作させることで輝度を調整するようにしてもよい。具体的には、図 12 の (B) に示したように、例えば画素 P_2 では、輝度レベル 100 の 4 つの発光素子 11 のうち 2 つを選択的に動作させ、他の 2 つは動作させなくてもよい。また、例えば画素 P_4 では、輝度レベル 70 の 4 つの発光素子 11 のうち 3 つを選択的に動作させ、1 つは動作させなくてもよい。動作させる発光素子 11 については、画素 P_1 の輝度となるように、制御素子 35 によって電流量を調整する。このように、高効率な発光素子 11 を選択的に動作させることにより、補正回路への負荷を減らすことができる。また、使用する電力量も減らすことが可能となる。

[0066] 次に、本開示の変形例および適用例について説明する。なお、上記実施の形態の発光装置 1 に対応する構成要素には同一の符号を付して説明を省略する。

[0067] <2. 変形例>

図 13 は、本開示の変形例に係る発光装置 (発光装置 1A) の全体の平面構成の一例を模式的に表したものである。図 14 は、図 13 に示した発光装置 1A の平面構成の一部を拡大して表したものである。

[0068] 上記実施の形態では、略矩形形状の色画素 P_r 、 P_g 、 P_b がそれぞれ 2

行×2列で配置された4つの発光素子11を有する例を示したが、これに限定されるものではない。

[0069] 本変形例の発光装置1Aは、略正六角形状を有する複数の画素（例えば、赤色画素Pr、緑色画素Pgおよび青色画素Pb）がハニカム状に配置されてなる表示領域100Aと、その周囲に設けられたフレーム領域100Bとを有している。各色画素Pr、Pg、Pbには、例えば、メサ構造を有する7つの発光素子が配置されている。このような構成においても、上記実施の形態と同様の効果を得ることができる。

[0070] <3. 適用例>

（適用例1）

図15は、画像表示装置（画像表示装置100）の概略構成の一例を表した斜視図である。画像表示装置100は、いわゆるLEDディスプレイと呼ばれるものであり、表示画素として本開示の発光装置（例えば、発光装置1）が用いられている。画像表示装置100は、例えば図15に示したように、表示パネル120と、表示パネル120を駆動する制御回路140とを備えている。

[0071] 表示パネル120は、実装基板120Aと、対向基板120Bとを互いに重ね合わせたものである。対向基板120Bの表面が映像表示面となっており、中央部分に表示領域100Aを有し、その周囲に、非表示領域であるフレーム領域100Bを有している。

[0072] 図16は、実装基板120Aの対向基板120B側の表面のうち表示領域100Aに対応する領域の配線レイアウトの一例を表したものである。実装基板120Aの表面のうち表示領域100Aに対応する領域には、例えば図16に示したように、複数のデータ配線121が所定の方に延在して形成されており、かつ所定のピッチで並列配置されている。実装基板120Aの表面のうち表示領域100Aに対応する領域には、さらに、例えば、複数のスキャン配線122がデータ配線121と交差（例えば、直交）する方向に延在して形成されており、且つ、所定のピッチで並列配置されている。デー

タ配線 1 2 1 およびスキャン配線 1 2 2 は、例えば、C u 等の導電性材料からなる。

[0073] スキャン配線 1 2 2 は、例えば、最表層に形成されており、例えば、基材表面に形成された絶縁層（図示せず）上に形成されている。なお、実装基板 1 2 0 A の基材は、例えば、シリコン基板、または樹脂基板等からなり、基材上の絶縁層は、例えば、S i N、S i O、酸化アルミニウム（A l O）または樹脂材料からなる。一方、データ配線 1 2 1 は、スキャン配線 1 2 2 を含む最表層とは異なる層（例えば、最表層よりも下の層）内に形成されており、例えば、基材上の絶縁層内に形成されている。

[0074] データ配線 1 2 1 とスキャン配線 1 2 2 との交差部分の近傍が表示画素 1 2 3 となっており、複数の表示画素 1 2 3 が表示領域 1 0 0 A 内においてマトリクス状に配置されている。各表示画素 1 2 3 には、例えば、発光装置 1 の各色画素 P r、P g、P b が実装されている。

[0075] 発光装置 1 には、例えば色画素 P r、P g、P b 毎に一对、または一方が共通且つ他方が色画素 P r、P g、P b 毎に配置される端子電極が設けられている。そして、一方の端子電極がデータ配線 1 2 1 に電氣的に接続されており、他方の端子電極がスキャン配線 1 2 2 に電氣的に接続されている。例えば、一方の端子電極は、データ配線 1 2 1 に設けられた分枝 1 2 1 A の先端のパッド電極 1 2 1 B に電氣的に接続されている。また、例えば、他方の端子電極は、スキャン配線 1 2 2 に設けられた分枝 1 2 2 A の先端のパッド電極 1 2 2 B に電氣的に接続されている。

[0076] 各パッド電極 1 2 1 B、1 2 2 B は、例えば、最表層に形成されており、例えば、図 1 6 に示したように、各発光装置 1 が実装される部位に設けられている。ここで、パッド電極 1 2 1 B、1 2 2 B は、例えば、A u（金）等の導電性材料からなる。

[0077] 実装基板 1 2 0 A には、さらに、例えば、実装基板 1 2 0 A と対向基板 1 2 0 B との間の間隔を規制する複数の支柱（図示せず）が設けられている。支柱は、表示領域 1 0 0 A との対向領域内に設けられていてもよいし、フレ

ーム領域 100B との対向領域内に設けられていてもよい。

[0078] 対向基板 120B は、例えば、ガラス基板、または樹脂基板等からなる。対向基板 120B において、発光装置 1 側の表面は平坦となっていてよいが、粗面となっていることが好ましい。粗面は、表示領域 100A との対向領域全体に渡って設けられていてもよいし、表示画素 123 との対向領域にだけ設けられていてもよい。粗面は、色画素 P_r , P_g , P_b から発せられた光が当該粗面に入細かな凹凸を有している。粗面の凹凸は、例えば、サンドブラストや、ドライエッチング等によって作製可能である。

[0079] 制御回路 140 は、映像信号に基づいて各表示画素 123（各発光装置 1）を駆動するものである。制御回路 140 は、例えば、表示画素 123 に接続されたデータ配線 121 を駆動するデータドライバと、表示画素 123 に接続されたスキャン配線 122 を駆動するスキャンドライバとにより構成されている。制御回路 140 は、例えば、図 15 に示したように、表示パネル 120 とは別体で設けられ、かつ配線を介して実装基板 120A と接続されていてもよいし、実装基板 120A 上に実装されていてもよい。

[0080] （適用例 2）

図 17 は、本開示の発光装置（例えば、発光装置 1）を用いた画像表示装置の他の構成例（画像表示装置 200）を表した斜視図である。画像表示装置 200 は、LED を光源とする複数の発光装置を用いた、所謂タイリングディスプレイと呼ばれるものである。画像表示装置 200 は、例えば、図 17 に示したように、表示パネル 220 と、表示パネル 220 を駆動する制御回路 240 とを備えている。

[0081] 表示パネル 220 は、実装基板 220A と、対向基板 220B とを互いに重ね合わせたものである。対向基板 220B の表面が映像表示面となっており、中央部分に表示領域を有し、その周囲に、非表示領域であるフレーム領域を有している（いずれも図示せず）。対向基板 220B は、例えば、所定の間隙を介して、実装基板 220A と対向する位置に配置されている。なお、対向基板 220B が、実装基板 220A の上面に接していてもよい。

[0082] 図18は、実装基板220Aの構成の一例を模式的に表したものである。実装基板220Aは、例えば、図18に示したように、タイル状に敷き詰められた複数のユニット基板250により構成されている。なお、図18では、9つのユニット基板250により実装基板220Aが構成される例を示したが、ユニット基板250の数は、10以上であってもよいし、8以下であってもよい。

[0083] 図19は、ユニット基板250の構成の一例を表したものである。ユニット基板250は、例えば、タイル状に敷き詰められた複数の発光装置1と、各発光装置1を支持する支持基板260とを有している。各ユニット基板250は、さらに、制御基板（図示せず）を有している。支持基板260は、例えば、金属フレーム（金属板）、もしくは、配線基板等で構成されている。支持基板260が配線基板で構成されている場合には、制御基板を兼ねることも可能である。このとき、支持基板260および制御基板の少なくとも一方が、各発光装置1と電氣的に接続されている。

[0084] （適用例3）

図20は、透明ディスプレイ300の外観を表したものである。透明ディスプレイ300は、例えば表示部310と、操作部311と、筐体312とを有している。表示部310には、本開示の発光装置（例えば、発光装置1）が用いられている。この透明ディスプレイ300では、表示部310の背景を透過しつつ、画像や文字情報を表示することが可能である。

[0085] 透明ディスプレイ300では、実装基板は、光透過性を有する基板が用いられている。発光装置1に設けられる各電極は、実装基板と同様に光透過性を有する導電性材料を用いて形成されている。あるいは、各電極は、配線幅を補足したり、配線の厚みを薄くすることで、視認されにくい構造となっている。また、透明ディスプレイ300は、例えば、駆動回路を備えた液晶層を重ね合わせることで黒表示を可能となり、液晶の配光方向を制御することにより、透過と黒表示とのスイッチングが可能となる。

[0086] 以上、実施の形態および変形例ならびに適用例を挙げて本技術を説明した

が、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態等では、発光素子 1 1 から出射される光が青色光または紫外光である例を示したが、これに限定されるものではない。例えば、発光装置 1 では、青色光と緑色光、紫外光と緑色光等、2 種類以上の光が出射される発光素子も用いることができる。

[0087] また、上記実施の形態等では、発光装置 1 等を構成する各部材を具体的に挙げて説明したが、全ての部材を備える必要はなく、また、他の部材をさらに備えていてもよい。

[0088] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。

[0089] 本技術は以下のような構成を取ることも可能である。以下の構成の本技術によれば、画素毎にメサ構造を有する発光素子を 2 つ以上配置するようにした。これにより、各画素に冗長性が付与され、微細化と高輝度化との両立が可能となる。

(1)

駆動回路基板と、

光出射面となる第 1 の面および前記第 1 の面とは反対側の、前記駆動回路基板と対向する第 2 の面を有し、複数の画素がアレイ状に配置された画素アレイ部を有すると共に、前記画素毎にメサ構造を有する発光素子が 2 つ以上の配置されている素子基板と

を備えた発光装置。

(2)

前記素子基板は、前記画素毎に設けられ、前記画素毎に配置された 2 つ以上の前記発光素子から出射された光の波長を変換する波長変換層をさらに有する、前記 (1) に記載の発光装置。

(3)

前記素子基板の前記第 1 の面側に、前記画素毎に配置された 2 つ以上の前記発光素子から出射された光を所定の方向に出射するマイクロレンズを前記

画素毎に有するマイクロレンズ層をさらに有する、前記（１）または（２）に記載の発光装置。

（４）

前記駆動回路基板は、一定の電流を流す複数の定電流駆動回路を有し、
前記複数の定電流駆動回路は、複数の前記発光素子に流される電流を制御する制御素子をそれぞれ含み、複数の前記発光素子それぞれに個別に接続されている、前記（１）乃至（３）のうちのいずれか１つに記載の発光装置。

（５）

前記駆動回路基板は、一定の電流を流す複数の定電流駆動回路を有し、
前記複数の定電流駆動回路は、複数の前記発光素子に流される電流を制御する制御素子をそれぞれ含み、それぞれ、前記画素毎に配置された２つ以上の前記発光素子毎に接続されている、前記（１）乃至（４）のうちのいずれか１つに記載の発光装置。

（６）

前記画素毎に配置された２つ以上の前記発光素子は互いに結線され、前記定電流駆動回路と電氣的に接続されている、前記（５）に記載の発光装置。

（７）

前記駆動回路基板は、前記素子基板の前記第２の面と対向する第３の面および前記第３の面とは反対側の第４の面を有すると共に、一定の電流を流す複数の定電流駆動回路を有する、前記（１）乃至（６）のうちのいずれか１つに記載の発光装置。

（８）

前記素子基板は、前記第２の面にプラグを介して複数の前記発光素子と電氣的に接続された複数の第１のパッド部をさらに有し、

前記駆動回路基板は、前記第３の面に、前記複数の定電流駆動回路とそれぞれ電氣的に接続された複数の第２のパッド部をさらに有し、

複数の前記発光素子と前記複数の定電流駆動回路とは、前記複数の第１のパッド部と前記複数の第２のパッド部とを介して電氣的に接続されている、

前記（７）に記載の発光装置。

（９）

発光装置を備え、

前記発光装置は、

駆動回路基板と、

光出射面となる第１の面および前記第１の面とは反対側の、前記駆動回路基板と対向する第２の面を有し、複数の画素がアレイ状に配置された画素アレイ部を有すると共に、前記画素毎にメサ構造を有する発光素子が２つ以上の配置されている素子基板と

を有する画像表示装置。

[0090] 本出願は、日本国特許庁において２０２３年２月２０日に出願された日本特許出願番号２０２３－０２４６８５号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

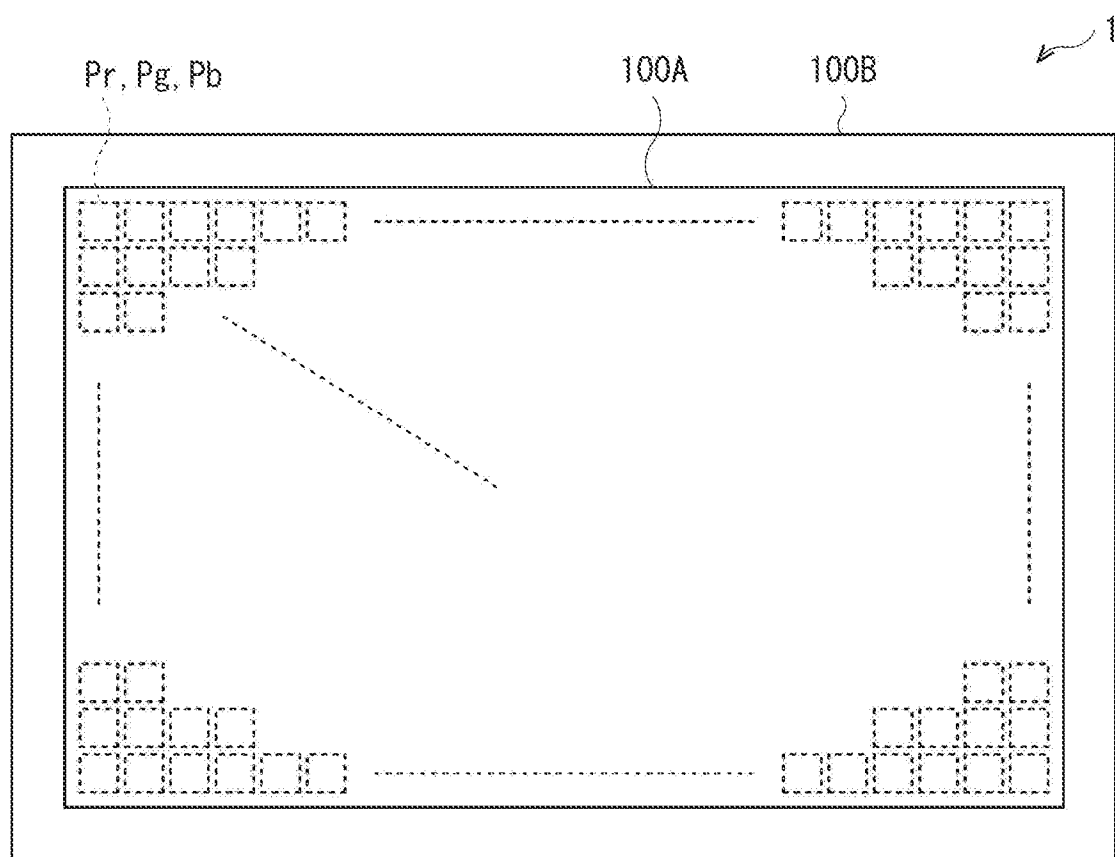
[0091] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

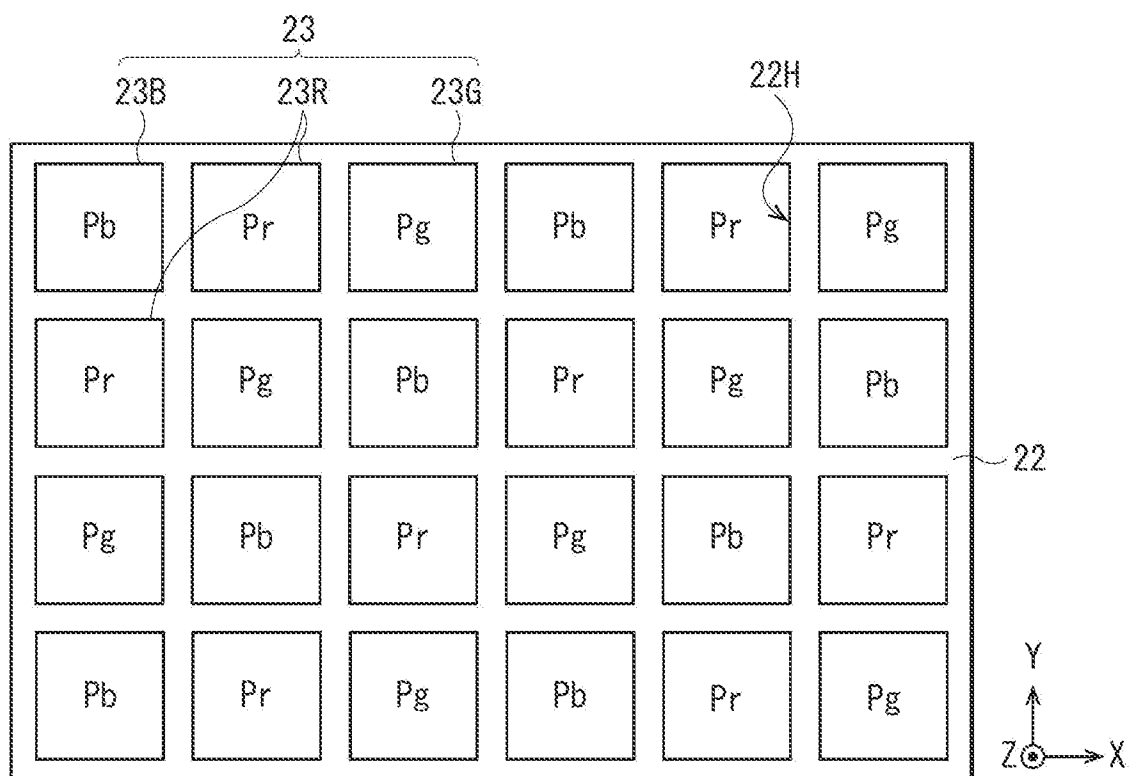
- [請求項1] 駆動回路基板と、
- 光出射面となる第1の面および前記第1の面とは反対側の、前記駆動回路基板と対向する第2の面を有し、複数の画素がアレイ状に配置された画素アレイ部を有すると共に、前記画素毎にメサ構造を有する発光素子が2つ以上の配置されている素子基板と
- を備えた発光装置。
- [請求項2] 前記素子基板は、前記画素毎に設けられ、前記画素毎に配置された2つ以上の前記発光素子から出射された光の波長を変換する波長変換層をさらに有する、請求項1に記載の発光装置。
- [請求項3] 前記素子基板の前記第1の面側に、前記画素毎に配置された2つ以上の前記発光素子から出射された光を所定の方向に出射するマイクロレンズを前記画素毎に有するマイクロレンズ層をさらに有する、請求項1に記載の発光装置。
- [請求項4] 前記駆動回路基板は、一定の電流を流す複数の定電流駆動回路を有し、
- 前記複数の定電流駆動回路は、複数の前記発光素子に流される電流を制御する制御素子をそれぞれ含み、複数の前記発光素子それぞれに個別に接続されている、請求項1に記載の発光装置。
- [請求項5] 前記駆動回路基板は、一定の電流を流す複数の定電流駆動回路を有し、
- 前記複数の定電流駆動回路は、複数の前記発光素子に流される電流を制御する制御素子をそれぞれ含み、それぞれ、前記画素毎に配置された2つ以上の前記発光素子毎に接続されている、請求項1に記載の発光装置。
- [請求項6] 前記画素毎に配置された2つ以上の前記発光素子は互いに結線され、前記定電流駆動回路と電氣的に接続されている、請求項5に記載の発光装置。

- [請求項7] 前記駆動回路基板は、前記素子基板の前記第2の面と対向する第3の面および前記第3の面とは反対側の第4の面を有すると共に、一定の電流を流す複数の定電流駆動回路を有する、請求項1に記載の発光装置。
- [請求項8] 前記素子基板は、前記第2の面にプラグを介して複数の前記発光素子と電氣的に接続された複数の第1のパッド部をさらに有し、
前記駆動回路基板は、前記第3の面に、前記複数の定電流駆動回路とそれぞれ電氣的に接続された複数の第2のパッド部をさらに有し、
複数の前記発光素子と前記複数の定電流駆動回路とは、前記複数の第1のパッド部と前記複数の第2のパッド部とを介して電氣的に接続されている、請求項7に記載の発光装置。
- [請求項9] 発光装置を備え、
前記発光装置は、
駆動回路基板と、
光出射面となる第1の面および前記第1の面とは反対側の、前記駆動回路基板と対向する第2の面を有し、複数の画素がアレイ状に配置された画素アレイ部を有すると共に、前記画素毎にメサ構造を有する発光素子が2つ以上の配置されている素子基板と
を有する画像表示装置。

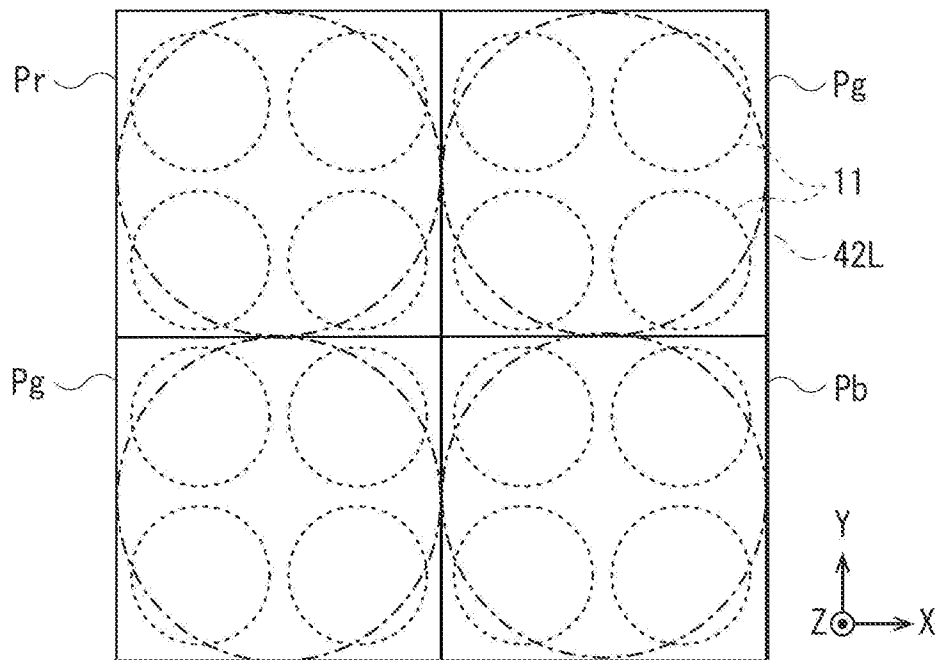
[図2]



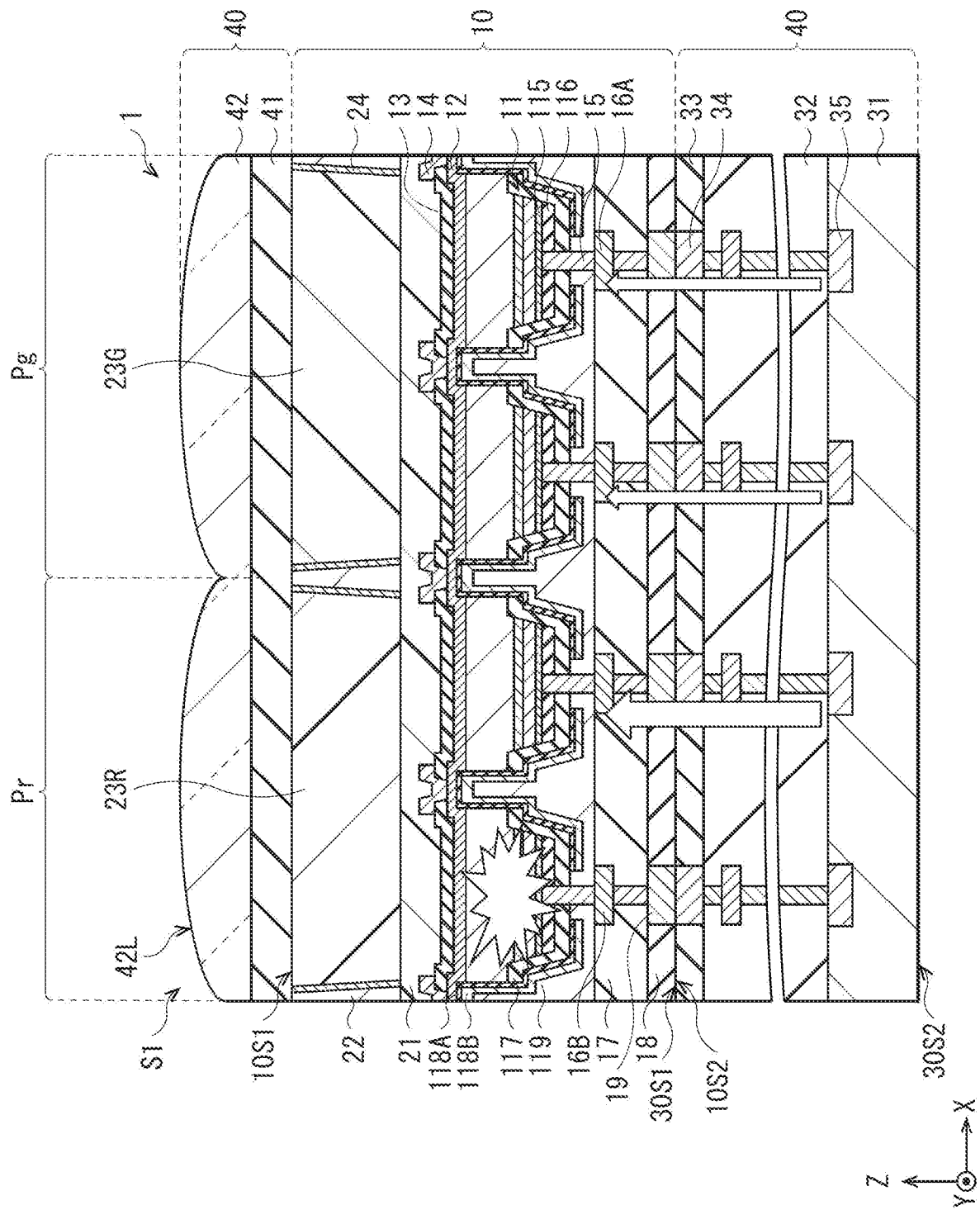
[図3]



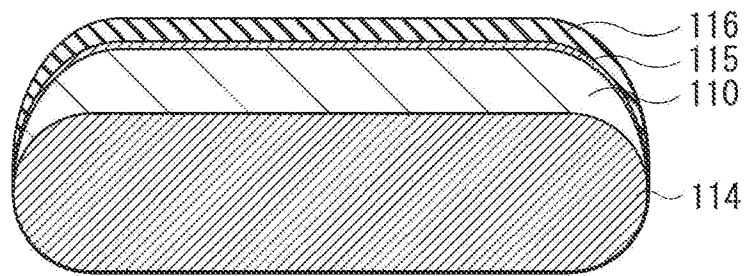
[図4]



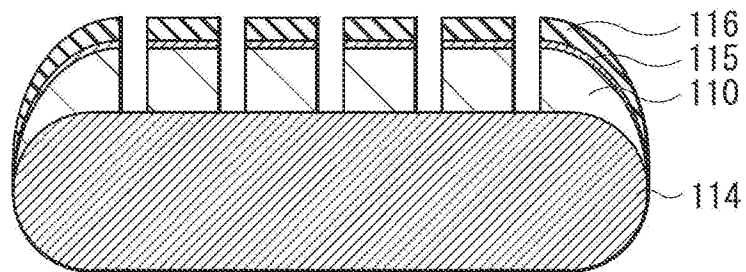
[図5]



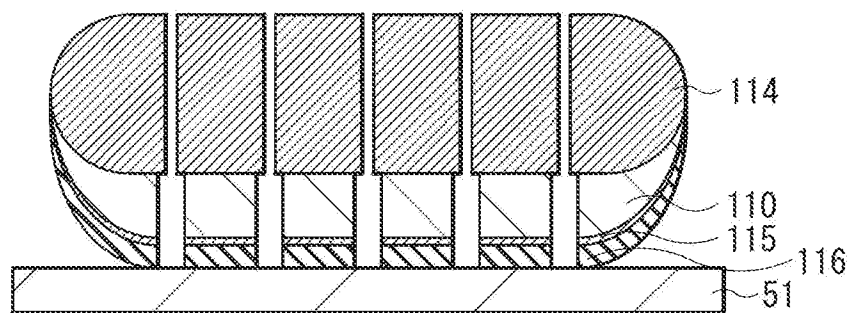
[図7A]



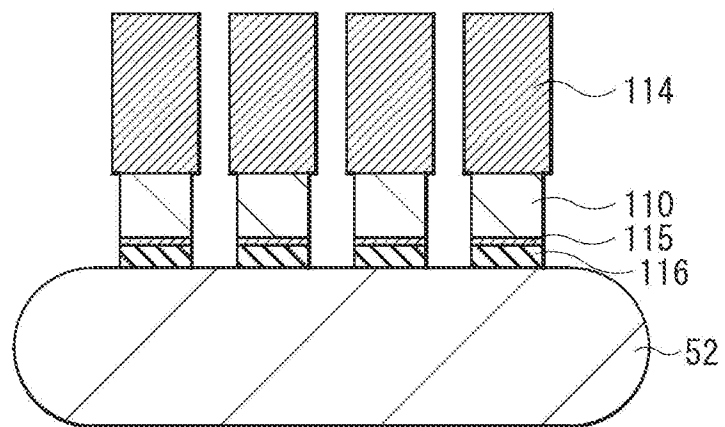
[図7B]



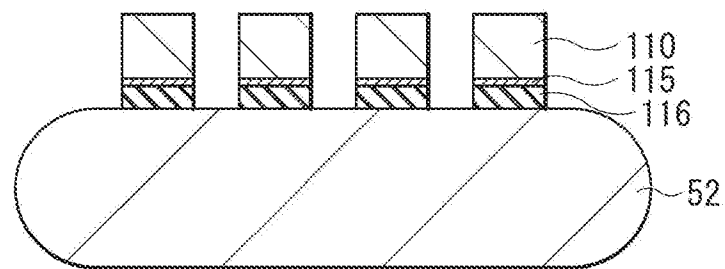
[図7C]



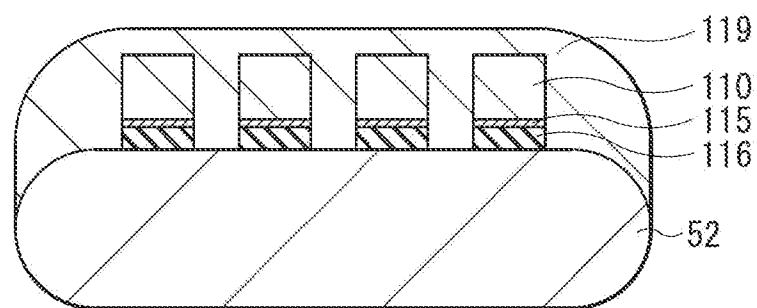
[図7D]



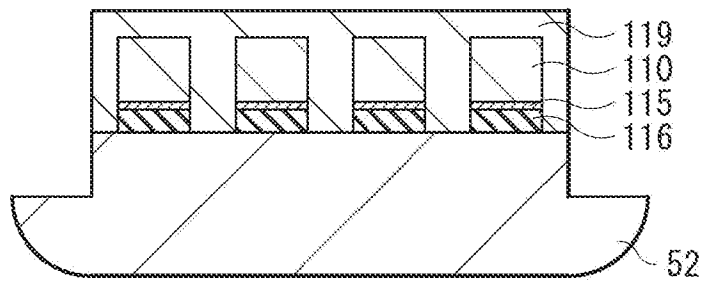
[図7E]



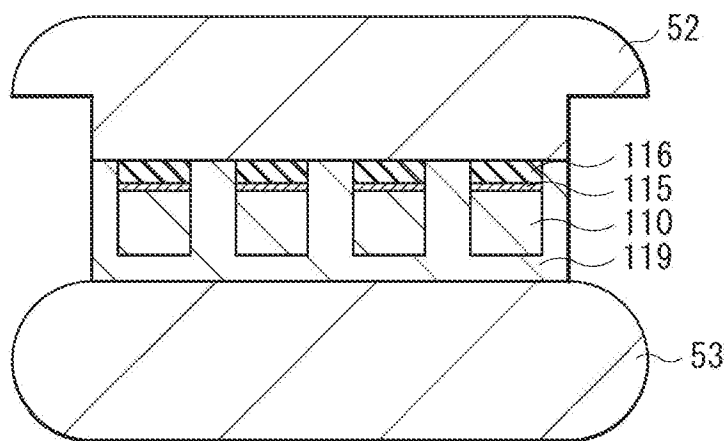
[図7F]



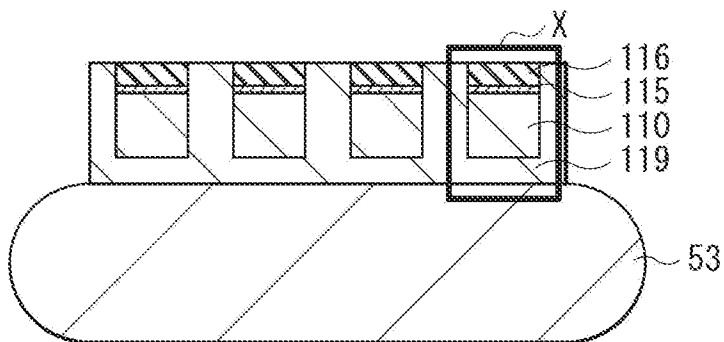
[図7G]



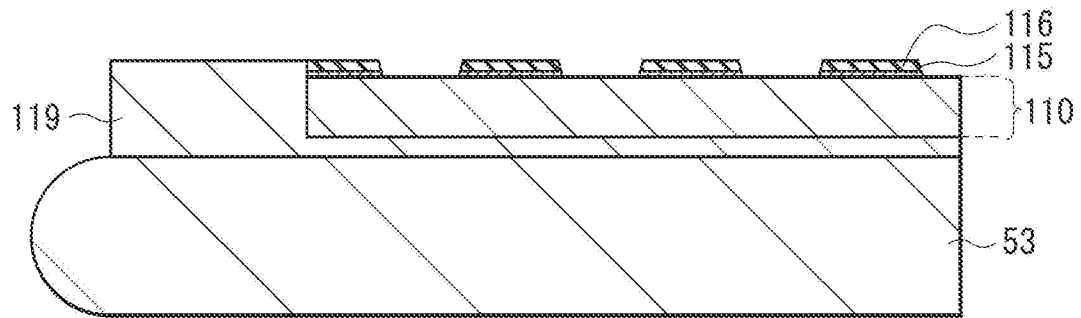
[図7H]



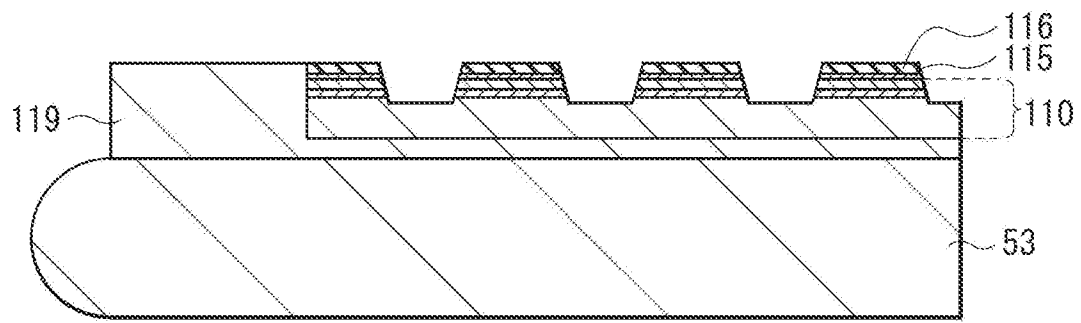
[図7I]



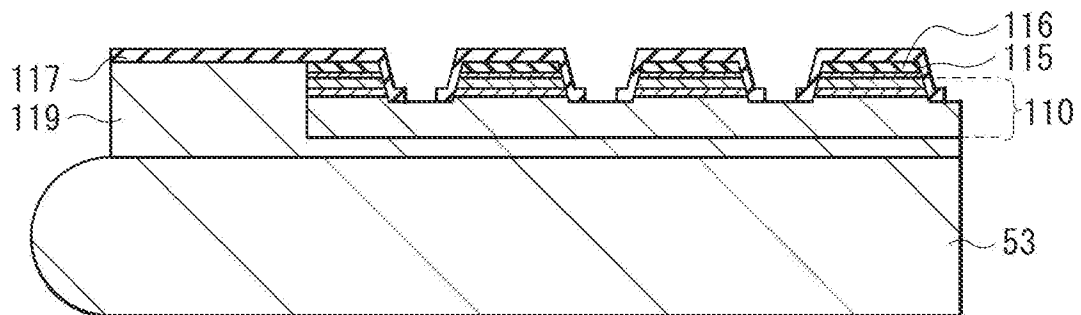
[図8A]



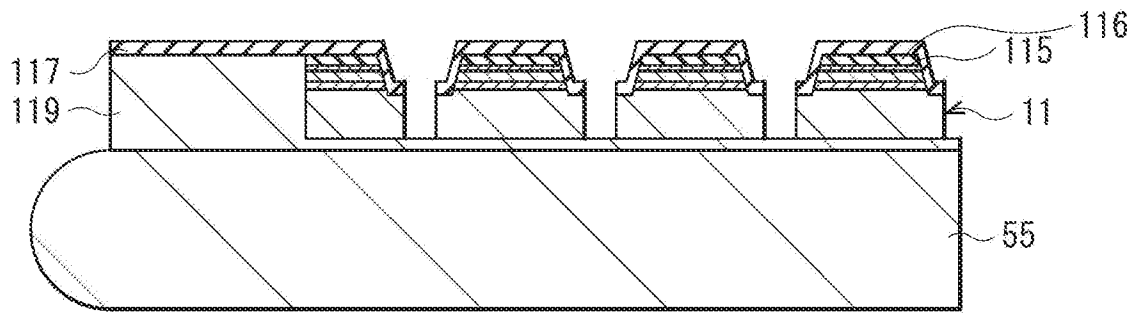
[図8B]



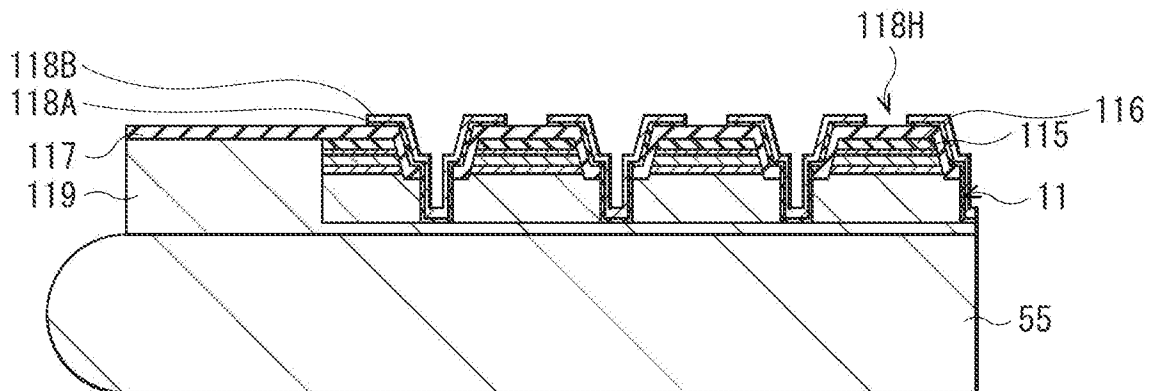
[図8C]



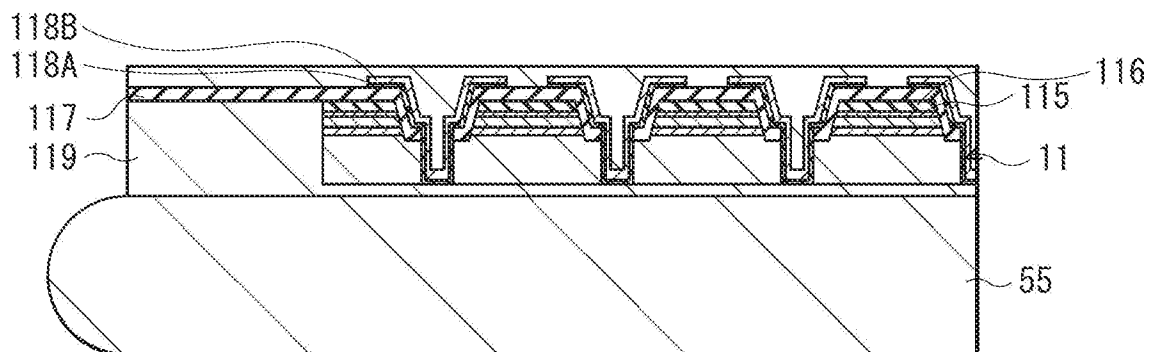
[図8D]



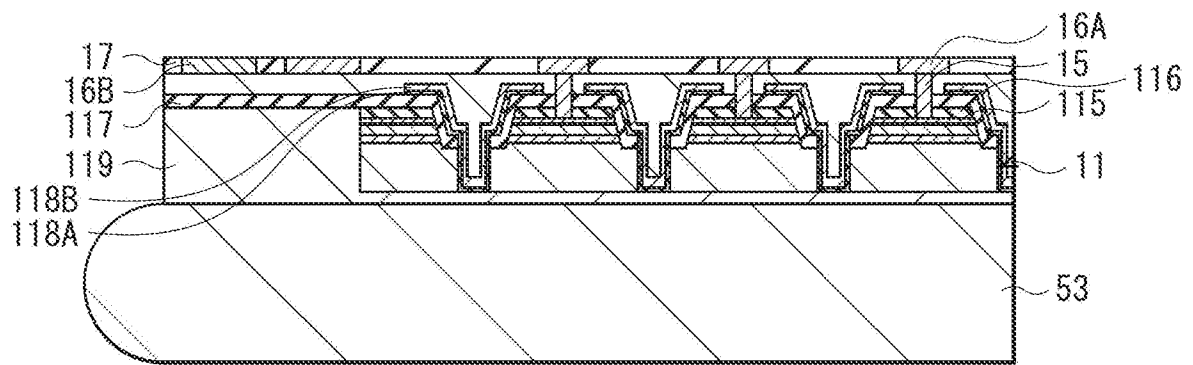
[図8E]



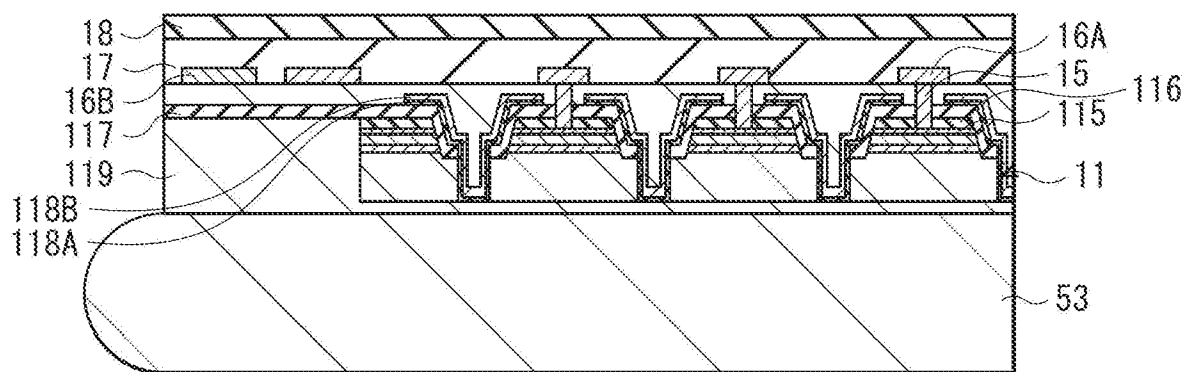
[図8F]



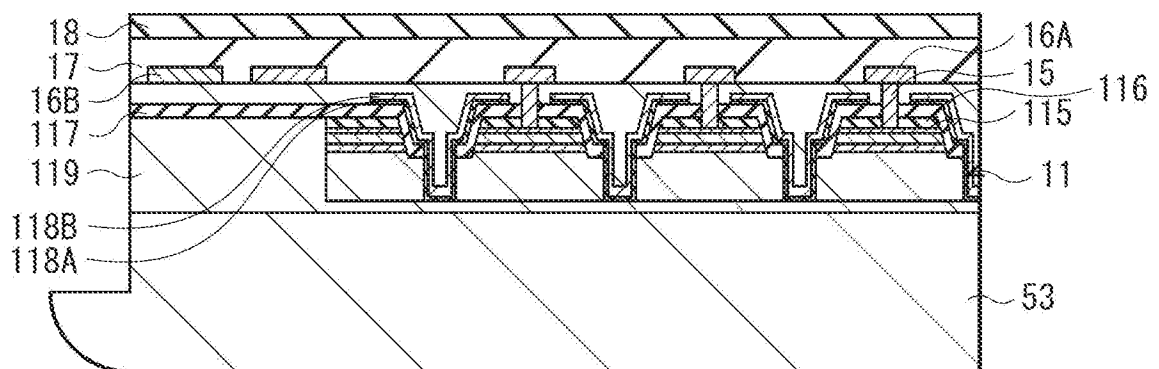
[図8G]



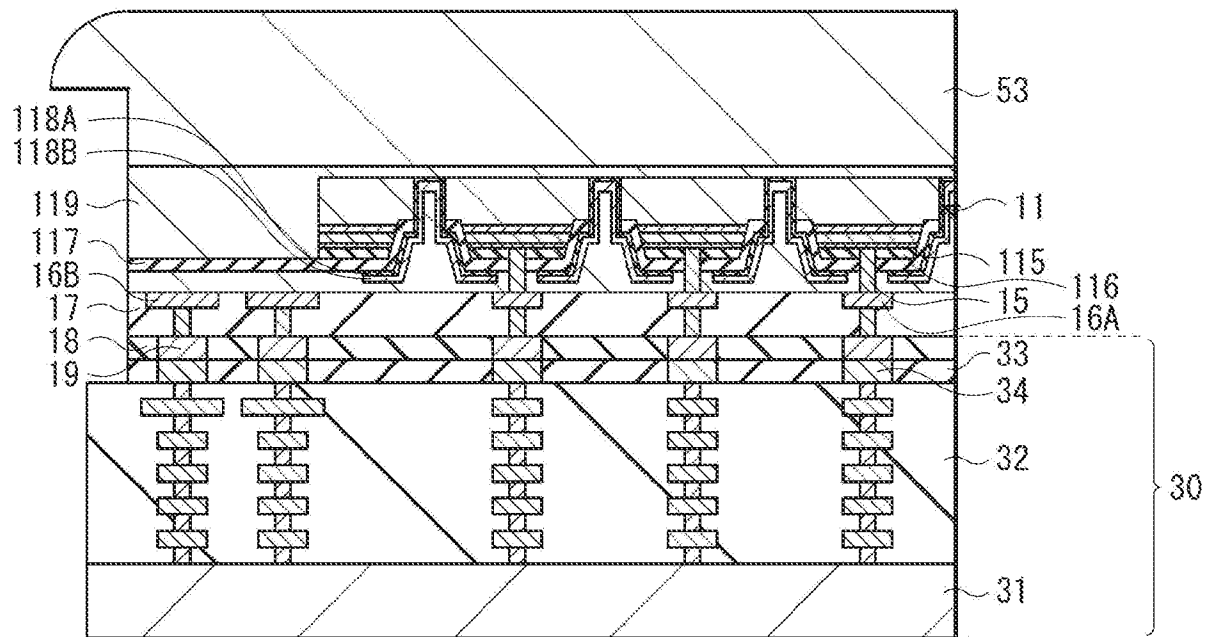
[図8H]



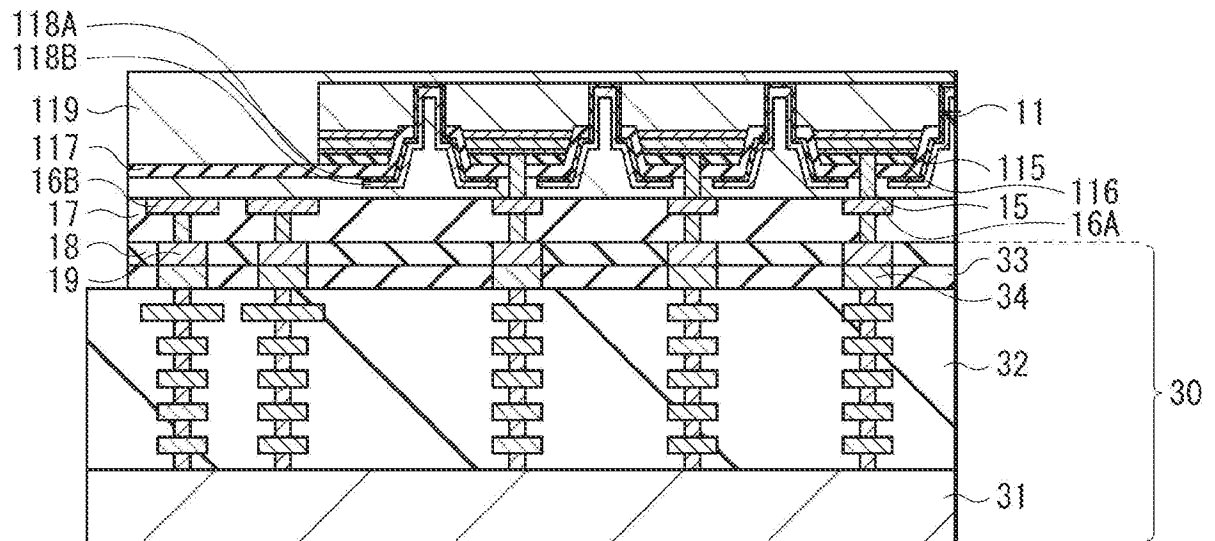
[図8I]



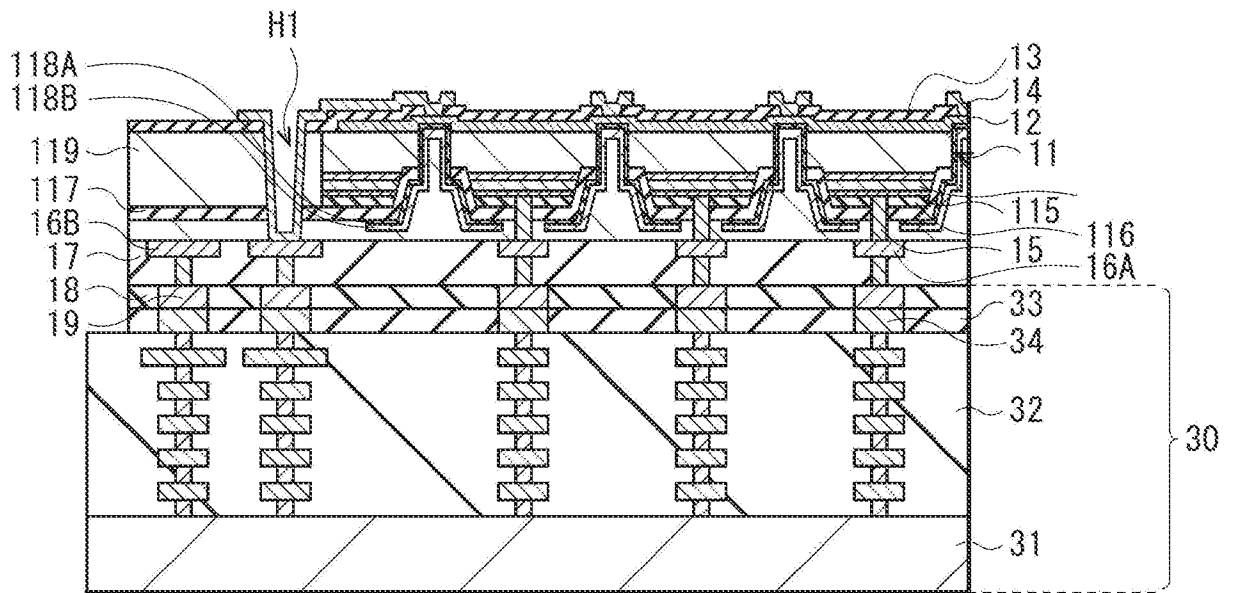
[図8L]



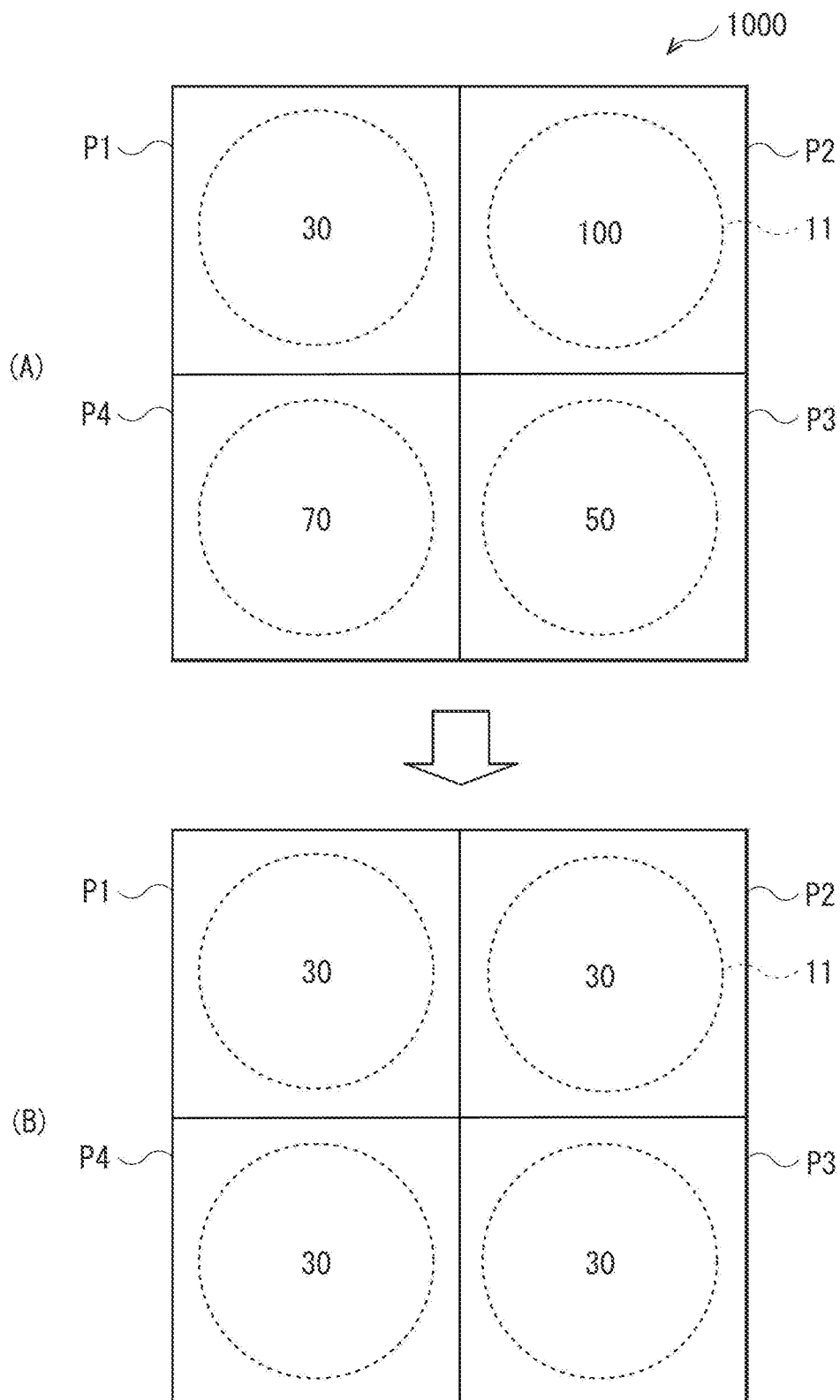
[図8M]



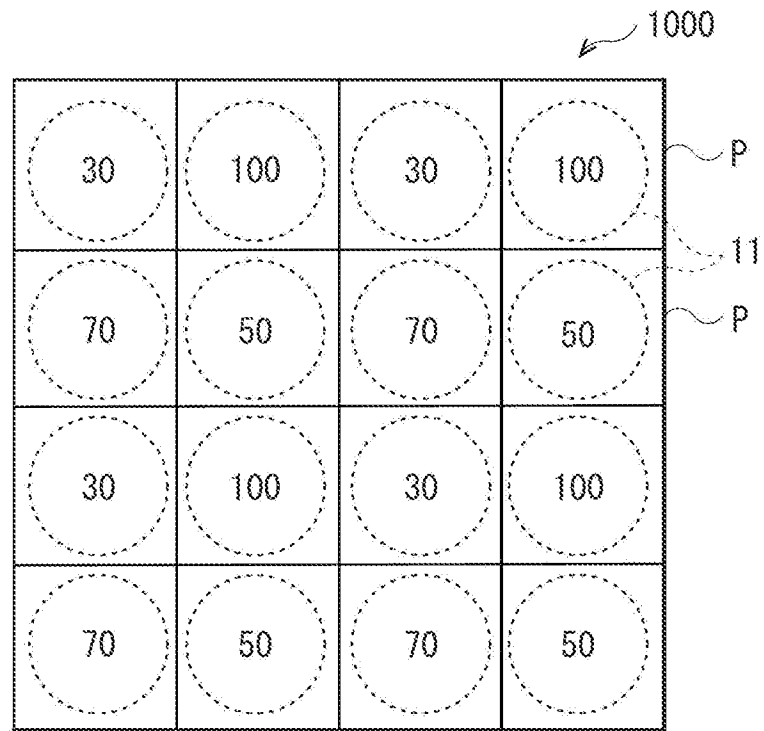
[図8N]



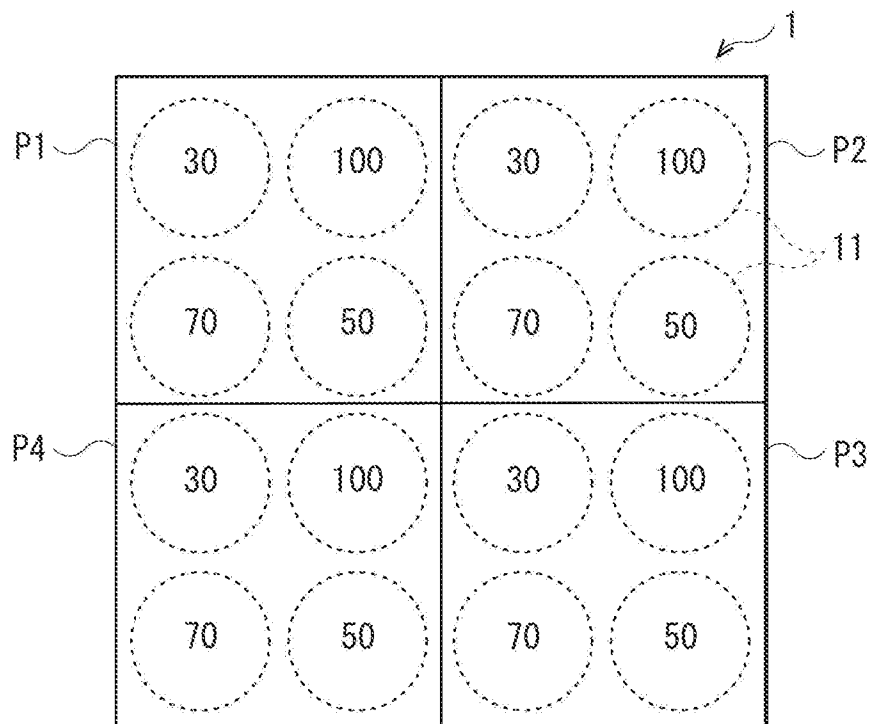
[図9]



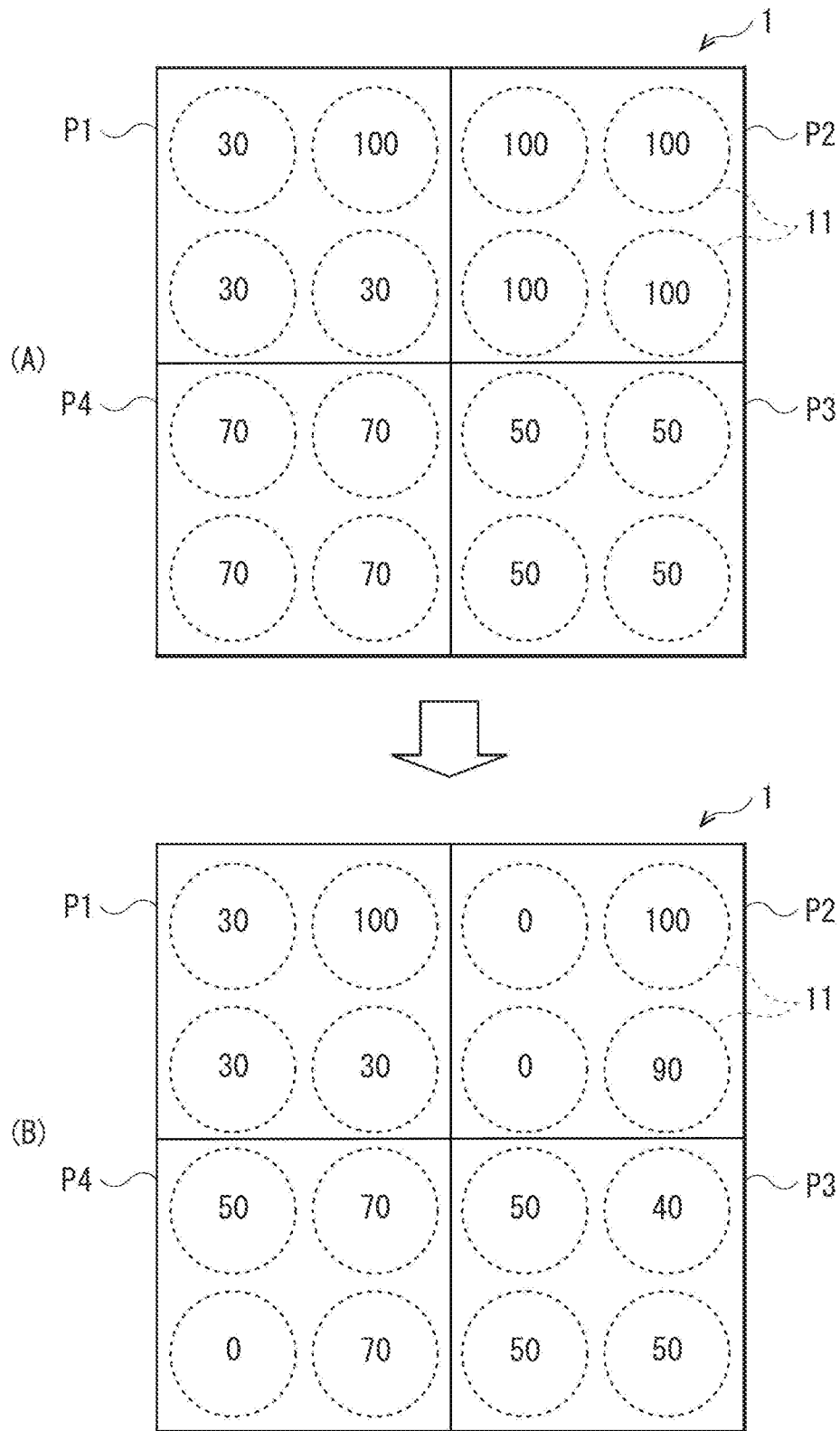
[図10]



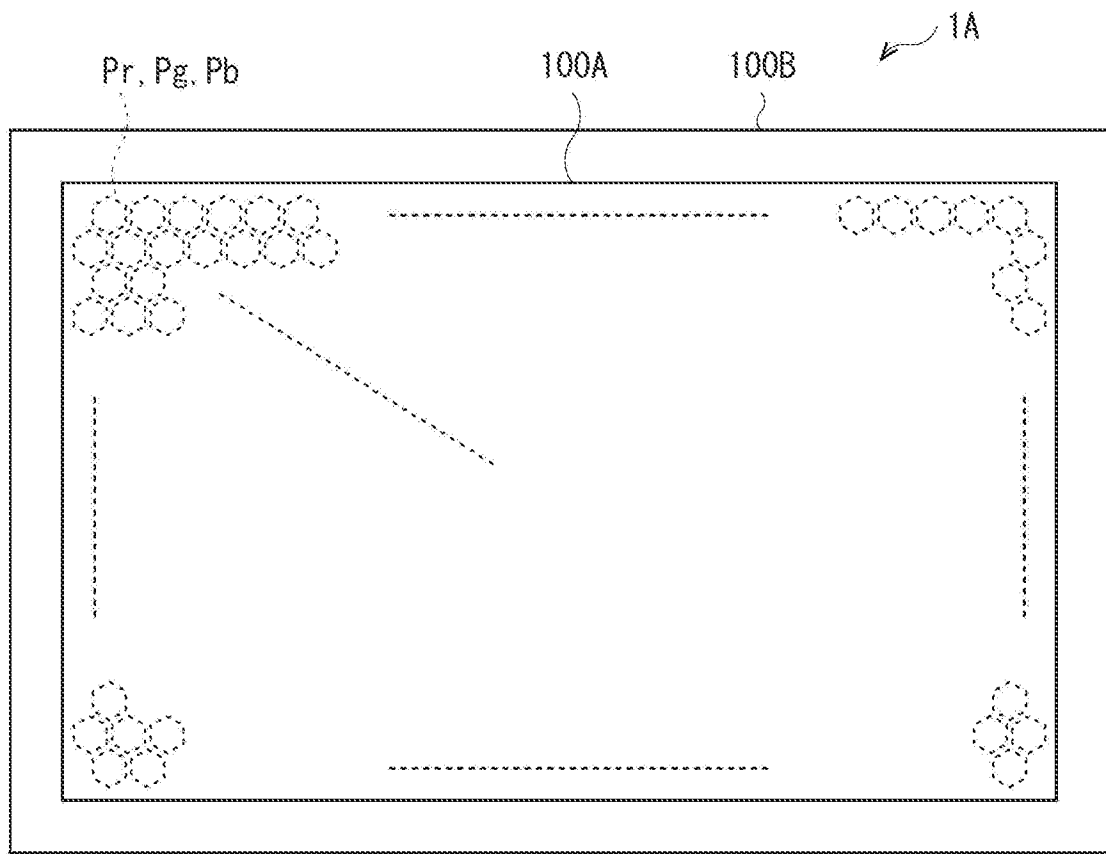
[図11]



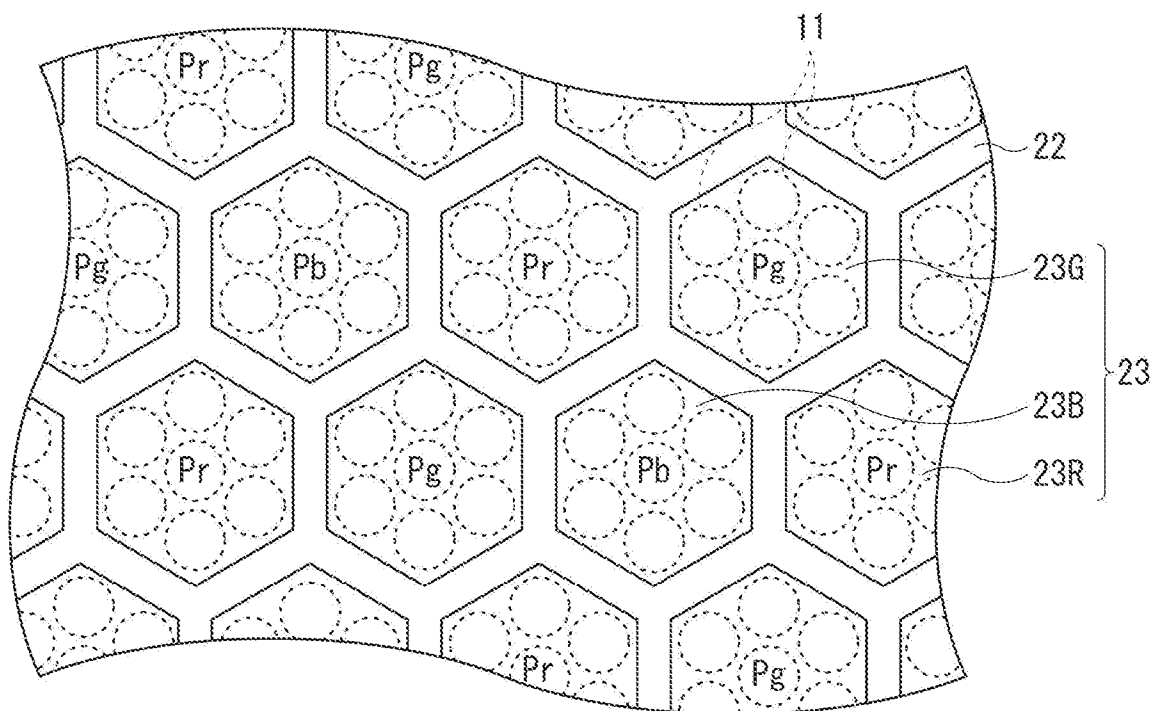
[図12]



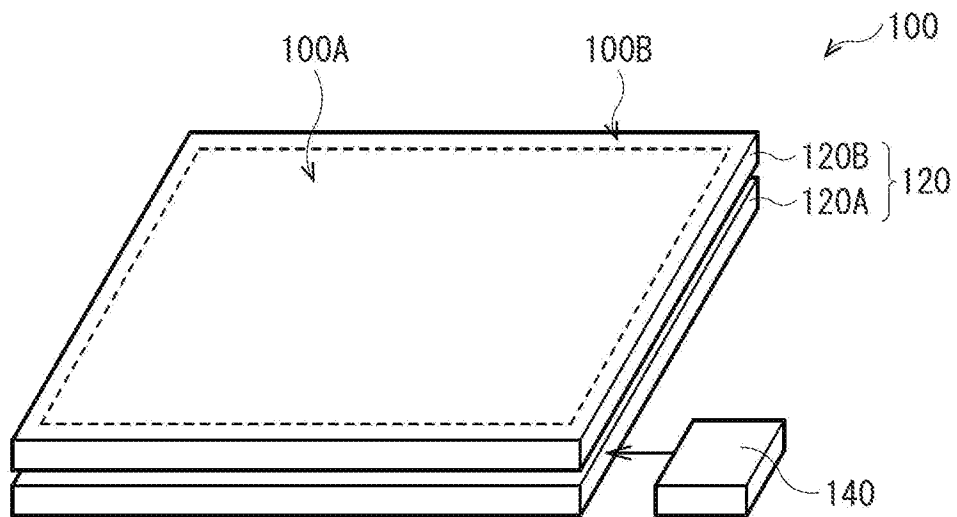
[図13]



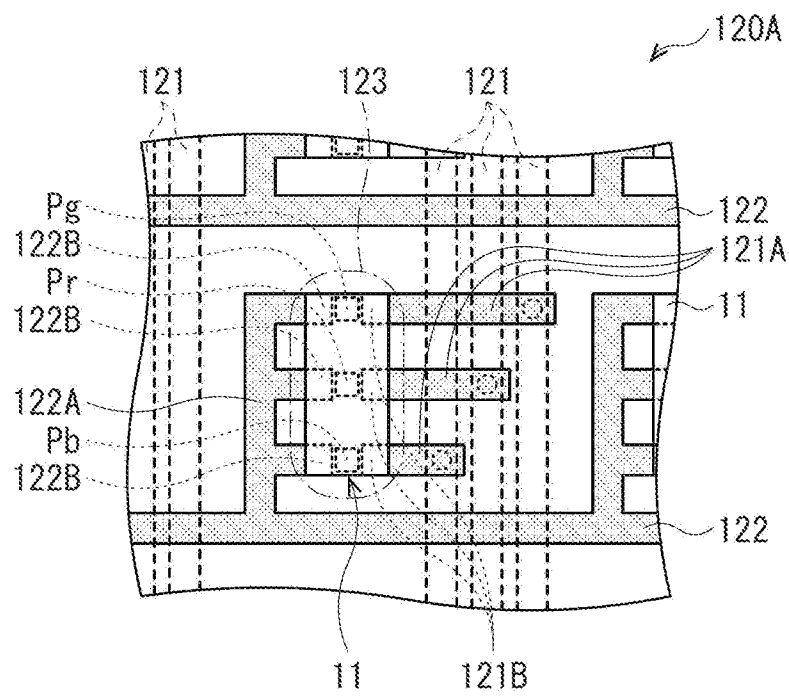
[図14]



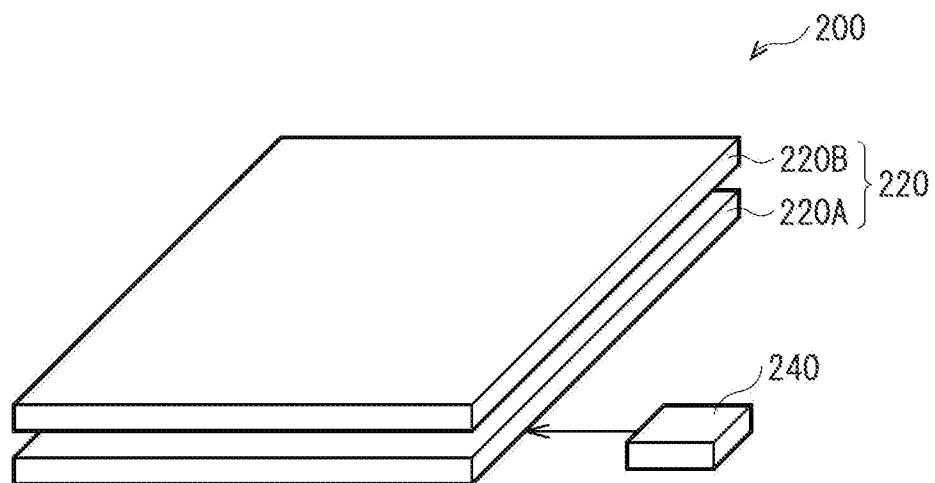
[図15]



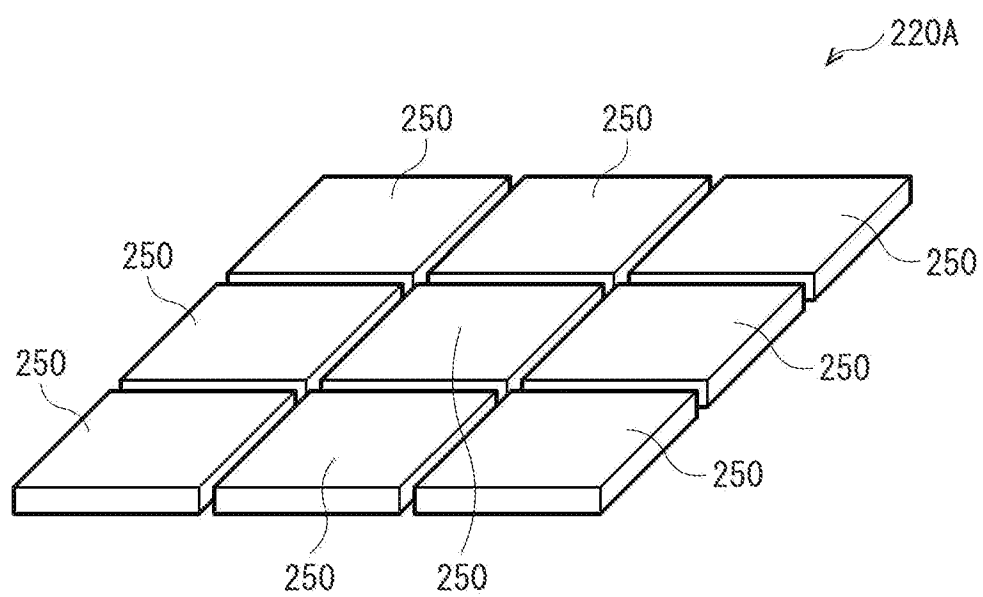
[図16]



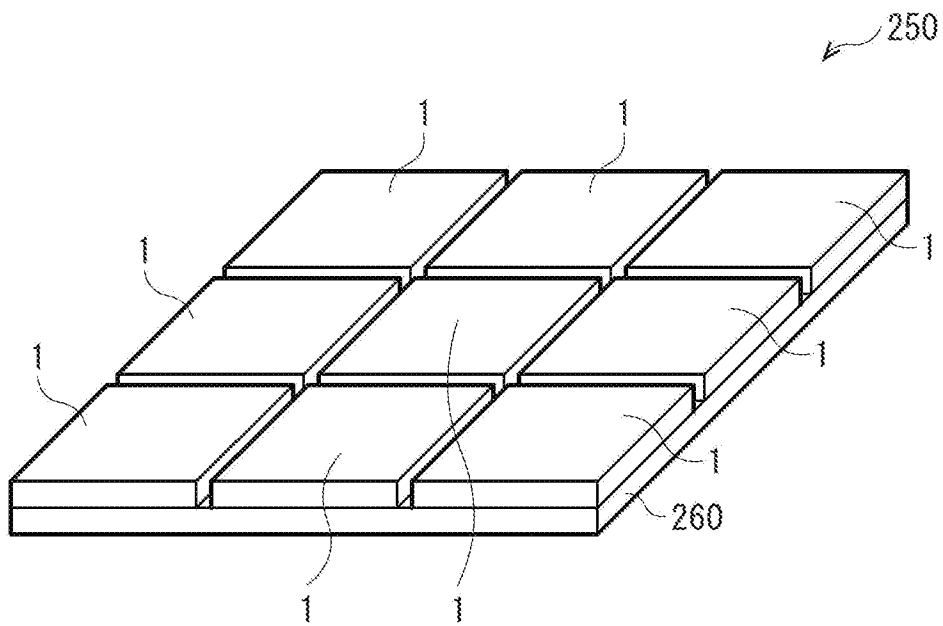
[図17]



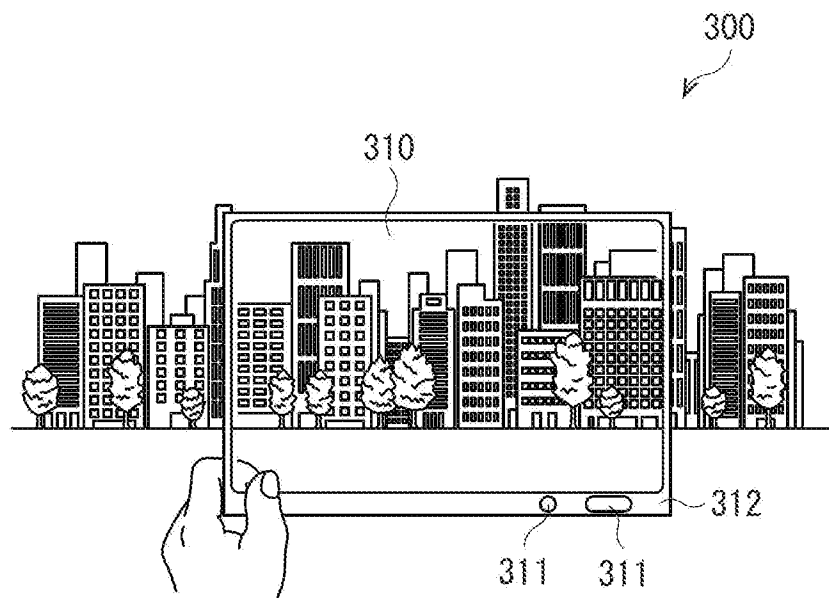
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/003556

A. CLASSIFICATION OF SUBJECT MATTER H01L 33/62 (2010.01)i; G09F 9/30 (2006.01)i; G09F 9/302 (2006.01)i; G09F 9/33 (2006.01)i; H01L 33/08 (2010.01)i; H01L 33/50 (2010.01)i; H01L 33/58 (2010.01)i FI: H01L33/62; H01L33/08; H01L33/50; H01L33/58; G09F9/30 330; G09F9/30 349Z; G09F9/302 Z; G09F9/33 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L33/00-33/64; H01S5/00-5/50; G09F9/30-9/33 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115101652 A (PLAYNITRIDE DISPLAY TECHNOLOGY CO., LTD.) 23 September 2022 (2022-09-23) paragraphs [0041]-[0053], fig. 2A-2B	1-2, 9
Y		3-4, 7-8
A		5-6
Y	WO 2022/185976 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 09 September 2022 (2022-09-09) paragraphs [0011]-[0044], fig. 1	3, 7-8
Y	JP 2009-277705 A (KOA CORP.) 26 November 2009 (2009-11-26) paragraphs [0043]-[0057], fig. 3-4, 7	4, 7-8
A		5-6
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 28 February 2024		Date of mailing of the international search report 12 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2020/0235161 A1 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION OF SUNCHON NATIONAL UNIVERSITY) 23 July 2020 (2020-07-23) paragraphs [0095]-[0108], fig. 4	4, 7-8
A		5-6
A	WO 2007/004450 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 11 January 2007 (2007-01-11) entire text, all drawings	5-6
A	US 2017/0162091 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 08 June 2017 (2017-06-08) entire text, all drawings	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/003556

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115101652	A	23 September 2022	US	2023/0055323	A1	
				paragraphs [0015]-[0027], fig. 2A-2B			
				JP	2023-29246	A	
				paragraphs [0010]-[0022], fig. 2A-2B			
				KR	10-2023-0028180	A	
WO	2022/185976	A1	09 September 2022	CN	117015863	A	
				KR	10-2023-0153393	A	
JP	2009-277705	A	26 November 2009	(Family: none)			
US	2020/0235161	A1	23 July 2020	WO	2018/143525	A1	
				KR	10-1873259	B1	
WO	2007/004450	A1	11 January 2007	US	2009/0310062	A1	
				entire text, all drawings			
				EP	1909026	A1	
				CN	101218465	A	
				KR	10-2008-0033164	A	
US	2017/0162091	A1	08 June 2017	TW	201721618	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 33/62(2010.01)i; G09F 9/30(2006.01)i; G09F 9/302(2006.01)i; G09F 9/33(2006.01)i;
H01L 33/08(2010.01)i; H01L 33/50(2010.01)i; H01L 33/58(2010.01)i
FI: H01L33/62; H01L33/08; H01L33/50; H01L33/58; G09F9/30 330; G09F9/30 349Z; G09F9/302 Z; G09F9/33

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L33/00-33/64; H01S5/00-5/50; G09F9/30-9/33

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	CN 115101652 A (PLAYNITRIDE DISPLAY TECHNOLOGY CO., LTD.) 23.09.2022 (2022 - 09 - 23) [0041]-[0053], 図2A-2B	1-2, 9
Y		3-4, 7-8
A		5-6
Y	WO 2022/185976 A1 (ソニーセミコンダクタソリューションズ株式会社) 09.09.2022 (2022 - 09 - 09) [0011]-[0044], 図1	3, 7-8
Y	JP 2009-277705 A (コア株式会社) 26.11.2009 (2009 - 11 - 26) [0043]-[0057], 図3-4, 7	4, 7-8
A		5-6

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 28.02.2024

国際調査報告の発送日 12.03.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

右田 昌士 2K 9513

電話番号 03-3581-1101 内線 3255

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2020/0235161 A1 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION OF SUNCHON NATIONAL UNIVERSITY) 23.07.2020 (2020 - 07 - 23) [0095]-[0108], 図4	4, 7-8
A		5-6
A	WO 2007/004450 A1 (パナソニック株式会社) 11.01.2007 (2007 - 01 - 11) 全文全図	5-6
A	US 2017/0162091 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 08.06.2017 (2017 - 06 - 08) 全文全図	1-9

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/003556

引用文献			公表日	パテントファミリー文献			公表日
CN	115101652	A	23.09.2022	US	2023/0055323	A1	
				[0015]-[0027], 図2A-2B			
				JP	2023-29246	A	
				[0010]-[0022], 図2A-2B			
				KR	10-2023-0028180	A	

WO	2022/185976	A1	09.09.2022	CN	117015863	A	
				KR	10-2023-0153393	A	

JP	2009-277705	A	26.11.2009	(ファミリーなし)			

US	2020/0235161	A1	23.07.2020	WO	2018/143525	A1	
				KR	10-1873259	B1	

WO	2007/004450	A1	11.01.2007	US	2009/0310062	A1	
				全文全図			
				EP	1909026	A1	
				CN	101218465	A	
				KR	10-2008-0033164	A	

US	2017/0162091	A1	08.06.2017	TW	201721618	A	
