

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 9 月 25 日 (25.09.2008)

PCT

(10) 国際公開番号
WO 2008/114331 A1(51) 国際特許分類:
G06F 15/173 (2006.01)中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
Kanagawa (JP).

(21) 国際出願番号: PCT/JP2007/053091

(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

(22) 国際出願日: 2007 年 2 月 20 日 (20.02.2007)

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

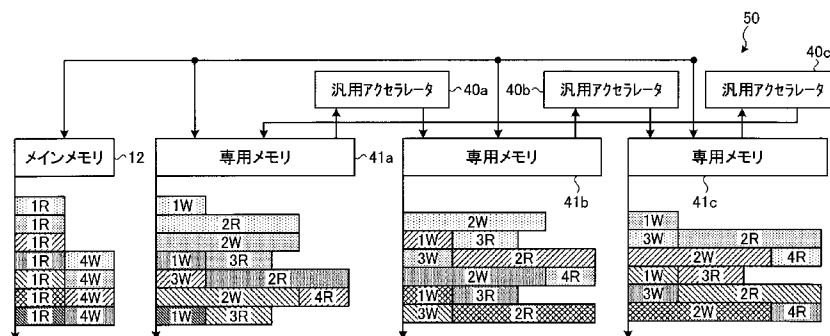
(75) 発明者/出願人 (米国についてのみ): 安島 雄一郎 (AJIMA, Yuichiro) [JP/JP]; 〒2118588 神奈川県川崎市

[続葉有]

(54) Title: ACCELERATOR CHIP, CALCULATOR HAVING ACCELERATOR CHIP MOUNTED THEREON, AND OPERATING METHOD USING ACCELERATOR CHIP

(54) 発明の名称: アクセラレータチップ、アクセラレータチップを搭載した計算機、アクセラレータチップで行う演算方法

[図4]



12. MAIN MEMORY
41a. DEDICATED MEMORY
40a. GENERAL-PURPOSE ACCELERATOR
41b. DEDICATED MEMORY
40b. GENERAL-PURPOSE ACCELERATOR
41c. DEDICATED MEMORY
40c. GENERAL-PURPOSE ACCELERATOR

(57) Abstract: A main memory and dedicated memories are connected to permit data transmission and reception between the main memory and the dedicated memories, and the same number of general-purpose accelerators and the dedicated memories are alternately connected ring-like. Thus, data is read to each dedicated memory from the main memory by a DMA controller and the like, and processing can be started from any dedicated memory. The bandwidths relating to data reading/writing are averaged for the dedicated memories by permitting each general-purpose accelerator to write processed data on the dedicated memory connected in the same direction in the ring shape.

(57) 要約: メインメモリと各専用メモリとの間でデータの送受信が可能となるように接続し、かつ、それぞれ同数の汎用アクセラレータと専用メモリを交互にリング状に接続する。こうすることで、DMAコントローラなどによってメインメモリから各専用メモリにデータが読み出され、いずれの専用

[続葉有]

WO 2008/114331 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

アクセラレータチップ、アクセラレータチップを搭載した計算機、アクセラレータチップで行う演算方法

技術分野

[0001] この発明は、アクセラレータチップ、アクセラレータチップを搭載した計算機、アクセラレータチップで行う演算方法に関する。

背景技術

[0002] コンピュータで動画像や三次元グラフィックなどを扱う際には、大規模な数値演算処理が必要とされる。そのため、近年ではCPU (Central Processing Unit) の負荷を軽減する演算アクセラレータに関する技術が考案されている。

[0003] 例えば、特許文献1では、グラフィックアクセラレータにおいて、画素ごとにRGB (Red-Blue-Green) からなる3色情報のうち2色情報に削減して所定の記憶部に格納して演算処理を行う技術が開示されている。

[0004] また、多数の演算アクセラレータを並列実行することで大規模な数値演算処理を高速に行う技術がある。ここで、図1を用いて、特定の数値演算処理を行う専用アクセラレータ (例えば、画像処理に特化したものなど) と、当該専用アクセラレータの処理結果 (中間結果) を格納する専用メモリとをそれぞれ複数で構成して演算処理を行う場合を説明する。なお、図中では、メインメモリ12や専用メモリ11a~11cを示した箱の横幅を各メモリのメモリ帯域幅として表現している。また、その箱の下には、当該メモリ帯域幅の制限内で行われているデータの読み込み (Read) およびデータの書き込み (Write) が、当該データの読み書きを行う主体と、読み書きされる時間経過とで区別されて表現されている。例えば、専用メモリ11bでは、2Wの帯域幅でデータが書き込まれつつ3Rの帯域幅でデータが読み出されている状況で、当該専用メモリ11bのメモリ帯域幅が最大限使用されている状態となる。また、2Wの帯域幅でデータが書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータが3Rの帯域幅で読み出されるとともに、新たなデータが2Wの帯域幅で書き込まれる。なお、同じ主体によって行われたデータの読み書きについては同じ

数字が割り当てられ、処理が行われる順に当該数字が大きくなる。

[0005] 例えば、図1に示すように、専用アクセラレータ10aは、DMA (Direct Memory Access) コントローラなどによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で専用メモリ11aに書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ11aから2Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを2Wの帯域幅で専用メモリ11bに書き込む。

[0006] そして、専用アクセラレータ10aは、専用アクセラレータ10bによる処理結果であるデータが2Wの帯域幅で専用メモリ11aに書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ11bから3Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを3Wの帯域幅で専用メモリ11cに書き込む。なお、専用アクセラレータ10bによって専用メモリ11cに書き込まれたデータについては、DMAコントローラなどによって専用メモリ11cから4Rの帯域幅で読み出されて4Wの帯域幅でメインメモリ12に書き込まれる。

[0007] 次に、図2を用いて、不特定の数値演算処理が可能な複数の汎用アクセラレータが一つの専用メモリを使用して演算処理を行う場合を説明する。なお、図2においては、図1の専用アクセラレータ10aや専用アクセラレータ10bが行った一連の処理と同一の処理を行うものとして説明する。また、専用メモリ21を示す箱で表現される内容は図1と同様であり、例えば、1Wの帯域幅でデータが書き込まれつつ、さらに2Rの帯域幅でデータが読み出されつつ、さらに2Wの帯域幅でデータが書き込まれつつ、さらに3Rの帯域幅でデータが読み出されつつ、さらに3Wの帯域幅でデータが書き込まれつつ4Rの帯域幅でデータが読み出されている状況で、当該専用メモリ21のメモリ帯域幅が最大限使用されている状態となる。

[0008] 図2に示すように、汎用アクセラレータ20aは、DMAコントローラなどによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で専用メモリ21に書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ21から2Rの帯域幅で読み出し、当該読み出した

データに対して特定の処理を行い、処理結果となるデータを2Wの帯域幅で同じく専用メモリ21に書き込む。

[0009] そして、汎用アクセラレータ20bは、汎用アクセラレータ20aによる処理結果であるデータが2Wの帯域幅で専用メモリ21に書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ21から3Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを3Wの帯域幅で同じく専用メモリ21に書き込む。なお、汎用アクセラレータ20bによって専用メモリ21に書き込まれたデータについては、DMAコントローラなどによって専用メモリ21から4Rの帯域幅で読み出されて4Wの帯域幅でメインメモリ12に書き込まれる。

[0010] 次に、図3を用いて、不特定の数値演算処理を行う汎用アクセラレータと、当該汎用アクセラレータの処理結果(中間結果)を格納する専用メモリとをそれぞれ複数で構成して演算処理を行う場合を説明する。なお、図3においても、図1の専用アクセラレータ10aや専用アクセラレータ10bが行った一連の処理と同一の処理を行うものとして説明する。

[0011] 図3に示すように、汎用アクセラレータ30aは、DMAコントローラなどによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で専用メモリ31aに書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ31aから2Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを2Wの帯域幅で同じく専用メモリ31aに書き込む。

[0012] さらに、汎用アクセラレータ30aは、自身の処理結果であるデータが2Wの帯域幅で専用メモリ31aに書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ31aから3Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを3Wの帯域幅で同じく専用メモリ31aに書き込む。なお、汎用アクセラレータ30aによって専用メモリ31aに書き込まれたデータについては、DMAコントローラなどによって専用メモリ31aから4Rの帯域幅で読み出されて4Wの帯域幅でメインメモリ12に書き込まれる

。なお、DMAコントローラなどによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で書き込まれる対象については、専用メモリ31a～31c間で循環して移り変わる。

[0013] 特許文献1:特開2001-195050号公報

発明の開示

発明が解決しようとする課題

[0014] ところで、上記した従来の技術は、特定の数値演算処理を行う専用アクセラレータと専用メモリとをそれぞれ複数で構成して演算処理を行う場合には(図1参照)、専用アクセラレータが特定の数値演算処理に特化しているので、当該特定の数値演算処理以外の他の演算処理に転用できないという課題があった。また、不特定の数値演算処理が可能な複数の汎用アクセラレータと一つの専用メモリとを使用して演算処理を行う場合には(図2参照)、専用メモリから各汎用アクセラレータにデータが振り分けられるためのスイッチが複雑になるので、メモリ帯域幅の拡大が困難であるという課題があった。また、不特定の数値演算処理を行う汎用アクセラレータと専用メモリとをそれぞれ複数で構成して演算処理を行う場合には(図3参照)、データの読み書きが最大になる帯域幅以外の読み書きにおいてメモリ帯域幅の利用効率が悪いという課題があった。

[0015] そこで、この発明は、上述した従来技術の課題を解決するためになされたものであり、任意の演算処理に転用でき、メモリ帯域幅の拡大が容易であり、メモリ帯域幅の利用効率を上げることが可能なアクセラレータチップを提供することを目的とする。

課題を解決するための手段

[0016] 上述した課題を解決し、目的を達成するため、請求項1に係る発明は、複数の汎用アクセラレータと、当該汎用アクセラレータと同数の専用メモリと、メインメモリとを備えるアクセラレータチップであって、前記メインメモリに格納されたデータまたは前記専用メモリに格納されたデータを前記メインメモリおよび前記専用メモリ間で転送する転送手段と、前記汎用アクセラレータが所定の前記専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の前記専用メモリに書き込むように、前記複数の汎用アクセラレータおよび前記専用メモリをリング状に接続する接続手段と

、を備えたことを特徴とする。

[0017] また、請求項2に係る発明は、上記の発明において、前記専用メモリは、それぞれ同一のメモリ帯域幅であることを特徴とする。

[0018] また、請求項3に係る発明は、複数の汎用アクセラレータと、当該汎用アクセラレータと同数の専用メモリと、メインメモリとを備えるアクセラレータチップを搭載した計算機であって、前記メインメモリに格納されたデータまたは前記専用メモリに格納されたデータを前記メインメモリおよび前記専用メモリ間で転送する転送手段と、前記汎用アクセラレータが所定の前記専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の前記専用メモリに書き込むように、前記複数の汎用アクセラレータおよび前記専用メモリをリング状に接続する接続手段と、を備えたことを特徴とする。

[0019] また、請求項4に係る発明は、複数の汎用アクセラレータと、当該汎用アクセラレータと同数の専用メモリと、メインメモリとを備え、前記複数の汎用アクセラレータおよび前記専用メモリをリング状に接続して構成されるアクセラレータチップで行う演算方法であって、前記メインメモリに格納されたデータまたは前記専用メモリに格納されたデータを前記メインメモリおよび前記専用メモリ間で転送する転送工程と、前記汎用アクセラレータが所定の前記専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを前記リング状で隣り合う前記専用メモリに書き込むように制御する制御工程と、を含んだことを特徴とする。

発明の効果

[0020] 請求項1、3または4の発明によれば、メインメモリに格納されたデータまたは専用メモリに格納されたデータについては、メインメモリおよび専用メモリ間で転送され、汎用アクセラレータが所定の専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の専用メモリに書き込むように、複数の汎用アクセラレータおよび専用メモリをリング状に接続するので、汎用のアクセラレータであり、専用アクセラレータとして特定の数値演算処理に特化することがないので、任意の演算処理に転用でき、また、各メモリに接続する汎用アクセラレータが多数にならず、スイッチが簡易なものとなるので、メモリ帯域幅の拡大が容易であり、また、複数の専用メモリ間でデ

ータの読み書きに係る帯域幅が平均化されるので、メモリ帯域幅の利用効率を上げることが可能となる。

[0021] また、請求項2の発明によれば、専用メモリは、それぞれ同一のメモリ帯域幅であるので、専用メモリ間で帯域幅の違いを考慮する必要をなくすることが可能となる。

図面の簡単な説明

[0022] [図1]図1は、専用アクセラレータが複数の専用メモリにまたがって処理を行う手法を説明するための図である。

[図2]図2は、複数の汎用アクセラレータが一つの専用メモリを共有して処理を行う手法を説明するための図である。

[図3]図3は、汎用アクセラレータが専用メモリを使用して処理を行う手法を説明するための図である。

[図4]図4は、汎用アクセラレータをリング状に接続して処理を行う手法を説明するための図である。

[図5]図5は、本発明を適用したアクセラレータチップの一例を示す図である。

[図6]図6は、本発明を適用したアクセラレータチップの一例を示す図である。

符号の説明

[0023] 10a～10b 専用アクセラレータ
11a～11c 専用メモリ
12 メインメモリ
20a～20b 汎用アクセラレータ
21 専用メモリ
30a 汎用アクセラレータ
31a 専用メモリ
40a～40c 汎用アクセラレータ
41a～41c 汎用アクセラレータ
50 アクセラレータチップ

発明を実施するための最良の形態

[0024] 以下に添付図面を参照して、この発明に係るアクセラレータチップ、アクセラレータ

チップを搭載した計算機およびアクセラレータチップで行う演算方法の実施例を詳細に説明する。

実施例 1

- [0025] 図4を用いて、実施例1に係るアクセラレータチップ50を説明する。アクセラレータチップ50は、3つの汎用アクセラレータ40a～40cと、同数の専用メモリ41a～41cとで構成される。また、アクセラレータチップ50は、メインメモリ12と専用メモリ41a～41cを接続する配線と、汎用アクセラレータ40a～40cと専用メモリ41a～41cを接続する配線とを備える。なお、メインメモリ12と専用メモリ41a～41cを接続する配線は、請求の範囲に記載の「転送手段」に対応し、汎用アクセラレータ40a～40cと専用メモリ41a～41cを接続する配線は、同じく「接続手段」に対応する。
- [0026] メインメモリ12と専用メモリ41a～41cを接続する配線は、メインメモリ12に格納されたデータまたは専用メモリ41a～41cに格納されたデータについて、メインメモリ12および専用メモリ41a～41c間で転送可能にする。
- [0027] 具体的には、図4に示すように、メインメモリ12と専用メモリ41a～41cを接続する配線は、メインメモリ12に格納され、処理の対象となるデータがDMAコントローラによってメインメモリ12から読み出されて専用メモリ41a、専用メモリ41b、専用メモリ41cいずれかに対して書き込み可能にする。また、メインメモリ12と専用メモリ41a～41cを接続する配線は、専用メモリ41a、専用メモリ41b、または専用メモリ41cに書き込まれた汎用アクセラレータ40a～40cの処理結果となるデータがDMAコントローラによって専用メモリ41a、専用メモリ41b、または専用メモリ41cから読み出されてメインメモリ12に書き込み可能にする。
- [0028] さらに、汎用アクセラレータ40a～40cと専用メモリ41a～41cを接続する配線は、汎用アクセラレータ40a～40cが所定の専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の専用メモリに書き込むように、汎用アクセラレータ40a～40cおよび当該アクセラレータと同数の専用メモリ41a～41cをリング状に接続する。
- [0029] 具体的には、図4に示すように、アクセラレータチップ50では、汎用アクセラレータ40a～40cと専用メモリ41a～41cを接続する配線によって、汎用アクセラレータ40aが

専用メモリ41aと専用メモリ41bに接続され、汎用アクセラレータ40bが専用メモリ41bと専用メモリ41cに接続され、汎用アクセラレータ40cが専用メモリ41cと専用メモリ41aに接続される。つまり、専用メモリ41aから右回りで次の接続先へとどっていった場合には、専用メモリ41a、汎用アクセラレータ40a、専用メモリ41b、汎用アクセラレータ40b、専用メモリ41c、汎用アクセラレータ40c、そして専用メモリ41aへと戻り、同数の汎用アクセラレータ40a～40cと専用メモリ41a～41cが交互に接続されてリング状に閉じた状態となっている。なお、専用メモリ41a～41cは、それぞれ同一のメモリ帯域幅を備える。

[0030] ここで、図4を用いて、各汎用アクセラレータ40a～40cの処理を説明する。汎用アクセラレータ40aは、DMAコントローラによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で専用メモリ41aに書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ41aから2Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを2Wの帯域幅で専用メモリ41bに書き込む。

[0031] そして、汎用アクセラレータ40bは、汎用アクセラレータ40aによる処理結果であるデータが2Wの帯域幅で専用メモリ41bに書き込まれた後のタイミングで、当該データが書き込まれたことによって読み出す必要が生じたデータを専用メモリ41bから3Rの帯域幅で読み出し、当該読み出したデータに対して特定の処理を行い、処理結果となるデータを3Wの帯域幅で専用メモリ41cに書き込む。なお、汎用アクセラレータ40bによって専用メモリ41cに書き込まれたデータについては、DMAコントローラによって専用メモリ41cから4Rの帯域幅で読み出されて4Wの帯域幅でメインメモリ12に書き込まれる。

[0032] 次に、汎用アクセラレータ40cは、上記した右回りのデータの読み書きを、DMAコントローラによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で専用メモリ41cに書き込まれた後のタイミングで行う。また、汎用アクセラレータ40bは、上記した右回りのデータの読み書きを、DMAコントローラによって所定のデータがメインメモリ12から1Rの帯域幅で読み出されて1Wの帯域幅で専用メモリ41bに書き込まれた後のタイミングで行う。なお、データの読み書きが右回りで

あることについては、これに限定されるものではなく、左回りであってもよい。

[0033] 上記で説明したアクセラレータチップ50は、以下のように実装可能である。図5では、8つの汎用アクセラレータと8つの専用メモリで構成されたアクセラレータチップを示す。このアクセラレータチップにおいても、8つの専用メモリを真中にして両側で4つの汎用アクセラレータが挟む形になっているが、矢印をたどれば専用メモリと汎用アクセラレータが交互に接続されてリング状に閉じた状態となっている。なお、図5に示した構成のアクセラレータチップの特徴としては、アクセラレータの数を増やして大規模にすると、アクセラレータが横並びになる方向へ大きくなることである。

[0034] 図6では、8つの汎用アクセラレータと8つのメモリコントローラで構成されたアクセラレータチップを示す。このように、メモリコントローラを内部に備えて専用メモリについては外付けとしたアクセラレータチップであってもよい。このアクセラレータチップにおいても、8つの汎用アクセラレータと8つのメモリコントローラが並列となっているが、矢印をたどれば専用メモリと汎用アクセラレータが交互に接続されてリング状に閉じた状態となっている。なお、図6に示した構成のアクセラレータチップの特徴としては、アクセラレータの数を増やして大規模にしても、アクセラレータが横並びになる方向へ大きくなる傾向を、図5に示した構成のアクセラレータチップより抑えられることにある。

[0035] 上記したように、実施例1によれば、メインメモリに格納されたデータまたは専用メモリに格納されたデータをメインメモリおよび専用メモリ間で転送し、汎用アクセラレータが所定の専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の専用メモリに書き込むように、複数の汎用アクセラレータおよび専用メモリをリング状に接続するので、汎用のアクセラレータであり、専用アクセラレータとして特定の数値演算処理に特化することがないので、任意の演算処理に転用でき、また、各メモリに接続する汎用アクセラレータが多数にならず、スイッチが簡易なものとなるので、メモリ帯域幅の拡大が容易であり、また、複数の専用メモリ間でデータの読み書きに係る帯域幅が平均化されるので、メモリ帯域幅の利用効率を上げることが可能となる。

[0036] また、実施例1によれば、専用メモリは、それぞれ同一のメモリ帯域幅であるので、

専用メモリ間で帯域幅の違いを考慮する必要をなくすることが可能となる。

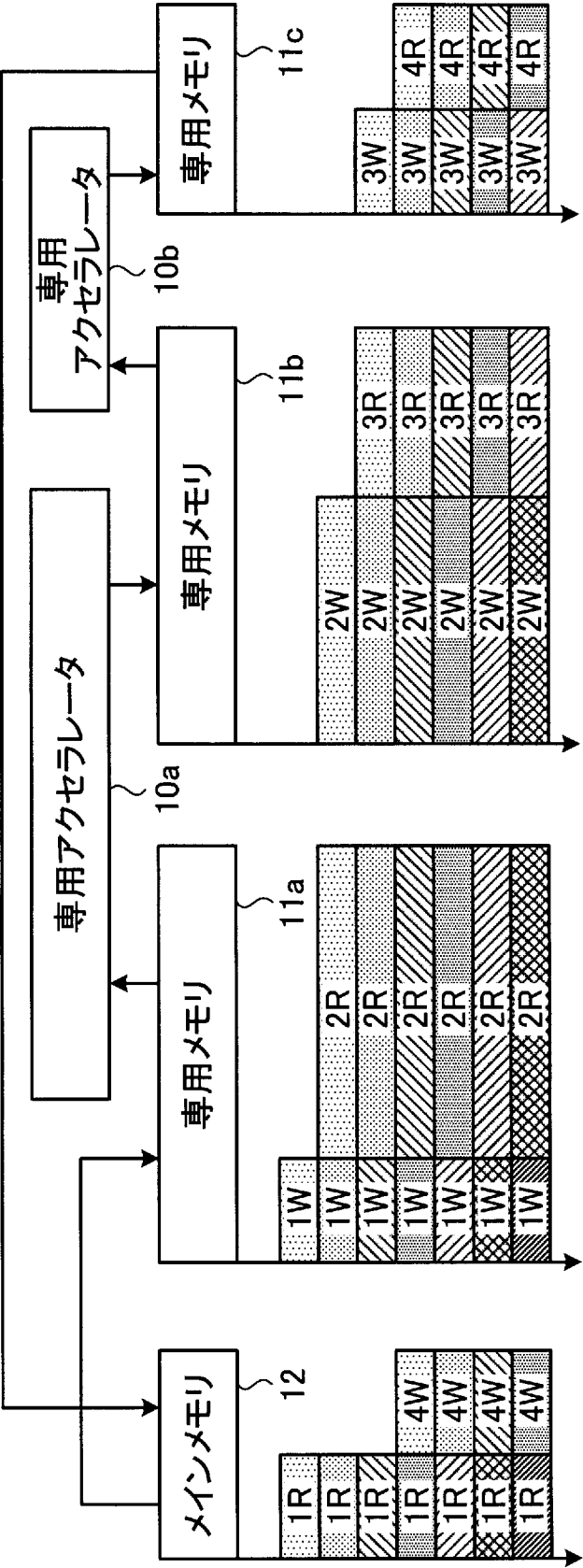
産業上の利用可能性

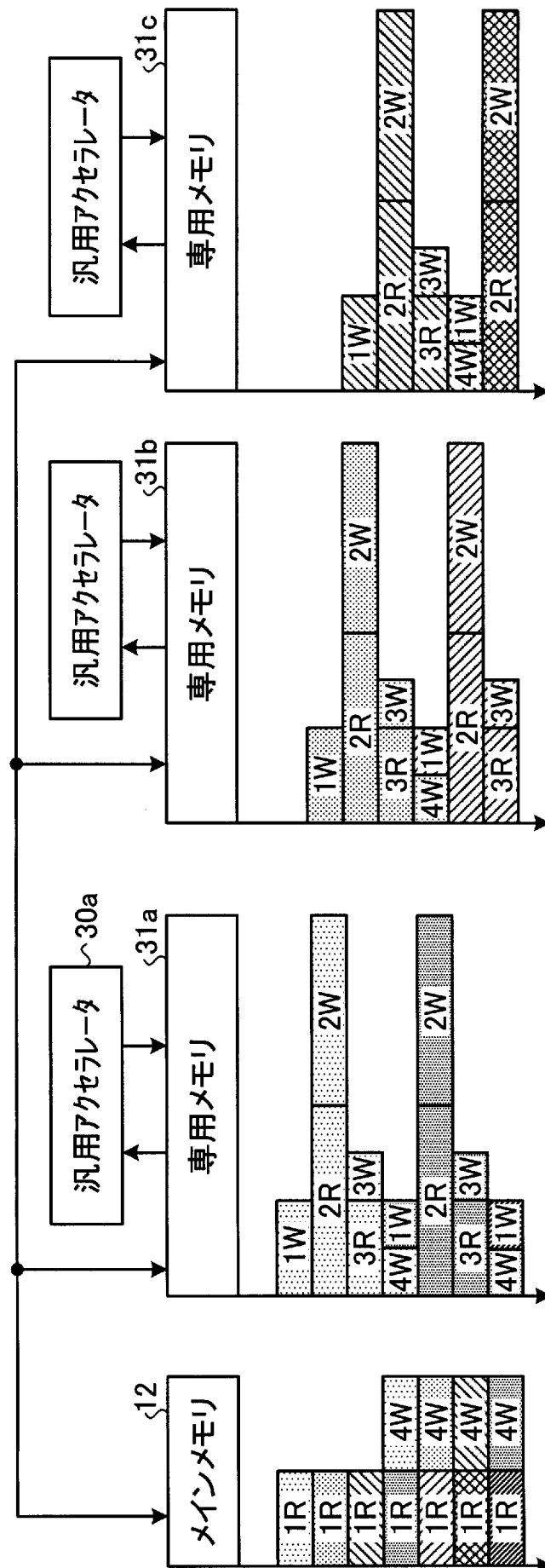
[0037] 以上のように、本発明に係るアクセラレータチップ、アクセラレータチップを搭載した計算機、アクセラレータチップで行う演算方法は、任意の演算処理に転用でき、メモリ帯域幅の拡大が容易であり、メモリ帯域幅の利用効率を上げることに適する。

請求の範囲

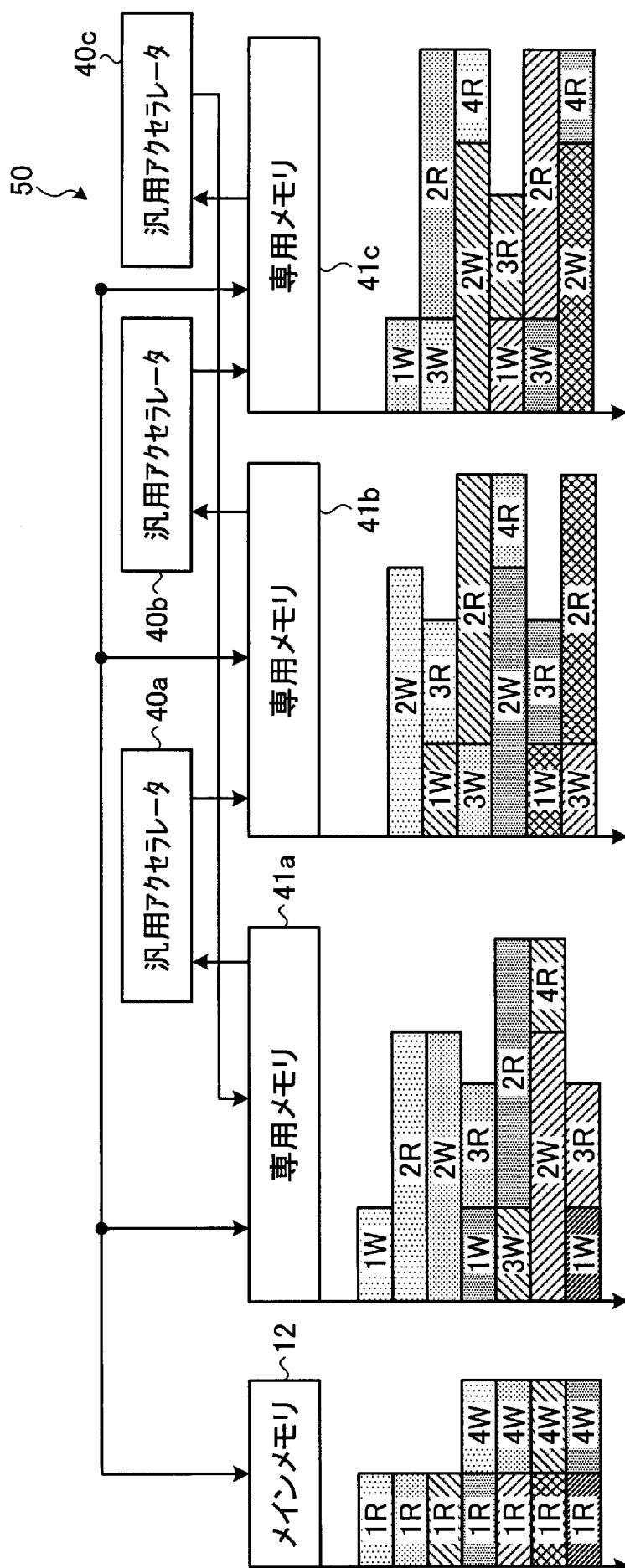
- [1] 複数の汎用アクセラレータと、当該汎用アクセラレータと同数の専用メモリと、メインメモリとを備えるアクセラレータチップであって、
- 前記メインメモリに格納されたデータまたは前記専用メモリに格納されたデータを前記メインメモリおよび前記専用メモリ間で転送する転送手段と、
- 前記汎用アクセラレータが所定の前記専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の前記専用メモリに書き込むように、前記複数の汎用アクセラレータおよび前記専用メモリをリング状に接続する接続手段と、
- を備えたことを特徴とするアクセラレータチップ。
- [2] 前記専用メモリは、それぞれ同一のメモリ帯域幅であることを特徴とする請求項1に記載のアクセラレータチップ。
- [3] 複数の汎用アクセラレータと、当該汎用アクセラレータと同数の専用メモリと、メインメモリとを備えるアクセラレータチップを搭載した計算機であって、
- 前記メインメモリに格納されたデータまたは前記専用メモリに格納されたデータを前記メインメモリおよび前記専用メモリ間で転送する転送手段と、
- 前記汎用アクセラレータが所定の前記専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを他の前記専用メモリに書き込むように、前記複数の汎用アクセラレータおよび前記専用メモリをリング状に接続する接続手段と、
- を備えたことを特徴とする計算機。
- [4] 複数の汎用アクセラレータと、当該汎用アクセラレータと同数の専用メモリと、メインメモリとを備え、前記複数の汎用アクセラレータおよび前記専用メモリをリング状に接続して構成されるアクセラレータチップで行う演算方法であって、
- 前記メインメモリに格納されたデータまたは前記専用メモリに格納されたデータを前記メインメモリおよび前記専用メモリ間で転送する転送工程と、
- 前記汎用アクセラレータが所定の前記専用メモリからデータを読み出して処理しつつ、当該処理した結果のデータを前記リング状で隣り合う前記専用メモリに書き込むように制御する制御工程と、
- を含んだことを特徴とする演算方法。

[図1]

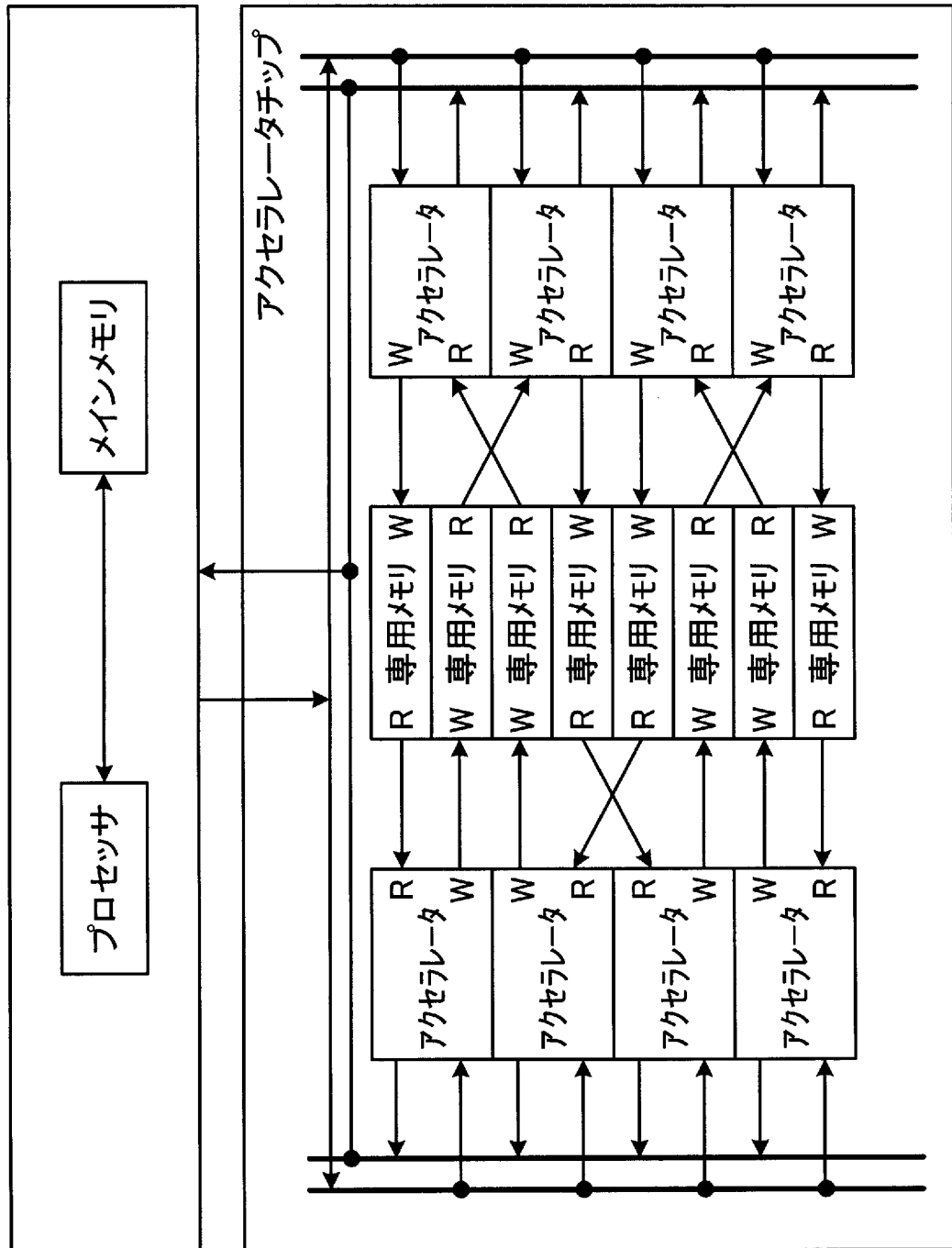




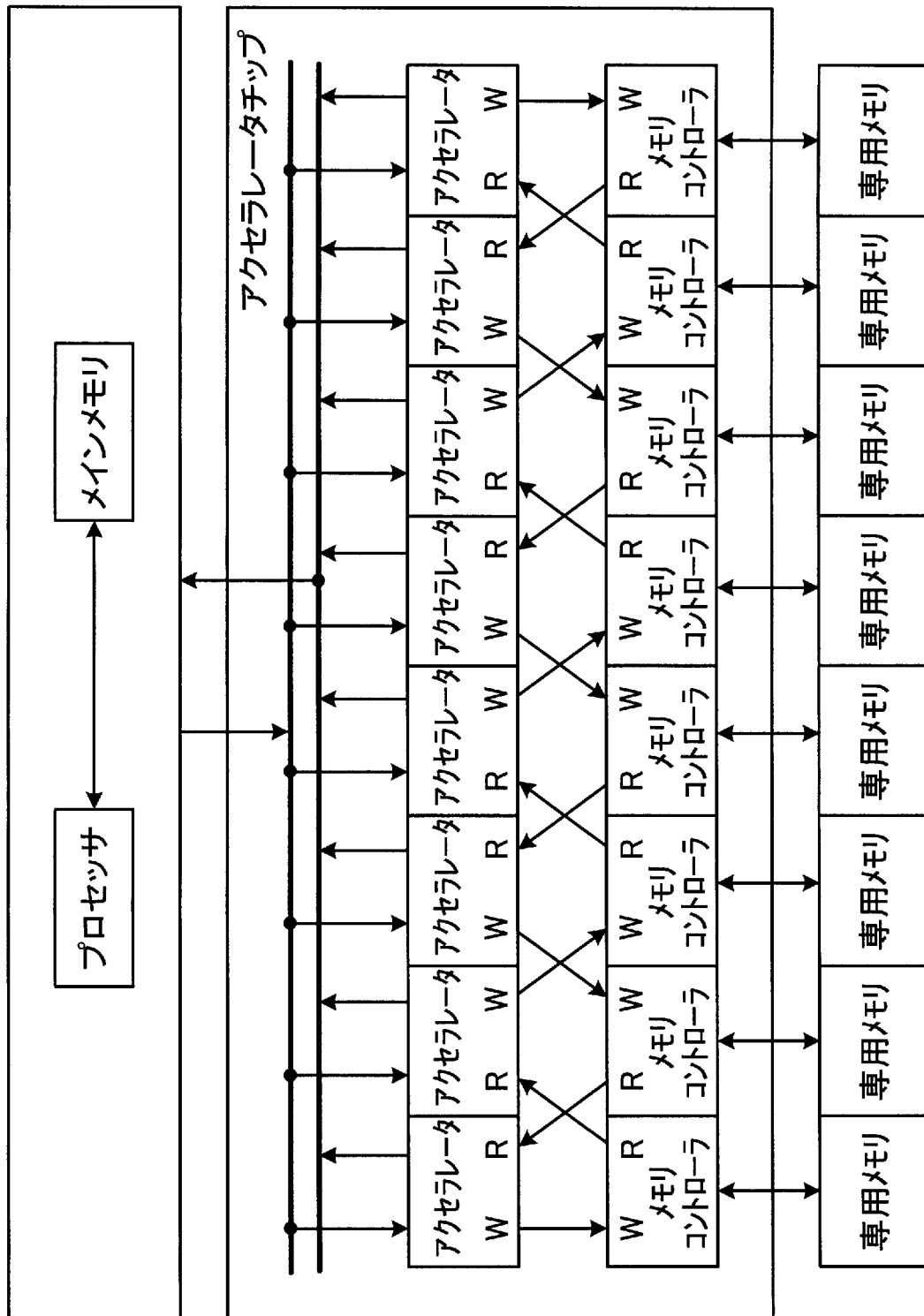
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053091

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/173(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-067329 A (Mitsumasa KOYANAGI), 16 March, 2001 (16.03.01), Full text; all drawings (Family: none)	1-4
Y	JP 2002-207710 A (Mitsubishi Electric Corp.), 26 July, 2002 (26.07.02), Mode 1 for carrying out the Invention (Family: none)	1-4
Y	JP 1-177667 A (Director General of Communications Research Laboratory), 13 July, 1989 (13.07.89), Full text; all drawings (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May, 2007 (14.05.07)

Date of mailing of the international search report
22 May, 2007 (22.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 55-103664 A (NEC Corp.), 08 August, 1980 (08.08.80), Full text; all drawings (Family: none)	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F15/173(2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F15/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-067329 A（小柳光正）， 2001.03.16， 全文，全図，（ファミリーなし）	1-4
Y	JP 2002-207710 A（三菱電機株式会社）， 2002.07.26， 実施の形態1，（ファミリーなし）	1-4
Y	JP 1-177667 A（郵政省通信総合研究所長）， 1989.07.13， 全文，全図，（ファミリーなし）	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.05.2007

国際調査報告の発送日

22.05.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鳥居 稔

5B

8841

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 55-103664 A (日本電気株式会社), 1980.08.08, 全文, 全図, (ファミリーなし)	1-4