(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月7日(07.04.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/071010 A1

(51) 国際特許分類:
H01L 23/00 (2006.01) *H01L 25/07* (2006.01)
H01L 23/12 (2006.01) *H01L 25/18* (2006.01)
H01L 25/065 (2006.01) *H04B 1/38* (2015.01)

(21) 国際出願番号： PCT/JP2021/034466

(22) 国際出願日： 2021年9月21日(21.09.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-165329 2020年9月30日(30.09.2020) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 降谷 孝治 (**FURUTANI, Koji**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 吉川 修一, 外 (**YOSHIKAWA, Shuichi** et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階新居国際特許事務所内 Osaka (JP).

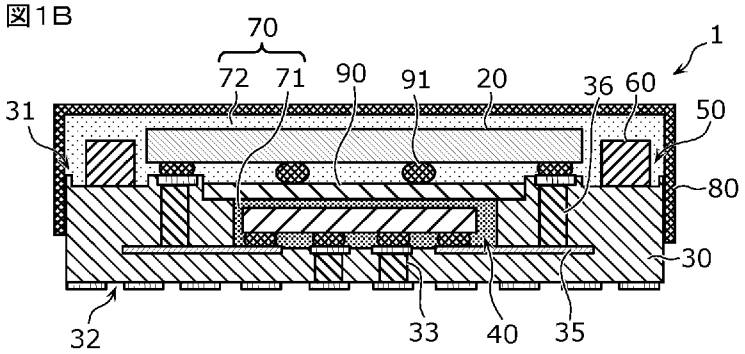
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) **Title:** HIGH-FREQUENCY MODULE AND COMMUNICATION DEVICE

(54) 発明の名称： 高周波モジュールおよび通信装置

図1B



(57) **Abstract:** This high-frequency module (1) comprises a layered substrate (30) which is composed of a plurality of stacked layers and has a first main surface (31) and a second main surface (32), a first semiconductor element (10), a second semiconductor element (20), and a metal layer (90). A first recess (40) is provided in the first main surface (31), the first semiconductor element (10) is mounted on the bottom surface of the first recess (40), the second semiconductor element (20) is mounted on the first main surface (31) such that the second semiconductor element (20) spans across the first recess (40), the first semiconductor element (10) is connected to a metal via (33) that penetrates from the bottom surface of the first recess (40) to the second main surface (32), and the metal layer (90) is provided between the first semiconductor element (10) and the second semiconductor element (20) such that the metal layer (90) spans across the first recess (40).

WO 2022/071010 A1

[続葉有]

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：高周波モジュール（１）は、複数の層が積層され、第１主面（３１）および第２主面（３２）を有する積層基板（３０）と、第１半導体素子（１０）と、第２半導体素子（２０）と、メタル層（９０）と、を備え、第１主面（３１）には第１凹部（４０）が設けられ、第１半導体素子（１０）は、第１凹部（４０）の底面に実装され、第２半導体素子（２０）は、第１凹部（４０）をまたぐように第１主面（３１）に実装され、第１半導体素子（１０）は、第１凹部（４０）の底面から第２主面（３２）までを貫通する金属ビア（３３）と接続され、メタル層（９０）は、第１半導体素子（１０）と第２半導体素子（２０）との間で、第１凹部（４０）をまたぐように設けられる。

明　細　書

発明の名称 ： 高周波モジュールおよび通信装置

技術分野

[0001] 本発明は、高周波モジュールおよび通信装置に関する。

背景技術

[0002] 例えば、特許文献１には、モジュール基板と、モジュール基板の一方の主面に実装されたローノイズアンプ、パワーアンプおよびスイッチＩＣと、モジュール基板の他方の主面に実装され、複数のセラミックが積層された構造からなる低温焼成セラミック部品と、を含むモジュールが開示されている。このような構成により、モジュールの小型化が可能となっている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１２－１９１０３９号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献１に開示されたような積層基板における部品には発熱するものがあり、このような部品に、積層基板を貫通する金属ビアが接続されて当該金属ビアを介して放熱が行われることがある。しかしながら、積層基板では、複数の層が積層されており、複数の層を貫通する金属ビアの長さが長くなりやすい。すなわち、放熱経路が長くなりやすく、十分な放熱性を得られないおそれがある。

[0005] そこで、本発明は、積層基板の放熱性を向上することができる高周波モジュールおよび通信装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様に係る高周波モジュールは、複数の層が積層され、第１主面および第２主面を有する積層基板と、第１半導体素子と、第２半導体素子と、メタル層と、を備え、第１主面には第１凹部が設けられ、第１半導体素

子は、第１凹部の底面に実装され、第２半導体素子は、第１凹部をまたぐように第１主面に実装され、第１半導体素子は、第１凹部の底面から第２主面までを貫通する金属ビアと接続され、メタル層は、第１半導体素子と第２半導体素子との間で、第１凹部をまたぐように設けられる。

[0007] 本発明の一態様に係る通信装置は、アンテナで送受信される高周波信号を処理するＲＦ信号処理回路と、アンテナとＲＦ信号処理回路との間で高周波信号を伝搬する上記の高周波モジュールと、を備える。

発明の効果

[0008] 本発明に係る高周波モジュール等によれば、積層基板の放熱性を向上することができる。

図面の簡単な説明

[0009] [図1A]図１Ａは、実施の形態に係る高周波モジュールの一例を示す外観斜視図である。

[図1B]図１Ｂは、実施の形態に係る高周波モジュールの一例を示す断面図である。

[図1C]図１Ｃは、実施の形態に係る高周波モジュールの他の一例を示す断面図である。

[図2]図２は、実施の形態に係る通信装置の第１例を示す回路構成図である。

[図3]図３は、実施の形態に係るバイアス調整回路の一例を示す回路構成図である。

[図4]図４は、実施の形態に係る通信装置の第２例を示す回路構成図である。

[図5]図５は、実施の形態に係る通信装置の第３例を示す回路構成図である。

[図6]図６は、実施の形態に係る通信装置の第４例を示す回路構成図である。

発明を実施するための形態

[0010] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨では

ない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさ、または大きさの比は、必ずしも厳密ではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する場合がある。また、以下の実施の形態において、「接続される」とは、直接接続される場合だけでなく、他の素子等を介して電気的に接続される場合も含まれる。

[0011] また、便宜上、以下で説明する各図面における、素子、基板および層等の紙面上側の面を天面、紙面下側の面を底面と呼び、凹部の紙面下側の面を底面と呼ぶ。

[0012] （実施の形態）

実施の形態について、以下図面を用いて説明する。

[0013] ［高周波モジュールの構成］

まず、高周波モジュール１の構成について説明する。

[0014] 図１Ａは、実施の形態に係る高周波モジュール１の一例を示す外観斜視図である。

[0015] 図１Ｂは、実施の形態に係る高周波モジュール１の一例を示す断面図である。

[0016] 高周波モジュール１は、例えば、高周波信号を処理（例えば増幅等）するためのモジュールである。図１Ａおよび図１Ｂに示されるように、高周波モジュール１は、積層基板３０と、第１半導体素子１０と、第２半導体素子２０と、実装部品６０と、モールド層７０と、シールド層８０と、を備える。なお、図１Ａでは、モールド層７０およびシールド層８０を透明にしている。

[0017] 積層基板３０は、複数の層が積層されて形成され、第１主面３１および第２主面３２を有する。積層基板３０としては、例えば、複数の誘電体層が積層されて成る低温同時焼成セラミックス（Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｃｏ－ｆｉｒｅｄ　Ｃｅｒａｍｉｃｓ：ＬＴＣＣ）基板、高温同時焼成セ

ラミックス（Ｈｉｇｈ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｃｏ－ｆｉｒｅｄ　Ｃｅｒａｍｉｃｓ：ＨＴＣＣ）基板、部品内蔵基板、再配線層（Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　Ｌａｙｅｒ：ＲＤＬ）を有する基板、または、プリント基板等が用いられる。第１主面３１には、高周波モジュール１に部品等を実装するための端子が設けられ、第２主面３２には、マザー基板等に高周波モジュール１を実装するための端子が設けられる。第１主面３１には、第１凹部４０および第２凹部５０が設けられる。例えば、第２凹部５０は、第１凹部４０よりも深さが浅い。なお、深さとは、積層基板３０の厚み方向（積層基板３０の第１主面３１と第２主面３２に直交する方向）に沿った大きさを指す。積層基板３０における各種導体（例えば導体膜、金属ビアおよび端子等）としては、例えば、Ａｌ、Ｃｕ、Ａｕ、Ａｇ、または、これらの合金を主成分とする金属が用いられる。

[0018] 第１半導体素子１０は、積層基板３０の第１主面３１に設けられた第１凹部４０の底面（積層基板３０の第１主面３１における第１凹部４０が設けられていない面と略平行な面）に実装される素子である。例えば、第１半導体素子１０は、半田バンプ等により、第１凹部４０に設けられた端子または導体膜上に実装される。第１半導体素子１０は、パワーアンプ回路を含む。第１半導体素子１０に含まれるパワーアンプ回路を第１パワーアンプ回路とも呼ぶ。第１半導体素子１０は、化合物半導体基板を有し、例えば、化合物半導体基板に第１パワーアンプ回路が形成されることで、第１半導体素子１０は、第１パワーアンプ回路を含んでいてもよい。化合物半導体基板は、例えば、ＧａＡｓ、ＳｉＧｅおよびＧａＮの少なくともいずれかで構成されている。これにより、増幅性能および雑音性能に優れた第１パワーアンプ回路を第１半導体素子１０によって実現することができる。パワーアンプ回路は発熱しやすい回路であるため、第１半導体素子１０は、発熱しやすい素子であるといえる。あるいは、化合物半導体基板は放熱性が悪いため、第１半導体素子１０は、発熱しやすい素子であるといえる。

[0019] 第１半導体素子１０は、第１凹部４０の底面から第２主面３２までを貫通

する金属ビア３３と接続されている。例えば、金属ビア３３は、第２主面３２に設けられたグランド端子に接続される。なお、金属ビア３３は、一体的に形成されていなくてもよく、積層基板３０の層ごとに形成された金属ビアが互いに接続されることにより、形成されていてもよい。積層基板３０における第１凹部４０が設けられた部分の厚みは、第１凹部４０の深さ分薄くなっているため、第１凹部４０の底面から第２主面３２までを貫通する金属ビア３３もその分短くなっている。

[0020] 第２半導体素子２０は、第１半導体素子１０が実装された第１凹部４０をまたぐように積層基板３０の第１主面３１に実装される素子である。なお、高周波モジュール１を上面視したときに（積層基板３０を第１主面３１側から見たときに）、第２半導体素子２０は、第１凹部４０を全て覆うように実装されてもよいし、第１凹部４０の一部を覆うように実装されてもよい。言い換えると、高周波モジュール１を上面視したときに、第１凹部４０が第２半導体素子２０によって全て塞がれて見えない状態になっていてもよいし、第１凹部４０の一部が第２半導体素子２０からはみ出て見える状態になっていてもよい。第２半導体素子２０は、ローノイズアンプ回路、スイッチ回路および制御回路の少なくとも１つを含む。第２半導体素子２０は、Ｓｉ半導体基板を有し、例えば、Ｓｉ半導体基板にローノイズアンプ回路、スイッチ回路および制御回路の少なくとも１つが形成されることで、第２半導体素子２０は、ローノイズアンプ回路、スイッチ回路および制御回路の少なくとも１つを含んでいてもよい。Ｓｉ半導体基板は、ＳＯＩ（Ｓｉｌｉｃｏｎ Ｏｎ Ｉｎｓｕｌａｔｏｒ）プロセスにより形成されるＳＯＩ基板であってもよく、絶縁膜を内包しないＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）を用いた基板であってもよい。これにより、第２半導体素子２０を安価に製造することが可能となる。ローノイズアンプ回路、スイッチ回路および制御回路は、パワーアンプ回路と比べて発熱しにくい回路であるため、第２半導体素子２０は、発熱しにくい素子であるといえる。あるいは、Ｓｉ半導体基板は化合物半導体基板よ

りも放熱性が良いため、第２半導体素子２０は、発熱しにくい素子であるといえる。

[0021] メタル層９０は、第１半導体素子１０と第２半導体素子２０との間で、第１凹部４０をまたぐように設けられる。例えば、第１半導体素子１０が第１凹部４０に実装された後に、メタル層９０が第１凹部４０をまたぐように設けられ、第２半導体素子２０が第１凹部４０およびメタル層９０をまたぐように実装される。これにより、第１半導体素子１０と第２半導体素子２０との間で、第１凹部４０をまたぐようにメタル層９０を設けることができる。高周波モジュール１を上面視したときに、第２半導体素子２０、メタル層９０および第１半導体素子１０が重複している。言い換えると、第１半導体素子１０と第２半導体素子２０との間にメタル層９０が挟まれている。なお、高周波モジュール１を上面視したときに、メタル層９０は、第１凹部４０を全て覆うように設けられてもよいし、第１凹部４０の一部を覆うように設けられてもよい。言い換えると、高周波モジュール１を上面視したときに、第１凹部４０がメタル層９０によって全て塞がれて見えない状態になっていてもよいし、第１凹部４０の一部がメタル層９０からはみ出て見える状態になっていてもよい。また、例えば、メタル層９０は、グランドに接続されている。

[0022] 第２半導体素子２０は、第２半導体素子２０の底面とメタル層９０の天面との間に設けられた金属ビア９１を介してメタル層９０と接続される。第２半導体素子２０の底面は、第２半導体素子の第１主面３１側の面であり、メタル層９０の天面は、メタル層９０の第２半導体素子２０側の面である。メタル層９０はグランドに接続されるため、第２半導体素子２０で発生した熱をグランドへ放熱することができる。

[0023] 積層基板３０は、少なくとも積層基板３０の内部に形成され、第１半導体素子１０と第２半導体素子２０とを電気的に接続する導電体を有する。例えば、積層基板３０は、当該導電体として、積層基板３０の内部から第１凹部４０の底面へ延び、第１凹部４０の底面において第１半導体素子１０の端子

と接続される導体膜３５、および、積層基板３０の内部において導体膜３５と接続され、導体膜３５から第１主面３１へ延び、第１主面３１において第２半導体素子２０の端子と接続される金属ビア３６を有する。当該導電体によって、第１半導体素子１０と第２半導体素子２０との間で情報または信号の授受が可能となる。

[0024] 実装部品６０は、積層基板３０の第１主面３１に設けられた第２凹部５０の底面（積層基板３０の第１主面３１における第２凹部５０が設けられていない面と略平行な面）に実装される部品である。例えば、第２凹部５０の底面には、メタルマスクにより半田が印刷されており、実装部品６０は、半田によって第２凹部５０の底面に実装される。実装部品６０は、アンプ回路等に接続される整合回路を構成するインダクタもしくはキャパシタ、後述する制御回路１４１に接続されるパスコン、または、ＤＣカット用のキャパシタ等である。このような部品は、比較的サイズの大きいものが多く、実装部品６０は、第２半導体素子２０よりも大きい厚みを有する。

[0025] モールド層７０は、少なくとも第２半導体素子２０を封止する。例えば、ここでは、モールド層７０は、第１モールド層７１と、第２モールド層７２とを有する。

[0026] 第１モールド層７１は、第１半導体素子１０を封止する。例えば、第１モールド層７１は、第１半導体素子１０の天面（第１半導体素子１０の第１凹部４０の底面側の面とは反対側の面であり、第１半導体素子１０の第２半導体素子２０側の面）を含めて、第１半導体素子１０全体を覆っている。例えば、第１凹部４０に第１半導体素子１０が実装された後、第１半導体素子１０の天面が見えなくなるまで、第１モールド層７１となる樹脂部材が第１凹部４０に注入されることで、第１モールド層７１によって第１半導体素子１０の天面を覆うように第１半導体素子１０を封止することができる。なお、第１モールド層７１は、第１半導体素子１０の天面を覆っていなくてもよい。この場合、第１凹部４０に第１半導体素子１０が実装された後、第１半導体素子１０の天面が見える程度に、第１モールド層７１となる樹脂部材が第

１凹部４０に注入されることで、第１モールド層７１によって第１半導体素子１０の天面を覆わないように第１半導体素子１０を封止することができる。

[0027] 第２モールド層７２は、第２半導体素子２０を封止する。例えば、第２半導体素子２０が、メタル層９０が設けられた第１凹部４０をまたぐように第１主面３１に実装された後、第２モールド層７２となる樹脂部材が第１主面３１上に注入されることで、第２モールド層７２によって第２半導体素子２０を封止することができる。例えば、第２モールド層７２は、第１主面３１に実装された実装部品６０を第２半導体素子２０と共に封止してもよい。この場合、第２半導体素子２０および実装部品６０が第１主面３１に実装された後、第２モールド層７２となる樹脂部材が第１主面３１上に注入されることで、第２モールド層７２によって第２半導体素子２０および実装部品６０を封止することができる。

[0028] 第１モールド層７１の材料と第２モールド層７２の材料とは異なる。

[0029] 例えば、第１モールド層７１の材料は、第２モールド層７２の材料よりも放熱しやすい材料であってもよく、第１モールド層７１の熱伝導率は、第２モールド層７２の熱伝導率より高くてもよい。

[0030] また、例えば、第２モールド層７２の材料は、第１モールド層７１の材料よりも加工しやすい（例えばダイシングしやすい）材料であってもよい。例えば、第１モールド層７１の材料はアルミナなどの添加物を含む樹脂であってもよく、第２モールド層７２の材料はアルミナなどの添加物を含まない樹脂であってもよい。

[0031] シールド層８０は、モールド層７０（第２モールド層７２）を覆うようにモールド層７０上に形成される。シールド層８０は、例えば、スパッタ法により形成された金属薄膜である。

[0032] なお、モールド層７０は、第２半導体素子２０の第１主面３１側の面とは反対側の面である天面を覆っていなくてもよく、シールド層８０は、第２半導体素子２０の天面と接触していてもよい。これについて、図１Ｃを用いて

説明する。

[0033] 図１Ｃは、実施の形態に係る高周波モジュール１の他の一例を示す断面図である。

[0034] 図１Ｃに示されるように、モールド層７０（第２モールド層７２）は、第２半導体素子２０の天面を覆っていない。製造工程において、第２半導体素子２０を第２半導体素子２０の天面を含めて封止するようにモールド層７０が形成された時点で、モールド層７０の天面を、例えば化学機械研磨（Ｃｈｅｍｉｃａｌ　ｍｅｃｈａｎｉｃａｌ　ｐｏｌｉｓｈｉｎｇ）により研磨することで、第２半導体素子２０の天面をモールド層７０から露出させることができる。

[0035] 製造工程において、シールド層８０が形成される前の時点では、第２半導体素子２０の天面はモールド層７０から露出しているため、第２半導体素子２０の天面に直接シールド層８０を形成することができる。これにより、シールド層８０は、第２半導体素子２０の天面と接触している。シールド層８０は例えばグランドに接続されるため、第２半導体素子２０で発生した熱をグランドへ放熱することができる。

[0036] ［通信装置の回路構成：第１例］

次に、高周波モジュール１を備える通信装置５の回路構成について説明する。

[0037] 図２は、実施の形態に係る通信装置５の第１例を示す回路構成図である。図２に示されるように、通信装置５は、高周波モジュール１と、アンテナ２と、ＲＦ信号処理回路（ＲＦＩＣ）３と、ベースバンド信号処理回路（ＢＢＩＣ）４と、を備える。

[0038] ＲＦＩＣ３は、アンテナ２で送受信される高周波信号を処理するＲＦ信号処理回路である。具体的には、ＲＦＩＣ３は、高周波モジュール１の受信信号経路を介して入力された高周波受信信号を、ダウンコンバートなどにより信号処理し、当該信号処理して生成された受信信号をＢＢＩＣ４へ出力する。また、ＲＦＩＣ３は、ＢＢＩＣ４から入力された送信信号をアップコンバ

ートなどにより信号処理し、当該信号処理して生成された高周波送信信号を、高周波モジュール１の送信信号経路に出力する。

[0039] ＢＢＩＣ４は、高周波モジュール１を伝搬する高周波信号よりも低周波の中間周波数帯域を用いて信号処理する回路である。ＢＢＩＣ４で処理された信号は、例えば、画像表示のための画像信号として使用され、または、スピーカを介した通話のために音声信号として使用される。

[0040] アンテナ２は、高周波モジュール１に接続され、高周波モジュール１から出力された高周波信号を放射し、また、外部からの高周波信号を受信して高周波モジュール１へ出力する。なお、本実施の形態に係る通信装置５において、アンテナ２およびＢＢＩＣ４は、必須の構成要素ではない。つまり、通信装置５は、アンテナ２およびＢＢＩＣ４の少なくとも一方を備えていなくてもよい。

[0041] 次に、高周波モジュール１の詳細な構成について説明する。

[0042] 図２に示されるように、高周波モジュール１は、スイッチ回路１０１、整合回路１１１、１１２、１１３、１１４、１１５および１１６、ローノイズアンプ回路１２１、パワーアンプ回路１３１、１３２および１３３ならびに制御回路１４１を備える。図２に示される通信装置５の第１例では、第１半導体素子１０は、パワーアンプ回路１３１、１３２および１３３ならびに整合回路１１３、１１４、１１５および１１６を含み、第２半導体素子２０は、ローノイズアンプ回路１２１、スイッチ回路１０１、制御回路１４１ならびに整合回路１１１および１１２を含む。

[0043] スイッチ回路１０１は、共通端子および２つの選択端子を有し、共通端子がアンテナ２に接続され、２つの選択端子のうちの一方の選択端子が受信信号経路における整合回路１１１に接続され、他方の選択端子が送信信号経路における整合回路１１３に接続される。

[0044] 整合回路１１１は、スイッチ回路１０１とローノイズアンプ回路１２１との間に接続され、スイッチ回路１０１とローノイズアンプ回路１２１とのインピーダンス整合を取る回路である。

[0045] 整合回路１１２は、ローノイズアンプ回路１２１とＲＦＩＣ３との間に接続され、ローノイズアンプ回路１２１とＲＦＩＣ３とのインピーダンス整合を取る回路である。

[0046] 整合回路１１３は、スイッチ回路１０１とパワーアンプ回路１３１との間に接続され、スイッチ回路１０１とパワーアンプ回路１３１とのインピーダンス整合を取る回路である。

[0047] 整合回路１１４は、パワーアンプ回路１３１とパワーアンプ回路１３２との間に接続され、パワーアンプ回路１３１とパワーアンプ回路１３２とのインピーダンス整合を取る回路である。

[0048] 整合回路１１５は、パワーアンプ回路１３２とパワーアンプ回路１３３との間に接続され、パワーアンプ回路１３２とパワーアンプ回路１３３とのインピーダンス整合を取る回路である。

[0049] 整合回路１１６は、パワーアンプ回路１３３とＲＦＩＣ３との間に接続され、パワーアンプ回路１３３とＲＦＩＣ３とのインピーダンス整合を取る回路である。

[0050] ローノイズアンプ回路１２１は、入力された高周波受信信号を低雑音で増幅する増幅回路である。ローノイズアンプ回路１２１の入力端子は整合回路１１１に接続され、ローノイズアンプ回路１２１の出力端子は整合回路１１２に接続される。

[0051] パワーアンプ回路１３１は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路１３１の入力端子は整合回路１１４に接続され、パワーアンプ回路１３１の出力端子は整合回路１１３に接続される。

[0052] パワーアンプ回路１３２は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路１３２の入力端子は整合回路１１５に接続され、パワーアンプ回路１３２の出力端子は整合回路１１４に接続される。

[0053] パワーアンプ回路１３３は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路１３３の入力端子は整合回路１１６に接続され、パワーアンプ回路１３３の出力端子は整合回路１１５に接続される。

[0054] パワーアンプ回路１３１、１３２および１３３は、互いに縦続接続されている。パワーアンプ回路１３１は、縦続接続されたパワーアンプ回路１３１、１３２および１３３のうち、最終段に接続されたパワーアンプ回路である。図２に示される通信装置５の第１例では、パワーアンプ回路１３１、１３２および１３３は、第１半導体素子１０に含まれる第１パワーアンプ回路の一例である。

[0055] 例えば、第１半導体素子１０は、パワーアンプ回路１３１、１３２および１３３の特性パラメータを検知するディテクタ回路（図示せず）を含み、第２半導体素子２０は、ディテクタ回路で検知された特性パラメータに基づいて、当該特性パラメータを調整する特性調整回路を含む。第１半導体素子１０と第２半導体素子２０とが導電体によって電気的に接続されているため、特性調整回路は、ディテクタ回路で検知された特性パラメータに基づいて、当該特性パラメータを調整することが可能となっている。特性パラメータは、パワーアンプ回路１３１、１３２および１３３のインピーダンス、位相および電力の少なくとも１つを含む。ディテクタ回路は、例えばカプラである。制御回路１４１は、特性調整回路の一例である。

[0056] 制御回路１４１は、スイッチ回路１０１、整合回路１１１、１１２、１１３、１１４、１１５および１１６、ローノイズアンプ回路１２１ならびにパワーアンプ回路１３１、１３２および１３３を制御する回路である。

[0057] 例えば、制御回路１４１は、スイッチ回路１０１における共通端子と２つの選択端子との接続を制御することで、アンテナ２と受信信号経路との接続、および、アンテナ２と送信信号経路との接続を切り替える。

[0058] また、例えば、各整合回路には、１以上のインダクタ、１以上のキャパシタ、ならびに、１以上のインダクタおよび１以上のキャパシタのそれぞれの接続を切り替える１以上のスイッチが含まれている。例えば、制御回路１４１は、当該１以上のスイッチを制御することで、１以上のインダクタおよび１以上のキャパシタの接続関係（すなわち整合パラメータ）を調整し、各整合回路が接続されたローノイズアンプ回路１２１ならびにパワーアンプ回路

１３１、１３２および１３３の入出力インピーダンスを調整する。また、制御回路１４１は、各整合回路を制御することで、ローノイズアンプ回路１２１ならびにパワーアンプ回路１３１、１３２および１３３の位相を調整することができる。

[0059] また、例えば、制御回路１４１は、ローノイズアンプ回路１２１ならびにパワーアンプ回路１３１、１３２および１３３の利得を制御する。これにより、制御回路１４１は、ローノイズアンプ回路１２１ならびにパワーアンプ回路１３１、１３２および１３３の電力を調整することができる。

[0060] また、例えば、ローノイズアンプ回路１２１ならびにパワーアンプ回路１３１、１３２および１３３に位相器が接続されていてもよく、制御回路１４１は、位相器を制御することで、ローノイズアンプ回路１２１ならびにパワーアンプ回路１３１、１３２および１３３の位相を制御してもよい。

[0061] また、第１半導体素子１０は、パワーアンプ回路１３１の温度を検知する温度センサを含み、第２半導体素子２０は、温度センサで検知された温度に基づいて、パワーアンプ回路１３１に供給するバイアスを調整するバイアス調整回路を含む。制御回路１４１は、バイアス調整回路の一例である。これについて、図３を用いて説明する。

[0062] ［バイアス調整回路の回路構成］

図３は、実施の形態に係る制御回路１４１（バイアス調整回路）の一例を示す回路構成図である。なお、図３には、制御回路１４１の他にパワーアンプ回路１３１および温度センサ２０１を示している。

[0063] 温度センサ２０１は、パワーアンプ回路１３１と熱的に結合して、パワーアンプ回路１３１の温度に応じた温度検知信号Ｖｄｉを発生する。すなわち、温度センサ２０１は、パワーアンプ回路１３１に生じる熱を受けとって（検知して）、パワーアンプ回路１３１の温度に応じた温度検知信号Ｖｄｉを発生する。

[0064] 制御回路１４１は、温度検知信号Ｖｄｉに基づいて、バイアス制御信号ＰＡｅｎをパワーアンプ回路１３１へと出力する。制御回路１４１は、オペア

ンプＯＰ、キャパシタＣおよびスイッチＳＷを備える。オペアンプＯＰの第１入力端子Ｔ１には温度センサ２０１が接続され、オペアンプＯＰの第２入力端子Ｔ２にはキャパシタＣが接続されている。スイッチＳＷは、オペアンプＯＰの出力に接続され、オペアンプＯＰの出力電圧を、キャパシタＣへチャージする状態と、パワーアンプ回路１３１へバイアス制御信号ＰＡｅｎとして出力する状態とを切り替える。

[0065] まず、スイッチＳＷはパワーアンプ回路１３１の動作開始時にオペアンプＯＰの出力電圧をキャパシタＣへチャージする状態となる。言い換えれば、パワーアンプ回路１３１の動作開始時に温度センサ２０１から第１入力端子Ｔ１に入力された温度検知信号Ｖｄｉの電圧を、パワーアンプ回路１３１の動作開始時の基準温度を示す電圧として、キャパシタＣへチャージする。次に、スイッチＳＷはオペアンプＯＰの出力電圧をパワーアンプ回路１３１へバイアス制御信号ＰＡｅｎとして出力する状態となる。すなわち、パワーアンプ回路１３１の動作開始後、オペアンプＯＰの第１入力端子Ｔ１から都度入力される温度検知信号Ｖｄｉの電圧と第２入力端子Ｔ２から入力されるキャパシタＣにチャージされた基準温度を示す電圧とを比較した結果であるオペアンプＯＰからの出力電圧を、パワーアンプ回路１３１へバイアス制御信号ＰＡｅｎとして出力する。

[0066] パワーアンプ回路１３１は、上記バイアス制御信号ＰＡｅｎの電圧が上昇するほど増幅率が増大する。そのため、上記構成および作用によって、温度上昇に伴うパワーアンプ回路１３１の増幅率の低下が抑制されて適正な増幅率が維持されるようにパワーアンプ回路１３１を制御できる。

[0067] なお、制御回路１４１の機能の全てまたは一部は、ＲＦＩＣ３に設けられていてもよい。

[0068] ［通信装置の回路構成：第２例］

図２に示される通信装置５の第１例では、パワーアンプ回路１３２および１３３ならびにパワーアンプ回路１３２および１３３に接続された整合回路１１４、１１５および１１６が第１半導体素子１０に含まれる例について説

明したが、これらが第２半導体素子２０に含まれていてもよい。これについて、通信装置５の第２例として図４を用いて説明する。

[0069] 図４は、実施の形態に係る通信装置５の第２例を示す回路構成図である。

[0070] 図４に示される通信装置５の第２例では、第１半導体素子１０は、パワーアンプ回路１３１および整合回路１１３を含み、第２半導体素子２０は、ローノイズアンプ回路１２１、スイッチ回路１０１、制御回路１４１、パワーアンプ回路１３２および１３３ならびに整合回路１１１、１１２、１１４、１１５および１１６を含む。その他の点については、第１例と同じであるため、説明を省略する。

[0071] 図４に示される通信装置５の第２例では、パワーアンプ回路１３１は、第１半導体素子１０に含まれる第１パワーアンプ回路の一例であり、パワーアンプ回路１３２および１３３は、第２半導体素子２０に含まれ、第１パワーアンプ回路と縦続接続される第２パワーアンプ回路の一例である。図４に示されるように、縦続接続されたパワーアンプ回路１３１、１３２および１３３の全てが第１半導体素子１０に形成されず、最終段のパワーアンプ回路１３１のみが第１半導体素子１０に形成され、パワーアンプ回路１３２および１３３が第２半導体素子２０に形成されてもよい。

[0072] ［通信装置の回路構成：第３例］

図２に示される通信装置５の第１例では、パワーアンプ回路１３１に接続された整合回路１１３および１１４が第１半導体素子１０に含まれる例について説明したが、これらが積層基板３０に含まれていてもよい。これについて、通信装置５の第３例として図５を用いて説明する。

[0073] 図５は、実施の形態に係る通信装置５の第３例を示す回路構成図である。

[0074] 図５に示される通信装置５の第３例では、第１半導体素子１０は、パワーアンプ回路１３１を含み、第２半導体素子２０は、ローノイズアンプ回路１２１、スイッチ回路１０１、制御回路１４１、パワーアンプ回路１３２および１３３ならびに整合回路１１１、１１２、１１５および１１６を含み、積層基板３０は、整合回路１１３および１１４を含む。その他の点については

、第１例と同じであるため、説明を省略する。

[0075] 図５に示される通信装置５の第３例では、パワーアンプ回路１３１は、第１半導体素子１０に含まれる第１パワーアンプ回路の一例であり、パワーアンプ回路１３２および１３３は、第２半導体素子２０に含まれ、第１パワーアンプ回路と縦続接続される第２パワーアンプ回路の一例である。図５に示されるように、パワーアンプ回路１３１に接続される整合回路１１３および１１４が第１半導体素子１０に内蔵されず、積層基板３０に内蔵されてもよい。なお、パワーアンプ回路１３１の入力側に接続された整合回路１１４およびパワーアンプ回路１３１の出力側に接続された整合回路１１３の両方が積層基板３０に内蔵されなくてもよく、いずれか一方のみが積層基板３０に内蔵されていてもよい。

[0076] ［通信装置の回路構成：第４例］

例えば、第１半導体素子１０は、２ＧＨｚ帯域のパワーアンプ回路を含み、第２半導体素子２０は、５ＧＨｚ帯域の増幅回路を含んでいてもよい。あるいは、第１半導体素子１０は、５ＧＨｚ帯域の増幅回路を含み、第２半導体素子２０は、２ＧＨｚ帯域のパワーアンプ回路を含んでいてもよい。増幅回路は、ローノイズアンプ回路であってもよいし、パワーアンプ回路であってもよい。これについて、図６を用いて説明する。

[0077] 図６は、実施の形態に係る通信装置５の第４例を示す回路構成図である。図６に示される通信装置５の第４例では、高周波モジュール１の回路構成が第１例から第３例と異なっているため、ここでは、第４例における高周波モジュール１の回路構成を中心に説明する。

[0078] 第４例では、高周波モジュール１は、ダイプレクサ３０１、フィルタ３０２および３０３、スイッチ回路３１１および３１２、ローノイズアンプ回路３２１および３２２、ならびに、パワーアンプ回路３３１、３３２、３３３および３３４を備える。なお、ここでは、整合回路の図示を省略している。

[0079] ダイプレクサ３０１は、ハイパスフィルタおよびローパスフィルタから構成される。ハイパスフィルタは所定の周波数以上の、少なくとも５ＧＨｚ帯

域を含む周波数帯域の信号を通過させるフィルタであり、ローパスフィルタは所定の周波数未満の、少なくとも２ＧＨｚ帯域を含む周波数帯域の信号を通過させるフィルタである。ハイパスフィルタはフィルタ３０２に接続され、ローパスフィルタはフィルタ３０３に接続される。また、ハイパスフィルタおよびローパスフィルタは、共通してアンテナ２に接続される。例えば、ダイプレクサ３０１を構成するハイパスフィルタおよびローパスフィルタは、インダクタおよびキャパシタ等で構成されたＬＣフィルタである。

[0080] フィルタ３０２は、ダイプレクサ３０１におけるハイパスフィルタとスイッチ回路３１１とを結ぶ経路に配置され、特定の周波数帯域の信号を通過させる。例えば、フィルタ３０２は、５ＧＨｚ帯域の信号を通過させるフィルタである。

[0081] フィルタ３０３は、ダイプレクサ３０１におけるローパスフィルタとスイッチ回路３１２とを結ぶ経路に配置され、特定の周波数帯域の信号を通過させる。例えば、フィルタ３０３は、２ＧＨｚ帯域の信号を通過させるフィルタである。

[0082] なお、フィルタ３０２および３０３は、例えば、弾性表面波フィルタ、ＢＡＷ（Ｂｕｌｋ　Ａｃｏｕｓｔｉｃ　Ｗａｖｅ）を用いた弾性波フィルタ、ＬＣフィルタおよび誘電体フィルタのいずれであってもよく、さらには、これらには限定されない。

[0083] スイッチ回路３１１は、共通端子および２つの選択端子を有し、共通端子がフィルタ３０２に接続され、２つの選択端子のうちの一方の選択端子が受信信号経路におけるローノイズアンプ回路３２１に接続され、他方の選択端子が送信信号経路におけるパワーアンプ回路３３１に接続される。

[0084] スイッチ回路３１２は、共通端子および３つの選択端子を有し、共通端子がフィルタ３０３に接続され、３つの選択端子のうちの第１選択端子が受信信号経路におけるローノイズアンプ回路３２２に接続され、第２選択端子がＲＦＩＣ３に接続され、第３選択端子が送信信号経路におけるパワーアンプ回路３３３に接続される。

[0085] ローノイズアンプ回路３２１は、入力された高周波受信信号を低雑音で増幅する増幅回路である。ローノイズアンプ回路３２１の入力端子はスイッチ回路３１１に接続され、ローノイズアンプ回路３２１の出力端子はＲＦＩＣ３に接続される。ローノイズアンプ回路３２１は、５ＧＨｚ帯域の増幅回路である。

[0086] ローノイズアンプ回路３２２は、入力された高周波受信信号を低雑音で増幅する増幅回路である。ローノイズアンプ回路３２２の入力端子はスイッチ回路３１２に接続され、ローノイズアンプ回路３２２の出力端子はＲＦＩＣ３に接続される。ローノイズアンプ回路３２２は、２ＧＨｚ帯域の増幅回路である。

[0087] パワーアンプ回路３３１は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路３３１の入力端子はパワーアンプ回路３３２に接続され、パワーアンプ回路３３１の出力端子はスイッチ回路３１１に接続される。パワーアンプ回路３３１は、５ＧＨｚ帯域の増幅回路である。

[0088] パワーアンプ回路３３２は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路３３２の入力端子はＲＦＩＣ３に接続され、パワーアンプ回路３３２の出力端子はパワーアンプ回路３３１に接続される。パワーアンプ回路３３２は、５ＧＨｚ帯域の増幅回路である。パワーアンプ回路３３１および３３２は、互いに縦続接続されている。

[0089] パワーアンプ回路３３３は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路３３３の入力端子はパワーアンプ回路３３４に接続され、パワーアンプ回路３３３の出力端子はスイッチ回路３１２に接続される。パワーアンプ回路３３３は、２ＧＨｚ帯域の増幅回路である。

[0090] パワーアンプ回路３３４は、入力された高周波送信信号を増幅する増幅回路である。パワーアンプ回路３３４の入力端子はＲＦＩＣ３に接続され、パワーアンプ回路３３４の出力端子はパワーアンプ回路３３３に接続される。パワーアンプ回路３３４は、２ＧＨｚ帯域の増幅回路である。パワーアンプ回路３３３および３３４は、互いに縦続接続されている。

[0091] 例えば、第１半導体素子１０は、２ＧＨｚ帯域のパワーアンプ回路（例えばパワーアンプ回路３３３および３３４の少なくとも１つ）を含み、第２半導体素子２０は、５ＧＨｚ帯域の増幅回路（例えば、ローノイズアンプ回路３２１ならびにパワーアンプ回路３３１および３３２の少なくとも１つ）を含んでいてもよい。あるいは、例えば、第１半導体素子１０は、５ＧＨｚ帯域の増幅回路（例えば、ローノイズアンプ回路３２１ならびにパワーアンプ回路３３１および３３２の少なくとも１つ）を含み、第２半導体素子２０は、２ＧＨｚ帯域のパワーアンプ回路（例えばパワーアンプ回路３３３および３３４の少なくとも１つ）を含んでいてもよい。すなわち、５ＧＨｚ帯域の信号を扱う増幅回路が、第１半導体素子１０および第２半導体素子２０のうちの一方に含まれ、２ＧＨｚ帯域の信号を扱うパワーアンプ回路が第１半導体素子１０および第２半導体素子２０のうちの他方に含まれていてもよい。

[0092] ［まとめ］

高周波モジュール１は、複数の層が積層され、第１主面３１および第２主面３２を有する積層基板３０と、第１半導体素子１０と、第２半導体素子２０と、メタル層９０と、を備える。第１主面３１には第１凹部４０が設けられる。第１半導体素子１０は、第１凹部４０の底面に実装され、第２半導体素子２０は、第１凹部４０をまたぐように第１主面３１に実装される。第１半導体素子１０は、第１凹部４０の底面から第２主面３２までを貫通する金属ビア３３と接続されている。メタル層９０は、第１半導体素子１０と第２半導体素子２０との間で、第１凹部４０をまたぐように設けられる。

[0093] これによれば、積層基板３０における第１凹部４０が設けられた部分の厚みは、第１凹部４０の深さ分薄くなっているため、第１凹部４０の底面から第２主面３２までを貫通する金属ビア３３もその分短くすることができる。すなわち、金属ビア３３による放熱経路が短くなり、積層基板３０の放熱性を向上することができる。言い換えると、第１半導体素子１０で発生する熱を、金属ビア３３を介して効果的に放熱することができる。また、金属ビア３３が積層基板３０の層毎に形成される場合、金属ビア３３が短くなること

で、製造の手間ひいては製造コストを低下させることができる。さらに、第１半導体素子１０が第１凹部４０内に実装され、第１半導体素子１０が実装された第１凹部４０をまたぐように第２半導体素子２０が第１主面３１に実装されるため、第１半導体素子１０および第２半導体素子２０が同一平面に実装される場合と比べて高周波モジュール１のサイズを小型化することができる。

[0094] また、第１凹部４０内に実装された第１半導体素子１０と、第１凹部４０をまたぐように実装された第２半導体素子２０とは上下に重なるように配置され得るため、第１半導体素子１０と第２半導体素子２０とが近接し得る。このため、第１半導体素子１０において扱われる信号と第２半導体素子２０において扱われる信号とが干渉して、第１半導体素子１０と第２半導体素子２０とのアイソレーション特性が劣化する場合がある。そこで、第１半導体素子１０と第２半導体素子２０との間にメタル層９０が設けられることで、上記干渉を抑制でき、第１半導体素子１０と第２半導体素子２０とのアイソレーション特性の劣化を抑制することができる。

[0095] 例えば、メタル層９０は、グランドに接続されていてもよい。

[0096] これによれば、グランドに接続されたメタル層９０によって、第１半導体素子１０と第２半導体素子２０とのアイソレーション特性の劣化をさらに抑制することができる。

[0097] 例えば、第２半導体素子２０は、第２半導体素子２０の第１主面３１側の面である底面とメタル層９０の第２半導体素子２０側の面である天面との間に設けられた金属ビア９１を介してメタル層９０と接続されていてもよい。

[0098] これによれば、第２半導体素子２０がグランドに接続されたメタル層９０に接続されるため、第２半導体素子２０で発生する熱を、金属ビア９１およびメタル層９０を介してグランドへ放熱することができる。

[0099] 例えば、高周波モジュール１は、さらに、少なくとも第２半導体素子２０を封止するモールド層７０と、モールド層７０を覆うシールド層８０と、を備えていてもよい。

[0100] これによれば、シールド層８０によって、外来ノイズの高周波モジュール１内への進入を抑制することができる。

[0101] 例えば、モールド層７０は、第２半導体素子２０の第１主面３１側の面とは反対側の面である天面を覆っていなくてもよく、シールド層８０は、第２半導体素子２０の天面と接触していてもよい。

[0102] これによれば、第２半導体素子２０の天面がシールド層８０と接触しているため、第２半導体素子２０で発生する熱を、シールド層８０を介して放熱することができる。第１半導体素子１０で発生する熱は、主に金属ビア３３から放熱することができ、第２半導体素子２０で発生する熱は、主にシールド層８０から放熱することができ、それぞれ異なる放熱経路で放熱することができるため、高周波モジュール１の発熱を効果的に抑制することができる。また、第２半導体素子２０の天面とシールド層８０とを接触させるために、製造工程において、モールド層７０によって天面を含めて第２半導体素子２０が封止された後、モールド層７０の天面を研磨することで、第２半導体素子２０の天面が露出される。したがって、モールド層７０が研磨された分、高周波モジュール１を低背化できる。

[0103] 例えば、モールド層７０は、第１半導体素子１０を封止する第１モールド層７１と、第２半導体素子２０を封止する第２モールド層７２を含んでいてもよく、第１モールド層７１の材料と第２モールド層７２の材料とは異なっていてもよい。

[0104] 例えば、複数の高周波モジュール１が集合して成るウエハ等がダイシングされることで、高周波モジュール１の生産が行われ得る。その際に、第２半導体素子２０を封止する第２モールド層７２の材料は、加工しやすい（例えばダイシングしやすい）材料であることが望まれる。一方で、第１凹部４０において第１半導体素子１０を封止する第１モールド層７１は、加工しやすい材料であることは望まれず、例えば、放熱しやすい材料であることが望まれる。第１モールド層７１の材料と、第２モールド層７２の材料とを同じ放熱しやすい材料とした場合、高周波モジュール１の放熱性を向上することが

できるが、ウエハ等が反ってしまいウエハ等の加工が難しくなるおそれがある。一方で、第１モールド層７１の材料と、第２モールド層７２の材料とを同じ加工しやすい材料とした場合、ウエハ等を加工しやすくなるが、高周波モジュール１の放熱性が低下してしまうおそれがある。そこで、第１モールド層７１の材料と、第２モールド層７２の材料とを異ならせることで、加工のしやすさと放熱のしやすさとを両立することができる。

[0105] 例えば、第１モールド層７１の熱伝導率は、第２モールド層７２の熱伝導率より高くてもよい。

[0106] これによれば、積層基板３０の第１凹部４０における放熱性を向上することができる。

[0107] 例えば、第１半導体素子１０は、２ＧＨｚ帯域のパワーアンプ回路を含んでいてもよく、第２半導体素子２０は、５ＧＨｚ帯域の増幅回路を含んでいてもよい。あるいは、第１半導体素子１０は、５ＧＨｚ帯域の増幅回路を含んでいてもよく、第２半導体素子２０は、２ＧＨｚ帯域のパワーアンプ回路を含んでいてもよい。

[0108] 第１半導体素子１０が２ＧＨｚ帯域のパワーアンプ回路を含み、第２半導体素子２０が５ＧＨｚ帯域の増幅回路を含む場合、第２半導体素子２０の増幅回路において増幅される５ＧＨｚ帯域の信号は、第１半導体素子１０のパワーアンプにおいて大きく増幅される２ＧＨｚ帯域の信号の影響を受けやすい。あるいは、第１半導体素子１０が５ＧＨｚ帯域の増幅回路を含み、第２半導体素子２０が２ＧＨｚ帯域のパワーアンプ回路を含む場合、第１半導体素子１０の増幅回路において増幅される５ＧＨｚ帯域の信号は、第２半導体素子２０のパワーアンプにおいて大きく増幅される２ＧＨｚ帯域の信号の影響を受けやすい。これに対して、本発明では、第１半導体素子１０と第２半導体素子２０との間にメタル層９０が設けられるため、上記影響を抑制でき、第１半導体素子１０と第２半導体素子２０とのアイソレーション特性の劣化を抑制することができる。

[0109] 例えば、第１半導体素子１０は、化合物半導体基板を有していてもよく、

第２半導体素子２０は、Ｓｉ半導体基板を有していてもよい。

[0110] 化合物半導体基板を有する第１半導体素子１０は、Ｓｉ半導体基板を有する第２半導体素子２０よりも放熱性が悪く発熱しやすい素子となっている。第２半導体素子２０よりも発熱しやすい第１半導体素子１０が第１凹部４０における金属ビア３３に接続されることで、第２半導体素子２０が第１凹部４０における金属ビア３３に接続される場合よりも、高周波モジュール１の発熱を抑制することができる。

[0111] 例えば、第２半導体素子２０は、ローノイズアンプ回路１２１、スイッチ回路１０１および制御回路１４１の少なくとも１つを含んでいてもよい。例えば、第１半導体素子１０は、第１パワーアンプ回路を含んでいてもよい。

[0112] 第１パワーアンプ回路を含む第１半導体素子１０は、ローノイズアンプ回路１２１、スイッチ回路１０１および制御回路１４１の少なくとも１つを含む第２半導体素子２０よりも発熱しやすい素子となっている。第２半導体素子２０よりも発熱しやすい第１半導体素子１０が第１凹部４０における金属ビア３３に接続されることで、第２半導体素子２０が第１凹部４０における金属ビア３３に接続される場合よりも、高周波モジュール１の発熱を抑制することができる。

[0113] 例えば、積層基板３０は、少なくとも積層基板３０の内部に形成され、第１半導体素子１０と第２半導体素子２０とを電気的に接続する導電体（例えば導体膜３５および金属ビア３６）を有していてもよい。

[0114] これによれば、第１半導体素子１０と第２半導体素子２０との間で情報または信号の授受が可能となり、例えば当該授受された情報または信号に基づいて、第１半導体素子１０に含まれる回路または第２半導体素子２０に含まれる回路の特性の補償等ができる。また、導電体が少なくとも積層基板３０の内部に形成されるため、導電体が全て積層基板３０の外部に形成される場合（例えばワイヤボンディングを用いる場合等）と比べて、高周波モジュール１のサイズを小型化することができる。また、第１凹部４０内に実装された第１半導体素子１０と、第１凹部４０をまたぐように実装された第２半導

体素子２０とは上下に重なるように配置され得るため、第１半導体素子１０と第２半導体素子２０とを接続する導電体を短くすることができ、導電体における伝送損失を抑制できる。

[0115] 例えば、第１半導体素子１０は、さらに、第１パワーアンプ回路の温度を検知する温度センサ２０１を含んでいてもよく、第２半導体素子２０は、温度センサ２０１で検知された温度に基づいて、第１パワーアンプ回路に供給するバイアスを調整する制御回路１４１（バイアス調整回路）を含んでいてもよい。

[0116] 第１パワーアンプ回路の増幅率は、第１パワーアンプ回路自体が発する熱によって、時間経過と共に変化し得る。そこで、温度センサ２０１で検知された第１パワーアンプ回路の温度に基づいて第１パワーアンプ回路に供給されるバイアスが調整される。すなわち、第１パワーアンプ回路の温度が変化しても、第１パワーアンプ回路に、第１パワーアンプ回路の温度に応じたバイアスが供給されるため、第１パワーアンプ回路の増幅率を適正な増幅率に維持することができる。

[0117] 例えば、第１半導体素子１０は、さらに、第１パワーアンプ回路の特性パラメータを検知するディテクタ回路を含んでいてもよく、第２半導体素子２０は、ディテクタ回路で検知された特性パラメータに基づいて、特性パラメータを調整する特性調整回路を含んでいてもよい。例えば、特性パラメータは、第１パワーアンプ回路のインピーダンス、位相および電力の少なくとも１つを含んでいてもよい。

[0118] これによれば、第１パワーアンプ回路のインピーダンス、位相または電力等の特性パラメータを状況に応じて調整または補償することができる。

[0119] 例えば、第２半導体素子２０は、さらに、第１パワーアンプ回路と縦続接続される第２パワーアンプ回路（例えばパワーアンプ回路１３２または１３３）を含んでいてもよい。

[0120] これによれば、縦続接続されたパワーアンプ回路の全てを第１半導体素子１０に形成せず、第１パワーアンプ回路に縦続接続された第２パワーアンプ

回路を第２半導体素子２０に形成することで、第１半導体素子１０のサイズを小型化することができる。例えば、化合物半導体基板を有する第１半導体素子１０は、高価である場合が多く、第１半導体素子１０のサイズを小型化することができることで、高周波モジュール１を低コスト化することができる。また、縦続接続されたパワーアンプ回路のうち最終段のパワーアンプ回路が最も発熱しやすいため、少なくとも最終段のパワーアンプ回路が、第１パワーアンプ回路として金属ビア３３が接続される第１半導体素子１０に含まれるようにすることで、高周波モジュール１の発熱を抑制することができる。言い換えると、縦続接続されたパワーアンプ回路のうち最終段の第１パワーアンプ回路以外の第２パワーアンプ回路が第１半導体素子１０に含まれていなくても、高周波モジュール１の発熱量は大きくなりにくく、高周波モジュール１の発熱を抑制することができる。

[0121] 例えば、積層基板３０は、第１パワーアンプ回路に接続される整合回路（例えば整合回路１１３または１１４）を内蔵していてもよい。

[0122] これによれば、第１パワーアンプ回路に接続される整合回路を、第１パワーアンプ回路を含む第１半導体素子１０ではなく、積層基板３０に内蔵することで、第１半導体素子１０のサイズを小型化することができ、上述したように、高周波モジュール１を低コスト化することができる。

[0123] 例えば、高周波モジュール１は、第２半導体素子２０よりも大きい厚みを有する実装部品６０をさらに備えていてもよい。第１主面３１には、第２凹部５０が設けられていてもよく、実装部品６０は、第２凹部５０の底面に実装されてもよい。

[0124] 第２半導体素子２０よりも大きい厚みを有する実装部品６０がそのまま第１主面３１に実装される場合、第２半導体素子２０よりも大きい厚みを有する実装部品６０によって、高周波モジュール１全体の厚みが厚くなる。そこで、実装部品６０が第２凹部５０の底面に実装されることで、第２凹部５０の深さ分、高周波モジュール１の低背化が可能となる。

[0125] 例えば、第２凹部５０は、第１凹部４０よりも深さが浅くてもよい。

[0126] 例えば、実装部品６０（例えばチップ部品）が積層基板３０の第２凹部５０の底面に実装される際に、積層基板３０に半田が印刷されるが、第２凹部５０の深さが深いと第２凹部５０の底面に半田を印刷することが難しくなる。そこで、第２凹部５０の深さを第１凹部４０よりも浅くすることで、第２凹部５０の底面に半田を印刷しやすくなり、実装のしやすさを向上させることができる。

[0127] 通信装置５は、アンテナ２で送受信される高周波信号を処理するＲＦＩＣ３と、アンテナ２とＲＦＩＣ３との間で高周波信号を伝搬する高周波モジュール１と、を備える。

[0128] これによれば、積層基板３０の放熱性を向上することができる通信装置５を提供することができる。

[0129] （その他の実施の形態）

以上、本発明に係る高周波モジュール１および通信装置５について、実施の形態を挙げて説明したが、本発明は、上記実施の形態に限定されるものではない。上記実施の形態における任意の構成要素を組み合わせて実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る高周波モジュール１または通信装置５を内蔵した各種機器も本発明に含まれる。

[0130] 例えば、上記実施の形態では、メタル層９０がグランドに接続されている例について説明したが、メタル層９０がグランドに接続されていなくてもよい。

[0131] 例えば、上記実施の形態では、第２半導体素子２０が、第２半導体素子２０の底面とメタル層９０の天面との間に設けられた金属ビア９１を介してメタル層９０と接続される例について説明したが、これに限らない。第２半導体素子２０の底面とメタル層９０の天面との間に金属ビア９１が設けられなくてもよい。

[0132] 例えば、上記実施の形態では、高周波モジュール１がシールド層８０を備える例について説明したが、高周波モジュール１は、シールド層８０を備え

ていなくてもよい。

[0133] 例えば、上記実施の形態では、高周波モジュール１がモールド層７０を備える例について説明したが、高周波モジュール１は、モールド層７０を備えていなくてもよい。あるいは、高周波モジュール１は、第１モールド層７１を備えず、第２モールド層７２を備えていてもよい。この場合、メタル層９０によって第１凹部４０が完全に覆われていてもよく、第２モールド層７２が形成される際に、第１主面３１に注入された樹脂部材が第１凹部４０に流れ込まないようにされていてもよい。あるいは、高周波モジュール１は、第２モールド層７２を備えず、第１モールド層７１を備えていてもよい。

[0134] 例えば、上記実施の形態では、第１半導体素子１０が第１パワーアンプ回路を含み、かつ、第１半導体素子１０が化合物半導体基板を有する例について説明したが、これに限らない。例えば、第１半導体素子１０は、第１パワーアンプ回路を含んでいなくてもよく、化合物半導体基板を有していなくてもよい。

[0135] 例えば、上記実施の形態では、第２半導体素子２０がローノイズアンプ回路、スイッチ回路および制御回路の少なくとも１つを含み、かつ、第２半導体素子２０がＳｉ半導体基板を有する例について説明したが、これに限らない。例えば、第２半導体素子２０は、ローノイズアンプ回路、スイッチ回路および制御回路の少なくとも１つを含んでいなくてもよく、Ｓｉ半導体基板を有していなくてもよい。

[0136] 例えば、上記実施の形態では、第１半導体素子１０は、第１パワーアンプ回路の温度を検知する温度センサを含み、第２半導体素子２０は、第１パワーアンプ回路に供給するバイアスを調整するバイアス調整回路を含む例について説明したが、これに限らない。例えば、第１半導体素子１０は、温度センサを含んでいなくてもよく、第２半導体素子２０は、バイアス調整回路を含んでいなくてもよい。

[0137] 例えば、上記実施の形態では、第１半導体素子１０は、第１パワーアンプ回路の特性パラメータを検知するディテクタ回路を含み、第２半導体素子２

０は、特性パラメータを調整する特性調整回路を含む例について説明したが、これに限らない。例えば、第１半導体素子１０は、ディテクタ回路を含んでいなくてもよく、第２半導体素子２０は、特性調整回路を含んでいなくてもよい。

[0138] 例えば、上記実施の形態では、積層基板３０は、少なくとも積層基板３０の内部に形成され、第１半導体素子１０と第２半導体素子２０とを電気的に接続する導電体を有する例について説明したが、これに限らない。例えば、積層基板３０は、第１半導体素子１０と第２半導体素子２０とを電気的に接続する導電体を有していなくてもよい。例えば、第１半導体素子１０と第２半導体素子２０とを電気的に接続する導電体は、積層基板３０の外部に形成されてもよい（例えば、ワイヤボンディングが用いられてもよい）。あるいは、第１半導体素子１０と第２半導体素子２０とを電気的に接続する導電体が高周波モジュール１に設けられていなくてもよい。

[0139] 例えば、上記実施の形態では、高周波モジュール１が実装部品６０を備える例について説明したが、高周波モジュール１は、実装部品６０を備えていなくてもよい。この場合、積層基板３０の第１主面３１には、第２凹部５０が設けられていなくてもよい。

産業上の利用可能性

[0140] 本発明は、放熱性を要求される機器に広く利用できる。

符号の説明

[0141] １　高周波モジュール
２　アンテナ
３　ＲＦＩＣ
４　ＢＢＩＣ
５　通信装置
１０　第１半導体素子
２０　第２半導体素子
３０　積層基板

３１　第１主面

３２　第２主面

３３、３６、９１　金属ビア

３５　導体膜

４０　第１凹部

５０　第２凹部

６０　実装部品

７０　モールド層

７１　第１モールド層

７２　第２モールド層

８０　シールド層

９０　メタル層

１０１、３１１、３１２　スイッチ回路

１１１、１１２、１１３、１１４、１１５、１１６　整合回路

１２１、３２１、３２２　ローノイズアンプ回路

１３１、１３２、１３３、３３１、３３２、３３３、３３４　パワーアンプ回路

１４１　制御回路

２０１　温度センサ

３０１　ダイプレクサ

３０２、３０３　フィルタ

Ｃ　キャパシタ

ＯＰ　オペアンプ

ＳＷ　スイッチ

Ｔ１　第１入力端子

Ｔ２　第２入力端子

請求の範囲

[請求項1] 複数の層が積層され、第１主面および第２主面を有する積層基板と、

第１半導体素子と、

第２半導体素子と、

メタル層と、を備え、

前記第１主面には第１凹部が設けられ、

前記第１半導体素子は、前記第１凹部の底面に実装され、

前記第２半導体素子は、前記第１凹部をまたぐように前記第１主面に実装され、

前記第１半導体素子は、前記第１凹部の底面から前記第２主面までを貫通する金属ビアと接続され、

前記メタル層は、前記第１半導体素子と前記第２半導体素子との間で、前記第１凹部をまたぐように設けられる、

高周波モジュール。

[請求項2] 前記メタル層は、グランドに接続されている、

請求項１に記載の高周波モジュール。

[請求項3] 前記第２半導体素子は、前記第２半導体素子の前記第１主面側の面である底面と前記メタル層の前記第２半導体素子側の面である天面との間に設けられた金属ビアを介して前記メタル層と接続される、

請求項２に記載の高周波モジュール。

[請求項4] さらに、少なくとも前記第２半導体素子を封止するモールド層と、

前記モールド層を覆うシールド層と、を備える、

請求項１～３のいずれか１項に記載の高周波モジュール。

[請求項5] 前記モールド層は、前記第２半導体素子の前記第１主面側の面とは反対側の面である天面を覆っておらず、

前記シールド層は、前記第２半導体素子の前記天面と接触している、

請求項４に記載の高周波モジュール。

[請求項6] 前記モールド層は、前記第１半導体素子を封止する第１モールド層と、前記第２半導体素子を封止する第２モールド層を含み、

前記第１モールド層の材料と前記第２モールド層の材料とは異なる、

請求項４または５に記載の高周波モジュール。

[請求項7] 前記第１モールド層の熱伝導率は、前記第２モールド層の熱伝導率より高い、

請求項６に記載の高周波モジュール。

[請求項8] 前記第１半導体素子は、２ＧＨｚ帯域のパワーアンプ回路を含み、

前記第２半導体素子は、５ＧＨｚ帯域の増幅回路を含む、

あるいは、

前記第１半導体素子は、５ＧＨｚ帯域の増幅回路を含み、

前記第２半導体素子は、２ＧＨｚ帯域のパワーアンプ回路を含む、

請求項１～７のいずれか１項に記載の高周波モジュール。

[請求項9] 前記第１半導体素子は、化合物半導体基板を有し、

前記第２半導体素子は、Ｓｉ半導体基板を有する、

請求項１～８のいずれか１項に記載の高周波モジュール。

[請求項10] 前記第２半導体素子は、ローノイズアンプ回路、スイッチ回路および制御回路の少なくとも１つを含む、

請求項１～９のいずれか１項に記載の高周波モジュール。

[請求項11] 前記第１半導体素子は、第１パワーアンプ回路を含む、

請求項１～１０のいずれか１項に記載の高周波モジュール。

[請求項12] 前記積層基板は、少なくとも前記積層基板の内部に形成され、前記第１半導体素子と前記第２半導体素子とを電気的に接続する導電体を有する、

請求項１１に記載の高周波モジュール。

[請求項13] 前記第１半導体素子は、さらに、前記第１パワーアンプ回路の温度

を検知する温度センサを含み、

前記第２半導体素子は、前記温度センサで検知された温度に基づいて、前記第１パワーアンプ回路に供給するバイアスを調整するバイアス調整回路を含む、

請求項１２に記載の高周波モジュール。

[請求項14] 前記第１半導体素子は、さらに、前記第１パワーアンプ回路の特性パラメータを検知するディテクタ回路を含み、

前記第２半導体素子は、前記ディテクタ回路で検知された前記特性パラメータに基づいて、前記特性パラメータを調整する特性調整回路を含む、

請求項１２または１３に記載の高周波モジュール。

[請求項15] 前記特性パラメータは、前記第１パワーアンプ回路のインピーダンス、位相および電力の少なくとも１つを含む、

請求項１４に記載の高周波モジュール。

[請求項16] 前記第２半導体素子は、さらに、前記第１パワーアンプ回路と縦続接続される第２パワーアンプ回路を含む、

請求項１１～１５のいずれか１項に記載の高周波モジュール。

[請求項17] 前記積層基板は、前記第１パワーアンプ回路に接続される整合回路を内蔵する、

請求項１１～１６のいずれか１項に記載の高周波モジュール。

[請求項18] 前記第２半導体素子よりも大きい厚みを有する実装部品をさらに備え、

前記第１主面には、第２凹部が設けられ、

前記実装部品は、前記第２凹部の底面に実装される、

請求項１～１７のいずれか１項に記載の高周波モジュール。

[請求項19] 前記第２凹部は、前記第１凹部よりも深さが浅い、

請求項１８に記載の高周波モジュール。

[請求項20] アンテナで送受信される高周波信号を処理するＲＦ信号処理回路と

、

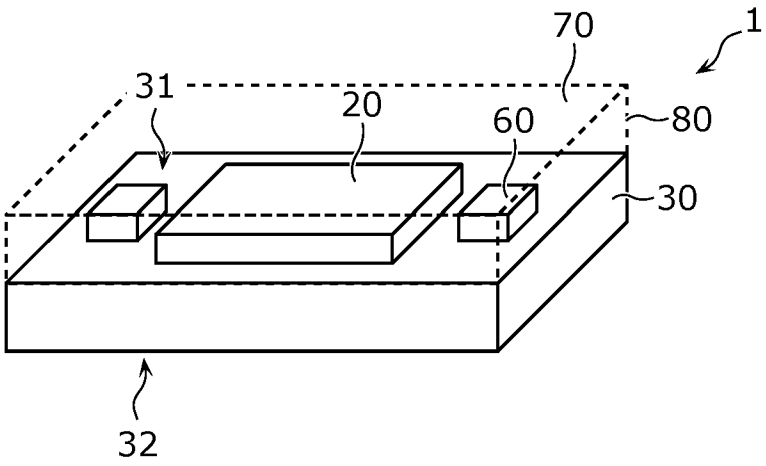
前記アンテナと前記ＲＦ信号処理回路との間で前記高周波信号を伝搬する請求項１～１９のいずれか１項に記載の高周波モジュールと、

を備える、

通信装置。

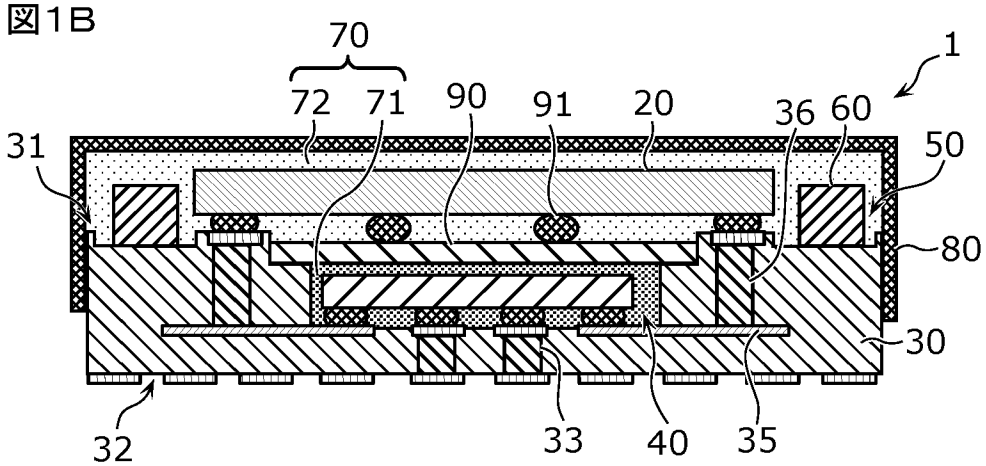
[図1A]

図1A



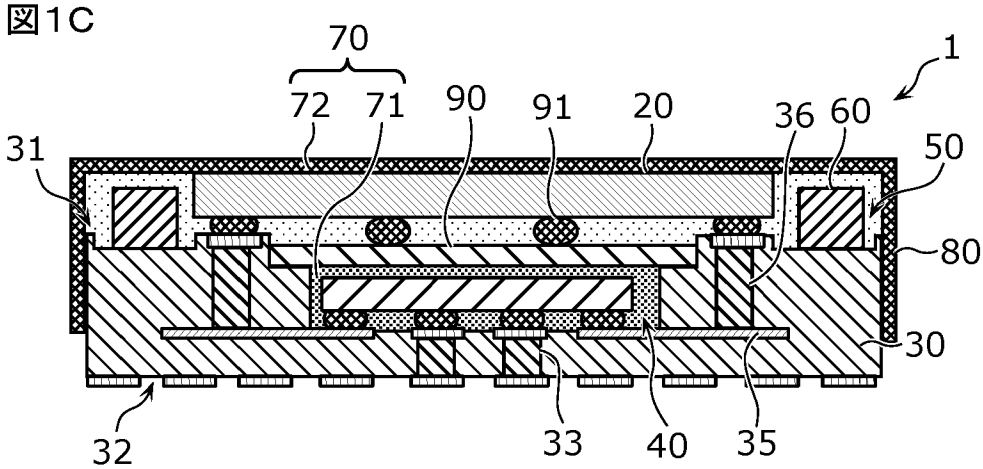
[図1B]

図1B



[図1C]

図1C



[図2]

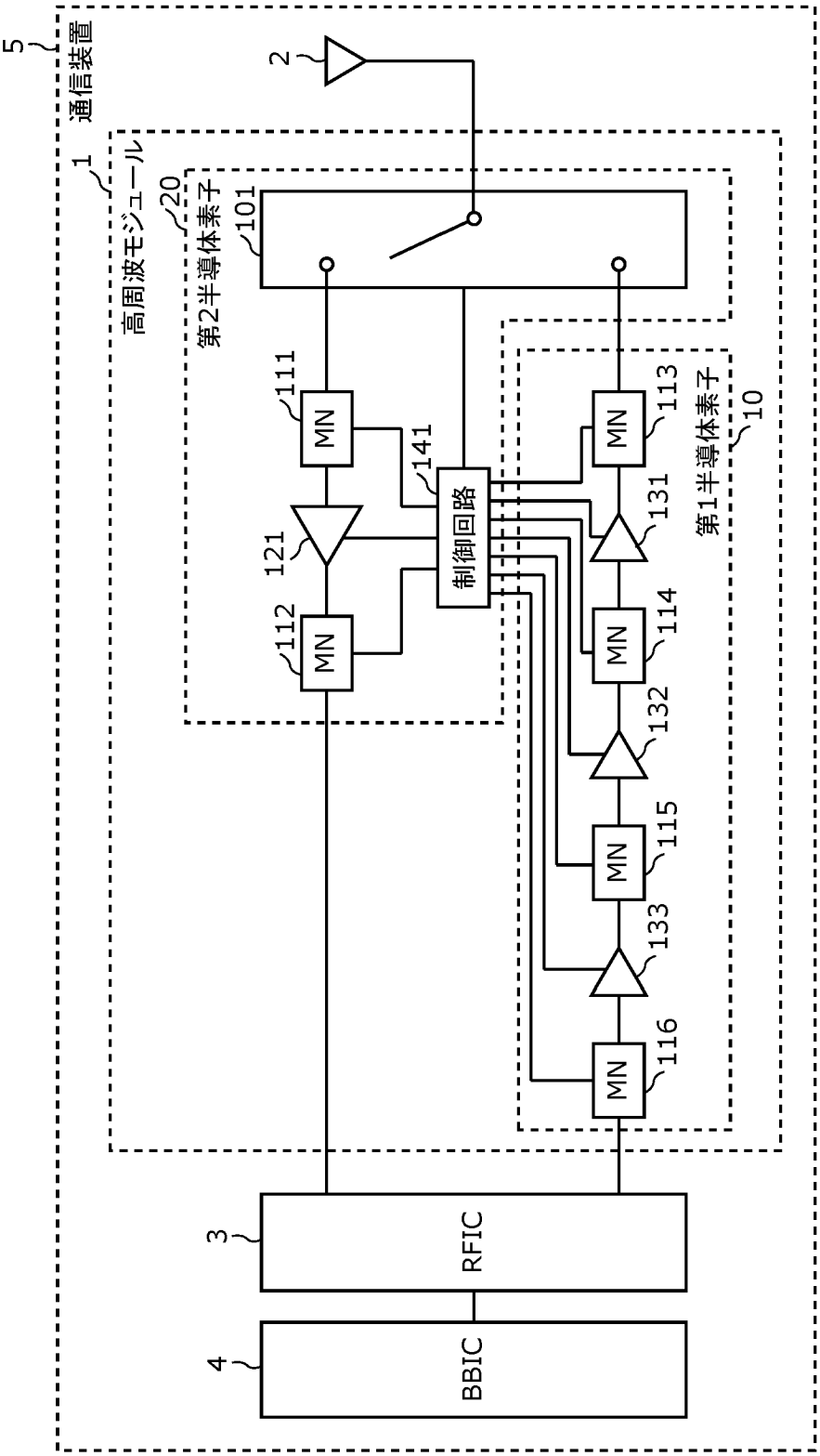
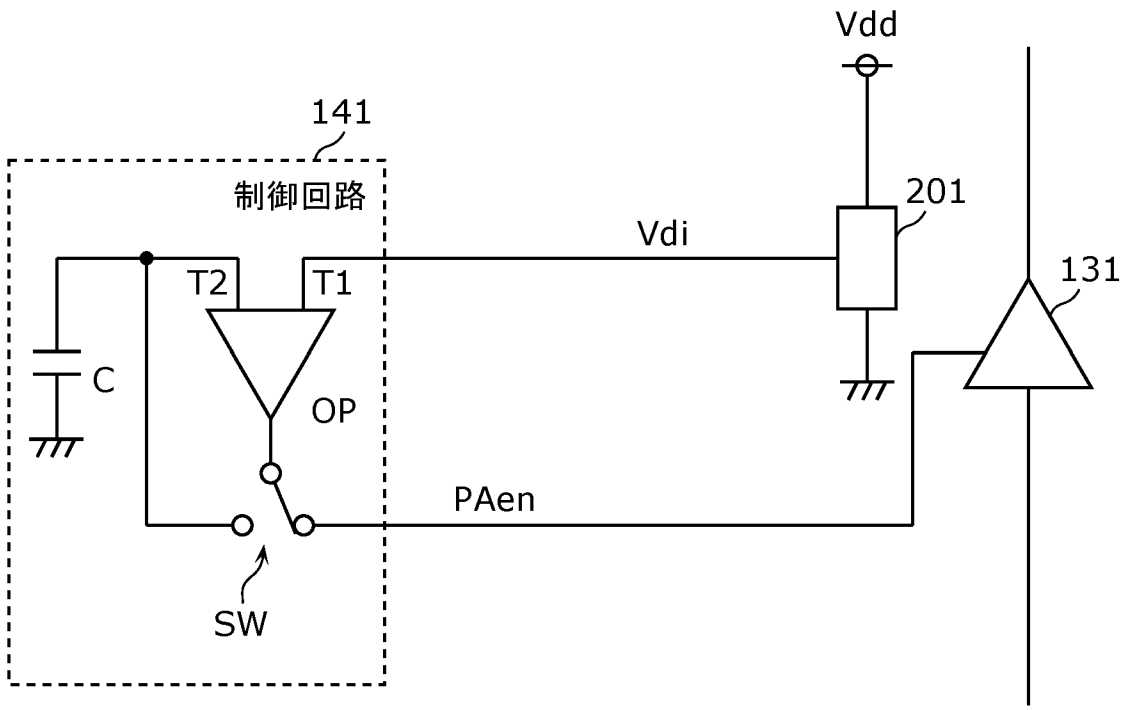

5
通信装置
1
高周波モジュール
2
20
第2半導体素子
101
111
MN
141
制御回路
121
112
MN
113
MN
131
114
MN
132
115
MN
133
116
MN
10
第1半導体素子
3
RFIC
4
BBIC

図2

[図3]

図3



[図4]

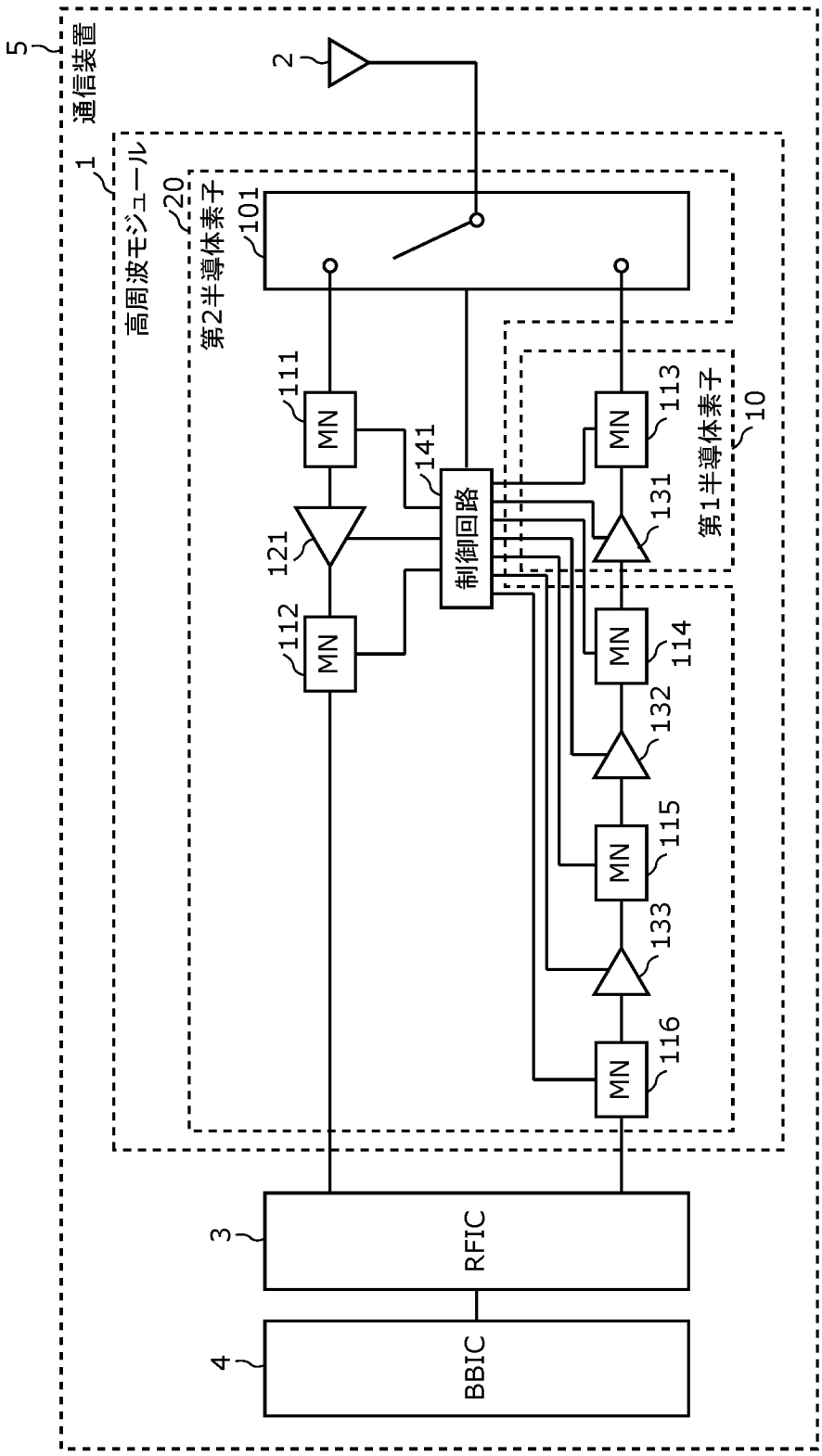

5
通信装置
1
高周波モジュール
20
第2半導体素子
101
2
111
MN
141
制御回路
121
112
MN
113
MN
131
第1半導体素子
10
114
MN
132
115
MN
133
116
MN
3
RFIC
4
BBIC

図4

[図5]

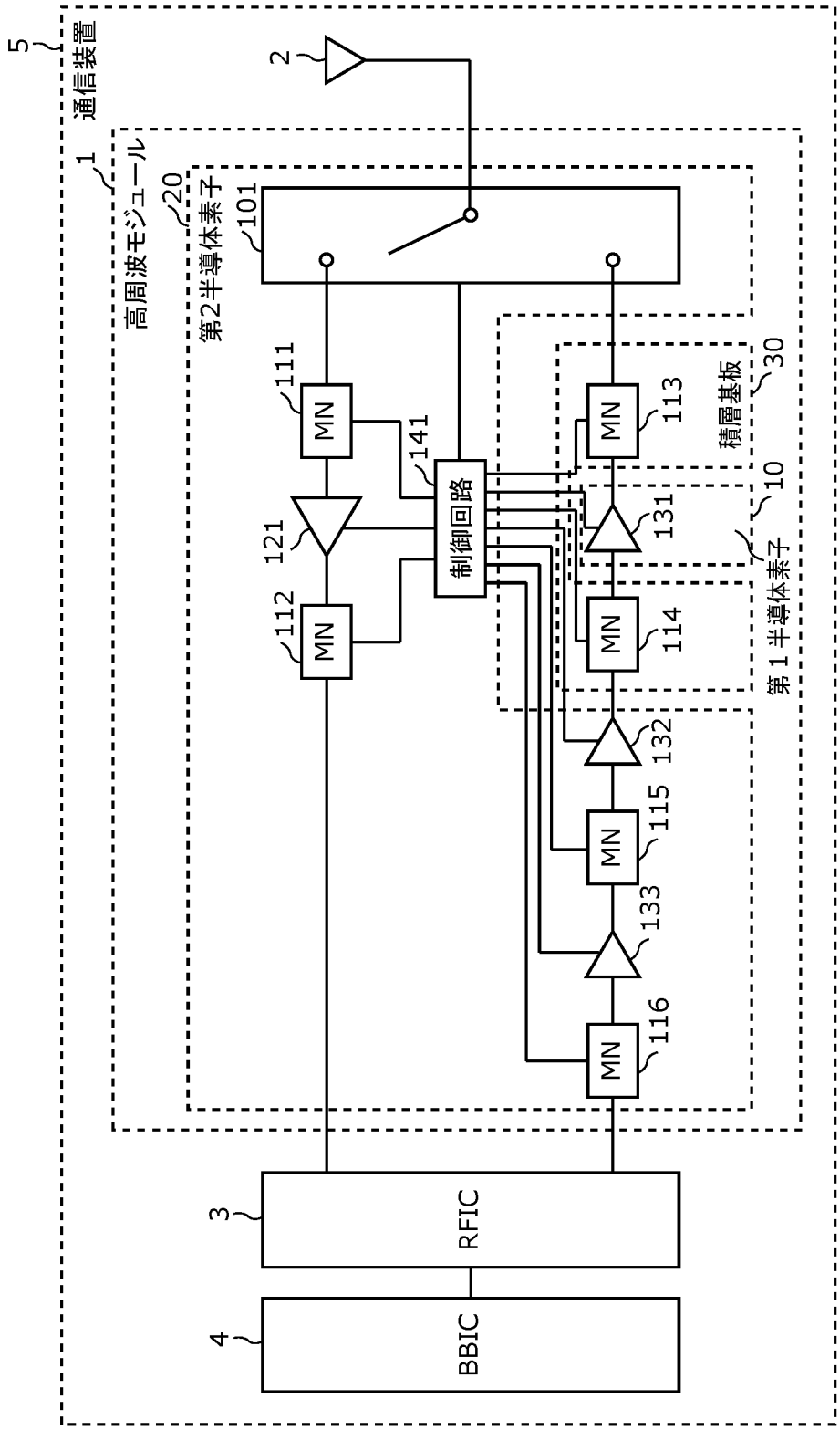

5
通信装置
1
高周波モジュール
20
第2半導体素子
101
2
111
MN
141
制御回路
121
112
MN
113
MN
積層基板
30
10
第1半導体素子
131
114
MN
132
115
MN
133
116
MN
3
RFIC
4
BBIC

図5

[図6]

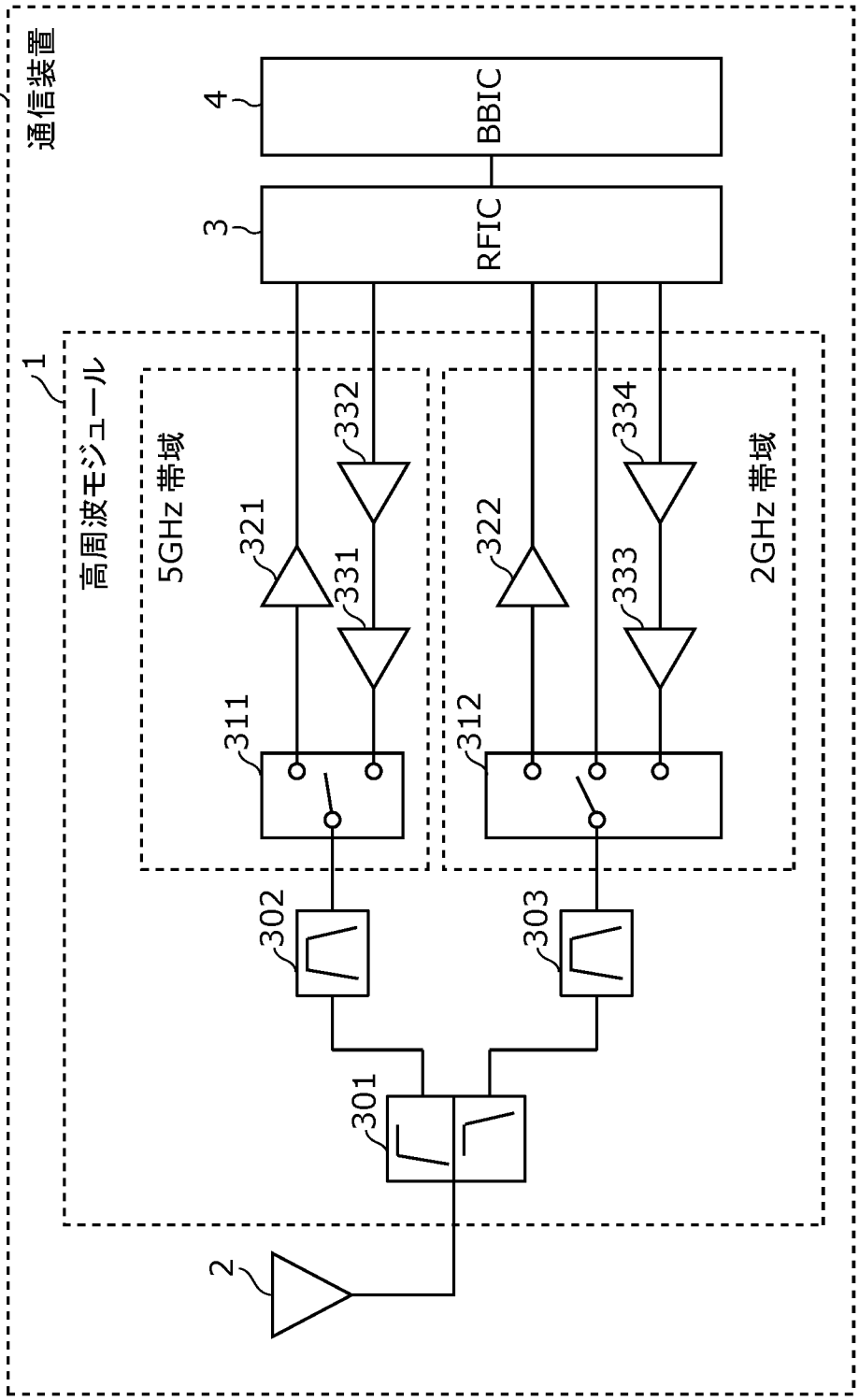

5
通信装置
4
BBIC
3
RFIC
1
高周波モジュール
5GHz 帯域
2GHz 帯域
321
322
331
332
333
334
311
312
302
303
301
2

図6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/034466

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/00(2006.01)i; ***H01L 23/12***(2006.01)i; ***H01L 25/065***(2006.01)i; ***H01L 25/07***(2006.01)i; ***H01L 25/18***(2006.01)i; ***H04B 1/38***(2015.01)i
FI: H01L23/12 301J; H01L25/08 Y; H01L23/00 C; H04B1/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/00; H01L23/12; H01L25/065; H01L25/07; H01L25/18; H04B1/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-186344 A (ROHM CO LTD) 24 October 2019 (2019-10-24) paragraphs [0019], [0060]-[0070], fig. 11	1-12, 16, 20
A		13-15, 17-19
Y	JP 2004-128288 A (RENESAS TECHNOLOGY CORP) 22 April 2004 (2004-04-22) paragraph [0090], fig. 11	1-12, 16, 20
A		13-15, 17-19
Y	WO 2020/054004 A1 (MITSUBISHI ELECTRIC CORP) 19 March 2020 (2020-03-19) paragraphs [0010]-[0023], fig. 2	1-12, 16, 20
A		13-15, 17-19
Y	JP 2004-128029 A (SONY CORP) 22 April 2004 (2004-04-22) paragraph [0093], fig. 21	3-12, 16, 20
A		13-15, 17-19

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 November 2021	**22 November 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2017/187559 A1 (MITSUBISHI ELECTRIC CORP) 02 November 2017 (2017-11-02) paragraphs [0059]-[0061], fig. 9	4-12, 16, 20
A		13-15, 17-19
Y	JP 2004-273570 A (SANYO ELECTRIC CO LTD) 30 September 2004 (2004-09-30) paragraphs [0015]-[0024], fig. 1	6-12, 16, 20
A		13-15, 17-19
Y	JP 2007-295327 A (HITACHI METALS LTD) 08 November 2007 (2007-11-08) paragraph [0021], fig. 1	8-12, 16, 20
A		13-15, 17-19
Y	JP 2010-267944 A (RENESAS ELECTRONICS CORP) 25 November 2010 (2010-11-25) paragraphs [0030]-[0052], fig. 1, 2	10-12, 16, 20
A		13-15, 17-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/034466

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-186344 A	24 October 2019	US 2019/0311965 A1 paragraphs [0077], [0142]-[0157], fig. 11	
JP 2004-128288 A	22 April 2004	(Family: none)	
WO 2020/054004 A1	19 March 2020	(Family: none)	
JP 2004-128029 A	22 April 2004	US 2005/0037535 A1 paragraph [0106], fig. 21 TW 200415865 A KR 10-2005-0074895 A	
WO 2017/187559 A1	02 November 2017	US 2019/0159332 A1 paragraphs [0132]-[0135], fig. 9 EP 3432353 A1	
JP 2004-273570 A	30 September 2004	US 2004/0201082 A1 paragraphs [0027]-[0036], fig. 1 TW 200418111 A KR 10-0585895 B1 CN 1531092 A	
JP 2007-295327 A	08 November 2007	US 2008/0166980 A1 paragraph [0074], fig. 1 EP 1850491 A2 CN 101064521 A TW 200805903 A	
JP 2010-267944 A	25 November 2010	US 2010/0109052 A1 paragraphs [0098]-[0122], fig. 1, 2	

国際調査報告

国際出願番号
PCT/JP2021/034466

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/00(2006.01)i; H01L 23/12(2006.01)i; H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H04B 1/38(2015.01)i
FI: H01L23/12 301J; H01L25/08 Y; H01L23/00 C; H04B1/38

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/00; H01L23/12; H01L25/065; H01L25/07; H01L25/18; H04B1/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2019-186344 A (ローム株式会社) 24.10.2019 (2019-10-24) 段落[0019],[0060]-[0070],図11	1-12,16,20
A		13-15,17-19
Y	JP 2004-128288 A (株式会社ルネサステクノロジ) 22.04.2004 (2004-04-22) 段落[0090],図11	1-12,16,20
A		13-15,17-19
Y	WO 2020/054004 A1 (三菱電機株式会社) 19.03.2020 (2020-03-19) 段落[0010]-[0023],図2	1-12,16,20
A		13-15,17-19
Y	JP 2004-128029 A (ソニー株式会社) 22.04.2004 (2004-04-22) 段落[0093],図21	3-12,16,20
A		13-15,17-19

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.11.2021	22.11.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
佐藤　靖史 5F 5895

電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2017/187559 A1（三菱電機株式会社）02.11.2017（2017-11-02） 段落[0059]-[0061],図9	4-12,16,20
A		13-15,17-19
Y	JP 2004-273570 A（三洋電機株式会社）30.09.2004（2004-09-30） 段落[0015]-[0024],図1	6-12,16,20
A		13-15,17-19
Y	JP 2007-295327 A（日立金属株式会社）08.11.2007（2007-11-08） 段落[0021],図1	8-12,16,20
A		13-15,17-19
Y	JP 2010-267944 A（ルネサスエレクトロニクス株式会社）25.11.2010（2010-11-25） 段落[0030]-[0052],図1,2	10-12,16,20
A		13-15,17-19

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/034466

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-186344 A	24.10.2019	US 2019/0311965 A1 段落[0077],[0142]-[0157], 図11	
JP 2004-128288 A	22.04.2004	（ファミリーなし）	
WO 2020/054004 A1	19.03.2020	（ファミリーなし）	
JP 2004-128029 A	22.04.2004	US 2005/0037535 A1 段落[0106],図21 TW 200415865 A KR 10-2005-0074895 A	
WO 2017/187559 A1	02.11.2017	US 2019/0159332 A1 段落[0132]-[0135],図9 EP 3432353 A1	
JP 2004-273570 A	30.09.2004	US 2004/0201082 A1 段落[0027]-[0036],図1 TW 200418111 A KR 10-0585895 B1 CN 1531092 A	
JP 2007-295327 A	08.11.2007	US 2008/0166980 A1 段落[0074],図1 EP 1850491 A2 CN 101064521 A TW 200805903 A	
JP 2010-267944 A	25.11.2010	US 2010/0109052 A1 段落[0098]-[0122],図1,2	