

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年11月27日(2008.11.27)

【公開番号】特開2006-121094(P2006-121094A)

【公開日】平成18年5月11日(2006.5.11)

【年通号数】公開・登録公報2006-018

【出願番号】特願2005-307440(P2005-307440)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 27/115 (2006.01)

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成20年10月9日(2008.10.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

前記基板の上層部内に空間上分離されて設けられるソース領域とドレーン領域と、  
前記ソース領域と前記ドレーン領域との間の前記基板上の電荷トラップ構造物、および  
前記電荷トラップ構造物上のゲート電極  
を含み、

前記ゲート電極及び前記ソース領域と前記ドレーン領域のうち少なくともいずれか一つ  
の一部との間の前記電荷トラップ構造物内にリセスが存在することを特徴とする不揮発性  
メモリ素子。

【請求項2】

前記ソースとドレーン領域のうち少なくとも一つの内側エッジが前記電荷トラップ構造物  
の外側エッジと実質的に整列されることを特徴とする請求項1に記載の不揮発性メモリ  
素子。

【請求項3】

前記リセスが前記電荷トラップ構造物のソース領域側面にあることを特徴とする請求項  
1に記載の不揮発性メモリ素子。

【請求項4】

前記リセスが前記電荷トラップ構造物のソース領域側面及びドレーン領域側面の両側面  
にあることを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項5】

前記リセス内に誘電物質をさらに含むことを特徴とする請求項1に記載の不揮発性メモ  
リ素子。

【請求項6】

前記電荷トラップ構造物は、シリコン酸化物及びシリコン酸窒化物より成了たグループ  
から選択された物質を含む第1の誘電膜と、

前記第1の誘電膜上に形成され、シリコン窒化物、シリコン酸窒化物及び高誘電率物質より成ったグループから選択された物質を含む第2の誘電膜、および

前記第2の誘電膜上に形成され、シリコン酸化物を含む第3の誘電膜  
を含むことを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項7】

前記リセスは、前記第2の誘電膜内に形成されたことを特徴とする請求項6に記載の不揮発性メモリ素子。

【請求項8】

前記電荷トラップ構造物が、シリコン酸化物及びシリコン酸窒化物より成ったグループから選択された物質を含む第1の誘電膜と、

前記第1の誘電膜上に形成され、ポリシリコン量子点及びシリコン窒化物量子点より成ったグループから選択されたタイプの量子点を含む量子点アレイ、及び前記量子点アレイ上にシリコン酸化物を含む第2の誘電膜と、

を含むことを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項9】

前記電荷トラップ構造物は、前記ソース領域から前記ソース領域及び前記ドレーン領域の間の中間領域へ延長され、

前記中間領域内の前記電荷トラップ構造物から前記ドレーン領域へ延長された前記基板上のゲート誘電膜をさらに含み、

前記ゲート電極が前記電荷トラップ構造物及び前記ゲート誘電膜上にあることを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項10】

前記電荷トラップ構造物は、第1の電荷トラップ構造物を含み、

前記ゲート電極は、第1の補助ゲート電極を含み、

前記ソース領域と前記ドレーン領域との間の前記基板上の主ゲート誘電膜と、

前記主ゲート誘電膜上にある主ゲート電極と、

前記ソース領域及び前記主ゲート電極の間の前記基板上にある前記第1の電荷トラップ構造物と、

前記第1の電荷トラップ構造物上にあり、前記第1の補助ゲート電極と前記ソース領域の一部との間にある前記第1の電荷トラップ構造物内に第1のリセスが存在する前記第1の補助ゲート電極と、

前記ドレーン領域と前記主ゲート電極との間にある前記基板上の第2の電荷トラップ構造物、および

前記第2の電荷トラップ構造物上にあり、前記第2の補助ゲート電極及び前記ドレーン領域の一部との間の前記第2の電荷トラップ構造物内に第2のリセスが存在する第2の補助ゲート電極、

をさらに含むことを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項11】

半導体基板と、

前記基板の上層部内に空間上分離されて設けられるソース領域およびドレーン領域と、

前記ソース領域と前記ドレーン領域との間の前記基板上にある主ゲート誘電膜と、

前記主ゲート誘電膜上にある主ゲート電極と、

前記ソース領域と前記主ゲート電極との間の前記基板上の第1の電荷トラップ構造物と、

前記第1の電荷トラップ構造物上に存在する前記第1の補助ゲート電極であって、前記第1の補助ゲート電極と前記ソース領域の一部との間にある前記第1の電荷トラップ構造物内に第1のリセスが存在する前記第1の補助ゲート電極と、

前記ドレーン領域と前記主ゲート電極との間にある前記基板上の第2の電荷トラップ構造物、および

前記第2の電荷トラップ構造物上に存在する前記第2の補助ゲート電極であって、前記

第2の補助ゲート電極と前記ドレーン領域の一部との間にある前記第2の電荷トラップ構造物内に第2のリセスが存在する前記第2の補助ゲート電極、  
を含むことを特徴とする不揮発性メモリ素子。

【請求項12】

前記第1及び第2の補助ゲート電極は、前記第1のゲート電極のドレーン側面とソース側面のそれぞれの前記第1の電荷トラップ構造物と前記第2の電荷トラップ構造物上に形成された伝導性の側壁スペーサを含むことを特徴とする請求項11に記載の不揮発性メモリ素子。

【請求項13】

前記第1及び第2の電荷トラップ構造物は、シリコン酸化物及びシリコン酸窒化物より成ったグループから選択された物質を含む第1の誘電膜と、

前記第1の誘電膜上に形成され、シリコン窒化物、シリコン酸窒化物及び高誘電率物質より成ったグループから選択された物質を含む第2の誘電膜、および

前記第2の誘電膜上に形成され、シリコン酸化物を含む第3の誘電膜  
を含むことを特徴とする請求項11に記載の不揮発性メモリ素子。

【請求項14】

前記第1及び第2のリセスがそれぞれ前記第1及び第2の電荷トラップ構造物の前記第2の誘電膜内に形成されることを特徴とする請求項13に記載の不揮発性メモリ素子。

【請求項15】

前記第1及び第2の電荷トラップ構造物は、シリコン酸化物及びシリコン酸窒化物より成ったグループから選択された物質を含む第1の誘電膜と、

前記第1の誘電膜上に形成され、ポリシリコン量子点及びシリコン窒化物量子点より成ったグループから選択されたタイプの量子点を含む量子点アレイ、及び前記量子点アレイ上に形成され、シリコン酸化物を含む第2の誘電膜

を含むことを特徴とする請求項11に記載の不揮発性メモリ素子。

【請求項16】

前記第1及び第2のリセス内に誘電物質をさらに含むことを特徴とする請求項11に記載の不揮発性メモリ素子。