

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 20 年 11 月 27 日 (2008.11.27)

【公開番号】特開 2006-121094 (P2006-121094A)
 【公開日】平成 18 年 5 月 11 日 (2006.5.11)
 【年通号数】公開・登録公報 2006-018
 【出願番号】特願 2005-307440 (P2005-307440)
 【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成 20 年 10 月 9 日 (2008.10.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記基板の上層部内に空間上分離されて設けられるソース領域とドレーン領域と、

前記ソース領域と前記ドレーン領域との間の前記基板上の電荷トラップ構造物、および
 前記電荷トラップ構造物上のゲート電極

を含み、

前記ゲート電極及び前記ソース領域と前記ドレーン領域のうち少なくともいずれか一つ
 の一部との間の前記電荷トラップ構造物内にリセスが存在することを特徴とする不揮発性
 メモリ素子。

【請求項 2】

前記ソースとドレーン領域のうち少なくとも一つの内側エッジが前記電荷トラップ構造
 物の外側エッジと実質的に整列されることを特徴とする請求項 1 に記載の不揮発性メモリ
 素子。

【請求項 3】

前記リセスが前記電荷トラップ構造物のソース領域側面にあることを特徴とする請求項
 1 に記載の不揮発性メモリ素子。

【請求項 4】

前記リセスが前記電荷トラップ構造物のソース領域側面及びドレーン領域側面の両側面
 にあることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 5】

前記リセス内に誘電物質をさらに含むことを特徴とする請求項 1 に記載の不揮発性メモ
 リ素子。

【請求項 6】

前記電荷トラップ構造物は、シリコン酸化物及びシリコン酸窒化物より成ったグループ
 から選択された物質を含む第 1 の誘電膜と、

前記第 1 の誘電膜上に形成され、シリコン窒化物、シリコン酸窒化物及び高誘電率物質より成ったグループから選択された物質を含む第 2 の誘電膜、および

前記第 2 の誘電膜上に形成され、シリコン酸化物を含む第 3 の誘電膜を含むことを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 7】

前記リセスは、前記第 2 の誘電膜内に形成されたことを特徴とする請求項 6 に記載の不揮発性メモリ素子。

【請求項 8】

前記電荷トラップ構造物が、シリコン酸化物及びシリコン酸窒化物より成ったグループから選択された物質を含む第 1 の誘電膜と、

前記第 1 の誘電膜上に形成され、ポリシリコン量子点及びシリコン窒化物量子点より成ったグループから選択されたタイプの量子点を含む量子点アレイ、及び前記量子点アレイ上にシリコン酸化物を含む第 2 の誘電膜と、

を含むことを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 9】

前記電荷トラップ構造物は、前記ソース領域から前記ソース領域及び前記ドレーン領域の間の中間領域へ延長され、

前記中間領域内の前記電荷トラップ構造物から前記ドレーン領域へ延長された前記基板上のゲート誘電膜をさらに含み、

前記ゲート電極が前記電荷トラップ構造物及び前記ゲート誘電膜上にあることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 10】

前記電荷トラップ構造物は、第 1 の電荷トラップ構造物を含み、

前記ゲート電極は、第 1 の補助ゲート電極を含み、

前記ソース領域と前記ドレーン領域との間の前記基板上的主ゲート誘電膜と、

前記主ゲート誘電膜上にある主ゲート電極と、

前記ソース領域及び前記主ゲート電極の間の前記基板上的前記第 1 の電荷トラップ構造物と、

前記第 1 の電荷トラップ構造物上にあり、前記第 1 の補助ゲート電極と前記ソース領域の一部との間にある前記第 1 の電荷トラップ構造物内に第 1 のリセスが存在する前記第 1 の補助ゲート電極と、

前記ドレーン領域と前記主ゲート電極との間にある前記基板上的第 2 の電荷トラップ構造物、および

前記第 2 の電荷トラップ構造物上にあり、前記第 2 の補助ゲート電極及び前記ドレーン領域の一部の間の前記第 2 の電荷トラップ構造物内に第 2 のリセスが存在する第 2 の補助ゲート電極、

をさらに含むことを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 11】

半導体基板と、

前記基板の上層部内に空間上分離されて設けられるソース領域およびドレーン領域と、

前記ソース領域と前記ドレーン領域との間の前記基板上的主ゲート誘電膜と、

前記主ゲート誘電膜上にある主ゲート電極と、

前記ソース領域と前記主ゲート電極との間の前記基板上的第 1 の電荷トラップ構造物と

、

前記第 1 の電荷トラップ構造物上に存在する前記第 1 の補助ゲート電極であって、前記第 1 の補助ゲート電極と前記ソース領域の一部との間にある前記第 1 の電荷トラップ構造物内に第 1 のリセスが存在する前記第 1 の補助ゲート電極と、

前記ドレーン領域と前記主ゲート電極との間にある前記基板上的第 2 の電荷トラップ構造物、および

前記第 2 の電荷トラップ構造物上に存在する前記第 2 の補助ゲート電極であって、前記

第 2 の補助ゲート電極と前記ドレーン領域の一部との間にある前記第 2 の電荷トラップ構造物内に第 2 のリセスが存在する前記第 2 の補助ゲート電極、

を含むことを特徴とする不揮発性メモリ素子。

【請求項 1 2】

前記第 1 及び第 2 の補助ゲート電極は、前記第 1 のゲート電極のドレーン側面とソース側面のそれぞれの前記第 1 の電荷トラップ構造物と前記第 2 の電荷トラップ構造物上に形成された伝導性の側壁スペーサを含むことを特徴とする請求項 1 1 に記載の不揮発性メモリ素子。

【請求項 1 3】

前記第 1 及び第 2 の電荷トラップ構造物は、シリコン酸化物及びシリコン酸窒化物より成ったグループから選択された物質を含む第 1 の誘電膜と、

前記第 1 の誘電膜上に形成され、シリコン窒化物、シリコン酸窒化物及び高誘電率物質より成ったグループから選択された物質を含む第 2 の誘電膜、および

前記第 2 の誘電膜上に形成され、シリコン酸化物を含む第 3 の誘電膜を含むことを特徴とする請求項 1 1 に記載の不揮発性メモリ素子。

【請求項 1 4】

前記第 1 及び第 2 のリセスがそれぞれ前記第 1 及び第 2 の電荷トラップ構造物の前記第 2 の誘電膜内に形成されることを特徴とする請求項 1 3 に記載の不揮発性メモリ素子。

【請求項 1 5】

前記第 1 及び第 2 の電荷トラップ構造物は、シリコン酸化物及びシリコン酸窒化物より成ったグループから選択された物質を含む第 1 の誘電膜と、

前記第 1 の誘電膜上に形成され、ポリシリコン量子点及びシリコン窒化物量子点より成ったグループから選択されたタイプの量子点を含む量子点アレイ、及び前記量子点アレイ上に形成され、シリコン酸化物を含む第 2 の誘電膜

を含むことを特徴とする請求項 1 1 に記載の不揮発性メモリ素子。

【請求項 1 6】

前記第 1 及び第 2 のリセス内に誘電物質をさらに含むことを特徴とする請求項 1 1 に記載の不揮発性メモリ素子。