



(21)申請案號：113126379

(22)申請日：中華民國 113 (2024) 年 07 月 15 日

(51)Int. Cl.：

H10B43/00 (2023.01)

H01L21/8232(2006.01)

(30)優先權：2023/07/20日本2023-118292

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；中島基 NAKASHIMA, MOTOKI (JP)；井
坂史人 ISAKA, FUMITO (JP)；國武寬司 KUNITAKE, HITOSHI (JP)

(74)代理人：林怡芳；童啓哲

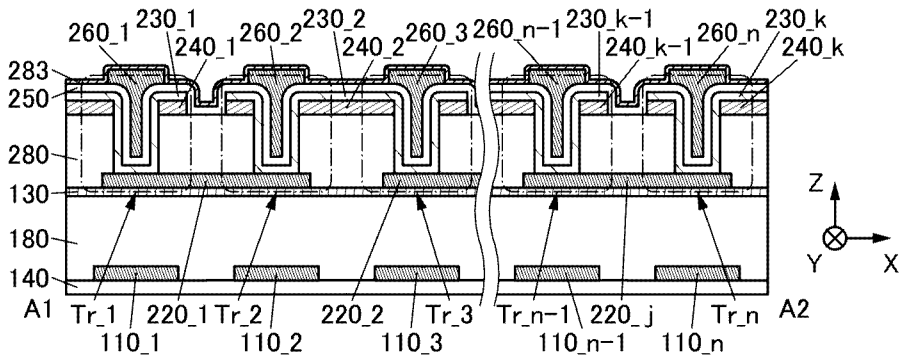
申請實體審查：無 申請專利範圍項數：19 項 圖式數：29 共 133 頁

(54)名稱
半導體裝置及半導體裝置的製造方法

(57)摘要

提供一種能夠實現高積體化的記憶體裝置及包括該記憶體裝置的半導體裝置。半導體裝置包括電容器、第一電晶體及第二電晶體。電容器包括第一導電層、第一導電層上的第二導電層及具有位於第一導電層與第二導電層之間的區域的第一絕緣層。第一絕緣層上設置有用作第一電晶體的源極電極和汲極電極中的一個的第三導電層。第三導電層包含與第二導電層相同的材料。用作第一電晶體的源極電極和汲極電極中的另一個的第四導電層位於第三導電層的上方。用作第一電晶體的閘極電極的第五導電層具有與第二導電層接觸的區域。第三導電層具有用作第二電晶體的源極電極或汲極電極的區域。

指定代表圖：



【圖 2C】

符號簡單說明：

- Tr_1:電晶體
- Tr_2:電晶體
- Tr_3:電晶體
- Tr_n:電晶體
- Tr_n-1:電晶體
- 110_1:導電層
- 110_2:導電層
- 110_3:導電層
- 110_n:導電層
- 110_n-1:導電層
- 130:絕緣層
- 140:絕緣層
- 180:絕緣層

- 220_1:導電層
- 220_2:導電層
- 220_j:導電層
- 230_1:半導體層
- 230_2:半導體層
- 230_k:半導體層
- 230_k-1:半導體層
- 240_1:導電層
- 240_2:導電層
- 240_k:導電層
- 240_k-1:導電層
- 250:絕緣層
- 260_1:導電層
- 260_2:導電層
- 260_3:導電層
- 260_n:導電層
- 260_n-1:導電層
- 280:絕緣層
- 283:絕緣層



【發明摘要】

【中文發明名稱】 半導體裝置及半導體裝置的製造方法

【中文】

提供一種能夠實現高積體化的記憶體裝置及包括該記憶體裝置的半導體裝置。半導體裝置包括電容器、第一電晶體及第二電晶體。電容器包括第一導電層、第一導電層上的第二導電層及具有位於第一導電層與第二導電層之間的區域的第一絕緣層。第一絕緣層上設置有用作第一電晶體的源極電極和汲極電極中的一個的第三導電層。第三導電層包含與第二導電層相同的材料。用作第一電晶體的源極電極和汲極電極中的另一個的第四導電層位於第三導電層的上方。用作第一電晶體的閘極電極的第五導電層具有與第二導電層接觸的區域。第三導電層具有用作第二電晶體的源極電極或汲極電極的區域。

【指定代表圖】 圖2C

【代表圖之符號簡單說明】

Tr_1:電晶體

Tr_2:電晶體

Tr_3:電晶體

Tr_n:電晶體

Tr_n-1:電晶體

110_1:導電層

110_2:導電層

110_3:導電層

110_n:導電層

110_n-1:導電層

130:絕緣層

140:絕緣層

180:絕緣層

220_1:導電層

220_2:導電層

220_j:導電層

230_1:半導體層

230_2:半導體層

230_k:半導體層

230_k-1:半導體層

240_1:導電層

240_2:導電層

240_k:導電層

240_k-1:導電層

250:絕緣層

260_1:導電層

260_2:導電層

260_3:導電層

260_n:導電層

260_n-1:導電層

280:絕緣層

283:絕緣層

【發明說明書】

【中文發明名稱】 半導體裝置及半導體裝置的製造方法

【技術領域】

【0001】本發明的一個實施方式係關於一種記憶體裝置。本發明的一個實施方式係關於一種包括記憶體裝置的半導體裝置。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。作為本說明書等所公開的本發明的一個實施方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置、輸入輸出裝置、其驅動方法或者其製造方法。半導體裝置是指能夠利用半導體特性而工作的所有裝置。

【先前技術】

【0003】非揮發性記憶體裝置組裝於各種移動設備中，諸如智慧手機及平板終端、手錶型終端、用於 AR（Augmented Reality：擴增實境）或 VR（Virtual Reality：虛擬實境）的可穿戴終端等。到目前為止作為非揮發性記憶體裝置主要使用硬式磁碟機，但是由於快閃記憶體具有耐衝擊性、能夠實現小型化、輕量化、不需要物理工作等，所以在很多情況下上述移動設備中使用快閃記憶體。

【0004】另一方面，已知在電晶體的通道形成區域中包含氧化物半導體或金屬氧化物的電晶體（也稱為氧化物半導體電晶體、OS（Oxide Semiconductor）電晶體）。OS 電晶體具有電晶體處於關閉狀態時汲極電流（也稱為關態電流）極小的特性。專利文獻 1 公開了使用 OS 電晶體的 NAND 型記憶體裝置。

【0005】

[專利文獻 1]美國專利申請公開第 2022/0068967 號說明書

【發明內容】

【0006】 用作儲存的非揮發性記憶體裝置的記憶容量越大越好，並被期待高積體化。用於非揮發性記憶體裝置的記憶元件被要求具有高重寫耐久性、能夠以低電壓驅動等。

【0007】 本發明的一個實施方式的目的之一是提供一種能夠實現高積體化的記憶體裝置以及包括該記憶體裝置的半導體裝置。本發明的一個實施方式的目的之一是提供一種具有高重寫耐久性的記憶元件以及包括該記憶元件的半導體裝置。本發明的一個實施方式的目的之一是提供一種能夠以低電壓驅動的記憶元件以及包括該記憶元件的半導體裝置。

【0008】 本發明的一個實施方式的目的之一是提供一種可靠性高的記憶體裝置或半導體裝置。本發明的一個實施方式的目的之一是提供一種具有新穎結構的記憶體裝置或半導體裝置。本發明的一個實施方式的目的之一是至少改善習知技術的問題中的至少一個。

【0009】 注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的目的。

【0010】 本發明的一個實施方式是一種半導體裝置，該半導體裝置包括第一導電層、配置在第一導電層上並包括具有與第一導電層重疊的區域的第一開口部的第一絕緣層、與第一開口部中的第一絕緣層的側面及第一導電層的頂面接觸的第二導電層、第二導電層及第一絕緣層上的第二絕緣層、配置在第二絕緣層上並具有隔著第二絕緣層及第二導電層嵌入第一開口部中的區域的第三導

第2頁，共 96 頁(發明說明書)

電層、在第二絕緣層上與第三導電層分開地配置的第四導電層、配置在第三導電層、第四導電層及第二絕緣層上並包括具有與第三導電層重疊的區域的第二開口部及具有與第四導電層重疊的區域的第三開口部的第三絕緣層、在第三絕緣層上並包括與第三開口部重疊的第四開口部的第五導電層、與第五導電層的頂面、第四開口部中的第五導電層的側面、第三開口部中的第三絕緣層的側面及第三開口部中的第四導電層的頂面接觸的氧化物半導體層、配置在氧化物半導體層及第三絕緣層上並包括與第二開口部重疊的第五開口部的第四絕緣層以及第四絕緣層上的第六導電層。第六導電層具有隔著第四絕緣層及氧化物半導體層嵌入第三開口部及第四開口部中的區域以及在第五開口部及第二開口部中與第三導電層接觸的區域。第四導電層包含與第三導電層相同的材料。

【0011】較佳的是，上述半導體裝置還包括第二絕緣層上的第七導電層以及第四絕緣層上的第八導電層，第三絕緣層包括具有與第七導電層重疊的區域的第六開口部，第五導電層包括與第六開口部重疊的第七開口部，氧化物半導體層具有與第七開口部中的第五導電層的側面、第六開口部中的第三絕緣層的側面及第六開口部中的第七導電層的頂面接觸的區域，第八導電層具有隔著第四絕緣層及氧化物半導體層嵌入第七開口部及第六開口部中的區域。

【0012】在上述半導體裝置中，第七導電層較佳為包含與第三導電層相同的材料。

【0013】在上述半導體裝置中，第八導電層較佳為包含與第六導電層相同的材料。

【0014】在上述半導體裝置中，第二絕緣層較佳為包含鐵電體。

【0015】在上述半導體裝置中，第二絕緣層較佳為包含鉛、銦及氧。

【0016】在上述半導體裝置中，第二絕緣層較佳為還包含選自鈦、鉕和鎢中的一個以上。

【0017】在上述半導體裝置中，氧化物半導體層較佳為包含銦及氧。

【0018】本發明的一個實施方式是一種半導體裝置，該半導體裝置包括電容器、第一電晶體以及第二電晶體。電容器包括第一導電層、第一導電層上的第二導電層以及具有位於第一導電層與第二導電層之間的區域的第一絕緣層。第一絕緣層上設置有用作第一電晶體的源極電極和汲極電極中的一個的第三導電層。第三導電層包含與第二導電層相同的材料。用作第一電晶體的源極電極和汲極電極中的另一個的第四導電層位於第三導電層的上方並具有與第三導電層重疊的區域。用作第一電晶體的閘極電極的第五導電層具有與第二導電層接觸的區域。第三導電層具有用作第二電晶體的源極電極和汲極電極中的一個的區域。

【0019】在上述半導體裝置中，第二導電層較佳為具有隔著第一絕緣層與第一導電層的側面相對的區域。

【0020】在上述半導體裝置中，第一絕緣層較佳為包含鐵電體。

【0021】在上述半導體裝置中，第一絕緣層較佳為包含鉛、銦及氧。

【0022】在上述半導體裝置中，第一絕緣層較佳為還包含選自鈦、釷和釷中的一個以上。

【0023】在上述半導體裝置中，較佳的是，第一電晶體包括配置在第一絕緣層的上方並具有與第三導電層及第四導電層接觸的區域的半導體層，並且半導體層包含銦及氧。

【0024】本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：形成第一導電層；形成包括具有與第一導電層重疊的區域的第一開口部的第一絕緣層；形成與第一開口部中的第一絕緣層的側面及第一導電層的頂面接觸的第二導電層；在第二導電層及第一絕緣層上形成第二絕緣層；在第二絕緣層上形成第一導電膜；加工第一導電膜來形成以嵌入第一開口部中的方式配

置的第三導電層及第四導電層；在第三導電層、第四導電層及第二絕緣層上形成第三絕緣層；在第三絕緣層上形成第二導電膜；在第二導電膜及第三絕緣層中形成具有與第四導電層重疊的區域的第二開口部；以與第二開口部中的第二導電膜的側面、第三絕緣層的側面及第四導電層的頂面接觸的方式形成氧化物半導體層；在氧化物半導體層上形成第四絕緣層；在第四絕緣層及第三絕緣層中形成具有與第三導電層重疊的區域的第三開口部；以及以嵌入第二開口部及第三開口部中的方式形成第五導電層。

【0025】在上述半導體裝置的製造方法中，作為第二絕緣層，較佳為利用原子層沉積法形成包含鉛及鋅的氧化物膜。

【0026】在上述半導體裝置的製造方法中，作為第二絕緣層，較佳為利用原子層沉積法形成除了鉛及鋅以外還包含選自銦、鉕和鐳中的一個以上的氧化物膜。

【0027】在上述半導體裝置的製造方法中，較佳為在形成第二絕緣層之後且形成氧化物半導體層之前，使用 RTA 裝置以 300°C 以上且 750°C 以下的溫度進行加熱處理。

【0028】在上述半導體裝置的製造方法中，作為氧化物半導體層，較佳為利用原子層沉積法形成包含銦的氧化物膜。

【0029】根據本發明的一個實施方式，可以提供一種能夠實現高積體化的記憶體裝置以及包括該記憶體裝置的半導體裝置。根據本發明的一個實施方式，可以提供一種具有高重寫耐久性的記憶元件以及包括該記憶元件的半導體裝置。根據本發明的一個實施方式，可以提供一種能夠以低電壓驅動的記憶元件以及包括該記憶元件的半導體裝置。

【0030】另外，根據本發明的一個實施方式，可以提供一種可靠性高的記憶體裝置或半導體裝置。根據本發明的一個實施方式，可以提供一種具有新穎

結構的記憶體裝置或半導體裝置。另外，根據本發明的一個實施方式，可以至少減輕先行技術的問題中的至少一個。

【0031】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上述效果。注意，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的效果。

【圖式簡單說明】

【0032】

[圖 1A]至[圖 1C]是記憶體裝置的結構例子。

[圖 2A]至[圖 2E]是記憶體裝置的結構例子。

[圖 3A]至[圖 3C]是記憶體裝置的結構例子。

[圖 4A]至[圖 4C]是記憶體裝置的結構例子。

[圖 5A]至[圖 5C]是記憶體裝置的結構例子。

[圖 6]是示出鐵電體的特性的圖。

[圖 7A]至[圖 7D]是記憶體裝置的結構例子。

[圖 8A]至[圖 8D]是記憶體裝置的結構例子。

[圖 9A]至[圖 9D]是記憶體裝置的結構例子。

[圖 10A]至[圖 10D]是記憶體裝置的結構例子。

[圖 11A]至[圖 11D]是記憶體裝置的結構例子。

[圖 12A]至[圖 12D]是記憶體裝置的結構例子。

[圖 13A]至[圖 13D]是記憶體裝置的結構例子。

[圖 14A]至[圖 14F]是說明記憶體裝置的製造方法的圖。

[圖 15A]至[圖 15F]是說明記憶體裝置的製造方法的圖。

[圖 16A]至[圖 16F]是說明記憶體裝置的製造方法的圖。

第6頁，共 96 頁(發明說明書)

[圖 17A]至[圖 17F]是說明記憶體裝置的製造方法的圖。

[圖 18]是記憶體裝置的結構例子。

[圖 19]是記憶體裝置的結構例子。

[圖 20A]至[圖 20C]是運算處理裝置的結構例子。

[圖 21A]至[圖 21D]是運算處理裝置的結構例子。

[圖 22A]及[圖 22B]是半導體裝置的結構例子。

[圖 23]是半導體裝置的結構例子。

[圖 24]是半導體裝置的結構例子。

[圖 25]是半導體裝置的結構例子。

[圖 26]是半導體裝置的結構例子。

[圖 27A]及[圖 27B]是以層級示出各種記憶體裝置的圖。

[圖 28A]至[圖 28J]是電子裝置的結構例子。

[圖 29A]至[圖 29H]是電子裝置的結構例子。

【實施方式】

【0033】下面，參照圖式對實施方式進行說明。注意，實施方式可以以多個不同方式來實施，所屬技術領域的通常知識者可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的精神及其範圍。因此，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。

【0034】注意，在以下說明的發明的結構中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

【0035】注意，在本說明書所說明的各圖式中，有時為了容易理解，誇大表示各組件的大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。

【0036】在本說明書等中使用的“第一”、“第二”等序數詞是為了避免組件的混淆而附記的，而不是為了在數目方面上進行限定的。

【0037】

實施方式 1

在本實施方式中，說明本發明的一個實施方式的半導體裝置及記憶體裝置。

【0038】本發明的一個實施方式的半導體裝置被用作儲存並包括非揮發性記憶元件。例如，較佳為使用具有其中記憶元件不僅在面內方向上排列而且在厚度方向上層疊的所謂的三維結構的大容量記憶體裝置。更明確而言，可以使用包括在平行於被形成面的方向上延伸的記憶體串的 NAND 型記憶體裝置。

【0039】此外，作為非揮發性記憶元件，可以使用利用鐵電體的記憶元件。由此，可以實現與所謂的電荷俘獲型記憶元件相比可靠性更高且功耗更低的記憶體裝置。注意，除了使用鐵電體的記憶元件以外還可以利用使用反鐵電體的記憶元件。

【0040】本發明的一個實施方式的半導體裝置所包括的非揮發性記憶元件具有鐵電電容器連接到電晶體的閘極的結構。另外，作為設置在鐵電電容器的一對電極間的鐵電層，較佳為使用包含鉛及鉛的氧化物。此外，尤其較佳為使用對該氧化物添加選自鉍、釧和釧中的一個以上而成的氧化物。此外，較佳的是，在記憶元件的製程中，在鐵電層與至少一個電極接觸的狀態下，較佳為在鐵電層與一對電極接觸的狀態下，以 300°C 以上且 750°C 以下的溫度進行加熱

處理。由此，可以實現能夠以低電壓工作（寫入及讀出）且具有極高的重寫耐久性的記憶元件。

【0041】注意，在將氧化物半導體用於電晶體的半導體層的情況下，有如下擔憂：由於對氧化物半導體進行上述加熱處理而該氧化物半導體多晶化，導致電晶體的可靠性降低。於是，在本發明的一個實施方式中，在形成鐵電電容器之後形成半導體層。由此，可以防止氧化物半導體的多晶化而實現可靠性高的電晶體。換言之，可以擴大用於電晶體的各組件（典型的是半導體層）的材料的选择範圍。

【0042】另外，在本發明的一個實施方式中，藉由同一製程形成鐵電電容器的組件的一部分及電晶體的組件的一部分。明確而言，藉由同一製程形成鐵電電容器的一對電極中的一個及電晶體的源極電極或汲極電極。由此，可以實現製程數的縮減、良率的提高或成本的縮減。

【0043】另外，在本發明的一個實施方式的半導體裝置所包括的電晶體中，源極電極和汲極電極位於不同高度，流過半導體層的電流在高度方向上流過。就是說，可以說通道長度方向具有高度方向（縱向）的成分，所以該電晶體也可以被稱為 VFET（Vertical Field Effect Transistor：垂直場效電晶體）、縱向電晶體、縱向通道電晶體等。縱向電晶體中可以重疊地設置源極電極、半導體層及汲極電極，因此與將半導體層配置在平面上的所謂的平面電晶體（也可以稱為橫向電晶體、LFET（Lateral FET）等）相比，可以大幅度地縮小佔有面積。

【0044】另外，本發明的一個實施方式是一種半導體裝置，其中上述記憶體裝置層疊形成在設置有驅動電路和控制電路中的一個以上的基板上。藉由採用這種結構，與將它們排列地配置的情況或將它們使用不同晶片構成並安裝於

印刷電路板等的情況相比，可以使記憶體裝置與各種電路之間的佈線長度短得多，所以可以增大它們之間進行資料交換時的單位時間的資料量。

【0045】再者，本發明的一個實施方式也可以採用層疊上述記憶體裝置（也稱為第一記憶體裝置）和與此不同的記憶體裝置（也稱為第二記憶體裝置）的兩種記憶體裝置的結構。由此，可以使第一記憶體裝置與第二記憶體裝置之間的佈線長度極短，所以可以增大它們之間進行資料交換時的單位時間的資料量。

【0046】第二記憶體裝置較佳為存取速度比第一記憶體裝置高的記憶體裝置。第二記憶體裝置也可以為在停止供電時資訊消失的揮發性記憶體裝置。更明確而言，可以使用 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。例如，當進行如下工作時，可以使工作速度極快：將儲存在用作儲存的第一記憶體裝置中的資料暫時讀出到作為上一層的記憶體器件的第二記憶體裝置，然後發送到處理器等。

【0047】另外，作為第二記憶體裝置更佳為採用一種記憶體裝置，其中記憶單元中使用將氧化物半導體用於通道形成區域的電晶體（OS 電晶體）。由於 OS 電晶體的關閉狀態下的洩漏電流極小的特徵，所以使用 OS 電晶體的記憶體裝置與 DRAM 相比能夠長期間保持資料，從而可以降低功耗。再者，氧化物半導體可以形成為薄膜，所以在任何被形成面上都可以製造 OS 電晶體。例如，有如下優點：在由單晶矽構成的半導體電路等上可以直接層疊由 OS 電晶體構成的電路等。

【0048】以下，參照圖式說明更具體的例子。

【0049】

[記憶體裝置的結構例子]

圖 1A 是記憶體裝置 21 的立體示意圖。注意，以下所示的圖式中有時以箭頭分別表示正交的 X 方向、Y 方向及 Z 方向。

【0050】記憶體裝置 21 設置在絕緣層 50 上並包括多個記憶體串 60。記憶體串 60 包括配置在 X 方向上的多個記憶單元。再者，記憶體裝置 21 包括用作各種佈線的多個導電層 51、至少一個導電層 52 及至少一個導電層 53、多個插頭 54、多個插頭 55 及多個插頭 56。

【0051】記憶體串 60 在 Y 方向上以相等的間隔排列。在圖 1A 中，作為一個例子示出三個記憶體串 60。注意，在 Y 方向上排列的記憶體串 60 的實際上的個數較佳為比上述個數多。

【0052】一個記憶體串 60 以連接插頭 54 與插頭 55 的方式設置。例如，插頭 54 與位元線電連接，插頭 55 與源極線電連接。另外，從 Z 方向看時，在插頭 54 與插頭 55 之間設置有多個導電層 51。導電層 51 被用作控制閘極線。另外，與插頭 54 相鄰的導電層 51 與插頭 54 之間設置有用作選擇線的導電層 52，與插頭 55 相鄰的導電層 53 和插頭 55 之間設置有用作選擇線的導電層 53。另外，多個導電層 51 分別與多個插頭 56 中的一個連接。

【0053】插頭 54 和導電層 52 在彼此交叉的方向上延伸。插頭 55 和導電層 53 在彼此交叉的方向上延伸。導電層 51 在與記憶體串 60 延伸的方向交叉的方向上延伸。

【0054】圖 1A 示出一個記憶體串 60 包括四個記憶單元的結構的例子，但是記憶單元的個數不侷限於此。藉由增加記憶單元的個數，可以增大記憶體裝置 21 的資料容量。構成一個記憶體串 60 的記憶單元的個數越多越好，例如可以為 32 個以上、64 個以上、128 個以上、160 個以上、192 個以上、224 個以上或 256 個以上。

【0055】圖 1B 中選擇性地示出一個記憶體串 60 及其附近的結構。記憶體串 60 的與導電層 51 重疊的部分設置有記憶單元 65。

【0056】圖 1C 是圖 1B 所示的結構的電路圖。插頭 54 與佈線 BL 電連接，插頭 55 與佈線 CL 電連接，多個導電層 51 分別與佈線 WL（佈線 WL_1 至佈線 WL_n（n 為 2 以上的整數））電連接。另外，導電層 52 對應於佈線 BSL，導電層 53 對應於佈線 SSL。

【0057】如圖 1C 所示，佈線 BL 與佈線 CL 之間設置有電晶體 BTr、多個記憶單元 MC 及電晶體 STr。電晶體 BTr 及電晶體 STr 都被用作選擇電晶體。記憶單元 MC 被用作一個記憶元件。

【0058】記憶單元 MC 可以使用利用鐵電體的記憶元件，即具有將鐵電電容器連接到閘極而成的結構、將鐵電體用於閘極絕緣層而成的結構等的記憶元件。此外，例如也可以使用電荷俘獲型快閃記憶體或浮動閘極型快閃記憶體等。在本實施方式中，主要說明具有將鐵電電容器連接到閘極而成的結構的記憶單元。

【0059】

[記憶體串的結構例子]

以下，說明可用於本發明的一個實施方式的記憶體裝置的記憶體串的具體結構例子。

【0060】本發明的一個實施方式的記憶體串 100 可以用於 NAND 型記憶體裝置。

【0061】圖 2A 是從 Z 方向看的記憶體串 100 的平面圖。注意，圖 2A 示出在 X 方向上延伸的一個記憶體串 100。另外，圖 2B 是記憶體串 100 的等效電路。記憶體串 100 具有多個電晶體串聯連接的結構。注意，在此為了便於說

明，省略以上示出的選擇電晶體。另外，在下面所示的平面圖中，為了明確起見，省略部分組件。

【0062】圖 2C 及圖 2D 分別是從 Y 方向看在圖 2A 中以點劃線表示的部分 A1-A2 及 A3-A4 的剖面圖。圖 2E 是從 X 方向看在圖 2A 中以點劃線表示的部分 A5-A6 的剖面圖。

【0063】基板（未圖示）的上方設置有絕緣層 140，絕緣層 140 上設置有記憶體串 100，以覆蓋記憶體串 100 的方式設置有絕緣層 283。

【0064】記憶體串 100 包括 n 個（ n 為 2 以上的整數）記憶單元 MC。在圖 2A 及圖 2B 中，在 X 方向（A1-A2 方向）上將第一記憶單元 MC 表示為記憶單元 MC_1，將第 n 記憶單元 MC 表示為記憶單元 MC_n。

【0065】在本說明書等中，在多個要素使用同一符號並且需要區分它們時，有時對符號附加“_1”、“[n]”、“[m, n]”等用於識別的符號。在本說明書等中，當不需要區別多個組件時，有時不附加用於識別的符號。例如，在不需要區別記憶單元 MC_1 至記憶單元 MC_n 的情況下，有時簡單地表示為“記憶單元 MC”。此外，在本說明書等中，當表示任意組件時，有時不附加用於識別的符號。例如，當表示任意記憶單元 MC 時，有時簡單地表示為“記憶單元 MC”。

【0066】構成記憶體串 100 的記憶單元 MC 包括電晶體及鐵電電容器。另外，記憶單元 MC 具有將鐵電電容器連接到電晶體的閘極而成的結構。這種結構被用作鐵電場效電晶體（FeFET：Ferroelectric Field Effect Transistor）。作為鐵電電晶體的其他結構，有將鐵電體用於用作閘極絕緣層的絕緣層而成的結構等。鐵電電晶體可以藉由對閘極施加一定程度以上的電壓來改變臨界電壓。藉由使用這種記憶單元 MC，可以實現 NAND 型鐵電記憶體。

【0067】在圖 2E 中，將記憶單元 MC₁ 所包括的電晶體及電容器分別表示為電晶體 Tr₁ 及電容器 C₁。同樣地，將記憶單元 MC_n 所包括的電晶體及電容器分別表示為電晶體 Tr_n 及電容器 C_n。

【0068】記憶體串 100 包括 n 個導電層 110、j 個（j 為 1 以上且 n 以下的整數）導電層 220 以及 k 個（k 為 1 以上且 n 以下的整數）導電層 240。在圖 2A 及圖 2C 中，在 X 方向上將第一導電層 110 表示為導電層 110₁，將第 n 導電層 110 表示為導電層 110_n。同樣地，將第一導電層 220 表示為導電層 220₁，將第 j 導電層 220 表示為導電層 220_j。同樣地，將第一導電層 240 表示為導電層 240₁，將第 k 導電層 240 表示為導電層 240_k。

【0069】記憶體串 100 包括 k 個半導體層 230。在圖 2C 中，在 X 方向上將第一半導體層 230 表示為半導體層 230₁，將第 k 半導體層 230 表示為半導體層 230_k。

【0070】在電晶體 Tr 中，導電層 220 及導電層 240 分別被用作源極電極或汲極電極。另外，在半導體層 230 中形成通道。

【0071】絕緣層 140 上設置有多個導電層 110，絕緣層 140 及多個導電層 110 上設置有絕緣層 180，絕緣層 180 的上方設置有多個導電層 220，絕緣層 180 及多個導電層 220 的上方設置有絕緣層 280，絕緣層 280 上設置有多個導電層 240。換言之，導電層 240 位於導電層 220 的上方，源極電極和汲極電極位於不同高度，因此電晶體 Tr 是縱向電晶體。

【0072】在圖 2C 所示的結構中，半導體層 230₁ 具有與導電層 240₁ 接觸的區域及與導電層 220₁ 接觸的區域，半導體層 230₂ 具有與導電層 240₂ 接觸的區域、與導電層 220₁ 接觸的區域及與導電層 220₂ 接觸的區域。另外，半導體層 230_{k-1} 具有與導電層 240_{k-1} 接觸的區域、與導電層 220_j 接觸

的區域及與導電層 220_{j-1}（未圖示）接觸的區域，半導體層 230_k 具有與導電層 240_k 接觸的區域及與導電層 220_j 接觸的區域。

【0073】另外，導電層 240₁ 與佈線 BL 電連接，導電層 240_k 與佈線 CL 電連接。如此，記憶體串 100 具有多個電晶體串聯連接而成的結構。此時，多個導電層 110 分別對應於多個佈線 CG。

【0074】此外，圖 2A 至圖 2C 所示的記憶體串 100 包括偶數個記憶單元 MC。另外， j 是 $n/2$ ， k 是 $(n/2) + 1$ 。

【0075】如上所述，圖 2A 所示的記憶體串 100 具有導電層 240₁ 藉由第一選擇電晶體（未圖示）等與佈線 BL 電連接且導電層 240_k 藉由第二選擇電晶體（未圖示）等與佈線 CL 電連接的結構。在此，第一選擇電晶體對應於上述電晶體 BTr，第二選擇電晶體對應於上述電晶體 STTr。注意，本發明不侷限於此。

【0076】例如，如圖 3A 至圖 3C 所示，記憶體串 100 也可以具有導電層 220₁ 藉由第一選擇電晶體（未圖示）等與佈線 BL 電連接且導電層 220_j 藉由第二選擇電晶體（未圖示）等與佈線 CL 電連接的結構。注意，圖 3A 是從 Z 方向看記憶體串 100 的平面圖，圖 3B 是記憶體串 100 的等效電路，圖 3C 是從 Y 方向看在圖 3A 中以點劃線表示的部分 A1-A2 的剖面圖。另外，從 Y 方向看在圖 3A 中以點劃線表示的部分 A3-A4 的剖面圖以及從 X 方向看在圖 3A 中以點劃線表示的部分 A5-A6 的剖面圖分別可以參照圖 2D 及圖 2E。

【0077】在圖 3C 所示的結構中，半導體層 230₁ 具有與導電層 240₁ 接觸的區域、與導電層 220₁ 接觸的區域及與導電層 220₂ 接觸的區域，半導體層 230₂ 具有與導電層 240₂ 接觸的區域、與導電層 220₂ 接觸的區域及與導電層 220₃（未圖示）接觸的區域。另外，半導體層 230_k 具有與導電層

240_k 接觸的區域、與導電層 220_{j-1} 接觸的區域及與導電層 220_j 接觸的區域。

【0078】另外，圖 3A 至圖 3C 所示的記憶體串 100 包括偶數個記憶單元 MC。另外， j 是 $(n/2) + 1$ ， k 是 $n/2$ 。

【0079】或者，例如，如圖 4A 至圖 4C 所示，記憶體串 100 也可以具有導電層 240₁ 藉由第一選擇電晶體（未圖示）等與佈線 BL 電連接且導電層 220_j 藉由第二選擇電晶體（未圖示）等與佈線 CL 電連接的結構。注意，圖 4A 是從 Z 方向看記憶體串 100 的平面圖，圖 4B 是記憶體串 100 的等效電路，圖 4C 是從 Y 方向看在圖 4A 中以點劃線表示的部分 A1-A2 的剖面圖。另外，從 Y 方向看在圖 4A 中以點劃線表示的部分 A3-A4 的剖面圖以及從 X 方向看在圖 4A 中以點劃線表示的部分 A5-A6 的剖面圖分別可以參照圖 2D 及圖 2E。

【0080】另外，圖 4A 至圖 4C 所示的記憶體串 100 包括奇數個記憶單元 MC。另外， j 及 k 都是 $(n+1) / 2$ 。

【0081】如上所述，圖 2A 所示的記憶體串 100 及圖 4A 所示的記憶體串 100 各自中，記憶單元 MC₁ 和記憶單元 MC₂ 共同使用導電層 220₁ 且記憶單元 MC₂ 和記憶單元 MC₃ 共同使用導電層 240₂。此外，在圖 3A 所示的記憶體串 100 中記憶單元 MC₁ 和記憶單元 MC₂ 共同使用導電層 240₁ 且記憶單元 MC₂ 和記憶單元 MC₃ 共同使用導電層 220₂。如此，在記憶體串 100 中，在 X 方向上相鄰的記憶單元 MC 共同使用導電層 220 和導電層 240 中的一個。換言之，在 X 方向上相鄰的記憶單元 MC 共同使用部分組件。藉由採用這種結構，可以縮小記憶體串 100 的佔有面積，由此可以以高密度配置記憶體串 100 而增大記憶體裝置的記憶容量。換言之，可以實現記憶體裝置的高積體化。

【0082】換言之，在上述結構中，記憶體串包括第一記憶單元以及與第一記憶單元相鄰的第二記憶單元，第一記憶單元及第二記憶單元分別包括第一電晶體及第二電晶體，用作第一電晶體的源極電極和汲極電極中的一個的導電層具有用作第二電晶體的源極電極和汲極電極中的一個的區域。

【0083】注意，在本發明的一個實施方式的記憶體串中，在 X 方向上相鄰的記憶單元 MC 也可以不共同使用導電層 220 或導電層 240。

【0084】參照圖 5A 至圖 5C 說明本發明的一個實施方式的記憶體串的其他結構例子。圖 5A 是從 Z 方向看記憶體串 100A 的平面圖，圖 5B 是記憶體串 100A 的等效電路，圖 5C 是從 Y 方向看在圖 5A 中以點劃線表示的部分 A1-A2 的剖面圖。另外，從 Y 方向看在圖 5A 中以點劃線表示的部分 A3-A4 的剖面圖以及從 X 方向看在圖 5A 中以點劃線表示的部分 A5-A6 的剖面圖分別可以參照圖 2D 及圖 2E。

【0085】圖 5A 至圖 5C 所示的記憶體串 100A 包括 $(n-1)$ 個導電層 267，在這一點上與上述記憶體串 100 不同。

【0086】導電層 267 以嵌入絕緣層 280 中的方式設置。導電層 267₁ 與導電層 220₁ 的頂面的一部分及導電層 240₂ 的底面的一部分接觸。導電層 267₂ 與導電層 220₂ 的頂面的一部分及導電層 240₃ 的底面的一部分接觸。導電層 267_{n-1} 與導電層 220_{j-1} 的頂面的一部分及導電層 240_k 的底面的一部分接觸。藉由採用這種結構，記憶體串 100A 具有多個電晶體串聯連接的結構。

【0087】注意，圖 5A 至圖 5C 所示的記憶體串 100 所包括的記憶單元的個數既可以為偶數個，又可以為奇數個。另外，j 及 k 都是 n。

【0088】以上是記憶體串的說明。

【0089】注意，以上說明了一個記憶體串，但是如圖 1A 等所示，藉由週期性地排列共同使用控制閘極的多個記憶體串，可以增大記憶容量。

【0090】

[記憶單元的結構例子]

以下，說明可用於本發明的一個實施方式的記憶體裝置的記憶單元的具體結構例子。如上所述，本發明的一個實施方式的記憶體串包括 n 個記憶單元 MC（記憶單元 MC_1 至記憶單元 MC_n）。首先，參照圖 2A、圖 2C 至圖 2E 說明記憶單元 MC_1 的結構例子。

【0091】記憶單元 MC_1 包括電容器 C_1 及電晶體 Tr_1。

【0092】電容器 C_1 包括導電層 115_1、絕緣層 130 及導電層 120_1。絕緣層 130 具有位於導電層 115_1 與導電層 120_1 之間的區域。

【0093】電晶體 Tr_1 包括導電層 220_1、導電層 240_1、半導體層 230_1、絕緣層 250 及導電層 260_1。

【0094】絕緣層 180 包括到達導電層 110_1 的開口部 190_1。此時，開口部 190_1 具有與導電層 110_1 重疊的區域。

【0095】導電層 115_1 具有配置在開口部 190_1 中的區域。導電層 115_1 具有與開口部 190_1 中的絕緣層 180 的側面及導電層 110_1 的頂面接觸的區域。導電層 115_1 在與開口部 190_1 重疊的區域中具有凹部。在圖 2E 中，導電層 115_1 在開口部 190_1 的外側具有與絕緣層 180 的頂面接觸的區域。

【0096】絕緣層 130 設置在導電層 115_1 及絕緣層 180 上。絕緣層 130 具有配置在開口部 190_1 中的區域。絕緣層 130 具有與開口部 190_1 中的導電層 115_1 的頂面接觸的區域。也就是說，絕緣層 130 具有沿著導電層 115_1 中的凹部形成的區域。絕緣層 130 在與導電層 115_1 中的凹部重疊的區域中具有凹部。

【0097】導電層 120_1 及導電層 220_1 設置在絕緣層 130 上。導電層 220_1 與導電層 220_1 分開地配置。

【0098】導電層 120_1 具有配置在開口部 190_1 中的區域。導電層 120_1 具有與開口部 190_1 中的絕緣層 130 的頂面接觸的區域。另外，導電層 120_1 以嵌入絕緣層 130 中的凹部的方式設置。也就是說，導電層 120_1 具有隔著絕緣層 130 及導電層 115_1 嵌入開口部 190_1 中的區域。另外，導電層 120_1 具有夾著絕緣層 130 與導電層 115_1 的側面相對的區域。

【0099】導電層 120_1 及導電層 220_1 以相同製程形成，將在後面說明其詳細內容。因此，導電層 220_1 包含與導電層 120_1 相同的導電材料。

【0100】絕緣層 280 設置在導電層 120_1、導電層 220_1 及絕緣層 130 上。絕緣層 280 包括到達導電層 120_1 的開口部 292_1 及到達導電層 220_1 的開口部 290_1。此時，開口部 292_1 具有與導電層 120_1 重疊的區域，開口部 290_1 具有與導電層 220_1 重疊的區域。

【0101】導電層 240_1 設置在絕緣層 280 上。也就是說，導電層 240_1 位於導電層 220_1 的上方。另外，導電層 240_1 具有與導電層 220_1 重疊的區域。導電層 240_1 包括與開口部 290_1 重疊的開口部 291_1。

【0102】半導體層 230_1 配置在絕緣層 130 的上方。半導體層 230_1 具有配置在開口部 291_1 及開口部 290_1 中的區域。半導體層 230_1 具有與開口部 291_1 中的導電層 240_1 的側面、開口部 290_1 中的絕緣層 280 的側面及開口部 290_1 中的導電層 220_1 的頂面接觸的區域。也就是說，半導體層 230_1 具有與導電層 220_1 及導電層 240_1 接觸的區域。半導體層 230_1 在開口部 291_1 及開口部 290_1 中具有凹部。注意，在圖 2C 及圖 2E 中，半導體層 230_1 在開口部 291_1 的外側具有與導電層 240_1 的頂面接觸的區域。

【0103】絕緣層 250 設置在半導體層 230_1 及絕緣層 280 上。絕緣層 250 以覆蓋半導體層 230_1 及導電層 240_1 的方式設置。

【0104】絕緣層 250 具有配置在開口部 291_1 及開口部 290_1 中的區域。絕緣層 250 具有與開口部 291_1 及開口部 290_1 中的半導體層 230_1 的頂面接觸的區域。換言之，絕緣層 250 具有沿著半導體層 230_1 中的凹部形成的區域。絕緣層 250 在與半導體層 230_1 中的凹部重疊的區域中具有凹部。另外，絕緣層 250 在開口部 291_1 的外側具有與半導體層 230_1 的側面及導電層 240_1 的側面接觸的區域。

【0105】絕緣層 250 包括與開口部 292_1 重疊的開口部 293_1。

【0106】導電層 260_1 設置在絕緣層 250 上。

【0107】導電層 260_1 具有配置在開口部 291_1 及開口部 290_1 中的區域。導電層 260_1 具有在開口部 291_1 及開口部 290_1 中與絕緣層 250 的頂面接觸的區域。另外，導電層 260_1 以嵌入絕緣層 250 中的凹部的方式設置。也就是說，導電層 260_1 具有隔著絕緣層 250 及半導體層 230_1 嵌入開口部 291_1 及開口部 290_1 中的區域。

【0108】導電層 260_1 以嵌入開口部 293_1 及開口部 292_1 中的方式設置。也就是說，導電層 260_1 具有嵌入開口部 293_1 及開口部 292_1 中的區域。導電層 260_1 具有與開口部 293_1 及開口部 292_1 中的導電層 120_1 接觸的區域。導電層 260_1 具有與開口部 293_1 中的絕緣層 250 的側面、開口部 292_1 中的絕緣層 280 的側面及開口部 292_1 中的導電層 120_1 的頂面接觸的區域。

【0109】在電容器 C_1 中，導電層 115_1 被用作一對電極中的一個（也稱為下部電極），導電層 120_1 被用作一對電極中的另一個（也稱為上部電極），絕緣層 130 被用作介電質。

【0110】電容器 C₁ 具有在開口部 190₁ 的內部不僅在底面上而且在側面上一對電極隔著介電質相對的結構，因此可以增大單位面積的靜電電容。因此，開口部 190₁ 的深度越大，電容器 C₁ 的靜電電容可以越大。如此，藉由增大電容器 C₁ 的單位面積的靜電電容，可以推進半導體裝置的微型化或高積體化。

【0111】在電晶體 Tr₁ 中，導電層 260₁ 被用作閘極電極，絕緣層 250 被用作閘極絕緣層。另外，導電層 220₁ 被用作源極電極和汲極電極中的一個，導電層 240₁ 被用作源極電極和汲極電極中的另一個。另外，半導體層 230₁ 的至少一部分被用作通道形成區域。如上所述，電晶體 Tr₁ 為縱向電晶體。

【0112】電晶體 Tr₁ 的通道長度取決於導電層 220₁ 上的絕緣層 280 的厚度。通道長度為剖視時半導體層 230₁ 與導電層 220₁ 接觸的區域的端部和半導體層 230₁ 與導電層 240₁ 接觸的區域的端部之間的距離。也就是說，通道長度相當於剖視時的絕緣層 280 的開口部 290 一側的側面的長度。

【0113】由於可以根據絕緣層 280 的厚度精密地控制電晶體 Tr₁ 的通道長度，所以與平面電晶體相比，可以使通道長度的不均勻極小。再者，藉由將絕緣層 280 形成得薄，也可以製造通道長度極小的電晶體。例如，可以製造通道長度為 2 μ m 以下、1 μ m 以下、500nm 以下、300nm 以下、200nm 以下、100nm 以下、50nm 以下、30nm 以下或 20nm 以下且為 5nm 以上、7nm 以上或 10nm 以上的電晶體。因此，在不使用最尖端的 LSI 技術中使用的非常昂貴的曝光裝置的狀態下，也可以實現通道長度小於 10nm 的電晶體。

【0114】另外，由於可以以高精度製造通道長度小的電晶體，所以多個電晶體之間的特性不均勻也得到降低。因此，包括電晶體的半導體裝置的工作穩定，可以提高可靠性。另外，當特性不均勻減小時，半導體裝置的電路設計彈性提升，還可以降低工作電壓。由此，可以降低半導體裝置的功耗。

【0115】在開口部 290_1 中，半導體層 230_1、絕緣層 250 及導電層 260_1 以同心圓狀設置。因此，設置在中心的導電層 260_1 的側面隔著絕緣層 250 與半導體層 230_1 的側面對。換言之，在俯視時半導體層 230_1 的邊緣整體成為通道形成區域。此時，例如，電晶體 Tr_1 的通道寬度取決於半導體層 230_1 的外周的長度。也就是說，可以說電晶體 Tr_1 的通道寬度根據開口部 290_1 的最大寬度（在俯視時開口部 290_1 呈圓形的情況下，是指直徑）的大小決定。藉由增大開口部 290_1 的最大寬度，可以增大單位面積的通道寬度而增大通態電流。

【0116】在利用光微影法形成開口部 290_1 的情況下，開口部 290_1 的最大寬度受到光微影的曝光極限的限制。另外，開口部 290_1 的最大寬度根據設置在開口部 290_1 中的半導體層 230_1、絕緣層 250 及導電層 260_1 各自的厚度而設定。開口部 290_1 的最大寬度例如較佳為 5nm 以上、10nm 以上或 20nm 以上且為 100nm 以下、60nm 以下、50nm 以下、40nm 以下或 30nm 以下。注意，在俯視時開口部 290_1 呈圓形的情況下，開口部 290_1 的最大寬度相當於開口部 290_1 的直徑，通道寬度可以算出為“ $D \times \pi$ ”。

【0117】另外，藉由以在俯視時呈圓形的方式形成開口部 290_1，半導體層 230_1、絕緣層 250 及導電層 260_1 以同心圓狀設置。由此，導電層 260_1 與半導體層 230_1 的距離大致均勻，所以可以對半導體層 230_1 大致均勻地施加閘極電場。

【0118】以上是記憶單元 MC_1 的結構例子的說明。記憶單元 MC_2 至記憶單元 MC_n 的結構與記憶單元 MC_1 的結構同樣。藉由適當地替換用於識別的符號，在說明記憶單元 MC_2 至記憶單元 MC_n 各自的結構時可以參照記憶單元 MC_1 的結構的說明。

【0119】例如，在圖 2A 所示的結構中，記憶單元 MC_p（p 為 1 以上且 n 以下的整數）包括導電層 115_p、絕緣層 130、導電層 120_p、導電層 220_q、導電層 240_r、半導體層 230_r、絕緣層 250 及導電層 260_p。在此，在 p 為奇數時，q 及 r 都是 $(p+1)/2$ 。另外，在 p 為偶數時，q 為 $p/2$ ，r 為 $(p/2)+1$ 。

【0120】接著，說明記憶單元 MC₁ 至記憶單元 MC_n 之間共同的内容。

【0121】絕緣層 130 可以使用鐵電體。因此，由導電層 115、導電層 120 及位於它們之間的絕緣層 130 構成鐵電電容器。另外，導電層 260 與導電層 120 電連接。如此，記憶單元 MC 具有將鐵電電容器連接到電晶體 Tr 的閘極而成的結構。

【0122】絕緣層 130 使用呈現鐵電性的材料。作為呈現鐵電性的材料，可以舉出氧化鉛、氧化鉛、氧化鉛鉛等氧化物。此外，較佳為使用對該氧化物添加第 3 族（IIIA 族）元素的材料。例如，該氧化物較佳為包含釷、釷及屬於釷系元素中的一種以上。尤其是，釷、釷或釷比較容易處理，與半導體製造程序的親和性高，所以是較佳的。藉由添加這種元素，不僅可以穩定地呈現鐵電性，而且可以抑制反復進行重寫時的特性劣化來提高可靠性。例如，較佳為以 0.5at% 以上且 10at% 以下的比例添加這些元素。此外，作為添加元素，還有矽、鋁、釷、釷等。另外，絕緣層 130 除了呈現鐵電性的材料以外還可以使用呈現反鐵電性的材料。

【0123】包含鉛和鉛中的一者或兩者的氧化物即使是利用濺射法、原子層沉積（ALD：Atomic Layer Deposition）法等薄膜的沉積方法製造的極薄的膜也容易呈現鐵電性，因此與半導體製造程序的親和性高，從而可以降低製造成本。

【0124】此外，作為絕緣層 130 也可以使用鈦酸鋇、鈦酸鉛、鈦酸鋇、鈦酸鋇鋇（BST）、鋇鈦酸鉛（PZT）、鋇酸鋇鋇（SBT）、鐵酸鋇（BFO）等具有鈣鈦礦結構的壓電陶瓷。

【0125】另外，作為絕緣層 130 也可以使用聚偏氟乙烯（PVDF）或偏氟乙烯（VDF）與三氟乙烯（TrFE）的共聚物等有機鐵電體。

【0126】此外，作為呈現鐵電性的材料，例如可以使用由選自上述材料中的多個材料形成的混合物或化合物。此外，絕緣層 130 可以具有由選自上述材料中的多個材料形成的疊層結構。

【0127】其中，作為呈現鐵電性的材料，較佳為使用氧化鋁、氧化鋁鋇（HZO）、在 HZO 中還包含釷的材料（HZYO），因為即使它們是幾 nm 的薄膜也呈現鐵電性。在使用包含氧化鋁、HZO 或 HZYO 的膜時，絕緣層 130 的厚度可以為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下，更佳為 3nm 以上且 20nm 以下，進一步較佳為 4nm 以上且 10nm 以下。尤其是，在絕緣層 130 的厚度為 3nm 以上且 20nm 以下或 4nm 以上且 10nm 以下時，可以實現能夠以低電壓工作（寫入及讀出）並具有極高的重寫耐久性的記憶單元。

【0128】此外，當作為呈現鐵電性的材料使用氧化鋁鋇時，較佳為利用 ALD 法，尤其較佳為利用熱 ALD 法進行沉積。此外，較佳為使用利用電漿提高反應性的 ALD 法（包括熱 ALD 法）（PEALD 法：Plasma Enhanced ALD）。

【0129】此外，在利用熱 ALD 法的情況下，作為前驅物較佳為使用不包含烴（Hydro Carbon，也稱為 HC）的材料。包含在膜中的氫和碳中的任一者或兩者有時妨礙晶化。因此，較佳為藉由使用不包含烴的前驅物降低膜中的氫和碳中的任一者或兩者的濃度。例如，作為不包含烴的前驅物可以舉出氯類材

料。注意，在使用氧化鉛銻的情況下，作為前驅物使用 HfCl_4 、 ZrCl_4 等氯類前驅物即可。

【0130】注意，當作為絕緣層 130 使用氧化鉛、氧化銻、氧化鉛銻等氧化物時，藉由包含適當量的碳有時可以增大剩餘極化。在此情況下，例如，較佳為以 0.5at% 以上且 10at% 以下的比例對這些氧化物添加碳。

【0131】另外，在絕緣層 130 使用氧化鉛銻時，較佳為利用熱 ALD 法或使用電漿的 ALD 法以具有 1：1 的組成的方式交替沉積鉛和銻。

【0132】此外，作為在熱 ALD 法或利用電漿的 ALD 法中使用的氧化劑，可以使用 H_2O 或 O_3 。但是，氧化劑不侷限於此，可以包含選自 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 和 H_2O_2 中的任一個或多個。

【0133】此外，作為用於絕緣層 130 的膜的結晶結構，只要是沒有中心對稱性且具有極性的結晶結構，就沒有特別的限制。例如，可以採用立方晶系以外的晶系。此外，用於絕緣層 130 的膜可以具有單晶結構或多晶結構，也可以具有包括非晶結構和結晶結構的複合結構。

【0134】作為夾持絕緣層 130 的導電層 115 和導電層 120 中的一者或兩者較佳為使用具有吸取氧的功能的導電材料。由此，可以從絕緣層 130 吸取氧而提高絕緣層 130 中的氧空位濃度。因此，可以增大絕緣層 130 的剩餘極化。作為具有吸取氧的功能的導電材料，較佳為使用金屬或合金。尤其是，較佳為使用鎢、鉬、鈦、鉭等。另外，從應力觀點來看，鎢容易提高絕緣層 130 的剩餘極化，所以是特別較佳的。

【0135】另外，作為夾持絕緣層 130 的導電層 115 和導電層 120 中的一者或兩者較佳為使用不容易擴散氧的導電材料。由此，絕緣層 130 的耐壓得到提高，從而可以提高鐵電電容器的重寫耐久性。尤其是，較佳為使用氮化鈦、氮化鉭等氮化金屬。

【0136】導電層 115 和導電層 120 也可以都具有疊層結構。在此情況下，較佳為將低電阻導電材料用於不與絕緣層 130 接觸一側。例如，可以使用包含選自鋁、鉻、銅、銀、金、鈀、鋅、鈮、鎳、鈦、鐵、鈷、鈾、鎢、鉛、釩、鈳、錳、鎂、銨、鉍、銲、釷、銻和鐳等中的一個以上的金屬或合金。尤其是，當使用鎢、鈾、鈮、釩、鉛等高熔點材料時，可以提高後面的加熱處理的溫度，所以是較佳的。另外，除了上述低電阻導電材料之外，也可以使用銲、錫氧化物、包含矽的銲錫氧化物、銲鋅氧化物、銲鎵鋅氧化物等氧化物材料。

【0137】將用於絕緣層 130 的呈現鐵電性的層還稱為“鐵電層”。鐵電體在電壓-極化特性中具有滯後性，這是與順電體的不同點之一。圖 6 是示出電壓-極化特性的一個例子的圖表。在圖 6 中，橫軸表示施加到鐵電層的電壓，縱軸表示鐵電層的極化。注意，藉由將電壓除以鐵電層的厚度可以計算出電場強度。

【0138】鐵電層的滯後特性可以由曲線 71 及曲線 72 表示。將曲線 71 和曲線 72 的兩個交點處的兩個電壓分別稱為飽和極化電壓（VSP、-VSP）。

【0139】當對鐵電層施加-VSP 以下的電壓後逐漸增加施加到鐵電層的電壓時，鐵電層的極化根據曲線 71 增加。另一方面，當對鐵電層施加 VSP 以上的電壓後逐漸降低施加到鐵電層的電壓時，鐵電層的極化根據曲線 72 減少。注意，有時將 VSP 稱為“正的飽和極化電壓”或“第一飽和極化電壓”，將-VSP 稱為“負的飽和極化電壓”或“第二飽和極化電壓”。第一飽和極化電壓的絕對值和第二飽和極化電壓的絕對值既可以相同又可以不同。

【0140】在此，將在鐵電層的極化根據曲線 71 變化時極化為 0 的電壓稱為矯頑電壓 V_c ，將在鐵電層的極化根據曲線 72 變化時極化為 0 的電壓稱為矯頑電壓 $-V_c$ 。 V_c 的值及 $-V_c$ 的值為 $-V_{SP}$ 與 V_{SP} 之間的值。兩個矯頑電壓的絕對值既可以相同又可以不同。

【0141】當對鐵電層施加超過矯頑電壓的電壓時，鐵電層的極化容易反轉。在 FeFET 中不想使鐵電層的極化反轉的情況下，將施加到閘極與源極之間的電壓（也稱為“閘極電壓”或“ V_g ”）設定為 $-V_c$ 以上且 V_c 以下。為了不使鐵電層的極化反轉而控制 FeFET 的開啟狀態和關閉狀態，矯頑電壓的絕對值較佳為大。

【0142】另外，將鐵電層不被施加電壓時（電壓為 0V 時）的兩個極化稱為剩餘極化（ Pr 、 $-Pr$ ）。 Pr 和 $-Pr$ 之差的絕對值（ $2Pr$ ）越大，極化的反轉所引起的 FeFET 中的臨界電壓的變動幅度越大，所以是較佳的。

【0143】半導體層 230 被用作形成電晶體 Tr 的通道的半導體層。半導體層 230 可以使用單晶半導體、多晶半導體、微晶半導體或非晶半導體等的單體或組合。作為半導體材料，例如可以使用矽或鍺等。此外，也可以使用矽鍺、碳化矽、砷化鎵、氧化物半導體、氮化物半導體等化合物半導體。

【0144】用於電晶體的半導體層既可以是單層半導體，又可以是疊層半導體。當半導體層具有疊層結構時，既可分別使用結晶狀態不同的半導體材料，又可分別使用不同半導體材料。

【0145】電晶體 Tr 特別較佳為在形成通道的半導體層 230 中使用用作半導體的金屬氧化物（氧化物半導體）的電晶體（OS 電晶體）。由於氧化物半導體的能帶間隙為 2eV 以上，所以 OS 電晶體的關態電流極小。因此，可以降低記憶體串 100 的功耗。因此，可以降低包括記憶體串 100 的半導體裝置的功耗。

【0146】另外，使用多晶矽的電晶體發生起因於晶界的臨界電壓不均勻，而 OS 電晶體受到的晶界的影響較少，臨界電壓不均勻較小。因此，藉由作為電晶體 Tr 使用 OS 電晶體，記憶體串 100 可以抑制起因於臨界電壓不均勻的錯誤工作。

【0147】另外，OS 電晶體即使在高溫環境下也穩定地工作，特性變動較少。例如，即使在高溫環境下，關態電流也幾乎不增加。明確而言，即使在室溫以上且 200°C 以下的環境溫度下，關態電流也幾乎不增加。另外，即使在高溫環境下，通態電流也不容易減少。因此，包括 OS 記憶體串 100 即使在高溫環境下也穩定地工作而具有高可靠性。另外，在 OS 電晶體中，源極與汲極之間的絕緣耐壓很高。藉由將 OS 電晶體用作構成記憶體串 100 的電晶體，可以實現即使在高溫環境下也穩定地工作並具有高可靠性的記憶體串 100。由此，可以提高包括記憶體串 100 的半導體裝置的可靠性。

【0148】作為可用於半導體層 230 的金屬氧化物，例如可以舉出 In 氧化物、Ga 氧化物及 Zn 氧化物。金屬氧化物較佳為至少包含 In 或 Zn。此外，金屬氧化物較佳為包含選自 In、元素 M 和 Zn 中的兩個或三個。另外，元素 M 是與氧的鍵能高的金屬元素或類金屬元素，例如為與氧的鍵能高於鈮的金屬元素或類金屬元素。作為元素 M，具體地可以舉出 Al、Ga、Sn、Y、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Mo、Hf、Ta、W、La、Ce、Nd、Mg、Ca、Sr、Ba、B、Si、Ge 及 Sb 等。金屬氧化物所包含的元素 M 較佳為上述元素中的任一種或多種，尤其較佳為選自 Al、Ga、Y 和 Sn 中的一種或多種，其中更佳為 Ga。

【0149】在金屬氧化物為 In-M-Zn 氧化物時，該 In-M-Zn 氧化物中的 In 的原子數比較佳為元素 M 的原子數比以上。例如，作為這種 In-M-Zn 氧化物的金屬元素的原子數比，可以舉出 In : M : Zn = 1 : 1 : 1、In : M : Zn = 1 : 1 : 1.2、In : M : Zn = 2 : 1 : 3、In : M : Zn = 3 : 1 : 2、In : M : Zn = 4 : 2 : 3、In : M : Zn = 4 : 2 : 4.1、In : M : Zn = 5 : 1 : 3、In : M : Zn = 5 : 1 : 6、In : M : Zn = 5 : 1 : 7、In : M : Zn = 5 : 1 : 8、In : M : Zn = 6 : 1 : 6、In : M : Zn = 5 : 2 : 5 或者它們附近的組成等。此外，附近的組成包括所希望的原子數比的 $\pm 30\%$ 的範圍。

藉由增大金屬氧化物中的銦的原子數比，可以提高電晶體的通態電流（on-state current）或場效移動率等。

【0150】In-M-Zn 氧化物中的 In 的原子數比也可以小於元素 M 的原子數比。例如，作為這種 In-M-Zn 氧化物的金屬元素的原子數比，可以舉出 In：M：Zn=1：3：2、In：M：Zn=1：3：3、In：M：Zn=1：3：4 或者它們附近的組成等。藉由提高金屬氧化物中的 M 的原子數比，可以抑制氧空位的生成。

【0151】半導體層 230 例如可以使用 In 氧化物、In-Zn 氧化物、In-Ga 氧化物、In-Sn 氧化物、In-Ti 氧化物、In-Ga-Al 氧化物、In-Ga-Sn 氧化物、In-Ga-Zn 氧化物、In-Sn-Zn 氧化物、In-Al-Zn 氧化物、In-Ti-Zn 氧化物、In-Ga-Sn-Zn 氧化物、In-Ga-Al-Zn 氧化物等。在作為半導體層 230 使用這些氧化物時，半導體層 230 包含銦及氧。此外，也可以使用 Ga-Zn 氧化物。藉由使用不包含 Zn 的材料如氧化銦，可以提高與 LSI 的製造程序的親和性，所以是較佳的。另一方面，藉由使用包含 Zn 的材料，容易提高結晶性，所以是較佳的。

【0152】尤其是，藉由使用金屬元素的原子數比為 In：Zn=4：1、In：Zn=2：1 或其附近的 In-Zn 氧化物或者金屬元素的原子數比為 In：Sn：Zn=4：0.1：1、In：Sn：Zn=2：0.1：1 或其附近的 In-Sn-Zn 氧化物等，可以適當地提高電晶體的場效移動率，所以是較佳的。

【0153】注意，金屬氧化物也可以代替銦或除了銦以外還包含一種或多種元素週期表中的週期數大的金屬元素。有如下傾向：金屬元素的軌域重疊越大，金屬氧化物中的載子傳導越大。因此，藉由包含週期數大的金屬元素，有時可以提高電晶體的場效移動率。作為週期數大的金屬元素，可以舉出屬於第 5 週期的金屬元素以及屬於第 6 週期的金屬元素等。作為該金屬元素，具體地可以舉出 Y、Zr、Ag、Cd、Sn、Sb、Ba、Pb、Bi、La、Ce、Pr、Nd、Pm、Sm 及 Eu 等。注意，La、Ce、Pr、Nd、Pm、Sm 及 Eu 被稱為輕稀土元素。

【0154】另外，金屬氧化物也可以包含一種或多種非金屬元素。在金屬氧化物包含非金屬元素時有時可以提高電晶體的場效移動率。作為非金屬元素，例如可以舉出碳、氮、磷、硫、硒、氟、氯、溴及氫等。

【0155】金屬氧化物可以適當地利用濺射法或 ALD 法形成。尤其是，金屬氧化物較佳為使用覆蓋性優異的 ALD 沉積。注意，在利用濺射法形成金屬氧化物的情況下，沉積後的金屬氧化物的組成有時與靶材的組成不同。尤其是，沉積後的金屬氧化物中的鋅的含有率有時減少到靶材中的鋅的含有率的 50% 左右。

【0156】在本說明書等中，金屬元素中的某種金屬氧化物的含有率是指相對於包含在金屬氧化物中的金屬元素的原子總數的該元素的原子數之比例。例如，在金屬氧化物包含金屬元素 X、金屬元素 Y、金屬元素 Z 且包含在該金屬氧化物中的金屬元素 X、金屬元素 Y、金屬元素 Z 的各原子數分別為 A_X 、 A_Y 、 A_Z 時，可以將金屬元素 X 的含有率表示為 $A_X / (A_X + A_Y + A_Z)$ 。此外，當金屬氧化物中的金屬元素 X、金屬元素 Y、金屬元素 Z 的各原子數之比（原子數比）被表示為 $B_X : B_Y : B_Z$ 時，可以將金屬元素 X 的含有率表示為 $B_X / (B_X + B_Y + B_Z)$ 。

【0157】例如，在使用包含 In 的金屬氧化物時，藉由提高 In 的含有率，可以實現通態電流大的電晶體。

【0158】藉由在半導體層 230 中使用不包含 Ga 或 Ga 的含有率低的金屬氧化物，可以實現對於正偏壓施加具有高可靠性的電晶體。也就是說，可以實現 PBTS（Positive Bias Temperature Stress：正偏壓溫度應力）測試中的臨界電壓的變動量小的電晶體。此外，在使用含 Ga 的金屬氧化物時，Ga 的含有率較佳為比 In 的含有率低。由此，可以實現移動率高且可靠性高的電晶體。

【0159】另一方面，藉由提高 Ga 的含有率，可以實現對於光具有高可靠性的電晶體。也就是說，可以實現 NBTIS（Negative Bias Temperature Illumination Stress：負偏壓溫度照明應力）測試中的臨界電壓的變動量小的電晶體。明確而言，Ga 的原子數比為 In 的原子數比以上的金屬氧化物的能帶間隙更大，可以使電晶體的 NBTIS 測試中的臨界電壓的變動量減少。

【0160】此外，藉由提高 Zn 的含有率，金屬氧化物的結晶性得到提高，可以抑制金屬氧化物中的雜質擴散。因此，電晶體的電特性變動被抑制，由此可以提高可靠性。

【0161】半導體層 230 也可以具有包括兩個以上的金屬氧化物層的疊層結構。半導體層 230 所包括的兩個以上的金屬氧化物層的組成也可以彼此相同或大致相同。藉由採用組成相同的金屬氧化物層的疊層結構，例如可以使用相同的濺射靶材形成，因此可以降低製造成本。注意，也可以採用層疊組成不同的兩個以上的氧化物半導體層的疊層結構。此外，藉由利用 ALD 法，可以形成組成在厚度方向上連續變化的金屬氧化物層。由此，與使用預定的組成的膜的情況相比，不僅可以擴大設計選擇範圍，也可以防止在組成不同的兩層間產生的介面態等的生成，因此可以提高電特性及可靠性。

【0162】半導體層 230 較佳為使用具有結晶性的金屬氧化物層。例如，可以使用具有將在後面說明的 CAAC（c-axis aligned crystal）結構、多晶結構、微晶（nc：nano-crystal）結構等的金屬氧化物層。藉由將具有結晶性的金屬氧化物層用於半導體層 230，可以降低半導體層 230 中的缺陷態密度，由此可以實現可靠性高的半導體裝置。

【0163】用於半導體層 230 的金屬氧化物層的結晶性越高，越可以降低半導體層 230 中的缺陷態密度。另一方面，藉由使用結晶性低的金屬氧化物層，可以實現能夠流過大電流的電晶體。

【0164】作為半導體層 230，可以使用矽。此時，作為矽例如可以使用單晶矽、氫化非晶矽、微晶矽或多晶矽等。另外，作為半導體層 230，除了金屬氧化物及矽以外，有時可以使用 Ge、ZnSe、CdS、GaAs、InP、GaN、SiGe 等化合物半導體。

【0165】注意，在將矽用於半導體層 230 的情況下，導電層 220 及導電層 240 較佳為使用其中雜質已擴散的矽。作為該雜質，可以使用 n 型雜質（施體）。作為 n 型雜質，例如可以使用磷、砷等。此外，作為該雜質，可以使用 p 型雜質（受體）。作為 p 型雜質，例如可以使用硼、鋁、鎵等。此外，作為矽，例如可以使用單晶矽、氫化非晶矽、微晶矽或多晶矽等。藉由使用這種包含雜質的矽，當使用鎳等催化元素使半導體層 230 晶化時，可以將導電層 220 或導電層 240 用作吸收該催化元素的吸雜層。另外，作為導電層 220 及導電層 240，有時除了矽以外還可以使用載子濃度高的金屬氧化物。此外，有時可以使用 Ge、ZnSe、CdS、GaAs、InP、GaN、SiGe 等化合物半導體。

【0166】用於導電層 220 及導電層 240 的材料較佳為與半導體層 230 同樣的材料。就是說，在將矽用於半導體層 230 的情況下，較佳為將矽用於導電層 220 及導電層 240。另外，當將金屬氧化物用於半導體層 230 時，導電層 220 及導電層 240 較佳為使用導電金屬氧化物。此時，導電層 220 及導電層 240 的載子濃度較佳為高於半導體層 230。

【0167】可以將包含選自鋁、鉻、銅、銀、金、鉑、鈹、鎳、鈦、鉬、鎢、鉛、鈳、鈮、錳、鎂、鋅、鈹、銮和鈳等中的一種以上的金屬元素的材料用於半導體裝置所包括的導電層（導電層 110、導電層 115、導電層 120、導電層 220、導電層 240、導電層 260 等）。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。此外，也可以使用包含鈦、鉍等金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉍

等包含氮的導電材料。此外，例如也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、包含矽的銮錫氧化物等。此外，例如也可以使用包含氮的銮鋅氧化物等。藉由使用這種材料，有時可以俘獲從周圍的絕緣體等混入的氮或水。

【0168】半導體裝置所包括的絕緣層（絕緣層 140、絕緣層 180、絕緣層 250、絕緣層 280、絕緣層 283 等）較佳為使用無機絕緣膜。作為無機絕緣膜，例如可以舉出氧化絕緣膜、氮化絕緣膜、氧氮化絕緣膜及氮氧化絕緣膜。作為氧化絕緣膜，例如可以舉出氧化矽膜、氧化鋁膜、氧化鎂膜、氧化鎵膜、氧化鍺膜、氧化釷膜、氧化鈾膜、氧化鈷膜、氧化鈳膜、氧化鈹膜、氧化鈰膜、氧化釷膜、氧化鈾膜、氧化鈷膜、氧化鈳膜、氧化鈹膜、氧化鈰膜、氧化銻膜、鎵鋅氧化物膜以及氧化鉛鋁膜。作為氮化絕緣膜，例如可以舉出氮化矽膜及氮化鋁膜。作為氧氮化絕緣膜，例如可以舉出氧氮化矽膜、氧氮化鋁膜、氧氮化鎵膜、氧氮化釷膜以及氧氮化鈰膜。作為氮氧化絕緣膜，例如可以舉出氮氧化矽膜及氮氧化鋁膜。此外，作為半導體裝置所包括的絕緣層，也可以使用有機絕緣膜。

【0169】作為相對介電常數高（high-k）的材料，例如可以舉出氧化鋁、氧化鎵、氧化鉛、氧化鉭、氧化鋯、鉛鋯氧化物、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有砷及鉛的氧化物、含有砷及鉛的氧氮化物以及含有砷及鉛的氮化物等。

【0170】作為相對介電常數低的材料，例如可以舉出氧化矽、氮化矽及氮氧化矽等無機絕緣材料、聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯及丙烯酸樹脂等樹脂。此外，作為上述以外的相對介電常數低的無機絕緣材料，例如可以舉出添加有氟的氧化矽、添加有碳的氧

化矽以及添加有碳及氮的氧化矽等。此外，可以舉出具有電洞的氧化矽。此外，這些氧化矽也可以包含氮。

【0171】在本實施方式中，示出在俯視時開口部 290 呈圓形的例子，但是本發明不侷限於此。例如，在俯視時開口部 290 也可以呈橢圓等近似圓形形狀、四角形等多角形形狀、四角形等多角形的角部具有弧形的形狀。此時，開口部 290 的最大寬度可以根據開口部 290 的最上部的形狀適當地算出。例如，在俯視的開口部呈四角形時，開口部 290 的最大寬度為開口部 290 的最上部的對角線的長度。另外，開口部 190、開口部 291、開口部 292 及開口部 293 也是同樣的。

【0172】以上是可以用於記憶體串的記憶單元的說明。

【0173】

[記憶單元的變形例子]

以下，說明其一部分的結構與上述不同的記憶單元的結構例子。注意，以下參照與上述重複的部分而省略說明。

【0174】在圖 7A 至圖 12D 中，各圖式的 A 是記憶單元的平面圖。各圖式中的 B 是從 Y 方向看在各圖式的 A 中以點劃線表示的部分 A1-A2 的剖面圖，各圖式中的 C 是從 Y 方向看在各圖式的 A 中以點劃線表示的部分 A3-A4 的剖面圖，各圖式中的 D 是從 X 方向看在各圖式的 A 中以點劃線表示的部分 A5-A6 的剖面圖。

【0175】

[變形例子 1]

圖 7A 至圖 7D 示出記憶單元 MCA。記憶單元 MCA 包括絕緣層 130a 及絕緣層 130b 代替絕緣層 130，在這一點上與上述記憶單元 MC 主要不同。

【0176】記憶單元 MCA 包括電晶體 Tr 及電容器 CA。

第34頁，共 96 頁(發明說明書)

【0177】電容器 CA 包括導電層 115、絕緣層 130a 及導電層 120。

【0178】絕緣層 130a 的端部與導電層 120 的端部對齊或大致對齊。藉由採用這種結構，在形成絕緣層 280 和絕緣層 180 共同包括的開口部時不需要去除絕緣層 130，所以可以容易進行形成該開口部時的蝕刻。

【0179】另外，絕緣層 130a 較佳為覆蓋導電層 115 的側端部。由此，可以防止導電層 115 和導電層 120 短路。

【0180】絕緣層 130b 設置在導電層 220 下。另外，絕緣層 130b 的端部與導電層 220 的端部對齊或大致對齊。

【0181】絕緣層 130a 及絕緣層 130b 藉由相同製程形成。因此，絕緣層 130b 包含與絕緣層 130a 相同的絕緣材料。

【0182】

〔變形例子 2〕

圖 8A 至圖 8D 示出記憶單元 MCB。記憶單元 MCB 包括電晶體 Tr 及電容器 CB。電容器 CB 所包括的導電層 115 的形狀與上述電容器 C 所包括的導電層 115 的形狀不同。

【0183】如圖 8C 及圖 8D 所示，導電層 115 不與絕緣層 180 的頂面接觸。換言之，導電層 115 的頂面的高度與絕緣層 180 的頂面的高度一致或大致一致。藉由採用這種結構，可以減少導電層 115 的端部的步階。因此，可以提高後面形成的絕緣層 130 等的覆蓋性。另外，可以防止導電層 115 和導電層 120 的短路。

【0184】另外，也可以將〔變形例子 1〕所說明的包括絕緣層 130a 及絕緣層 130b 代替絕緣層 130 的結構用於記憶單元 MCB。圖 9A 至圖 9D 示出將記憶單元 MCA 的結構的一部分用於記憶單元 MCB 的記憶單元 MCC。

【0185】記憶單元 MCC 包括電晶體 Tr 及電容器 CC。

第35頁，共 96 頁(發明說明書)

【0186】電容器 CC 包括頂面的高度與絕緣層 180 的頂面的高度一致或大致一致的導電層 115、導電層 120 以及端部與導電層 120 的端部對齊或大致對齊的絕緣層 130a。另外，絕緣層 130b 設置在導電層 220 下，絕緣層 130b 的端部與導電層 220 的端部對齊或大致對齊。

【0187】

〔變形例子 3〕

圖 10A 至圖 10D 示出記憶單元 MCD。記憶單元 MCD 包括電晶體 Tr 及電容器 CD。電容器 CD 所包括的導電層 120 及絕緣層 130 的形狀與上述電容器 C 所包括的導電層 120 及絕緣層 130 的形狀不同。

【0188】導電層 115 在絕緣層 180 的上方具有突出部。也就是說，導電層 115 的最上部位於絕緣層 180 的頂面的上方。換言之，絕緣層 180 的頂面位於導電層 115 的最上部的下方（絕緣層 140 一側）。

【0189】絕緣層 130 以覆蓋導電層 115 的上述突出部的方式設置。也就是說，絕緣層 130 具有與開口部 190 中的導電層 115 的頂面、導電層 115 的上述突出部的頂面及側面以及開口部 190 的外側的絕緣層 180 的頂面接觸的區域。

【0190】導電層 120 以隔著絕緣層 130 嵌入導電層 115 中的凹部的方式設置。並且，導電層 120 具有隔著絕緣層 130 與導電層 115 的外側的側面的一部分相對的區域。也就是說，導電層 120 的端部位於導電層 115 的外側。

【0191】藉由採用上述結構，可以進一步增大單位面積的靜電電容。

【0192】另外，也可以將〔變形例子 1〕所說明的包括絕緣層 130a 及絕緣層 130b 代替絕緣層 130 的結構用於記憶單元 MCD。圖 11A 至圖 11D 示出將記憶單元 MCA 的結構的一部分用於記憶單元 MCD 而成的記憶單元 MCE。

【0193】記憶單元 MCE 包括電晶體 Tr 及電容器 CE。

【0194】電容器 CE 包括具有上述突出部的導電層 115、以覆蓋導電層 115 的上述突出部的方式設置的絕緣層 130a 以及端部與絕緣層 130a 的端部對齊或大致對齊的導電層 120。另外，絕緣層 130b 設置在導電層 220 的下方，絕緣層 130b 的端部與導電層 220 的端部對齊或大致對齊。

【0195】可以說上述電容器具有圓柱型形狀。注意，記憶單元所包括的電容器不侷限於上述電容器的結構，也可以使用具有平行平板型或支柱型等形狀的電容器。

【0196】

〔變形例子 4〕

圖 12A 至圖 12D 示出記憶單元 MCF。記憶單元 MCF 包括導電層 261 及導電層 265，在這一點上與上述記憶單元 MC 主要不同。

【0197】絕緣層 250 上設置有絕緣層 285。如圖 12B 所示，絕緣層 285 包括與開口部 293 及開口部 292 重疊的開口部 294。絕緣層 285 的頂面的高度與導電層 260 的頂面的高度一致或大致一致。

【0198】導電層 261 以嵌入開口部 294、開口部 293 及開口部 292 中的方式設置。導電層 261 與導電層 120 的頂面的至少一部分接觸。導電層 261 的頂面的高度與絕緣層 285 的頂面的高度一致或大致一致。

【0199】導電層 265 設置在導電層 260 及絕緣層 285 上。導電層 265 具有與導電層 260 的頂面接觸的區域及與導電層 261 的頂面接觸的區域。

【0200】由此，導電層 260 藉由導電層 265 及導電層 261 與導電層 120 電連接。也就是說，記憶單元 MCF 具有將電容器 C 連接到電晶體 Tr 的閘極而成的結構。藉由採用這種結構，不需要將導電層 260 延伸到與電容器 C 重疊的位置。因此，可以減小導電層 260 與導電層 240 重疊的區域。再者，絕緣層 281 及絕緣層 250 位於導電層 265 與導電層 240 之間。由此，可以增大導電層 265

與導電層 240 之間的物理距離，可以減少產生在導電層 265 與導電層 240 之間的寄生電容。

【0201】以上是記憶單元的變形例子的說明。

【0202】

[記憶體串的變形例子]

以下，說明部分結構與上述不同的記憶體串的結構例子。注意，以下參照與上述重複的部分而省略說明。

【0203】圖 13A 至圖 13D 示出包括第二閘極的記憶體串 100B。圖 13A 是從 Z 方向看記憶體串 100B 的平面圖。圖 13B 是記憶體串 100 的等效電路。圖 13C 是從 Y 方向看圖 13A 中以點劃線表示的部分 A1-A2 的剖面圖。圖 13D 是包括在圖 13A 中以點劃線表示的部分 B1-B2 的剖面圖。

【0204】記憶體串 100B 包括導電層 215_1 至導電層 215_n 及絕緣層 225_1 至絕緣層 225_n，在這一點上與上述記憶體串 100 主要不同。

【0205】絕緣層 280 上設置有導電層 215_1 至導電層 215_n。絕緣層 280 及導電層 215_1 至導電層 215_n 上設置有絕緣層 281。絕緣層 281 上設置有導電層 240_1 至導電層 240_k。導電層 215_1 至導電層 215_n 分別對應於佈線 BG_1 至佈線 BG_n。

【0206】記憶體串 100B 包括記憶單元 MCG_1 至記憶單元 MCG_n。

【0207】記憶單元 MCG 包括電晶體 TrG 及電容器 C。

【0208】電晶體 TrG 包括導電層 260、絕緣層 250、導電層 215、絕緣層 225、導電層 220、導電層 240 及半導體層 230。

【0209】如圖 13A 所示，導電層 215 在 Y 方向上延伸。也就是說，導電層 215 在平行於導電層 110 延伸的方向上延伸。

【0210】導電層 215 包括與開口部 290 及開口部 291 重疊的開口部。絕緣層 281 包括與開口部 290 及開口部 291 重疊的第一開口部。

【0211】絕緣層 225 具有配置在開口部 291、絕緣層 281 所包括的第一開口部、導電層 215 所包括的開口部以及開口部 290 中的區域。絕緣層 225 具有與開口部 291 中的導電層 240 的側面、上述第一開口部中的絕緣層 281 的側面、導電層 215 所包括的開口部中的導電層 215 的側面、開口部 290 中的絕緣層 280 的側面以及開口部 290 中的導電層 220 的頂面的一部分接觸的區域。絕緣層 225 在與開口部 290 重疊的區域中包括到達導電層 220 的開口部。

【0212】半導體層 230 具有與導電層 240 的頂面、絕緣層 225 所包括的開口部中的絕緣層 225 的側面及導電層 220 的頂面接觸的區域。

【0213】絕緣層 281 包括與開口部 292 及開口部 293 重疊的第二開口部。導電層 260 具有嵌入開口部 293、絕緣層 281 所包括的第二開口部及開口部 292 中的區域。導電層 260 具有藉由開口部 293、上述第二開口部及開口部 292 與導電層 120 接觸的區域。

【0214】在電晶體 TrG 中，導電層 260 被用作第一閘極電極，絕緣層 250 被用作第一閘極絕緣層。導電層 215 被用作第二閘極電極，絕緣層 225 被用作第二閘極絕緣層。

【0215】藉由設置第二閘極電極，可以與保持在鐵電層中的極化獨立地控制電晶體的開啟狀態和導通狀態。另外，當切換電晶體的開啟狀態和導通狀態時，可以保持鐵電層的極化。

【0216】以上是記憶體串的變形例子的說明。

【0217】

[製造方法例子]

以下，作為本發明的一個實施方式的半導體裝置的製造方法的一個例子，說明圖 2A 所示的記憶體串 100 的製造方法的例子。

【0218】在圖 14A 至圖 17F 中，各圖式的 A、C 及 E 是從 Y 方向看半導體裝置的剖面圖，各圖式的 B、D 及 F 是從 X 方向看半導體裝置的剖面圖。另外，在各圖式中的 A、C、E 的剖面圖中示出包括三個記憶單元的區域，在各圖式中的 B、D、F 的剖面圖中示出包括一個記憶單元的區域。

【0219】構成半導體裝置的薄膜（絕緣膜、半導體膜及導電膜等）可以利用濺射法、ALD 法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、真空蒸鍍法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法等形成。

【0220】注意，CVD 法可以分為利用電漿的 CVD（PECVD）法、利用熱的熱 CVD（TCVD：Thermal CVD）法及利用光的光 CVD（Photo CVD）法等。再者，可以根據使用的源氣體分為金屬 CVD（MCVD：Metal CVD）法、有機金屬 CVD（MOCVD：Metal Organic CVD）法。

【0221】藉由利用電漿 CVD 法，可以以較低的溫度得到高品質的膜。此外，因為不使用電漿，熱 CVD 法是能夠減少對被處理物造成的電漿損傷的沉積方法。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容器等）等有時因從電漿接收電荷而會產生電荷積聚。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱 CVD 法中不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱 CVD 法中，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0222】作為 ALD 法，採用只利用熱能使前驅物及反應物起反應的熱 ALD 法、使用受到電漿激發的反應物的 PEALD 法等。

【0223】CVD 法及 ALD 法不同於從靶材等中被釋放的粒子沉積的濺射法。因此 CVD 法及 ALD 法是不易受被處理物的形狀的影響而具有高步階覆蓋性的沉積方法。尤其是，ALD 法具有良好的步階覆蓋性和厚度均勻性，所以 ALD 法適合用於形成覆蓋縱橫比高的開口的表面的膜等。但是，ALD 法的沉積速率比較慢，所以有時較佳為與沉積速率快的 CVD 法等其他沉積方法組合而使用。

【0224】此外，當使用 CVD 法時，可以根據源氣體的流量比沉積任意組成的膜。例如，當使用 CVD 法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0225】當使用 ALD 法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0226】構成半導體裝置的薄膜（絕緣膜、半導體膜及導電膜等）可以利用旋塗法、浸漬法、噴塗法、噴墨法、分配器法、網版印刷法、平板印刷法、刮刀（doctor knife）法、狹縫式塗佈法、輥塗法、簾式塗佈法或刮刀式塗佈法等濕式沉積方法形成。

【0227】首先，如圖 14A 及圖 14B 所示，在基板（未圖示）上形成絕緣層 140，在絕緣層 140 上形成多個導電層 110，在絕緣層 140 及多個導電層 110 上形成絕緣層 180。注意，在圖 14A 中，作為多個導電層 110 示出導電層 110_1 至導電層 110_3。

【0228】絕緣層 180 被用作層間絕緣層。絕緣層 180 較佳為使用相對介電常數低的材料。由此，可以降低產生在導電層 110 與導電層 220 之間的寄生電

容，而可以提高半導體裝置的驅動速度。此外，絕緣層 180 也可以具有多個絕緣層的疊層結構，例如可以採用氧化矽和氮化矽的疊層。

【0229】較佳為在沉積後進行化學機械拋光（CMP：Chemical Mechanical Polishing）處理來使絕緣層 180 的頂面平坦化。藉由進行絕緣層 180 的平坦化處理，可以適當地形成後面成為多個導電層 115 的導電膜。

【0230】另外，有時不需要進行 CMP 處理。此時，絕緣層 180 的頂面具有向上凸起的曲面形狀。藉由不進行平坦化處理，可以在能夠降低製造成本的同時提高良率。

【0231】接著，如圖 14C 及圖 14D 所示，在絕緣層 180 中形成多個開口部 190。多個開口部 190 分別具有與多個導電層 110 中的一個重疊的區域。另外，多個開口部 190 分別到達多個導電層 110 中的一個。另外，圖 14D 示出到達導電層 110_1 的開口部 190_1。

【0232】例如，開口部 190 可以藉由在絕緣層 180 上形成光阻遮罩並進行利用光阻遮罩作為遮罩的蝕刻處理來形成。作為蝕刻處理，較佳為使用各向異性乾蝕刻處理，以開口的側壁儘量垂直的方式進行加工。此時，開口的形狀較佳為呈圓筒狀。

【0233】光阻遮罩例如可以適當地利用微影技術、印刷法、噴墨法等形成。當利用噴墨方法形成光阻遮罩時不使用光罩，因此有時能夠減少製造成本。另外，作為蝕刻處理，可以利用乾蝕刻法和濕蝕刻法中的一者或兩者。利用乾蝕刻法的加工適合於微型加工。

【0234】此外，在微影技術中，首先形成光阻劑，然後藉由光罩對該光阻劑進行曝光。接著，使用顯影液去除被曝光的區域或不被曝光的區域來形成光阻遮罩。

【0235】藉由該光阻遮罩進行蝕刻處理來將導電層、半導體層或絕緣層等加工為所希望的形狀。例如，在曝光中可以使用 KrF 準分子雷射、ArF 準分子雷射、EUV（Extreme Ultraviolet：極紫外）光等。此外，也可以利用液浸技術。此外，當使用電子束或離子束等光束代替上述光時，不需要光罩，所以是較佳的。另外，光阻遮罩可以藉由濕蝕刻處理、乾蝕刻處理或其兩者去除。

【0236】或者，可以使用使用無機材料構成的硬遮罩代替光阻遮罩。當使用硬遮罩時，可以在被加工的層上形成成為硬遮罩材料的膜且在其上形成光阻遮罩，然後對該膜進行蝕刻來形成所希望的形狀的硬遮罩。

【0237】作為乾蝕刻裝置，例如可以使用包括平行平板型電極的電容耦合型電漿（CCP：Capacitively Coupled Plasma）蝕刻裝置或感應耦合型電漿（ICP：Inductively Coupled Plasma）蝕刻裝置等。

【0238】接著，如圖 14E 及圖 14F 所示，在絕緣層 180 上沉積將在後面成為多個導電層 115 的導電膜 115f。導電膜 115f 較佳為利用 ALD 法或熱 CVD 法等覆蓋性高的沉積方法沉積。此時，可以以其一部分覆蓋開口部 190 的方式形成導電膜 115f。

【0239】接著，如圖 15A 及圖 15B 所示，利用微影技術加工導電膜 115f 來形成多個導電層 115。注意，圖 15B 示出多個導電層 115 中的導電層 115_1。

【0240】導電膜 115f 的加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。藉由該加工，導電層 115 以與開口部 190 的側壁及底面接觸的方式形成。另外，導電層 115 在與開口部 190 重疊的區域中具有凹部。注意，在加工導電膜 115f 時絕緣層 180 的一部分被加工，有時不與導電層 115 重疊的區域的絕緣層 180 的厚度變小。

【0241】此外，也可以利用與上述微影技術不同的方法對導電膜 115f 進行加工。例如，也可以進行如下製程：以嵌入開口部 190 中的方式形成犧牲層，進行用來使絕緣層 180 的頂面露出的平坦化處理，並且去除上述犧牲層。藉由該製程，可以形成圖 8C 及圖 8D 所示的導電層 115。

【0242】接著，如圖 15C 及圖 15D 所示，在絕緣層 180 及多個導電層 115 上依次沉積絕緣層 130 及導電膜 120f。

【0243】絕緣層 130 較佳為利用覆蓋性高的沉積方法沉積，以沿著導電層 115 中的凹部被沉積。並且，導電膜 120f 較佳為以嵌入該凹部中的方式形成。例如，絕緣層 130 可以利用 ALD 法沉積，導電膜 120f 可以利用 CVD 法沉積。

【0244】在作為絕緣層 130 利用 ALD 法沉積氧化鈺銻時，可以使用包含鈺的前驅物、包含銻的前驅物及氧化劑。作為包含鈺的前驅物，可以使用四（乙基甲基醯胺）鈺（TEMAHf）、 HfCl_4 等。此外，作為包含銻的前驅物，可以使用四（乙基甲基醯胺）銻（TEMAZr）、 ZrCl_4 等。此外，作為氧化劑，可以使用選自 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 和 H_2O_2 中的任一個或多個。

【0245】另外，絕緣層 130 較佳為使用除了鈺及銻以外還包含釷、釷、鐳等第 3 族元素的氧化物。藉由對氧化鈺銻添加這些元素，可以期待鐵電電容器的重寫耐久性得到提高。

【0246】作為包含釷、釷、鐳等第 3 族元素的前驅物，可以使用包含目的元素的無機化合物或有機化合物。前驅物在常溫常壓下可以為液體或固體。例如，作為包含釷的前驅物，可以舉出三（甲基環戊二烯基）釷（III）（ $\text{Y}(\text{MeCp})_3$ ）、三（異丙基環戊二烯基）釷（III）（ $\text{Y}(\text{iPrCp})_3$ ）、三[N，N-雙（三甲基矽烷基）醯胺]釷（III）（ $\text{Y}(\text{tmsa})_3$ ）等釷化合物。另一方面，作為包含鐳的前驅物，可以舉出三（環戊二烯基）鐳（III）（ $\text{La}(\text{Cp})_3$ ）、三

(甲基環戊二烯基) 鑷 (III) ($\text{La}(\text{MeCp})_3$)、三(異丙基環戊二烯基) 鑷 (III) ($\text{La}(\text{iPrCp})_3$) 等鑷化合物。

【0247】在此，較佳為在形成絕緣層 130 之後進行加熱處理。在藉由該加熱處理使絕緣層 130 晶化時，絕緣層 130 呈現鐵電性。或者，可以藉由加熱處理提高絕緣層 130 的鐵電性。該加熱處理的溫度越高，晶化越促進，剩餘極化越增大，所以是較佳的。另外，該加熱處理較佳為在沉積後面成為多個半導體層的半導體膜（後述的半導體膜 230f）之前進行，更佳為在沉積後面說明的絕緣層 280 之前進行。當作為半導體層 230 使用氧化物半導體時，由於在進行上述加熱處理之後形成半導體層 230，所以可以防止氧化物半導體的多晶化，而可以實現可靠性高的電晶體。

【0248】用來使絕緣層 130 晶化的加熱處理較佳為在與導電層 115 接觸的狀態或者與導電層 115 及導電層 120（或導電膜 120f）接觸的狀態下進行。由此，與在絕緣層 130 不接觸導電層或導電膜的狀態下進行加熱處理的情況相比，容易得到呈現鐵電性的結晶結構。尤其是，藉由在絕緣層 130 夾在一對導電層之間的狀態下進行加熱處理，呈現大剩餘極化，所以是較佳的。

【0249】例如，可以使用 RTA（Rapid Thermal Anneal：快速熱退火）裝置、電阻加熱爐、微波加熱裝置進行加熱處理。尤其是，藉由使用 RTA 裝置，可以在短時間內施加高溫度，由此可以提高絕緣層 130 的鐵電性，並且不僅可以縮短製程時間，而且可以降低對絕緣層 130 以外的層帶來的熱損傷，所以是較佳的。藉由在惰性氣體或還原氣體氛圍下進行加熱處理，可以抑制電極被氧化，所以是較佳的。作為惰性氣體，例如可以使用氦、氬、氖等高貴氣體、氮氣等。作為還原氣體，例如可以使用氫氣、一氧化碳氣體、烴氣體等。

【0250】尤其是，在作為絕緣層 130 使用氧化鉛、氧化鋇、氧化鉛鋇等氧化物時，呈現鐵電性的結晶結構不分類為穩定結構（穩定相）而分類為在較高

溫下呈現的介穩相，因此利用 RTA 法在高溫下加熱之後進行快速冷卻，維持膜中的介穩相，從而可以形成具有呈現鐵電性的結晶結構的絕緣層 130。

【0251】作為 RTA 裝置，可以使用 LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置等。LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為該氣體，使用即使進行加熱處理也不與被處理物起反應的惰性氣體如氮、氬、氫等高貴氣體或氮。

【0252】在作為加熱處理使用 RTA 法的情況下，可以將處理溫度設定為 300°C 以上且 750°C 以下，較佳為設定為 400°C 以上且 700°C 以下，更佳為設定為 500°C 以上且 650°C 以下。另外，處理時間可以為 1 秒鐘以上且 10 分鐘以下，較佳為 3 秒鐘以上且 5 分鐘以下，更佳為 5 秒鐘以上且 1 分鐘以下。作為加熱處理，例如可以使用利用鹵素燈的 RTA 裝置（LRTA 裝置），在氮氛圍下以 600°C 的處理溫度進行 1 分鐘的處理。另外，當使用電阻加熱爐等 RTA 裝置之外的裝置進行加熱處理時，升溫期間及降溫期間以外的處理時間可以為 1 分鐘以上且 5 小時以下，較佳為 1 分鐘以上且 2 小時以下。

【0253】接著，如圖 15E 及圖 15F 所示，利用微影技術對導電膜 120f 進行加工來形成多個導電層 120 及多個導電層 220。注意，圖 15E 示出多個導電層 220 中的導電層 220_1 及導電層 220_2。圖 15F 示出多個導電層 120 中的導電層 120_1 及多個導電層 220 中的導電層 220_1。導電膜 120f 的加工方法可以參照上述導電膜 115f 的加工的說明。

【0254】以與在 A1-A2 方向上相鄰的兩個導電層 110 重疊的方式形成一個導電層 220。在圖 15E 中，以具有與導電層 110_1 重疊的區域及與導電層 110_2 重疊的區域的方式形成導電層 220_1。

【0255】如上所述，導電層 120 及導電層 220 藉由同一製程形成。因此，導電層 220 包含與導電層 120 相同的導電材料。

【0256】藉由以上的製程形成電容器 C。

【0257】另外，也可以在加工導電膜 120f 之後加工絕緣層 130。可以一次性地加工導電膜 120f 及絕緣層 130，也可以在互不相同的條件下分別加工導電膜 120f 和絕緣層 130。由此，可以形成圖 7B 至圖 7D 所示的其端部與導電層 120 的端部對齊或大致對齊的絕緣層 130a 以及其端部與導電層 220 的端部對齊或大致對齊的絕緣層 130b。注意，在加工導電膜 120f 及絕緣層 130 時絕緣層 180 的一部分被加工，有時不與導電層 120 及絕緣層 130a 重疊的區域以及不與導電層 220 及絕緣層 130b 重疊的區域中的絕緣層 180 的厚度變小。

【0258】另外，絕緣層 130a 及絕緣層 130b 藉由相同製程形成。因此，絕緣層 130b 包含與絕緣層 130a 相同的絕緣材料。

【0259】接著，如圖 16A 及圖 16B 所示，在絕緣層 130、多個導電層 120 及多個導電層 220 上形成絕緣層 280。因為絕緣層 280 被用作層間絕緣層，所以可以使用可用於絕緣層 180 的絕緣材料。

【0260】較佳為在沉積後進行 CMP 處理來使絕緣層 280 的頂面平坦化。藉由進行絕緣層 280 的平坦化處理，可以適當地形成導電膜 240f。

【0261】另外，有時不需要進行 CMP 處理。此時，絕緣層 280 的頂面具有向上凸起的曲面形狀。藉由不進行平坦化處理，可以在能夠降低製造成本的同時提高良率。

【0262】接著，如圖 16A 及圖 16B 所示，在絕緣層 280 上沉積將在後面成為多個導電層 240 的導電膜 240f。

【0263】接著，如圖 16C 及圖 16D 所示，在導電膜 240f 及絕緣層 280 中形成多個開口部。該多個開口部分別具有與多個導電層 220 中的一個重疊的區

域。另外，該多個開口部分別到達多個導電層 220 中的一個。該多個開口部的每一個包括開口部 291 及開口部 290。此外，圖 16C 示出形成在導電膜 240f 中的開口部 291_1、開口部 291_2 及開口部 291_3 以及形成在絕緣層 280 中的開口部 290_1、開口部 290_2 及開口部 290_3。另外，圖 16D 示出形成在導電膜 240f 中的開口部 291_1 及形成在絕緣層 280 中的開口部 290_1。

【0264】開口部 291 及開口部 290 的形成方法可以參照上述開口部 190 的形成的說明。

【0265】接著，如圖 16E 及圖 16F 所示，在導電膜 240f 上沉積將在後面成為多個半導體層 230 的半導體膜 230f。半導體膜 230f 較佳為利用 ALD 法等覆蓋性高的沉積方法沉積。此時，半導體膜 230f 可以以其一部分覆蓋開口部 291 及開口部 290 的方式形成。例如，作為半導體膜 230f，可以利用 ALD 法沉積包含銦的氧化物膜。

【0266】注意，半導體膜 230f 的沉積不侷限於上述方法，也可以利用濺射法、CVD 法、PLD 法或 MBE 法等。

【0267】對用於半導體層 230 的半導體材料的結晶性沒有特別的限制，可以使用非晶半導體（具有非晶結構的半導體）、單晶半導體（具有單晶結構的半導體）或具有單晶以外的結晶性的半導體（微晶半導體、多晶半導體或其一部分具有結晶區域的半導體）。當使用單晶半導體或具有結晶性的半導體時可以抑制電晶體的特性劣化，所以是較佳的。

【0268】半導體層 230 較佳為包括具有結晶性的金屬氧化物層。作為具有結晶性的金屬氧化物的結構，例如可以舉出 CAAC 結構、多晶結構及微晶結構。藉由將具有結晶性的金屬氧化物層用於半導體層 230，可以降低半導體層 230 中的缺陷態密度，由此可以實現可靠性高的半導體裝置。注意，CAAC 結構是多個微晶（典型的是，多個 IGZO 的微晶）具有 c 軸配向且在 a-b 面上以

上述多個微晶不配向的方式連接的結晶結構。此外，藉由利用高解析度 TEM 影像對具有 CAAC 結構的 OS 膜的剖面進行觀察，可確認到在結晶部中金屬原子排列為層狀。因此，具有 CAAC 結構的 OS 膜也可以說是具有層狀結晶部的結構。

【0269】多晶結構具有晶界（grain boundary）。此外，當在形成具有多晶結構的氧化物半導體層之後進行加熱處理時，在結晶部與結晶部之間有可能形成微小間隙（也稱為奈米裂縫或微裂縫）或微小空間（也稱為奈米空間或微空間）。當在氧化物半導體層內形成微小間隙或微小空間時，氧化物半導體層的電阻變高。這是因為微小間隙或微小空間的電阻非常高，例如，無窮大。當將具有微小間隙或微小空間的氧化物半導體層用於電晶體的通道形成區域時，氧化物半導體層與源極電極和汲極電極中的一個或兩個的接觸電阻變高。因此，這會對電晶體的初始特性或可靠性帶來不良影響。CAAC 結構中確認不到 a-b 面上的明確晶界，因此，與多晶結構相比，可以實現可靠性高的半導體裝置。

【0270】用於半導體層 230 的金屬氧化物層的結晶性越高，越可以降低半導體層 230 中的缺陷態密度。另一方面，藉由使用結晶性低的金屬氧化物層，可以實現能夠流過大電流的電晶體。

【0271】形成金屬氧化物層時的基板溫度（載物台溫度）越高，越可以形成結晶性高的金屬氧化物層。此外，相對於在形成時使用的沉積氣體整體的氧氣體的流量比率（以下，也稱為氧流量比）越高，越可以形成結晶性高的金屬氧化物層。

【0272】半導體層 230 可以具有結晶性不同的兩個以上的金屬氧化物層的疊層結構。此時，兩個以上的金屬氧化物層的組成既可以彼此不同，又可以相同或大致相同。例如，在半導體層 230 具有兩層結構的情況下，由於第二層金屬氧化物層的被形成面為第一層金屬氧化物層的表面，所以有時可以提高第二

層金屬氧化物層的結晶性。並且，藉由在形成第二層金屬氧化物層之後進行加熱處理（也稱為晶化處理），可以提高第一層金屬氧化物層的結晶性。

【0273】例如，利用 ALD 法沉積第一層金屬氧化物層，並且利用濺射法作為第二層金屬氧化物層沉積結晶性比第一層金屬氧化物層高的膜。然後，藉由進行加熱處理，可以提高第二層金屬氧化物層及第一層金屬氧化物層的結晶性。此時，有時包含在第二層金屬氧化物層中的結晶向第一層金屬氧化物層連續地縱向生長，在觀察剖面時不能識別第一層金屬氧化物層和第二層金屬氧化物層的邊界。

【0274】另外，也可以採用在第二層金屬氧化物層上還利用 ALD 法沉積第三層金屬氧化物層的三層結構。藉由在沉積第三層金屬氧化物層之後進行加熱處理，可以提高第一層金屬氧化物層至第三層金屬氧化物層的結晶性。此時，包含在第二層金屬氧化物層中的結晶向第一層金屬氧化物層及第三層金屬氧化物層連續地縱向生長，然後還橫向生長，由此有時在觀察剖面時不能識別第一層金屬氧化物層和第二層金屬氧化物層的邊界以及第二層金屬氧化物層和第三層金屬氧化物層的邊界。

【0275】如此，藉由層疊形成結晶性低的金屬氧化物層和結晶性高的金屬氧化物層，在它們之間在厚度方向上連續地發生結晶生長，從而可以形成在厚度方向整體上結晶性高的半導體層。或者，藉由層疊形成結晶性低的金屬氧化物層和結晶性高的金屬氧化物層並且進行加熱處理，它們之間在厚度方向上連續地發生結晶生長，從而可以形成在厚度方向整體上結晶性高的半導體層。由此，可以實現可靠性高的電晶體。

【0276】例如，在利用 ALD 法沉積第一層金屬氧化物層，利用濺射法作為第二層金屬氧化物層沉積具有 CAAC 結構的膜，並且利用 ALD 法沉積第三層金屬氧化物層來構成三層結構的情況下，可以以第二層金屬氧化物層的

CAAC 結構為晶核或晶種提高其上下的金屬氧化物層的結晶性。可以將上述結晶性得到提高的金屬氧化物層稱為 Axial Growth CAAC (AG CAAC)。

【0277】上述加熱處理較佳為以比用來使絕緣層 130 晶化的加熱處理低的溫度進行。藉由以比用來使絕緣層 130 晶化的加熱處理低的溫度進行上述加熱處理，可以防止金屬氧化物的多晶化。

【0278】上述加熱處理較佳為以 250°C 以上且 650°C 以下的溫度進行，更佳為以 350°C 以上且 550°C 以下的溫度進行。處理時間例如較佳為在 350°C 以上且 550°C 以下的溫度下為 1 分鐘以上且 1 小時以下或者 10 分鐘以上且 30 分鐘以下。

【0279】對用於加熱處理的加熱裝置沒有特別的限制，也可以使用利用電阻發熱體等發熱體所產生的熱傳導或熱輻射進行被處理物的加熱的裝置。例如，可以使用電爐、LRTA 裝置、GRTA 裝置等 RTA 裝置。

【0280】接著，如圖 17A 及圖 17B 所示，藉由利用微影技術對半導體膜 230f 及導電膜 240f 進行加工，分別形成多個半導體層 230 及多個導電層 240。注意，圖 17A 示出多個半導體層 230 中的半導體層 230_1 及半導體層 230_2 以及多個導電層 240 中的導電層 240_1 及導電層 240_2。圖 17B 示出多個半導體層 230 中的半導體層 230_1 以及多個導電層 240 中的導電層 240_1。

【0281】半導體膜 230f 及導電膜 240f 的加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。藉由該加工，半導體層 230 以與開口部 291 的側壁以及開口部 290 的側壁及底面接觸的方式形成。另外，半導體層 230 在與開口部 291 及開口部 290 重疊的區域中具有凹部。半導體膜 230f 及導電膜 240f 的加工既可以以相同條件進行，又可以以不同條件進行。

【0282】以與在 A1-A2 方向上相鄰的兩個導電層 220 重疊的方式形成一個導電層 240。在圖 17A 中，以具有與導電層 220_1 重疊的區域及與導電層 220_2 重疊的區域的方式形成導電層 240_2。

【0283】藉由如上所述地形成多個導電層 220 及多個導電層 240，可以使在 A1-A2 方向上相鄰的第一電晶體和第二電晶體共同包括導電層 220 和導電層 240 中的一個，並且使在 A1-A2 方向上相鄰的第二電晶體和第三電晶體共同包括導電層 220 和導電層 240 中的另一個。由此，記憶體串 100 可以具有多個電晶體串聯連接的結構。

【0284】接著，在絕緣層 280 及多個半導體層 230 上沉積絕緣層 250。絕緣層 250 較佳為利用覆蓋性高的沉積方法沉積。此時，絕緣層 250 可以以其一部分覆蓋上述凹部的方式形成。

【0285】絕緣層 250 例如較佳為利用 CVD 法或 ALD 法形成。尤其是，較佳為利用 ALD 法層疊多個不同的絕緣膜。

【0286】例如，絕緣層 250 較佳為使用具有氧阻擋性的絕緣膜。再者，作為絕緣層 250，較佳為使用具有俘獲或固定氫的功能的絕緣膜。藉由設置這種絕緣膜，可以抑制接觸於絕緣層 250 的導電層 260 被氧化。並且，可以由絕緣層 250 俘獲或固定半導體層 230 及其附近的氫。由此，可以降低半導體層 230 中的氫濃度，從而可以提高電晶體的可靠性。

【0287】例如，作為絕緣層 250 可以使用氧化鋁和氧化鉛的疊層膜。因為氧化鋁及氧化鉛是高介電常數（high-k）材料，所以藉由將它們用於閘極絕緣層，可以在保持閘極絕緣層的物理厚度的同時降低在電晶體工作時施加的閘極電位。換言之，可以減小閘極絕緣層的等效氧化物厚度（EOT：Equivalent Oxide Thickness）。

【0288】另外，絕緣層 250 較佳為使用絕緣耐壓高的氧化矽膜或氮化矽膜等。由此，可以降低電晶體的洩漏電流。

【0289】另外，作為絕緣層 250 的與導電層 260 接觸的一側的絕緣膜也可以設置具有氫阻擋性的絕緣膜。由此，可以抑制包含在導電層 260 中的氫等雜質擴散到半導體層 230。作為具有氫阻擋性的絕緣膜，可以舉出氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜等。尤其是，氮化矽膜具有高氫阻擋性，所以是較佳的。再者，這種絕緣膜除了氫阻擋性以外還具有氧阻擋性，所以可以阻擋從半導體層 230 擴散到導電層 260 的氧，所以可以防止導電層 260 的氧化。

【0290】當絕緣層 250 為多個絕緣膜的疊層膜時，各膜的厚度較佳為 0.5nm 以上且 15nm 以下，更佳為 0.5nm 以上且 12nm 以下，進一步較佳為 0.5nm 以上且 10nm 以下。例如，可以從半導體層 230 一側使用厚度為 1nm 的氧化鋁膜、厚度為 2nm 的氧化矽膜、厚度為 2nm 的氧化鋁膜的疊層膜。或者，除此之外，還可以使用在導電層 260 一側層疊厚度為 1nm 的氮化矽膜的疊層膜。注意，厚度不侷限於上述數值，例如也可以採用任一個以上的厚度為 15nm 以上的結構。

【0291】接著，如圖 17C 及圖 17D 所示，在絕緣層 250 及絕緣層 280 中形成多個開口部。該多個開口部分別具有與多個導電層 120 中的一個重疊的區域。另外，該多個開口部分別到達多個導電層 120 中的一個。該多個開口部的每一個包括開口部 293 及開口部 292。另外，圖 17D 示出到達導電層 120_1 的開口部 292_1 及與開口部 292_1 重疊的開口部 293_1。

【0292】開口部 293 及開口部 292 的形成方法可以參照上述開口部 190 的形成的說明。

【0293】接著，沉積後面成為多個導電層 260 的導電膜。該導電膜較佳為以嵌入開口部 291 及開口部 290 以及開口部 293 及開口部 292 中的方式沉積。例如，該導電膜可以利用 CVD 法沉積。

【0294】接著，如圖 17E 及圖 17F 所示，利用微影技術對上述導電膜進行加工來形成多個導電層 260。注意，圖 17E 示出多個導電層 260 中的導電層 260_1、導電層 260_2 及導電層 260_3。圖 17F 示出多個導電層 260 中的導電層 260_1。

【0295】上述導電層的加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。藉由該加工，導電層 260 以嵌入開口部 293 及開口部 292 以及開口部 292 及開口部 291 中的方式形成。

【0296】接著，藉由在絕緣層 250 及多個導電層 260 上形成絕緣層 283，可以製造記憶體串（圖 2C 及圖 2E）。

【0297】以上是記憶體串的製造方法例子的說明。

【0298】

[記憶體裝置的結構例子]

接著，說明能夠使用上述記憶體串的記憶體裝置的結構例子。

【0299】圖 18 是示出電路 OSC 及記憶單元部 MCL 的結構例子的方塊圖。記憶單元部 MCL 是包括上述記憶單元及記憶體串的電路。

【0300】記憶單元部 MCL 包括記憶單元陣列 MCAA。記憶單元陣列 MCAA 包括多個記憶體串 SRG。記憶體串 SRG 與佈線 BL 電連接。記憶體串 SRG 包括串聯電連接的多個記憶單元 MC、選擇用電晶體 BTr 及電晶體 STr。

【0301】記憶單元 MC 是以常開啟特性而工作的電晶體，並包括控制閘極及功能層。作為功能層可以使用鐵電層。在作為功能層使用鐵電層的結構中，

可以採用上述將鐵電電容器連接到閘極的結構。例如，功能層對應於上述絕緣層 130。

【0302】電晶體 BTr、記憶單元 MC、電晶體 STr 的通道形成區域例如較佳為包含矽、鍺、砷化鎵、碳化矽、金屬氧化物等中的任一個或選自上述材料中的多個材料。

【0303】尤其是，在該通道形成區域中，較佳為使用選自銦、元素 M（元素 M 例如為選自鋁、鎵、銦、錫中的一個以上的元素）和鋅中的一個或多個的金屬的氧化物。該金屬氧化物可以被用作寬能帶間隙半導體，可以使通道形成區域中包含該金屬氧化物的電晶體 BTr、記憶單元 MC、電晶體 STr 具有關態電流非常小的特性。也就是說，由於可以減少處於關閉狀態的電晶體 BTr、記憶單元 MC、電晶體 STr 的洩漏電流，所以有時可以降低記憶體裝置的功耗。

【0304】注意，雖然圖 18 示出電晶體 BTr 及電晶體 STr 形成在記憶單元部 MCL 中的例子，但是電晶體 BTr 及電晶體 STr 也可以形成在電路 OSC 中。

【0305】此外，記憶單元陣列 MCAA 在記憶體串 SRG 內包括多個記憶單元 MC。多個記憶單元 MC 配置為行列狀（也稱為矩陣狀）。注意，記憶單元陣列 MCAA 在一個列中包括 n 個且在一個行中包括 m 個，即包括總共 $n \times m$ 個記憶單元 MC（m 及 n 分別獨立地為 2 以上的整數）。另外，將位於 i 行 j 列（i 為 1 以上且 n 以下的整數，j 為 1 以上且 m 以下的整數）的記憶單元 MC 記載為 MC[i, j]。

【0306】佈線 WL 是多個字線，佈線 WL 的每一個按行與記憶單元 MC 電連接。此外，佈線 BL 是多個位元線，佈線 BL 的每一個按列與記憶單元 MC 電連接。另外，佈線 CL 是電源線。

【0307】接著，說明記憶體串 SRG 的連接結構。電晶體 BTr、多個記憶單元 MC 及電晶體 STTr 串聯連接，電晶體 BTr 與佈線 BSL 電連接，電晶體 STTr 與佈線 SSL 電連接。

【0308】佈線 BSL、佈線 SSL 被用作在進行寫入、讀出、刪除等工作時選擇記憶體串的佈線。佈線 BSL 與電晶體 BTr 的閘極電連接，佈線 SSL 與電晶體 STTr 的閘極電連接。

【0309】注意，雖然採用一個記憶體串 SRG 電連接到一個佈線 BL 的結構，但是本發明的一個實施方式不侷限於此。例如，如圖 19 所示，記憶單元部 MCL 也可以採用多個記憶體串 SRG 電連接到一個佈線 BL 的結構。注意，圖 19 的方塊圖示出記憶單元部 MCL 及電路 OSC 的一部分。

【0310】電路 OSC 包括控制電路 CTR、電路 PRPH 及輸出電路 OUTP。控制電路 CTR 例如從記憶體裝置的外部被輸入控制信號 CS（時脈信號、晶片賦能信號、寫入賦能信號、位址信號等）及資料信號 WDATA。

【0311】控制電路 CTR 具有訪問電路 PRPH 對記憶單元部 MCL 寫入資料的功能及從記憶單元部 MCL 讀出資料的功能。例如，在從記憶體裝置的外部被輸入基於控制信號 CS 的寫入指令和資料信號 WDATA 時，控制電路 CTR 將資料信號 WDATA 寫入到記憶單元部 MCL。此外，根據基於控制信號 CS 的讀出指令，從記憶單元部 MCL 讀出資料並將其輸出為資料信號 RDATA。注意，寫入指令、讀出指令包括位址信號。

【0312】另外，控制電路 CTR 也可以具有在從記憶單元部 MCL 讀出資料時進行錯誤檢測及糾正的功能（也稱為 ECC：Error Check and Correct）。

【0313】電路 PRPH 例如包括電路 WLD、電路 BLD 及電路 CVC。電路 WLD 被用作字線驅動電路並與佈線 WL 電連接。電路 BLD 被用作位元線驅動電路並與佈線 BL 電連接。電路 CVC 被用作生成恆電位且輸出該恆電位的電源

並與佈線 CL 電連接。注意，電路 CVC 也可以設置在記憶體裝置的外部，而不包括在電路 PRPH 中。此時，記憶體裝置具有從外部向記憶單元部 MCL 供應恆電位的結構。

【0314】以上是記憶體裝置的結構例子的說明。

【0315】

[運算裝置的結構例子]

以下，說明可以使用上述記憶體裝置的運算處理裝置的結構例子。

【0316】圖 20A 示出運算處理裝置 1100 的方塊圖。在圖 20A 中，作為可用於運算處理裝置 1100 的結構例子示出 CPU 的結構例子。

【0317】圖 20A 所示的運算處理裝置 1100 在基板 1190 上包括：ALU1191（ALU：Arithmetic logic unit（算術邏輯單元）、運算電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198、快取 1199 及快取介面 1189。作為基板 1190 使用半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板、玻璃基板等。還可以包括能夠重寫的 ROM 及 ROM 介面。另外，快取 1199 及快取介面 1189 也可以設置在不同的晶片上。

【0318】快取 1199 藉由快取介面 1189 與設置在不同晶片上的主記憶體連接。快取介面 1189 具有將儲存在主記憶體中的資料的一部分供應到快取 1199 的功能。快取 1199 具有儲存該資料的功能。

【0319】圖 20A 所示的運算處理裝置 1100 只是簡化其結構而所示的一個例子而已，所以實際上的運算處理裝置 1100 根據其用途具有各種各樣的結構。例如，也可以以包括圖 20 所示的運算處理裝置 1100 或運算電路的結構為核心，設置多個該核心並使其同時工作，即像 GPU 那樣工作。另外，在運算

處理裝置 1100 的內部運算電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

【0320】藉由匯流排介面 1198 輸入到運算處理裝置 1100 的指令在輸入到指令解碼器 1193 並被解碼後輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

【0321】ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在運算處理裝置 1100 執行程式時，根據其優先度或遮罩狀態等判斷來自外部的輸入輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於運算處理裝置 1100 的狀態進行暫存器 1196 的讀出或寫入。

【0322】此外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號生成內部時脈信號的內部時脈生成部，並將內部時脈信號供應到上述各種電路。

【0323】在圖 20A 所示的運算處理裝置 1100 中，暫存器 1196 及快取 1199 中設置有記憶體裝置。

【0324】在圖 20A 所示的運算處理裝置 1100 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容器保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容器保持資料的情況下，對電容器進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

【0325】注意，運算處理裝置 1100 不侷限於 CPU，也可以為 GPU、DSP（Digital Signal Processor：數位信號處理器）、FPGA（Field-Programmable Gate Array：現場可程式邏輯閘陣列）等。

【0326】可以重疊設置包括上述記憶體裝置的半導體裝置 1000 和運算處理裝置 1100。圖 20B 及圖 20C 示出半導體裝置 1150A 的立體圖。半導體裝置 1150A 在運算處理裝置 1100 上包括用作記憶體裝置的半導體裝置 1000。運算處理裝置 1100 與半導體裝置 1000 具有彼此重疊的區域。為了容易理解半導體裝置 1150A 的結構，圖 20C 分離地示出運算處理裝置 1100 及半導體裝置 1000。

【0327】藉由重疊設置半導體裝置 1000 和運算處理裝置 1100，可以縮短兩者的連接距離。由此，可以提高兩者之間的通訊速度。此外，因為連接距離較短，所以可以降低功耗。

【0328】此外，也可以與運算處理裝置 1100 重疊地設置多個半導體裝置 1000。圖 21A 及圖 21B 示出半導體裝置 1150B 的立體圖。半導體裝置 1150B 在運算處理裝置 1100 上包括半導體裝置 1000a 及半導體裝置 1000b。運算處理裝置 1100 與半導體裝置 1000a 及半導體裝置 1000b 具有彼此重疊的區域。為了容易理解半導體裝置 1150B 的結構，圖 21B 分離地示出運算處理裝置 1100、半導體裝置 1000a 及半導體裝置 1000b。

【0329】半導體裝置 1000a 及半導體裝置 1000b 被用作記憶體裝置。例如，也可以將半導體裝置 1000a 和半導體裝置 1000b 中的一個和另一個分別用作 NOR 型記憶體裝置和 NAND 型記憶體裝置。半導體裝置 1000a 及半導體裝置 1000b 的兩者也可以為 NAND 型記憶體裝置。作為 NOR 型記憶體裝置，有 DRAM 或 SRAM 等。因為 NOR 型記憶體裝置可以比 NAND 型記憶體裝置進行高速工作，所以例如也可以將半導體裝置 1000a 的一部分用作主記憶體及/或快

取 1199。注意，也可以顛倒半導體裝置 1000a 與半導體裝置 1000b 的重疊順序。

【0330】圖 21C 及圖 21D 示出半導體裝置 1150C 的立體圖。半導體裝置 1150C 具有在半導體裝置 1000a 與半導體裝置 1000b 之間夾有運算處理裝置 1100 的結構。

【0331】藉由採用半導體裝置 1150C 的結構，可以提高半導體裝置 1000a 與運算處理裝置 1100 之間的通訊速度及半導體裝置 1000b 與運算處理裝置 1100 之間的通訊速度的兩者。此外，與半導體裝置 1150B 相比，可以進一步降低功耗。

【0332】接著，說明半導體裝置的剖面結構例子。

【0333】圖 22A 是層疊包括電晶體 300 的層 11 及包括多個記憶體串的層 12 的情況的例子。作為層 11 可以使用將單晶矽基板用作基板的電路，作為層 12 可以使用具有三維結構的 NAND 型記憶體的記憶體裝置。例如，層 11 是以上示出的運算處理裝置 1100，層 12 是用作記憶體裝置的半導體裝置 1000。

【0334】層 12 所包括的多個記憶體串在 Y 方向上以相等的間隔排列。圖 22A 示出一個記憶體串。另外，圖 22B 示出從 X 方向看包括電晶體 142 的區域的剖面圖。注意，在圖 22B 中省略層 11。

【0335】設置在層 12 中的各記憶體串包括電晶體 142、多個記憶單元的每一個所包括的電晶體 141 及電晶體 143。注意，在說明層 12 的結構時，關於可以參照圖 2A 等所示的記憶體串 100 的部分省略詳細說明，只說明不同點。

【0336】

<層 11>

層 11 中的電晶體 300 設置在基板 311 上，並包括導電層 316、絕緣層 315、由基板 311 的一部分構成的半導體區域 313 以及用作源極區域或汲極區域

的低電阻區域 314a 及低電阻區域 314b。圖 22A 示出電晶體 300 的通道長度方向的剖面。

【0337】電晶體 300 較佳為所謂的 Fin 型電晶體，其中在通道寬度方向的剖面中導電層 316 隔著絕緣層 315 覆蓋半導體區域 313 的頂面及通道寬度方向的側面。由此，有效通道寬度增大，從而電晶體 300 的通態特性得到提高。此外，由於可以提高閘極電極的電場的影響，所以可以提高電晶體 300 的關閉特性。

【0338】此外，電晶體 300 可以為 p 通道型電晶體或 n 通道型電晶體。

【0339】半導體區域 313 的通道形成區域、其附近的區域、用作源極區域或汲極區域的低電阻區域 314a 及低電阻區域 314b 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。或者，也可以使用包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaN（氮化鎵）、GaAlAs（鎵鋁砷）等的材料形成。可以使用對晶格施加應力，改變晶面間距而控制有效質量的矽。此外，電晶體 300 也可以是使用 GaAs 和 GaAlAs 等的 HEMT（High Electron Mobility Transistor：高電子移動率電晶體）。

【0340】在低電阻區域 314a 及低電阻區域 314b 中，除了應用於半導體區域 313 的半導體材料之外，還包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

【0341】作為用作閘極電極的導電層 316，可以使用包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。

【0342】此外，由於導電體的材料決定功函數，所以藉由改變導電體的材料，可以調整電晶體的臨界電壓（ V_{th} ）。明確而言，作為導電體較佳為使用

氮化鈦或氮化鉬等材料。為了兼具導電性和嵌入性，作為導電體較佳為使用鎢或鋁等金屬材料的疊層，尤其在耐熱性方面較佳為使用鎢。

【0343】注意，圖 22A 所示的電晶體 300 的結構只是一個例子，不侷限於上述結構，根據電路結構、驅動方法等使用適當的電晶體即可。

【0344】以覆蓋電晶體 300 的方式依次層疊有絕緣層 320、絕緣層 322、絕緣層 324 及絕緣層 326。

【0345】作為絕緣層 320、絕緣層 322、絕緣層 324 及絕緣層 326，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁及氮化鋁等。

【0346】絕緣層 322 也可以被用作使因設置在其下方的電晶體 300 等而產生的步階平坦化的平坦化膜。例如，絕緣層 322 的頂面也可以藉由利用 CMP 處理等的平坦化處理被平坦化以便提高平坦性。

【0347】作為絕緣層 324，較佳為使用能夠防止氫、雜質等從基板 311 或電晶體 300 等擴散到設置有電晶體 141 等的區域中的具有阻擋性的膜。

【0348】作為具有氫阻擋性的膜的一個例子，例如可以使用藉由 CVD 法形成的氮化矽。在此，有時氫擴散到電晶體 141 等具有氧化物半導體的半導體元件中，導致該半導體元件的特性下降。因此，較佳為在電晶體 141 等與電晶體 300 之間設置抑制氫的擴散的膜。明確而言，抑制氫的擴散的膜是指氫的脫離量少的膜。

【0349】氫的脫離量例如可以利用熱脫附譜分析法（TDS：Thermal Desorption Spectrometry）等分析。例如，在利用 TDS 的分析中的膜表面溫度為 50°C 至 500°C 的範圍內，當將換算為氫原子的脫離量換算為絕緣層 324 的單位面積的量時，絕緣層 324 中的氫的脫離量較佳為 $10 \times 10^{15} \text{atoms/cm}^2$ 以下，更佳為 $5 \times 10^{15} \text{atoms/cm}^2$ 以下。

【0350】注意，絕緣層 326 的相對介電常數較佳為比絕緣層 324 低。例如，絕緣層 326 的相對介電常數較佳為低於 4，更佳為低於 3。例如，絕緣層 326 的相對介電常數較佳為絕緣層 324 的相對介電常數的 0.7 倍以下，更佳為 0.6 倍以下。藉由將相對介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。

【0351】另外，在絕緣層 320、絕緣層 322、絕緣層 324 及絕緣層 326 中嵌入導電層 328 及導電層 330 等。另外，導電層 328 及導電層 330 被用作插頭或佈線。注意，有時使用同一符號表示被用作插頭或佈線的多個導電體。此外，在本說明書等中，佈線和與佈線連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0352】作為各插頭及佈線（導電層 328 及導電層 330 等）的材料，可以使用金屬材料、合金材料、金屬氮化物材料或金屬氧化物材料等導電材料的單層或疊層。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，較佳為使用鎢。或者，較佳為使用鋁、銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。

【0353】雖然在圖 22A 中省略，但是也可以在絕緣層 326 及導電層 330 上設置佈線層。例如，較佳的是，在絕緣層 326 及導電層 330 上設置與絕緣層 324 同樣地具有氬阻擋性的絕緣體，在該絕緣體上形成具有氬阻擋性的導電體。藉由在具有氬阻擋性的絕緣體所包括的開口部中形成具有氬阻擋性的導電體，可以使用阻擋層將電晶體 300 與電晶體 141 等分離，從而可以抑制氬從電晶體 300 擴散到電晶體 141 等中。

【0354】作為具有氬阻擋性的導電體，例如較佳為使用氮化鉬等。另外，藉由層疊氮化鉬和導電性高的鎢，可以在保持作為佈線的導電性的狀態下抑制氬從電晶體 300 擴散。此時，具有氬阻擋性的氮化鉬層較佳為與具有氬阻擋性

的絕緣體接觸。注意，在圖 22A 中，絕緣層 326 及導電層 330 上設置有具有氬阻擋性的絕緣層 350。

【0355】

<層 12>

層 12 包括絕緣層 140、多個導電層 110、絕緣層 180、絕緣層 130、多個導電層 220、絕緣層 280、多個導電層 240、多個半導體層 230、絕緣層 250、多個導電層 260、導電層 262、導電層 263、絕緣層 283、絕緣層 284 等。

【0356】電晶體 142 及電晶體 143 被用作選擇電晶體。導電層 262 具有用作電晶體 142 的閘極電極的區域，導電層 263 具有用作電晶體 143 的閘極電極的區域。另外，導電層 262 在 Y 方向上延伸，在與導電層 262 重疊的區域的絕緣層 180 中不設置由導電層 115、絕緣層 130 及導電層 120 構成的電容器。雖然未圖示，但是與導電層 262 同樣，導電層 263 在 Y 方向上延伸，與導電層 263 重疊的區域的絕緣層 180 中沒有設置電容器。

【0357】絕緣層 283 上設置有絕緣層 284。絕緣層 284、絕緣層 283、絕緣層 250 及半導體層 230 所包括的開口部中設置有導電層 362，絕緣層 284、絕緣層 283、絕緣層 250 及半導體層 230 所包括的其他開口部中設置有導電層 363。導電層 362 及導電層 363 被用作插頭。

【0358】導電層 362 上設置有導電層 372，導電層 363 上設置有導電層 373。導電層 372 及導電層 373 上設置有絕緣層 382。導電層 372 及導電層 373 被用作佈線。

【0359】注意，記憶體串也可以在 Z 方向上層疊。圖 23 示出第二記憶體串層疊在第一記憶體串上的層 12。注意，在圖 23 中省略層 11。

【0360】圖 23 所示的層 12 具有貼合設置有第一記憶體串的第一層與設置有第二記憶體串的第二層而成的結構。藉由採用這種結構，可以防止在製造第

二記憶體串時對絕緣層 130 進行的加熱處理導致第一記憶體串的半導體層所包括的氧化物半導體的多晶化，而可以實現可靠性高的半導體層裝置。

【0361】在此，較佳為在絕緣層 140 下設置絕緣層 345。另外，較佳為在絕緣層 382 上設置絕緣層 346。絕緣層 345 及絕緣層 346 是用作保護層的絕緣層，可以抑制雜質擴散到絕緣層 140 的上方及絕緣層 382 的下方。作為絕緣層 345 及絕緣層 346，可以使用無機絕緣膜。

【0362】第二層設置有貫通絕緣層 140 及絕緣層 345 等的插頭 343。另外，絕緣層 345 下設置有導電層 342。導電層 342 較佳為以嵌入在絕緣層 335 中的方式設置。此外，較佳為使導電層 342 及絕緣層 335 的底面平坦化。這裡，導電層 342 與插頭 343 電連接。

【0363】另一方面，在第一層中，絕緣層 346 上設置有導電層 341。導電層 341 較佳為以嵌入在絕緣層 336 中的方式設置。此外，較佳為使導電層 341 及絕緣層 336 的頂面平坦化。

【0364】藉由使導電層 341 與導電層 342 結合，第一層與第二層電連接。這裡，藉由提高由導電層 342 及絕緣層 335 形成的面以及由導電層 341 及絕緣層 336 形成的面的平坦性，可以良好地貼合導電層 341 與導電層 342。

【0365】作為導電層 341 及導電層 342 較佳為使用相同的導電材料。例如，可以使用包含選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。作為導電層 341 及導電層 342 尤其較佳為使用銅。由此，可以採用 Cu-Cu（銅-銅）直接鍵合技術（藉由彼此連接 Cu（銅）的焊盤來進行電導通的技術）。

【0366】

<層 13>

半導體裝置也可以採用層疊有兩個以上的記憶體裝置的結構。圖 24 示出在包括記憶體串的層 12 上層疊層 13 的情況的例子。層 13 包括電晶體 500 及電容器 550。

【0367】電晶體 500 是在通道形成區域中含有金屬氧化物的電晶體（OS 電晶體）。電晶體 500 以其間夾持形成通道的半導體的方式包括一對閘極。電晶體 500 的源極和汲極中的一個與電容器 550 連接。因為電晶體 500 具有關態電流極小的特性，所以可以長期間保持藉由電晶體 500 寫入到電容器 550 的資料（電位）。

【0368】在層 13 中，絕緣層 384 上層疊有絕緣層 510、絕緣層 512、絕緣層 514、絕緣層 516、絕緣層 520、絕緣層 522、絕緣層 540、絕緣層 544、絕緣層 541、絕緣層 542、絕緣層 546、絕緣層 548 等絕緣膜。絕緣層 512、絕緣層 516、絕緣層 540、絕緣層 541、絕緣層 546、絕緣層 548 被用作層間絕緣膜。另外，作為絕緣層 510、絕緣層 514、絕緣層 520、絕緣層 522、絕緣層 544、絕緣層 542 等，較佳為使用能夠防止氫、雜質等擴散的具有阻擋性的絕緣膜。

【0369】以嵌入絕緣層 510、絕緣層 512、絕緣層 514、絕緣層 516 中的方式設置有導電層 518。導電層 518 被用作插頭。在圖 24 中，導電層 518 與導電層 386 接觸地設置。

【0370】電晶體 500 包括以嵌入絕緣層 516 中的方式配置的導電層 505、絕緣層 516 及導電層 505 上的絕緣層 520 以及絕緣層 522、絕緣層 522 上的絕緣層 524、絕緣層 524 上的半導體層 501、半導體層 501 上的一對導電層 504、位於導電層 504 上並具有到達半導體層 501 的槽的絕緣層 540 以及以嵌入絕緣層 540 中的方式設置的絕緣層 503 及導電層 502。

【0371】在電晶體 500 中，一對導電層 504 中的一個被用作源極電極，另一個被用作汲極電極。導電層 502 被用作第一閘極電極，絕緣層 503 被用作第一閘極絕緣層。導電層 505 被用作第二閘極電極，絕緣層 520、絕緣層 522 及絕緣層 524 被用作第二閘極絕緣層。

【0372】作為與半導體層 501 接觸的絕緣層 524 及絕緣層 503，例如較佳為使用氧化矽、氧氮化矽、氧化鋁、氧化鉛等氧化物或氧氮化物。除此之外，也可以使用氮化矽、氮氧化矽、氮化鋁等包含氮的化合物。此外，較佳為使用氧化鋁、氧化鉛、氧化鉭、氧化銻等包含所謂的 high-k 材料的絕緣體的單層或疊層。隨著電晶體的微型化及高積體化，由於閘極絕緣膜的薄膜化，有時發生洩漏電流等的問題。因此，藉由作為用作閘極絕緣膜的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。

【0373】作為絕緣層 503，較佳為使用層疊多個絕緣膜而成的疊層膜。例如，較佳為採用層疊兩層、三層或四層以上的上述絕緣材料的膜而成的疊層膜。

【0374】另外，作為絕緣層 503，也可以使用包含上述呈現鐵電性的材料的薄膜。由此，可以將電晶體 500 用作非揮發性記憶元件。此時，也可以採用不使用電容器 550 的結構。

【0375】絕緣層 534 以覆蓋導電層 504 的方式設置，並具有抑制導電層 504 被氧化的功能。此時，絕緣層 534 以覆蓋半導體層 501 的側面及絕緣層 524 的側面並與絕緣層 522 接觸的方式設置。作為絕緣層 534，較佳為使用能夠防止氫、雜質等擴散的具有阻擋性的絕緣膜。

【0376】電容器 550 設置在絕緣層 546 上。電容器 550 包括導電層 551、導電層 552 以及位於它們之間的絕緣層 553。電容器 550 是所謂的 MIM（Metal-Insulator-Metal：金屬-絕緣體-金屬）電容器。

【0377】作為絕緣層 553，較佳為使用包含上述 high-k 材料的絕緣體的單層或疊層。或者，作為絕緣層 553 也可以使用上述呈現鐵電性的材料。由此，可以將電容器 550 用作鐵電電容器，並且藉由與電晶體 500 組合可以實現非揮發性記憶單元。

【0378】另外，也可以在絕緣層 546 上包括用作佈線的導電層 554。導電層 554 可以藉由對與導電層 551 同一的導電膜進行加工來形成。

【0379】導電層 554 與導電層 504 藉由導電層 536 及導電層 538 連接。導電層 536 及導電層 538 被用作插頭。作為導電層 536 及導電層 538，可以使用與導電層 328 及導電層 330 同樣的材料。

【0380】圖 25 示出層 13 的結構與圖 24 不同的例子。在圖 25 中，層 13 中設置有電晶體 400a 及電晶體 400b。電晶體 400a 和電晶體 400b 都是縱向電晶體。

【0381】電晶體 400a 及電晶體 400b 都包括半導體層 401、用作閘極電極的導電層 402、用作閘極絕緣層的絕緣層 403、用作源極電極和汲極電極中的一個的導電層 404、用作源極電極和汲極電極中的另一個的導電層 406。

【0382】對電晶體 400b 的結構進行說明。絕緣層 516 上設置有導電層 407，導電層 407 上設置有導電層 406，以覆蓋導電層 406 的方式設置有絕緣層 410。絕緣層 410 上設置有導電層 405，導電層 405 上設置有導電層 404。在導電層 404、導電層 405 及絕緣層 410 中設置到達導電層 406 的開口。半導體層 401 與導電層 404 及導電層 406 接觸且與開口中的絕緣層 410 的側面接觸。絕緣層 403 以覆蓋半導體層 401 的方式設置，導電層 402 以填充開口的方式設置。

【0383】在電晶體 400a 和電晶體 400b 中的一者或兩者中，作為用作閘極絕緣層的絕緣層 403，可以使用包含上述可用於絕緣層 130 的呈現鐵電性的材

料的薄膜。尤其是，較佳為將這種薄膜用於電晶體 400b 的絕緣層 403。由此，可以將電晶體 400b 用作非揮發性記憶元件。

【0384】半導體層 401 可以使用各種半導體材料，尤其較佳為使用包含金屬氧化物的氧化物半導體。藉由使用在適當的條件下形成的氧化物半導體，可以以低成本實現兼具大通態電流及極小的關態電流的電晶體。下面，在沒有特別的說明的情況下，說明將氧化物半導體用於半導體層 401 時的較佳的結構例子。

【0385】導電層 404 及導電層 406 各自的頂面與半導體層 401 接觸。因此，當將氧化物半導體用於半導體層 401 時，有如下擔憂：由於成為半導體層 401 的半導體膜的沉積製程或之後施加的熱的影響等，導電層 404 及導電層 406 的露出表面的附近被氧化，從而絕緣氧化物膜形成在與半導體層 401 之間，導致接觸電阻增大。於是，較佳為將包含導電氧化物的氧化物導電體至少用於導電層 404 及導電層 406 的最上部。由此，可以防止因導電層 404 及導電層 406 的表面的氧化而導致的接觸電阻的上升。導電層 404 及導電層 406 也可以被稱為氧化物層、金屬氧化物層或氧化物導電體層等。

【0386】導電層 405 可以用作源極佈線和汲極佈線中的一個。此外，導電層 407 的一部分可以用作源極佈線和汲極佈線的另一個。如此，藉由以分別與導電層 404 及導電層 406 接觸的方式設置導電層 405 及導電層 407，可以降低佈線的電阻。作為導電層 405 及導電層 407，較佳為使用金屬、合金或它們的氮化物等導電性比氧化物導電體高的材料。

【0387】半導體層 401 以與絕緣層 410 的開口部的側壁接觸的方式設置。作為絕緣層 410 較佳為使用氧化物絕緣膜。尤其是，較佳為使用藉由加熱釋放氧的氧化物絕緣膜。另外，作為絕緣層 410，較佳為採用三層以上的疊層結構，即採用由具有氧阻擋性的絕緣膜（例如，氮化物絕緣膜）夾持氧化物絕緣

膜的結構。由此，可以將包含在氧化物絕緣膜中的氧封閉在由一對氮化物絕緣膜及半導體層 401 圍繞的區域中，可以防止氧化物絕緣膜中的氧在製程中脫離而減少，所以可以更高效地對半導體層 401 供應氧。

【0388】電晶體 400a 包括絕緣層 414 及導電層 402 分別代替電晶體 400b 的絕緣層 410 及導電層 406，除此之外的結構與電晶體 400b 大致相同。

【0389】電晶體 400b 的閘極電極兼作電晶體 400a 的源極電極和汲極電極中的一個。

【0390】絕緣層 410、絕緣層 414 及絕緣層 418 被用作層間絕緣膜。作為絕緣層 412、絕緣層 416 等，較佳為使用對氫、雜質等具有阻擋性的絕緣膜。

【0391】電晶體 400a 及電晶體 400b 是縱向電晶體。因此，電晶體 400a 及電晶體 400b 的結構等可以參照上述電晶體 Tr 的結構等。另外，也可以將電晶體 400a 及電晶體 400b 的結構等用於上述電晶體 Tr。

【0392】圖 26 示出部分結構與圖 25 不同的例子。圖 26 所示的層 13 包括具有與電晶體 400a 同樣的結構的電晶體 400 並包括電容器 420 代替電晶體 400b。

【0393】電容器 420 包括導電層 421、導電層 422 以及夾在它們之間的絕緣層 423。絕緣層 423 被用作電容器 420 的介電層。另外，導電層 407 與導電層 421 接觸地設置並被用作佈線。

【0394】絕緣層 410 中設置有到達導電層 407 的開口。以與絕緣層 410 的頂面、位於開口內的側面以及位於開口底部的導電層 407 的頂面接觸的方式設置有導電層 421，以覆蓋導電層 421 的方式設置有絕緣層 423，以覆蓋絕緣層 423 的方式設置有導電層 422。

【0395】作為絕緣層 423，較佳為使用包含上述 high-k 材料的絕緣體的單層或疊層。或者，作為絕緣層 423 也可以使用上述呈現鐵電性的材料。由此，

可以將電容器 420 用作鐵電電容器，並且藉由與電晶體 400 組合可以實現非揮發性記憶單元。

【0396】如此，藉由採用層疊縱向電晶體和縱向電容器的結構，可以使記憶單元的佔有面積極小。因此，可以實現容易實現高積體化且容量大的記憶體裝置。

【0397】以上是半導體裝置的剖面結構例子的說明。

【0398】本實施方式所示的結構例子及對應於這些例子的圖式等的至少一部分可以與其他結構例子或圖式等適當地組合。

【0399】

實施方式 2

在本實施方式中說明本發明的一個實施方式的記憶體裝置的應用例子。

【0400】一般而言，在電腦等半導體裝置中，根據其用途使用各種記憶體裝置。圖 27A 以層級示出用於半導體裝置的各種記憶體裝置。越是上層的記憶體裝置越被要求更快的工作速度，越是下層的記憶體裝置越被要求更大的記憶容量和更高的記錄密度。在圖 27A 中，從最上層依次包括 CPU 等運算處理裝置中作為暫存器一起安裝的記憶體、L1 快取、L2 快取、L3 快取、主記憶體、儲存（storage）等。注意，雖然在此示出包括至 L3 快取的例子，但也可以包括級別更低的快取。

【0401】因為 CPU 等運算處理裝置中作為暫存器一起安裝的記憶體用於運算結果的暫時儲存等，所以來自運算處理裝置訪問的頻率高。因此，與記憶容量相比更需求快的工作速度。此外，暫存器還具有保持運算處理裝置的設定資訊等的功能。

【0402】快取具有將保持在主記憶體中的資訊的一部分複製並保持的功能。藉由將使用頻率高的資料複製到快取中，可以提高對資料訪問的速度。快取所需的記憶容量小於主記憶體，而快取所需的工作速度高於主記憶體。此外，將在快取中被改寫的資料複製並供應到主記憶體。

【0403】主記憶體具有保持從儲存讀出的程式、資料等的功能。

【0404】儲存具有保持需要長期保存的資料和運算處理裝置所使用的各種程式等的功能。因此，與更快的工作速度相比，儲存被要求更大的記憶容量和更高的記錄密度。例如，可以使用 3D NAND 等大容量非揮發性記憶體裝置。

【0405】因為根據本發明的一個實施方式的記憶體裝置包括記憶容量大的記憶體裝置，所以可以應用於圖 27A 中的儲存所在的層級中。再者，本發明的一個實施方式的包括記憶容量大的記憶體裝置和工作速度快的記憶體裝置的兩者的記憶體裝置可以應用於儲存所在的層級和主記憶體所在的層級的兩者中。

【0406】根據本發明的一個實施方式的使用氧化物半導體的記憶體裝置（OS 記憶體）的工作速度快且能夠長期間保持資料。因此，如圖 27A 所示，根據本發明的一個實施方式的記憶體裝置可以用於包括快取的層級和包括主記憶體的層級的兩者。

【0407】此外，圖 27B 示出將 SRAM 用於快取的一部分並將本發明的一個實施方式的 OS 記憶體用於其他一部分的情況的例子。

【0408】可以將位於最下級的快取稱為 LLC（Last Level Cache：末級快取）。LLC 不需要比其上級的快取更快的工作速度，但是被要求具有更大的記憶容量。本發明的一個實施方式的 OS 記憶體具有快的工作速度，可以長期保持資料，所以可以適合用於 LLC。注意，本發明的一個實施方式的 OS 記憶體也可以用於 FLC（Final Level Cache：最終級快取）。

【0409】例如，如圖 27B 所示，可以將 SRAM 用於上級快取（L1 快取、L2 快取等）並將本發明的一個實施方式的 OS 記憶體用於 LLC。此外，如圖 27B 所示，在主記憶體中，除了 OS 記憶體之外還可以使用 DRAM。

【0410】本實施方式所示的結構例子及對應於這些例子的圖式等的至少一部分可以與其他結構例子或圖式等適當地組合。

【0411】

實施方式 3

在本實施方式中說明本發明的一個實施方式的記憶體裝置的應用例子。

【0412】本發明的一個實施方式的記憶體裝置例如可以應用於各種電子裝置（例如，資訊終端、電腦、智慧手機、電子書閱讀器終端、數位相機、錄影再現裝置、導航系統、遊戲機等）的記憶體裝置。此外，還可以用於影像感測器、IoT（Internet of Things：物聯網）以及醫療設備等。這裡，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。

【0413】將說明具有本發明的一個實施方式的記憶體裝置的電子裝置的一個例子。圖 28A 至圖 28J 以及圖 29A 至圖 29E 示出具有記憶體裝置的電子構件 700 包括在各電子裝置中的情況。

【0414】

[行動電話機]

圖 28A 所示的資訊終端 5500 是資訊終端之一的行動電話機（智慧手機）。資訊終端 5500 包括外殼 5510 及顯示部 5511，作為輸入介面在顯示部 5511 中包括觸控面板，並且外殼 5510 上設置有按鈕。

【0415】藉由將本發明的一個實施方式的記憶體裝置應用於資訊終端 5500，可以儲存在應用程式中使用的資料或者儲存在執行程式時暫時生成的檔案（例如，使用網頁瀏覽器時的快取）。

【0416】

[可穿戴終端]

圖 28B 示出可穿戴終端的一個例子的資訊終端 5900。資訊終端 5900 包括外殼 5901、顯示部 5902、操作開關 5903、操作開關 5904、錶帶 5905 等。

【0417】與上述資訊終端 5500 同樣，藉由將本發明的一個實施方式的記憶體裝置應用於可穿戴終端，可以儲存應用程式中使用的資料或者儲存執行程式時暫時生成的檔案。

【0418】

[資訊終端]

圖 28C 示出桌上型資訊終端 5300。桌上型資訊終端 5300 包括資訊終端主體 5301、顯示部 5302 及鍵盤 5303。

【0419】與上述資訊終端 5500 同樣，藉由將本發明的一個實施方式的記憶體裝置應用於桌上型資訊終端 5300，可以儲存應用程式中使用的資料或儲存執行程式時暫時生成的檔案。

【0420】在圖 28A 至圖 28C 中，作為電子裝置說明智慧手機、可穿戴終端及桌上型資訊終端，但是作為其他資訊終端，例如可以舉出 PDA（Personal Digital Assistant：個人數位助理）、筆記本式資訊終端及工作站。

【0421】

[電器產品]

圖 28D 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。例如，電冷藏冷凍箱 5800 是適用於 IoT 的電冷藏冷凍箱。

【0422】可以將本發明的一個實施方式的記憶體裝置應用於電冷藏冷凍箱 5800。例如，藉由利用互聯網，可以使電冷藏冷凍箱 5800 對資訊終端等發送儲存在電冷藏冷凍箱 5800 中的食品或該食品的消費期限等的資訊。電冷藏冷凍箱 5800 可以在本發明的一個實施方式的記憶體裝置中儲存程式及程式中使用的資料或發送該資訊時暫時生成的檔案。

【0423】在圖 28D 中，作為電器產品說明電冷藏冷凍箱，作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH 炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機及視聽設備。

【0424】

[遊戲機]

圖 28E 示出遊戲機的一個例子的可攜式遊戲機 5200。可攜式遊戲機 5200 包括外殼 5201、顯示部 5202、按鈕 5203 等。

【0425】此外，圖 28F 示出遊戲機之一的固定式遊戲機 7500。固定式遊戲機 7500 是家用固定式遊戲機。固定式遊戲機 7500 包括主體 7520 及控制器 7522。控制器 7522 可以以無線或有線與主體 7520 連接。此外，也可以根據遊戲分類改變控制器 7522 的形狀。例如，可以採用模仿槍的形狀、模仿樂器或音樂設備等的形狀。此外，也可以採用如下方式：包括照相機、深度感測器、動作感測器和麥克風中的一個或多個代替控制器，由遊戲玩者的手勢或聲音進行操作。

【0426】此外，上述遊戲機的影像可以由電視機、個人電腦用顯示器、遊戲用顯示器或頭戴顯示器等顯示裝置輸出。

第75頁，共 96 頁(發明說明書)

【0427】藉由將本發明的一個實施方式的記憶體裝置用於可攜式遊戲機 5200 或固定式遊戲機 7500，可以降低功耗。此外，借助於低功耗化，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0428】再者，藉由將本發明的一個實施方式的記憶體裝置用於可攜式遊戲機 5200 或固定式遊戲機 7500，可以儲存程式或程式中使用的資料或執行遊戲時暫時生成的運算檔案等。

【0429】此外，作為可以應用本發明的一個實施方式的記憶體裝置的遊戲機，例如可以舉出設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0430】

[移動體]

本發明的一個實施方式的記憶體裝置可以應用於作為移動體的汽車及汽車的駕駛座位附近。

【0431】圖 28G 示出作為移動體的一個例子的汽車 5700。

【0432】汽車 5700 的駕駛座位附近設置有能夠顯示速度表、轉速計、行駛距離、加油量、排檔狀態、空調的設定等以提供各種資訊的儀表板。此外，駕駛座位附近也可以設置有表示上述資訊的顯示裝置。

【0433】尤其是，藉由將由設置在汽車 5700 上的攝像裝置（未圖示）拍攝的影像顯示在上述顯示裝置上，可以彌補被支柱等遮擋的視野、駕駛座位的死角等，從而可以提高安全性。也就是說，藉由顯示設定在汽車 5700 外側的拍攝裝置所拍攝的影像，可以補充視野來避免死角，以提高安全性。

【0434】本發明的一個實施方式的記憶體裝置可以保持進行危險預測等的程式及用於程式的資料等。此外，本發明的一個實施方式的記憶體裝置例如可

以保持進行汽車 5700 的自動駕駛、導航或危險預測等的系統所需要的暫時資訊。此外，本發明的一個實施方式的記憶體裝置也可以保持安裝在汽車 5700 上的行車記錄儀的錄影。

【0435】雖然在上述例子中作為移動體的一個例子說明汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等。

【0436】

[照相機]

本發明的一個實施方式的記憶體裝置可以應用於照相機。

【0437】圖 28H 示出攝像裝置的一個例子的數位相機 6240。數位相機 6240 包括外殼 6241、顯示部 6242、操作開關 6243、快門按鈕 6244 等，並且安裝有可裝卸的鏡頭 6246。在此，數位相機 6240 採用能夠從外殼 6241 拆卸下鏡頭 6246 的結構，但是鏡頭 6246 及外殼 6241 也可以被形成為一體。此外，數位相機 6240 還可以具備另外安裝的閃光燈裝置及取景器等。

【0438】可以將本發明的一個實施方式的記憶體裝置用於數位相機 6240。由此，可以保持所拍攝的影像資料。此外，可以保持用於數位相機 6240 的系統中的暫時資料。

【0439】藉由將本發明的一個實施方式的記憶體裝置用於數位相機 6240，可以降低功耗。此外，借助於低功耗化，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0440】

[視頻攝影機]

本發明的一個實施方式的記憶體裝置可以應用於視頻攝影機。

【0441】圖 28I 示出攝像裝置的一個例子的視頻攝影機 6300。視頻攝影機 6300 包括第一外殼 6301、第二外殼 6302、顯示部 6303、操作開關 6304、鏡頭 6305、連接部 6306 等。操作開關 6304 及鏡頭 6305 設置在第一外殼 6301 上，顯示部 6303 設置在第二外殼 6302 上。第一外殼 6301 與第二外殼 6302 由連接部 6306 連接，第一外殼 6301 與第二外殼 6302 間的角度可以由連接部 6306 改變。顯示部 6303 上的影像也可以根據連接部 6306 中的第一外殼 6301 與第二外殼 6302 間的角度切換。

【0442】藉由使用本發明的一個實施方式的記憶體裝置，可以保持所拍攝的龐大視頻資料。另外，當記錄由視頻攝影機 6300 拍攝的影像時，需要進行根據資料記錄方式的編碼。借助於本發明的一個實施方式的記憶體裝置，上述視頻攝影機 6300 可以保持在進行編碼時暫時生成的檔案。

【0443】

[ICD]

可以將本發明的一個實施方式的記憶體裝置應用於植入式心律去顫器 (ICD)。

【0444】圖 28J 是示出 ICD 的一個例子的剖面示意圖。ICD 主體 5400 至少包括電池 5401、電子構件 700、調節器、控制電路、天線 5404、向右心房的金屬絲 5402、向右心室的金屬絲 5403。

【0445】ICD 主體 5400 藉由手術設置在體內，兩個金屬絲穿過人體的鎖骨下靜脈 5405 及上腔靜脈 5406，並且其一方金屬絲的先端設置於右心室，另一方金屬絲的先端設置於右心房。

【0446】ICD 主體 5400 具有心臟起搏器的功能，並在心律在規定範圍之外時對心臟進行起搏。此外，在即使進行起搏也不改善心律時（快速的心室頻脈或心室顫動等）進行利用去顫的治療。

【0447】為了適當地進行起搏及去顫，ICD 主體 5400 需要經常監視心律。因此，ICD 主體 5400 包括用來檢測心律的感測器。此外，ICD 主體 5400 可以在電子構件 700 中儲存藉由該感測器測得的心律的資料、利用起搏進行治療的次數、時間等。

【0448】此外，可以由天線 5404 接收電力，且該電力被充電到電池 5401。此外，藉由使 ICD 主體 5400 包括多個電池，可以提高安全性。明確而言，即使 ICD 主體 5400 中的部分電池產生故障，其他電池可以起作用而被用作輔助電源。

【0449】此外，除了能夠接收電力的天線 5404，還可以包括能夠發送生理信號的天線，例如，也可以構成能夠由外部的監控裝置確認脈搏、呼吸數、心律、體溫等生理信號的監視心臟活動的系統。

【0450】此外，藉由將本發明的一個實施方式的記憶體裝置用於 ICD 主體 5400，可以將所取得的生理信號的資料作為數位資料保持。ICD 主體 5400 可以根據來自外部的監控裝置的要求輸出所保持的資料。例如，可以使用智慧手機等可攜式資訊終端設備管理各種生物資訊。

【0451】

[PC 用擴展裝置]

本發明的一個實施方式的記憶體裝置可以應用於 PC（Personal Computer；個人電腦）等電腦、資訊終端用擴展裝置。

【0452】圖 29A 示出可以用 USB（Universal Serial Bus：通用序列匯流排）連接於 PC 的擴展裝置 6100。擴展裝置 6100 可以被用作所謂的 USB 記憶體。注意，擴展裝置 6100 不侷限於小型的，也可以為安裝有散熱風扇的較大的擴展裝置。

【0453】擴展裝置 6100 包括外殼 6101、蓋子 6102、USB 連接器 6103 及基板 6104。基板 6104 被容納在外殼 6101 中。基板 6104 設置有驅動本發明的一個實施方式的記憶體裝置的電路。例如，基板 6104 安裝有電子構件 700、控制器晶片 6106。USB 連接器 6103 被用作連接於外部裝置的介面。

【0454】

[SD 卡]

本發明的一個實施方式的記憶體裝置可以應用於能夠安裝在資訊終端或數位相機等電子裝置上的 SD 卡。

【0455】圖 29B 是 SD 卡的外觀示意圖，圖 29C 是 SD 卡的內部結構的示意圖。SD 卡 5110 包括外殼 5111、連接器 5112 及基板 5113。連接器 5112 具有連接到外部裝置的介面的功能。基板 5113 被容納在外殼 5111 中。基板 5113 設置有記憶體裝置及驅動該記憶體裝置的電路。例如，基板 5113 安裝有電子構件 700、控制器晶片 5115。此外，電子構件 700 及控制器晶片 5115 的各電路結構不侷限於上述記載，可以根據情況適當地改變電路結構。例如，電子構件所具備的寫入電路、行驅動器、讀出電路等也可以不安裝在電子構件 700 上而安裝在控制器晶片 5115 上。

【0456】藉由在基板 5113 的背面一側也設置電子構件 700，可以增大 SD 卡 5110 的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板 5113。由此，可以進行外部裝置與 SD 卡 5110 之間的無線通訊，可以進行電子構件 700 的資料的讀出及寫入。

【0457】

[SSD]

本發明的一個實施方式的記憶體裝置可以應用於能夠安裝在資訊終端等電子裝置上的 SSD（固態硬碟）。

【0458】圖 29D 是 SSD 的外觀示意圖，圖 29E 是 SSD 的內部結構的示意圖。SSD5150 包括外殼 5151、連接器 5152 及基板 5153。連接器 5152 具有連接到外部裝置的介面的功能。基板 5153 被容納在外殼 5151 中。基板 5153 設置有記憶體裝置及驅動該記憶體裝置的電路。例如，基板 5153 安裝有電子構件 700、記憶體晶片 5155、控制器晶片 5156。藉由在基板 5153 的背面一側也設置電子構件 700，可以增大 SSD5150 的容量。記憶體晶片 5155 中安裝有工作記憶體。例如，可以將 DRAM 晶片用於記憶體晶片 5155。控制器晶片 5156 中安裝有處理器、ECC（Error-Correcting Code：改錯碼）電路等。注意，電子構件 700、記憶體晶片 5155 及控制器晶片 5115 的各電路結構不侷限於上述記載，可以根據情況適當地改變電路結構。例如，控制器晶片 5156 中也可以設置用作工作記憶體的記憶體。

【0459】

[電腦]

圖 29F 所示的電腦 5600 是大型電腦的例子。在電腦 5600 中，多個機架式電腦 5620 收納在機架 5610 中。

【0460】電腦 5620 例如可以具有圖 29G 所示的立體圖的結構。在圖 29G 中，電腦 5620 包括主機板 5630，主機板 5630 包括多個插槽 5631 以及多個連接端子。插槽 5631 插入有個人電腦卡 5621。並且，個人電腦卡 5621 包括連接端子 5623、連接端子 5624、連接端子 5625，它們連接到主機板 5630。

【0461】圖 29H 所示的個人電腦卡 5621 是包括 CPU、GPU 及記憶體裝置等的處理板的一個例子。個人電腦卡 5621 具有板 5622。此外，板 5622 包括連接端子 5623、連接端子 5624、連接端子 5625、半導體裝置 5626、半導體裝置 5627、半導體裝置 5628 以及連接端子 5629。注意，圖 29H 示出半導體裝置 5626、半導體裝置 5627 及半導體裝置 5628 以外的半導體裝置，關於這些半導

體裝置的說明，可以參照以下記載的半導體裝置 5626、半導體裝置 5627 及半導體裝置 5628 的說明。

【0462】連接端子 5629 具有可以插入主機板 5630 的插槽 5631 的形狀，連接端子 5629 被用作連接個人電腦卡 5621 與主機板 5630 的介面。作為連接端子 5629 的規格例如可以舉出 PCIe。

【0463】連接端子 5623、連接端子 5624、連接端子 5625 例如可以被用作用來對個人電腦卡 5621 供電或輸入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡 5621 所計算的信號的輸出等的介面。作為連接端子 5623、連接端子 5624、連接端子 5625 各自的規格例如可以舉出 USB、SATA（串列 ATA）、SCSI（小型電腦系統介面）等。此外，當從連接端子 5623、連接端子 5624、連接端子 5625 輸出視頻信號時，作為各規格可以舉出 HDMI（註冊商標）。

【0464】半導體裝置 5626 包括進行信號的輸入及輸出的端子（未圖示），藉由將該端子插入板 5622 所包括的插座（未圖示），可以電連接半導體裝置 5626 與板 5622。

【0465】半導體裝置 5627 包括多個端子，藉由將該端子以回流焊方式鉅接到板 5622 所包括的佈線，可以電連接半導體裝置 5627 與板 5622。作為半導體裝置 5627，例如，可以舉出 FPGA、GPU、CPU 等。

【0466】半導體裝置 5628 包括多個端子，藉由將該端子以回流焊方式鉅接到板 5622 所包括的佈線，可以電連接半導體裝置 5628 與板 5622。作為半導體裝置 5628，例如，可以舉出記憶體裝置等。作為半導體裝置 5628，例如可以使用電子構件 700。

【0467】電腦 5600 可以用作平行電腦。藉由將電腦 5600 用作平行電腦，例如可以進行人工智慧的學習及推論所需要的大規模計算。

【0468】藉由將本發明的一個實施方式的記憶體裝置用於上述各種電子裝置等，可以實現電子裝置的小型化及低功耗化。另外，本發明的一個實施方式的記憶體裝置的功耗低，由此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的記憶體裝置，可以實現高溫環境下也穩定工作的電子裝置。由此，可以提高電子裝置的可靠性。

【0469】本實施方式所示的結構例子及對應於這些例子的圖式等的至少一部分可以與其他結構例子或圖式等適當地組合。

【符號說明】

【0470】

BG:佈線

BL:佈線

BLD:電路

BSL:佈線

BTr:電晶體

C₁:電容器

C_n:電容器

CA:電容器

CB:電容器

CC:電容器

CD:電容器

CE:電容器

CG:佈線

CL:佈線

CS:控制信號

CTR:控制電路

CVC:電路

MC_1:記憶單元

MC_2:記憶單元

MC_3:記憶單元

MC_n:記憶單元

MC_p:記憶單元

MC:記憶單元

MCA:記憶單元

MCAA:記憶單元陣列

MCB:記憶單元

MCC:記憶單元

MCD:記憶單元

MCE:記憶單元

MCF:記憶單元

MCG_1:記憶單元

MCG_n:記憶單元

MCG:記憶單元

MCL:記憶單元部

OSC:電路

OUTP:輸出電路

PRPH:電路

RDATA:資料信號

SRG:記憶體串

SSL:佈線

STr:電晶體

Tr_1:電晶體

Tr_n:電晶體

Tr:電晶體

TrG:電晶體

Vc:矯頑電壓

WDATA:資料信號

WL_1:佈線

WL_n:佈線

WL:佈線

WLD:電路

11:層

12:層

13:層

21:記憶體裝置

50:絕緣層

51:導電層

52:導電層

53:導電層

54:插頭

55:插頭

- 56:插頭
- 60:記憶體串
- 65:記憶單元
- 71:曲線
- 72:曲線
- 100A:記憶體串
- 100B:記憶體串
- 100:記憶體串
- 110_1:導電層
- 110_2:導電層
- 110_3:導電層
- 110_n:導電層
- 110:導電層
- 115_1:導電層
- 115_p:導電層
- 115f:導電膜
- 115:導電層
- 120_1:導電層
- 120_p:導電層
- 120f:導電膜
- 120:導電層
- 130a:絕緣層
- 130b:絕緣層
- 130:絕緣層

- 140:絕緣層
- 141:電晶體
- 142:電晶體
- 143:電晶體
- 180:絕緣層
- 190_1:開口部
- 190:開口部
- 215_1:導電層
- 215_n:導電層
- 215:導電層
- 220_1:導電層
- 220_2:導電層
- 220_j:導電層
- 220_q:導電層
- 220:導電層
- 225_1:絕緣層
- 225_n:絕緣層
- 225:絕緣層
- 230_1:半導體層
- 230_2:半導體層
- 230_k:半導體層
- 230_r:半導體層
- 230f:半導體膜
- 230:半導體層

- 240_1:導電層
- 240_2:導電層
- 240_3:導電層
- 240_k:導電層
- 240_r:導電層
- 240f:導電膜
- 240:導電層
- 250:絕緣層
- 260_1:導電層
- 260_2:導電層
- 260_3:導電層
- 260_p:導電層
- 260:導電層
- 261:導電層
- 262:導電層
- 263:導電層
- 265:導電層
- 267_1:導電層
- 267_2:導電層
- 267:導電層
- 280:絕緣層
- 281:絕緣層
- 283:絕緣層
- 284:絕緣層

- 285:絕緣層
- 290_1:開口部
- 290_2:開口部
- 290_3:開口部
- 290:開口部
- 291_1:開口部
- 291_2:開口部
- 291_3:開口部
- 291:開口部
- 292_1:開口部
- 292:開口部
- 293_1:開口部
- 293:開口部
- 294:開口部
- 300:電晶體
- 311:基板
- 313:半導體區域
- 314a:低電阻區域
- 314b:低電阻區域
- 315:絕緣層
- 316:導電層
- 320:絕緣層
- 322:絕緣層
- 324:絕緣層

- 326:絕緣層
- 328:導電層
- 330:導電層
- 335:絕緣層
- 336:絕緣層
- 341:導電層
- 342:導電層
- 343:插頭
- 345:絕緣層
- 346:絕緣層
- 350:絕緣層
- 362:導電層
- 363:導電層
- 372:導電層
- 373:導電層
- 382:絕緣層
- 384:絕緣層
- 386:導電層
- 400a:電晶體
- 400b:電晶體
- 400:電晶體
- 401:半導體層
- 402:導電層
- 403:絕緣層

404:導電層

405:導電層

406:導電層

407:導電層

410:絕緣層

412:絕緣層

414:絕緣層

416:絕緣層

418:絕緣層

420:電容器

421:導電層

422:導電層

423:絕緣層

500:電晶體

501:半導體層

502:導電層

503:絕緣層

504:導電層

505:導電層

510:絕緣層

512:絕緣層

514:絕緣層

516:絕緣層

518:導電層

- 520:絕緣層
- 522:絕緣層
- 524:絕緣層
- 534:絕緣層
- 536:導電層
- 538:導電層
- 540:絕緣層
- 541:絕緣層
- 542:絕緣層
- 544:絕緣層
- 546:絕緣層
- 548:絕緣層
- 550:電容器
- 551:導電層
- 552:導電層
- 553:絕緣層
- 554:導電層
- 700:電子構件
- 1000a:半導體裝置
- 1000b:半導體裝置
- 1000:半導體裝置
- 1100:運算處理裝置
- 1150A:半導體裝置
- 1150B:半導體裝置

1150C:半導體裝置

1189:快取介面

1190:基板

1191:ALU

1192:ALU 控制器

1193:指令解碼器

1194:中斷控制器

1195:時序控制器

1196:暫存器

1197:暫存器控制器

1198:匯流排介面

1199:快取

5110:SD 卡

5111:外殼

5112:連接器

5113:基板

5115:控制器晶片

5150:SSD

5151:外殼

5152:連接器

5153:基板

5155:記憶體晶片

5156:控制器晶片

5200:可攜式遊戲機

5201:外殼

5202:顯示部

5203:按鈕

5300:桌上型資訊終端

5301:主體

5302:顯示部

5303:鍵盤

5400:ICD 主體

5401:電池

5402:金屬絲

5403:金屬絲

5404:天線

5405:鎖骨下靜脈

5406:上腔靜脈

5500:資訊終端

5510:外殼

5511:顯示部

5600:電腦

5610:機架

5620:電腦

5621:個人電腦卡

5622:板

5623:連接端子

5624:連接端子

5625:連接端子

5626:半導體裝置

5627:半導體裝置

5628:半導體裝置

5629:連接端子

5630:主機板

5631:插槽

5700:汽車

5800:電冷藏冷凍箱

5801:外殼

5802:冷藏室門

5803:冷凍室門

5900:資訊終端

5901:外殼

5902:顯示部

5903:操作開關

5904:操作開關

5905:錶帶

6100:擴展裝置

6101:外殼

6102:蓋子

6103:USB 連接器

6104:基板

6106:控制器晶片

6240:數位相機

6241:外殼

6242:顯示部

6243:操作開關

6244:快門按鈕

6246:透鏡

6300:視頻攝影機

6301:第一外殼

6302:第二外殼

6303:顯示部

6304:操作開關

6305:透鏡

6306:連接部

7500:固定式遊戲機

7520:主體

7522:控制器

【發明申請專利範圍】

【請求項 1】一種半導體裝置，包括：

第一導電層；

配置在該第一導電層上並包括具有與該第一導電層重疊的區域的第一開口部的第一絕緣層；

與該第一開口部中的該第一絕緣層的側面及該第一導電層的頂面接觸的第二導電層；

該第二導電層及該第一絕緣層上的第二絕緣層；

配置在該第二絕緣層上並具有隔著該第二絕緣層及該第二導電層嵌入該第一開口部中的區域的第三導電層；

在該第二絕緣層上與該第三導電層分開地配置的第四導電層；

配置在該第三導電層、該第四導電層及該第二絕緣層上並包括具有與該第三導電層重疊的區域的第二開口部及具有與該第四導電層重疊的區域的第三開口部的第三絕緣層；

在該第三絕緣層上並包括與該第三開口部重疊的第四開口部的第五導電層；

與該第五導電層的頂面、該第四開口部中的該第五導電層的側面、該第三開口部中的該第三絕緣層的側面及該第三開口部中的該第四導電層的頂面接觸的氧化物半導體層；

配置在該氧化物半導體層及該第三絕緣層上並包括與該第二開口部重疊的第五開口部的第四絕緣層；以及

該第四絕緣層上的第六導電層，

其中，該第六導電層具有隔著該第四絕緣層及該氧化物半導體層嵌入該第三開口部及該第四開口部中的區域以及在該第五開口部及該第二開口部中與該第三導電層接觸的區域，

並且，該第四導電層包含與該第三導電層相同的材料。

【請求項 2】如請求項 1 之半導體裝置，還包括：

該第二絕緣層上的第七導電層；以及

該第四絕緣層上的第八導電層，

其中該第三絕緣層包括具有與該第七導電層重疊的區域的第六開口部，

該第五導電層包括與該第六開口部重疊的第七開口部，

該氧化物半導體層具有與該第七開口部中的該第五導電層的側面、該第六開口部中的該第三絕緣層的側面及該第六開口部中的該第七導電層的頂面接觸的區域，

並且該第八導電層具有隔著該第四絕緣層及該氧化物半導體層嵌入該第七開口部及該第六開口部中的區域。

【請求項 3】如請求項 2 之半導體裝置，其中該第七導電層包含與該第三導電層相同的材料。

【請求項 4】如請求項 2 之半導體裝置，其中該第八導電層包含與該第六導電層相同的材料。

【請求項 5】如請求項 1 至 4 中任一項之半導體裝置，其中該第二絕緣層包含鐵電體。

【請求項 6】如請求項 5 之半導體裝置，其中該第二絕緣層包含鉛、鋅及氧。

【請求項 7】如請求項 6 之半導體裝置，其中該第二絕緣層還包含選自鈦、鉍和鎳中的一個以上。

【請求項 8】如請求項 5 之半導體裝置，其中該氧化物半導體層包含銦及氧。

【請求項 9】一種半導體裝置，包括：

電容器；

第一電晶體；以及

第二電晶體，

其中，該電容器包括第一導電層、該第一導電層上的第二導電層以及具有位於該第一導電層與該第二導電層之間的區域的第一絕緣層，

該第一絕緣層上設置有用作該第一電晶體的源極電極和汲極電極中的一個的第三導電層，

該第三導電層包含與該第二導電層相同的材料，

用作該第一電晶體的源極電極和汲極電極中的另一個的第四導電層位於該第三導電層的上方並具有與該第三導電層重疊的區域，

用作該第一電晶體的閘極電極的第五導電層具有與該第二導電層接觸的區域，

並且，該第三導電層具有用作該第二電晶體的源極電極和汲極電極中的一個的區域。

【請求項 10】如請求項 9 之半導體裝置，其中該第二導電層具有隔著該第一絕緣層與該第一導電層的側面相對的區域。

【請求項 11】如請求項 9 或 10 之半導體裝置，其中該第一絕緣層包含鐵電體。

【請求項 12】如請求項 11 之半導體裝置，其中該第一絕緣層包含鉛、鋅及氧。

【請求項 13】如請求項 12 之半導體裝置，其中該第一絕緣層還包含選自鈦、鉕和鎳中的一個以上。

【請求項 14】如請求項 11 之半導體裝置，
其中該第一電晶體包括配置在該第一絕緣層的上方並包括具有與該第三導電層及該第四導電層接觸的區域的半導體層，
並且該半導體層包含銦及氧。

【請求項 15】一種半導體裝置的製造方法，包括如下步驟：
形成第一導電層；
形成包括具有與該第一導電層重疊的區域的第一開口部的第一絕緣層；
形成與該第一開口部中的該第一絕緣層的側面及該第一導電層的頂面接觸的第二導電層；
在該第二導電層及該第一絕緣層上形成第二絕緣層；
在該第二絕緣層上形成第一導電膜；
加工該第一導電膜來形成以嵌入該第一開口部中的方式配置的第三導電層及第四導電層；
在該第三導電層、該第四導電層及該第二絕緣層上形成第三絕緣層；
在該第三絕緣層上形成第二導電膜；

在該第二導電膜及該第三絕緣層中形成具有與該第四導電層重疊的區域的第二開口部；

以與該第二開口部中的該第二導電膜的側面、該第三絕緣層的側面及該第四導電層的頂面接觸的方式形成氧化物半導體層；

在該氧化物半導體層上形成第四絕緣層；

在該第四絕緣層及該第三絕緣層中形成具有與該第三導電層重疊的區域的第三開口部；以及

以嵌入該第二開口部及該第三開口部中的方式形成第五導電層。

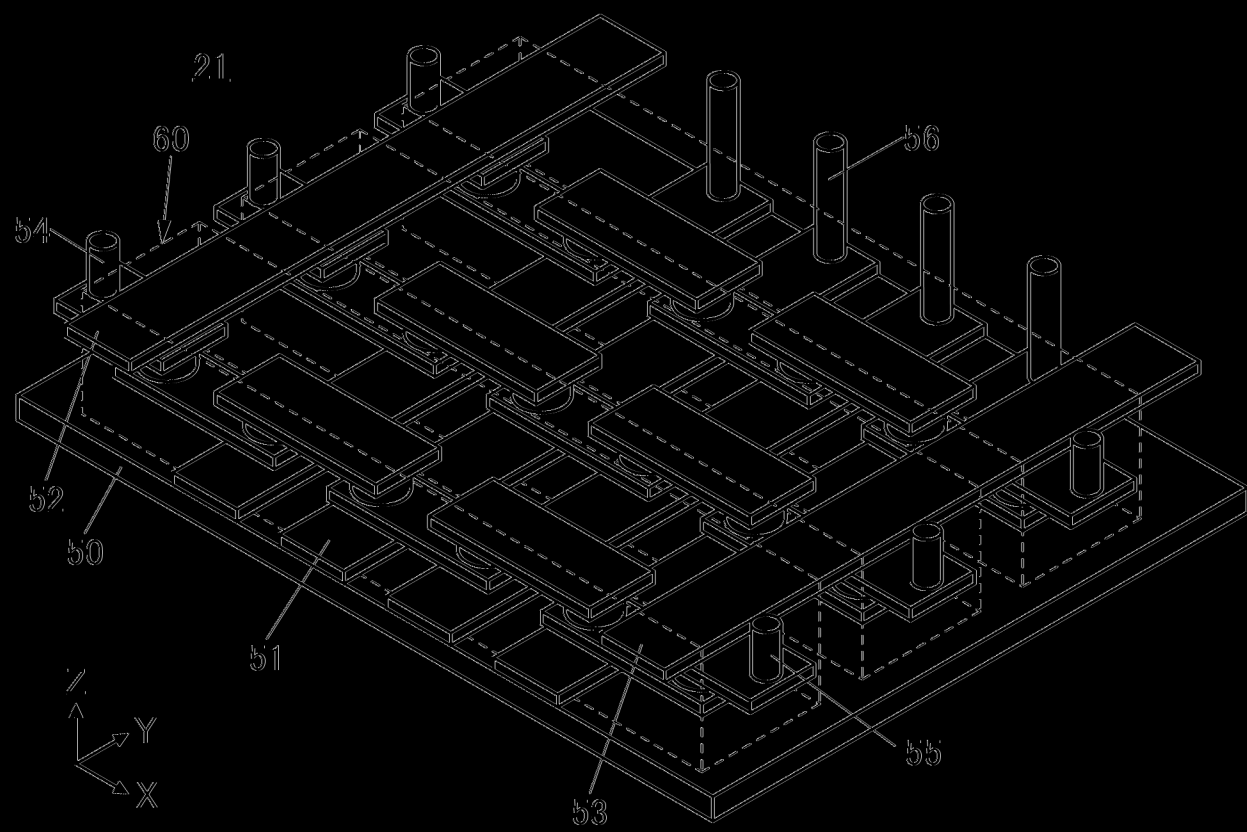
【請求項 16】如請求項 15 之半導體裝置的製造方法，其中作為該第二絕緣層，利用原子層沉積法形成包含鉛及鋇的氧化物膜。

【請求項 17】如請求項 15 之半導體裝置的製造方法，其中作為該第二絕緣層，利用原子層沉積法形成除了鉛及鋇以外還包含選自釷、釷和鐳中的一個以上的氧化物膜。

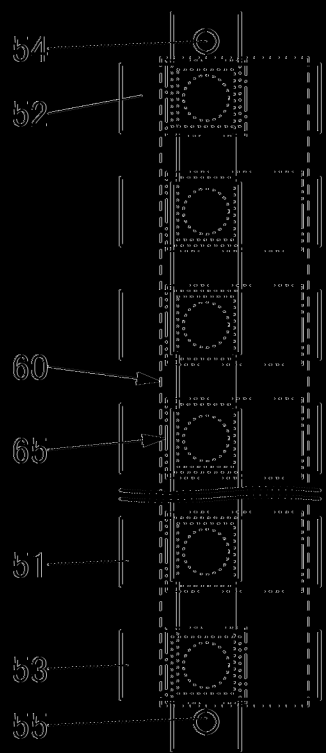
【請求項 18】如請求項 16 或 17 之半導體裝置的製造方法，其中在形成該第二絕緣層之後且形成該氧化物半導體層之前，使用 RTA 裝置以 300°C 以上且 750°C 以下的溫度進行加熱處理。

【請求項 19】如請求項 15 之半導體裝置，其中作為該氧化物半導體層，利用原子層沉積法形成包含銻的氧化物膜。

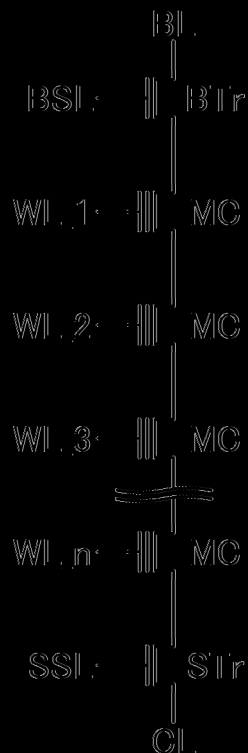
〔發明圖式〕



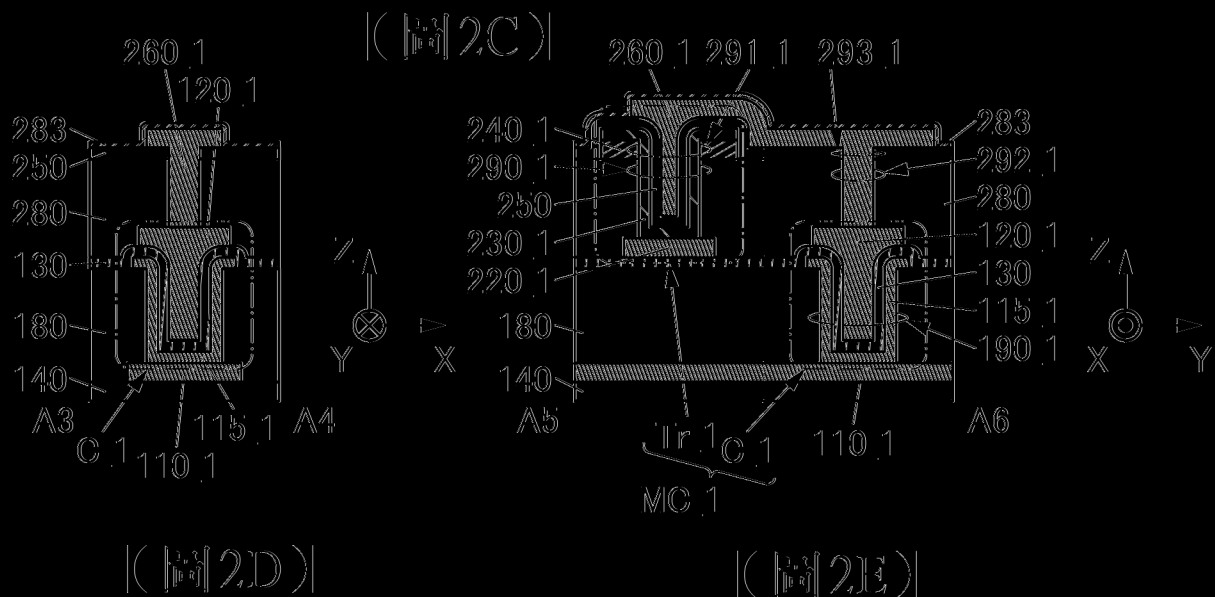
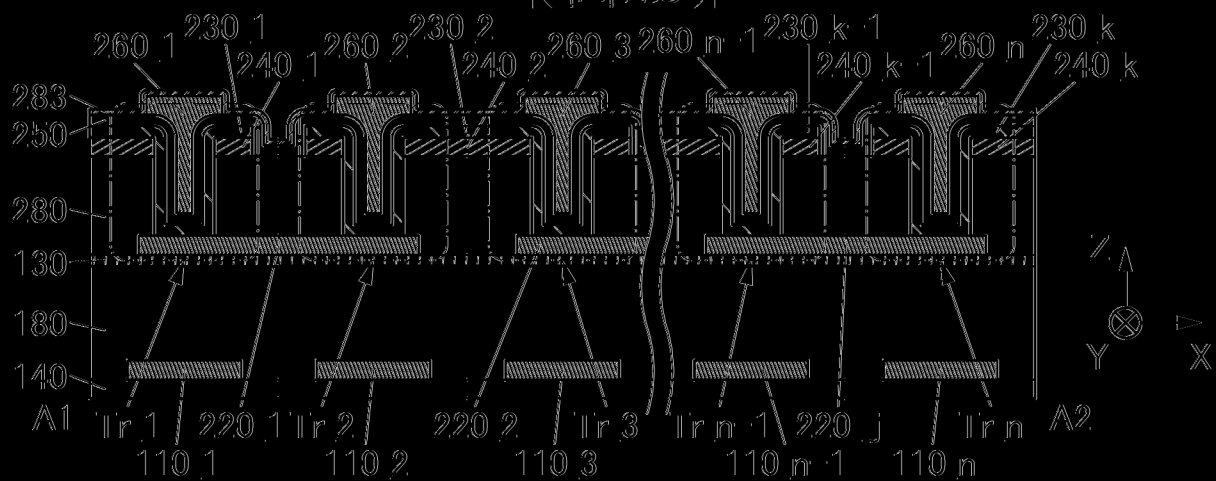
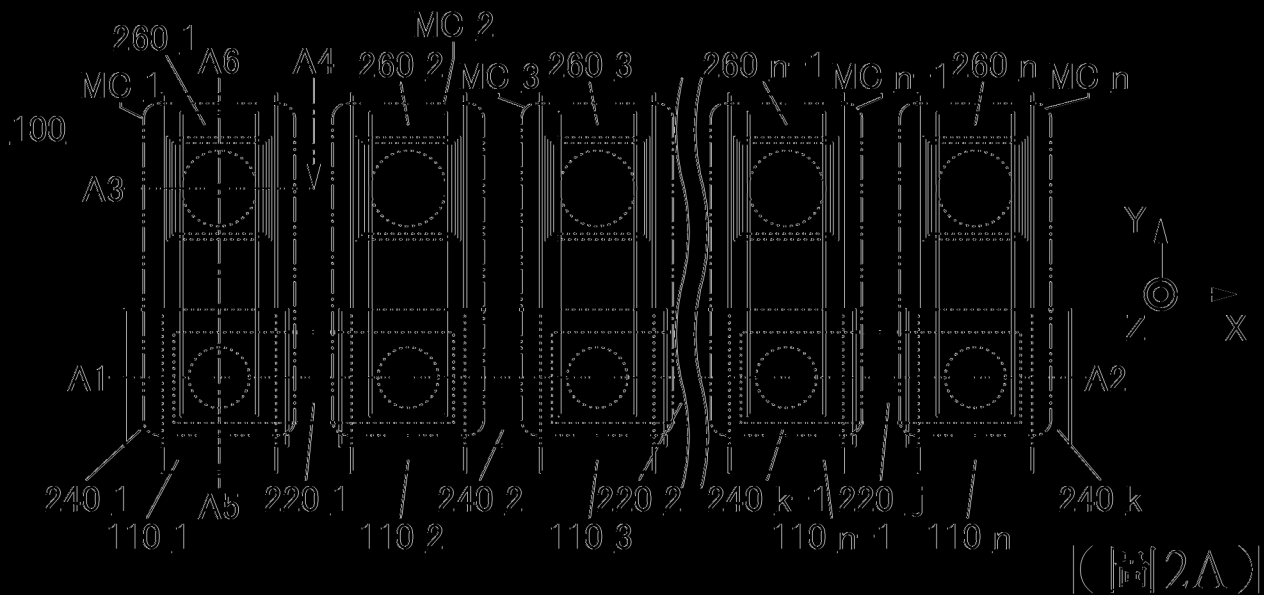
〔圖 1A〕

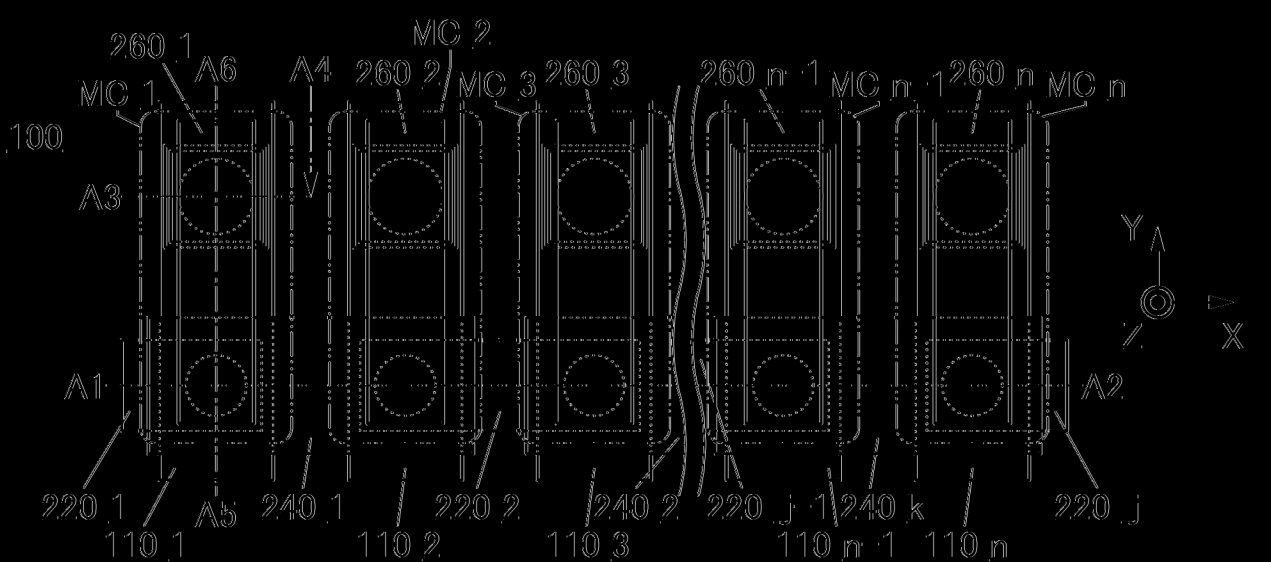


〔圖 1B〕

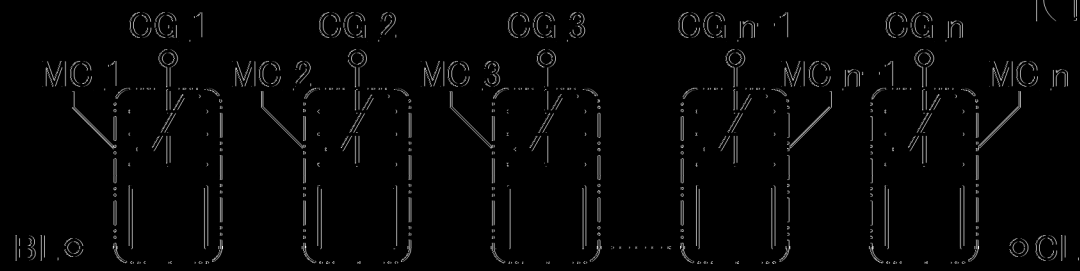


〔圖 1C〕

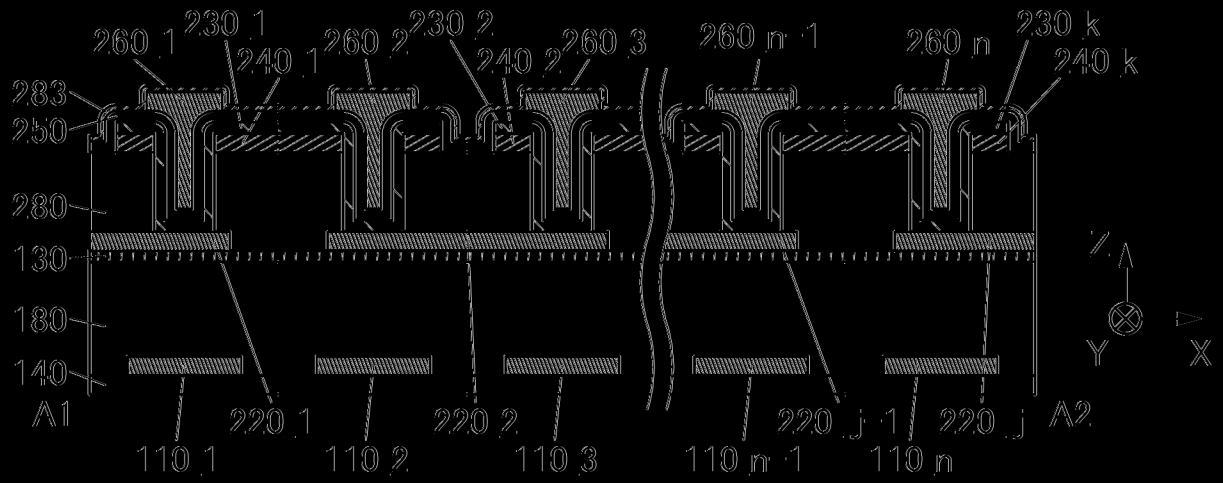




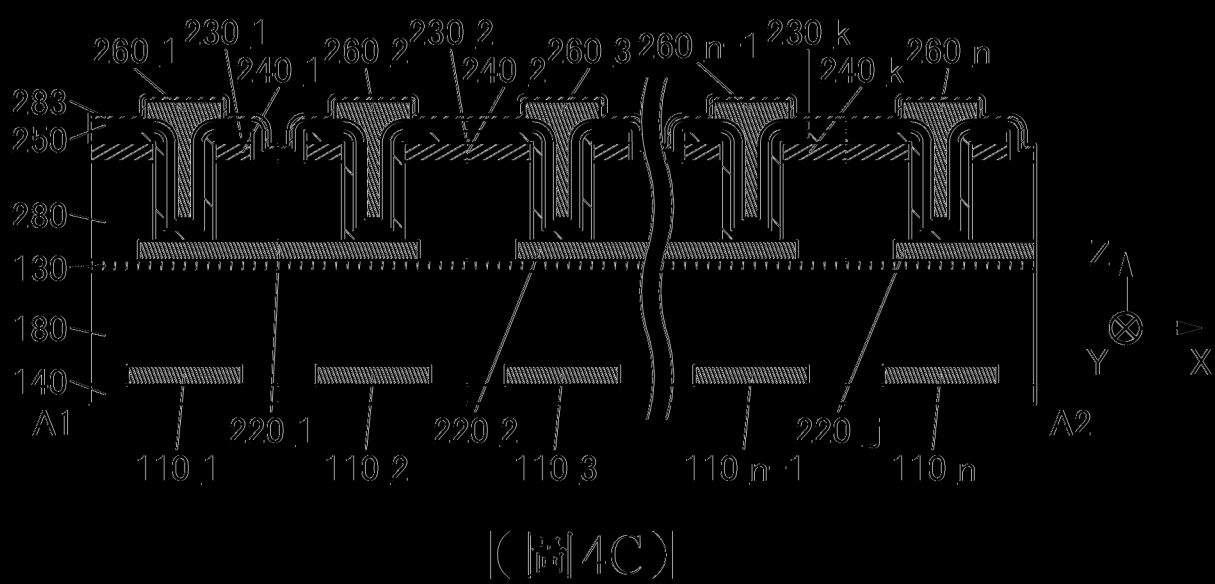
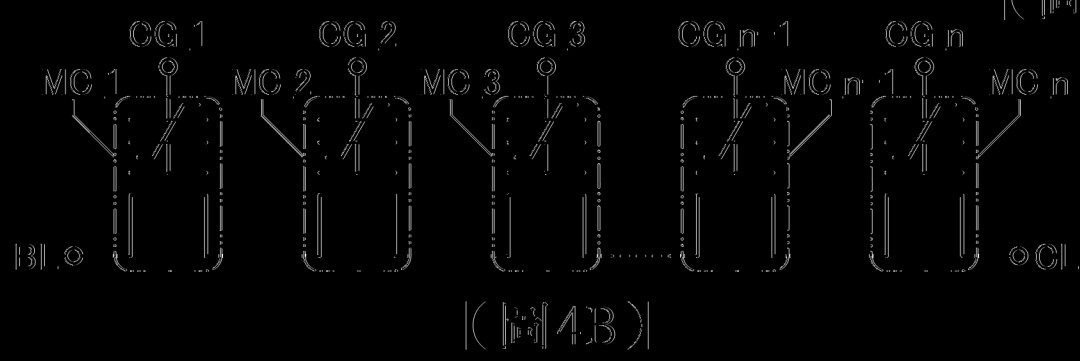
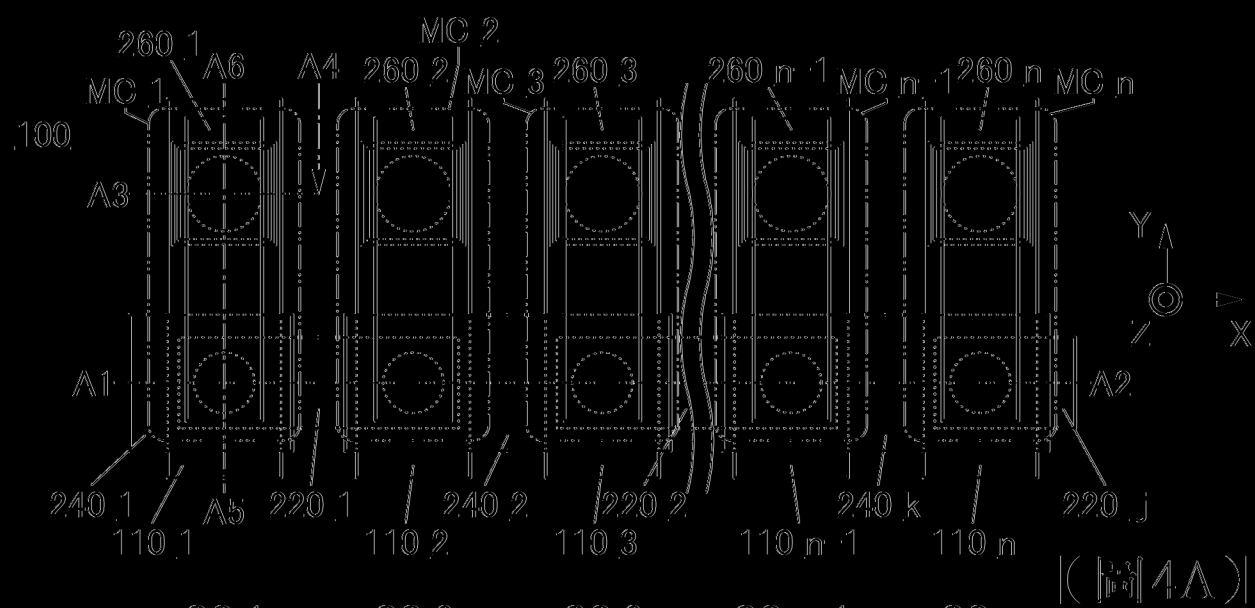
(Fig. 3A)

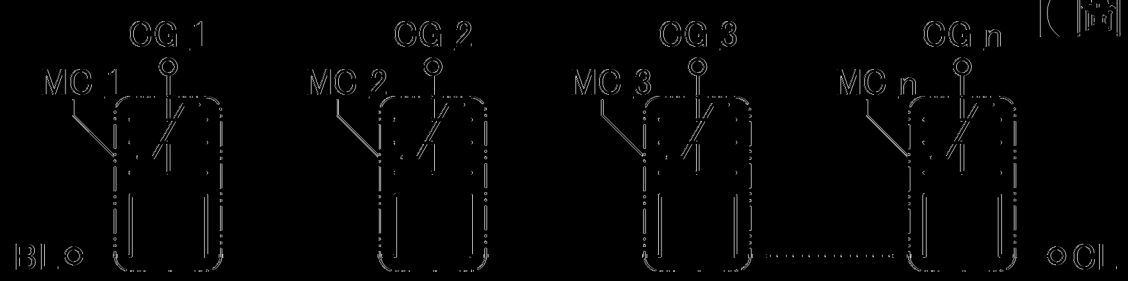
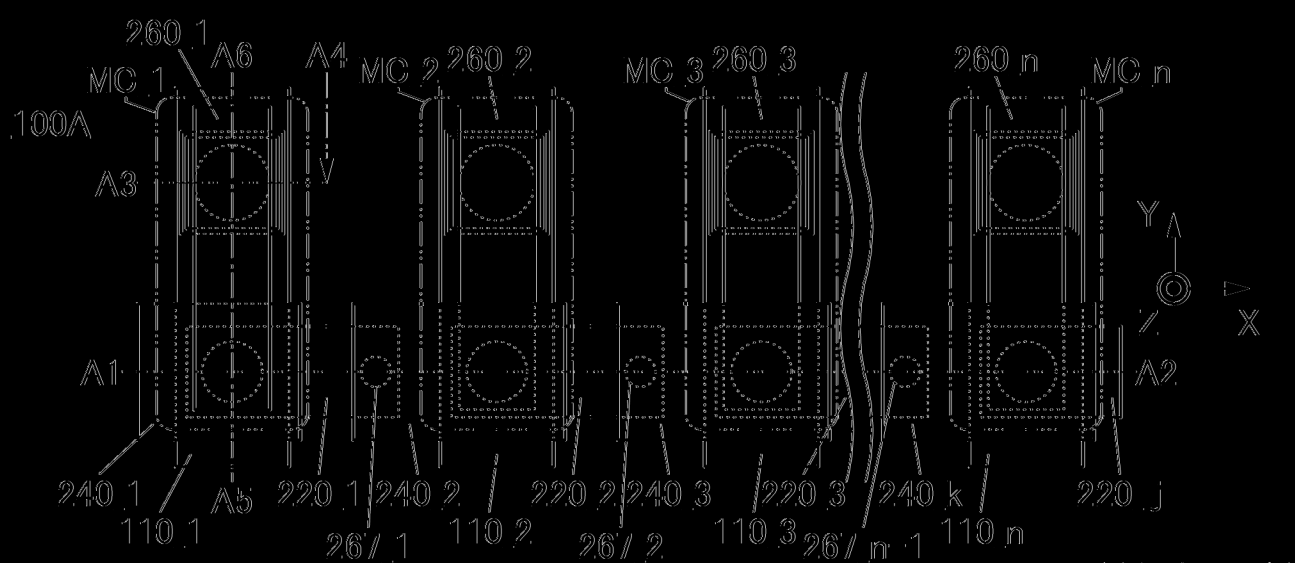


(Fig. 3B)

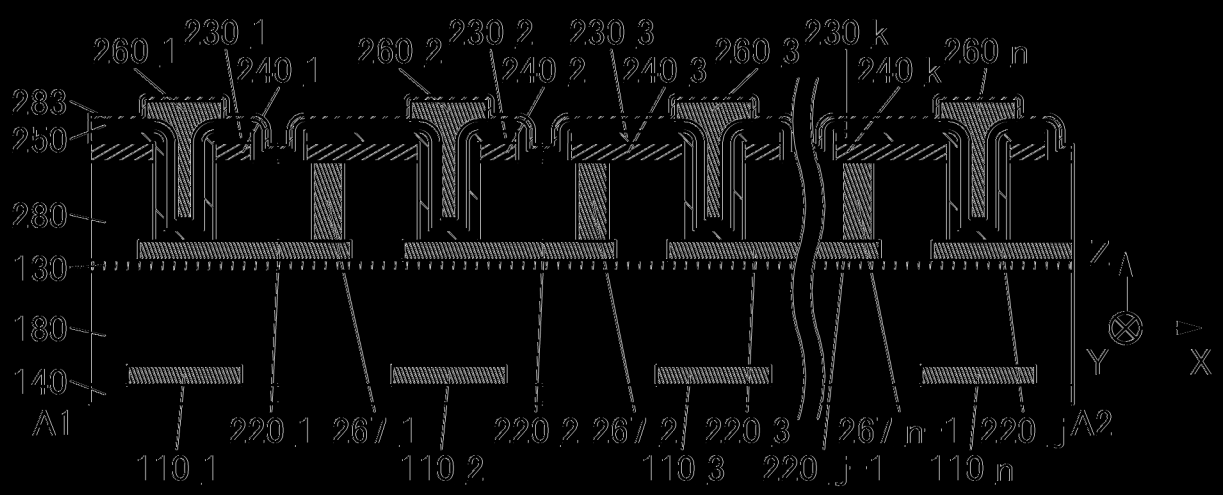


(Fig. 3C)

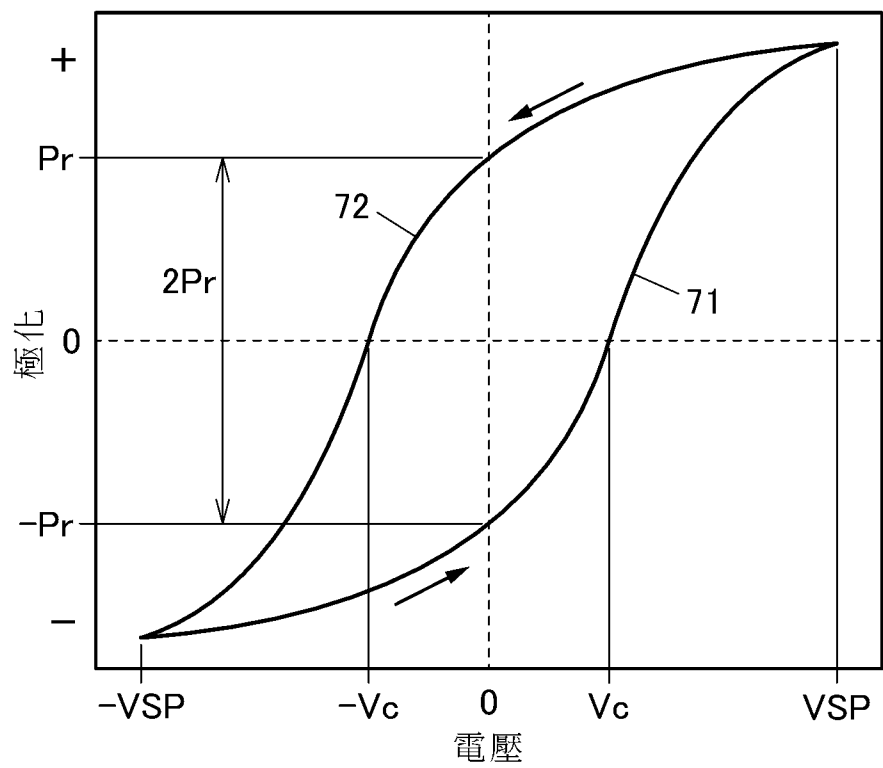




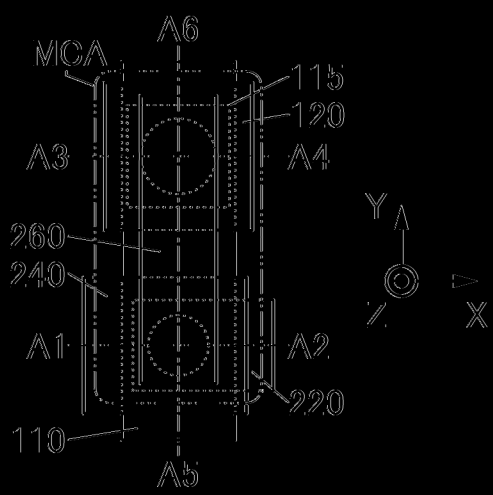
(FIG 5B)



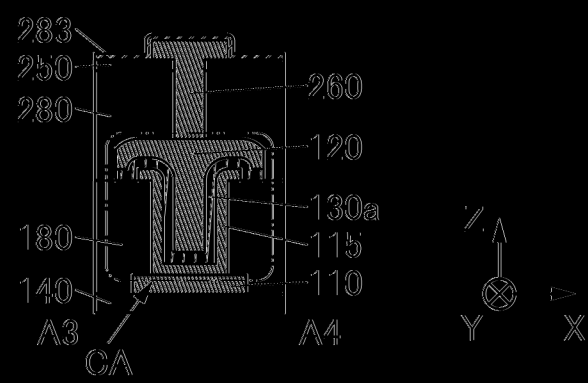
(FIG 5C)



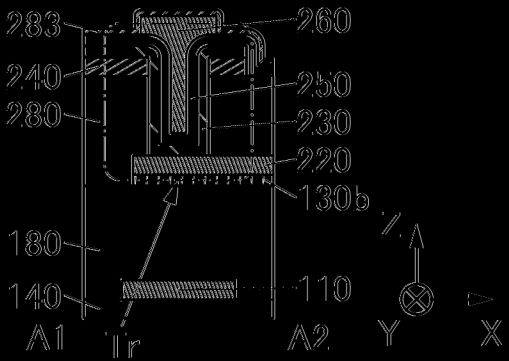
【圖6】



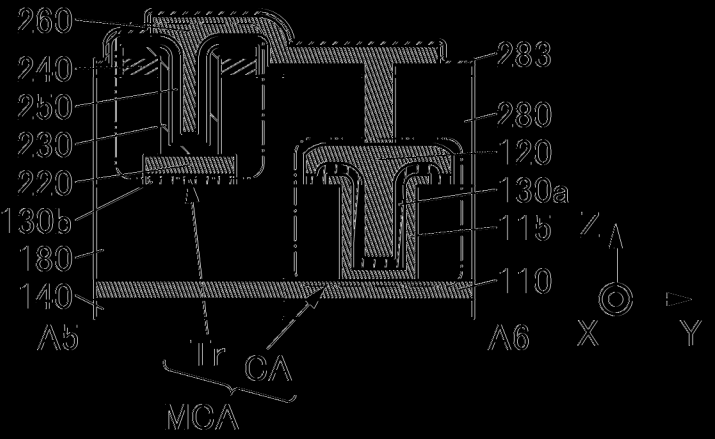
(圖 7A)



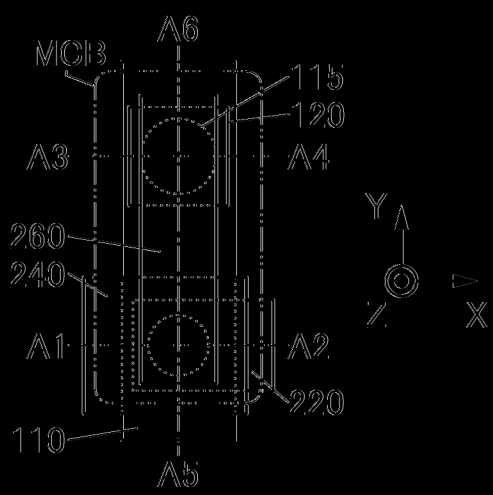
(圖 7C)



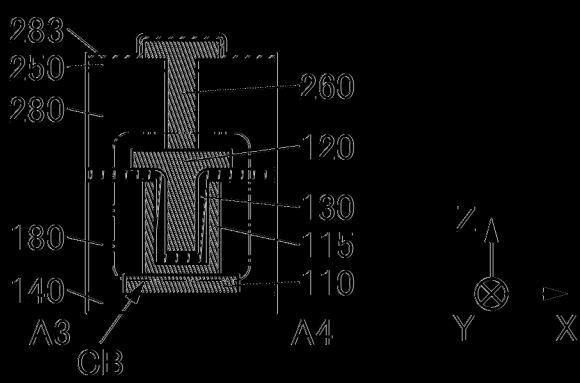
(圖 7B)



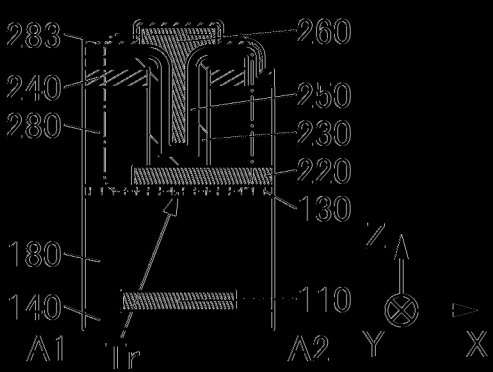
(圖 7D)



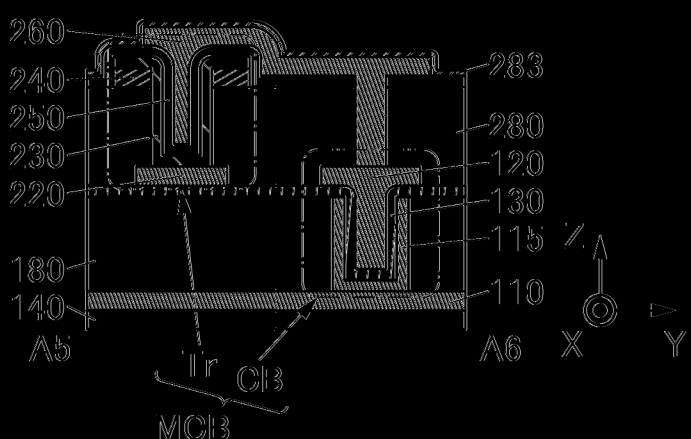
(圖 8A)



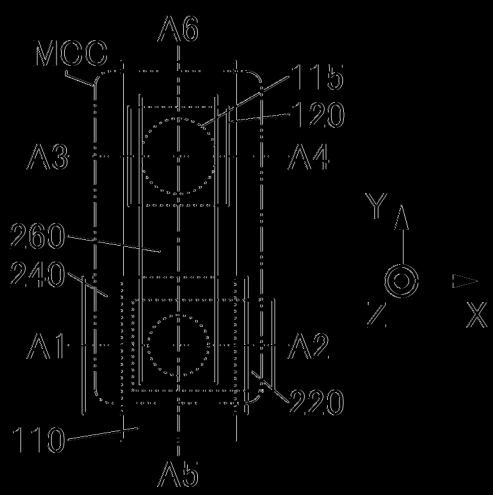
(圖 8C)



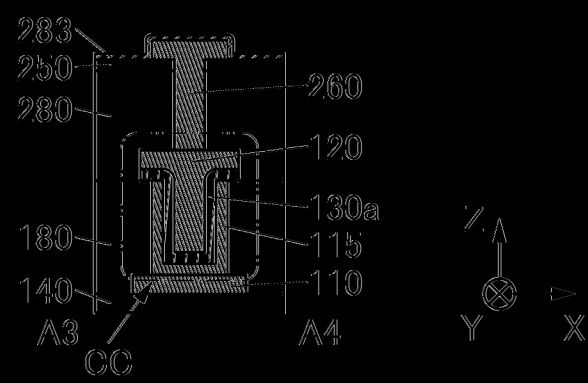
(圖 8B)



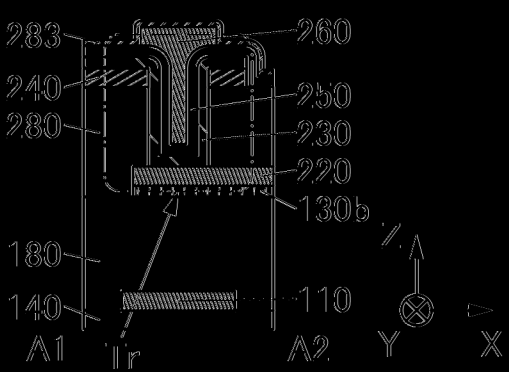
(圖 8D)



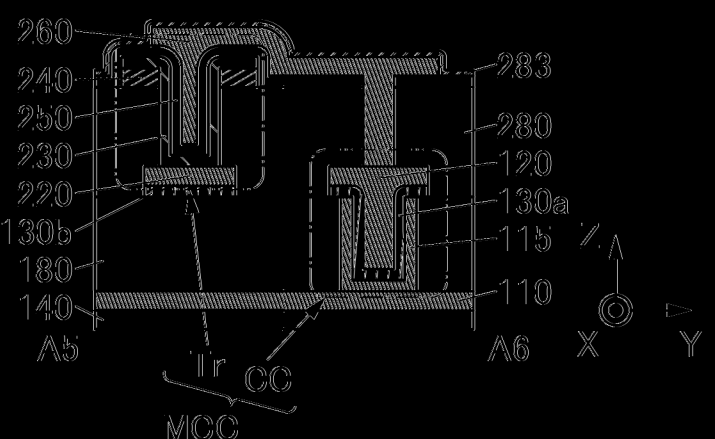
[(圖9A)]



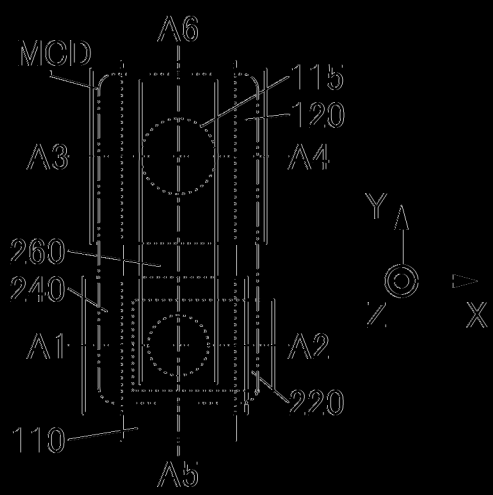
[(圖9C)]



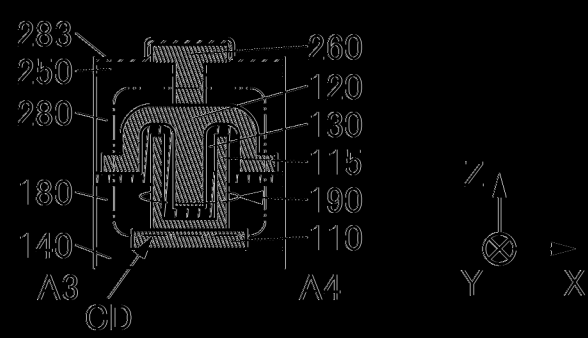
[(圖9B)]



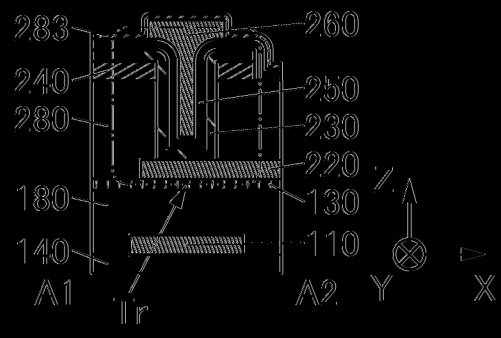
[(圖9D)]



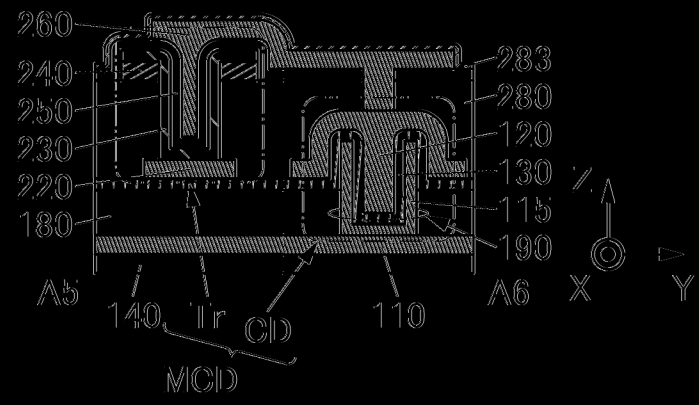
(圖 10A)



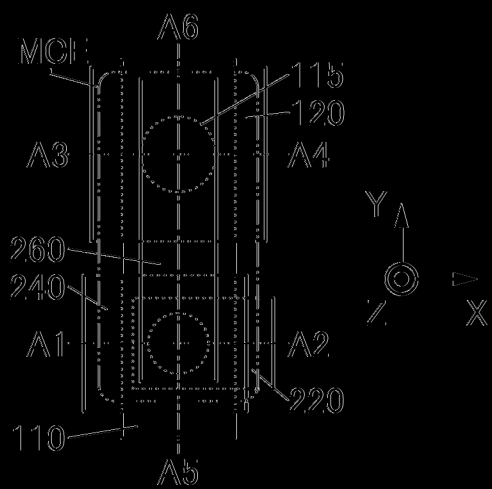
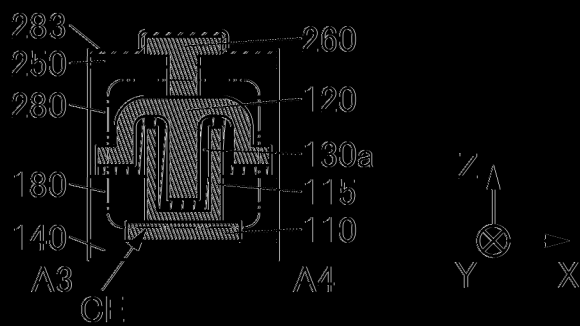
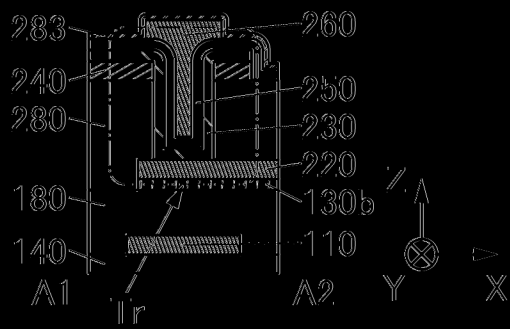
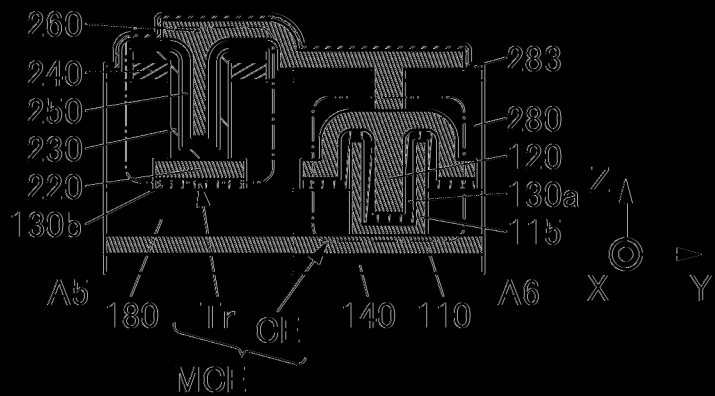
(圖 10C)

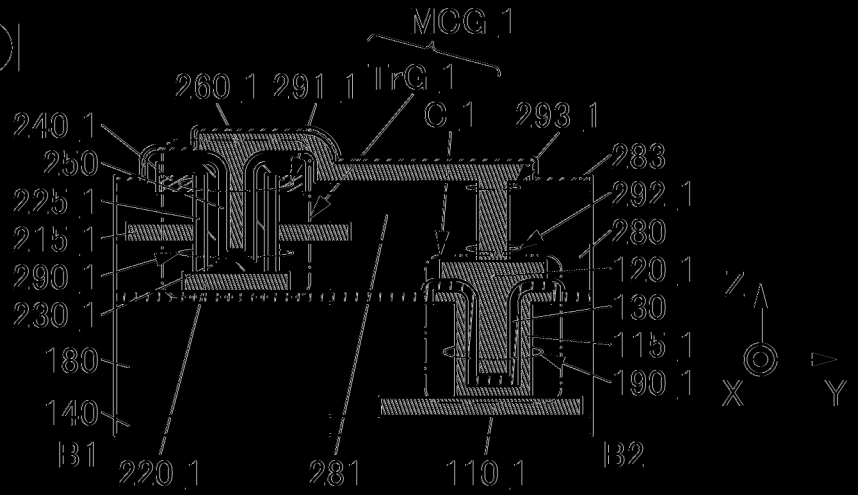
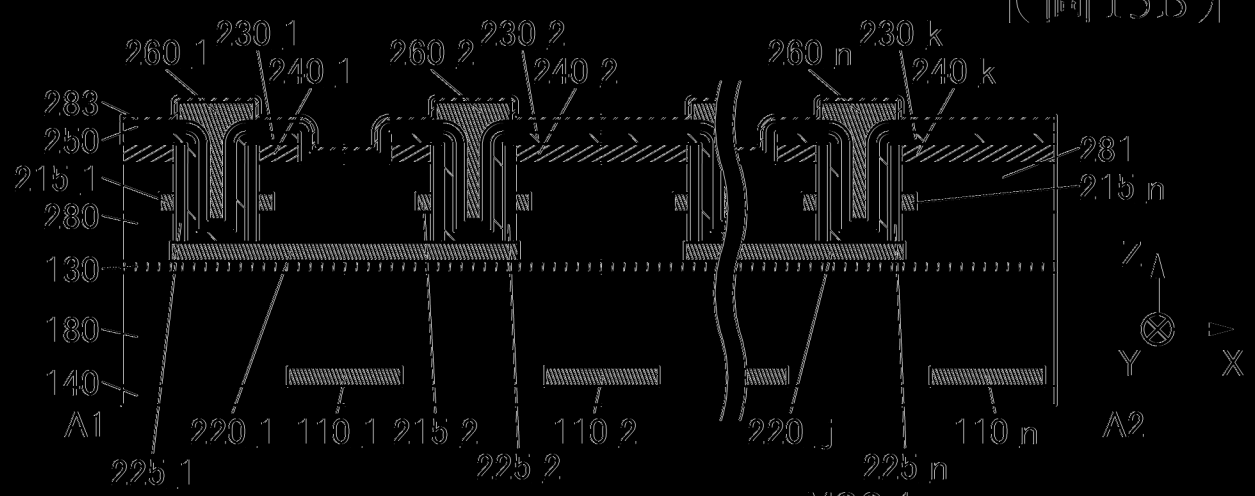
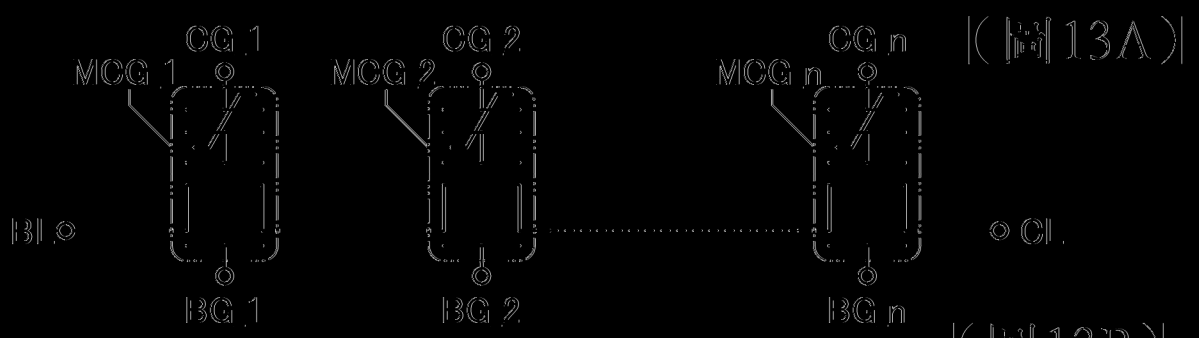
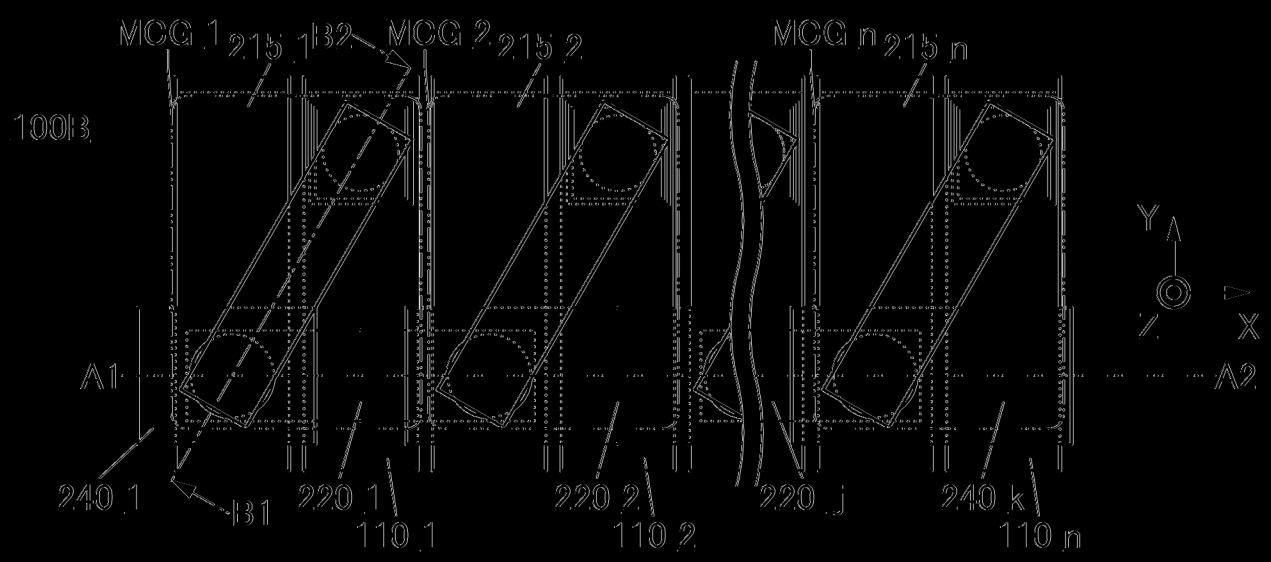


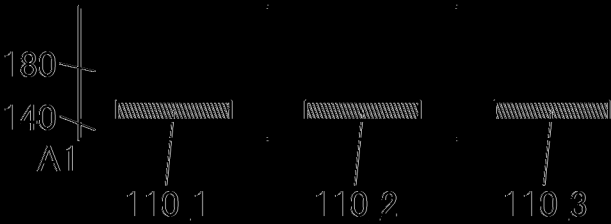
(圖 10B)



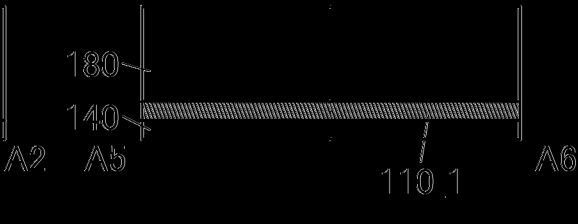
(圖 10D)


$$|(\| \hat{r} \|^{-1} \hat{r})|$$

$$|(\|\hat{\mu}_R\|_{11C})|$$

$$|(\left[\begin{smallmatrix} 1 & 2 \\ 1 & 1 \end{smallmatrix}\right] 113)|$$

$$|(\|\hat{\mathbf{r}}_{\mu}^{\dagger}\|11\mathbb{D})|$$

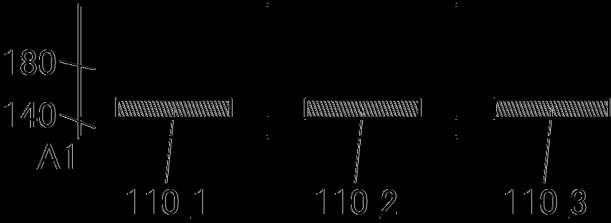




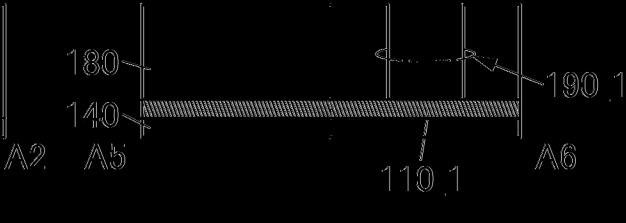
[(圖) 14A]



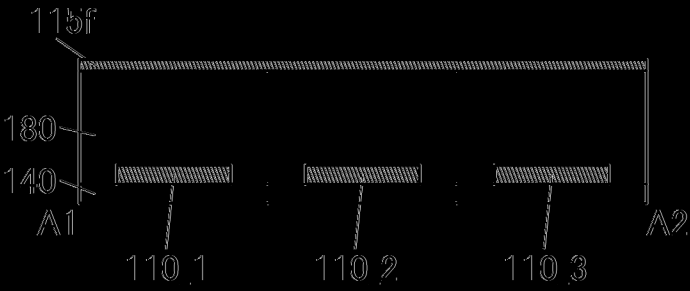
[(圖) 14B]



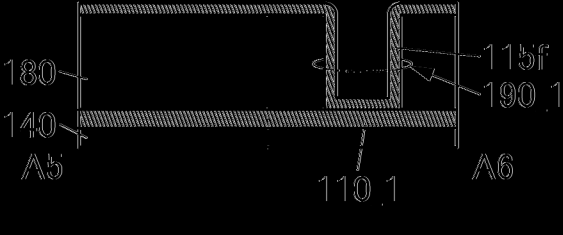
[(圖) 14C]



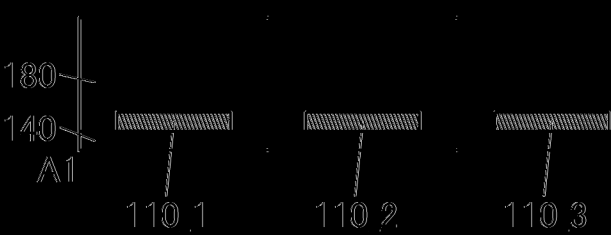
[(圖) 14D]



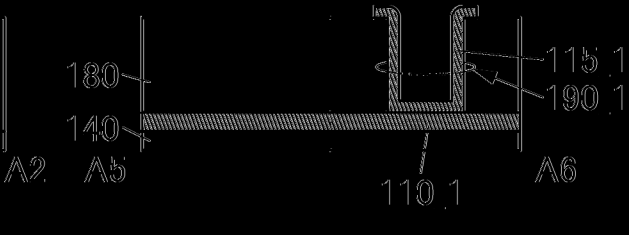
[(圖) 14E]



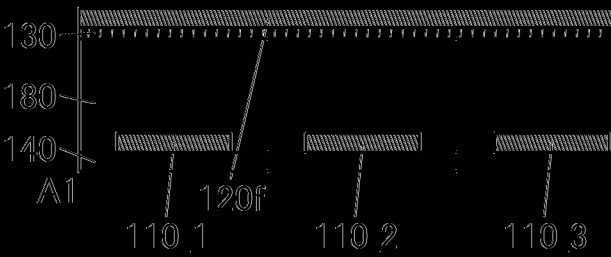
[(圖) 14F]



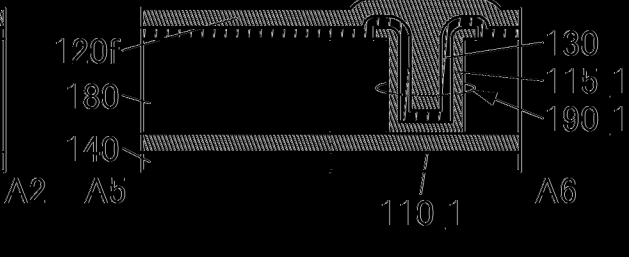
(圖 15A)



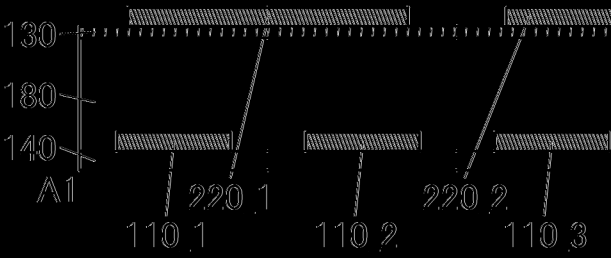
(圖 15B)



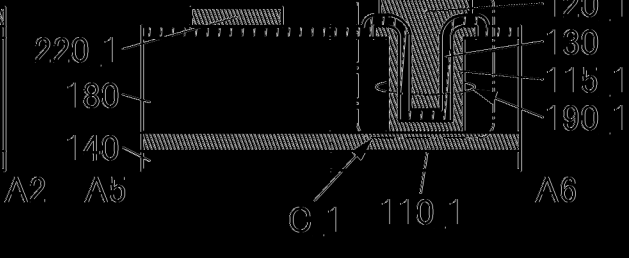
(圖 15C)



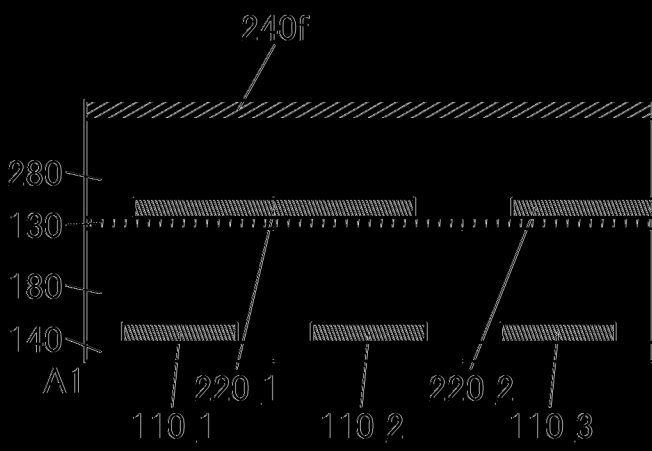
(圖 15D)



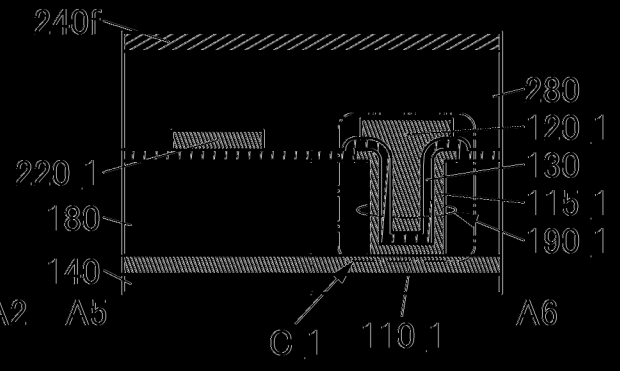
(圖 15E)



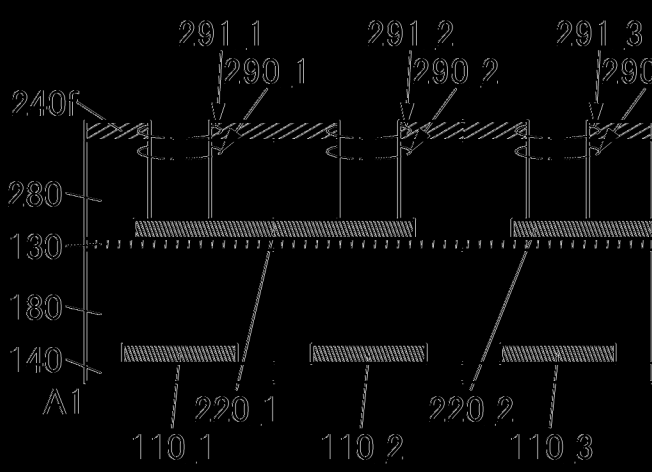
(圖 15F)



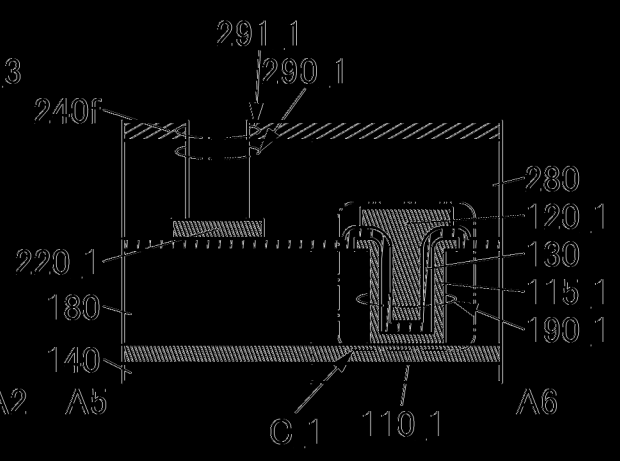
(圖 16A)



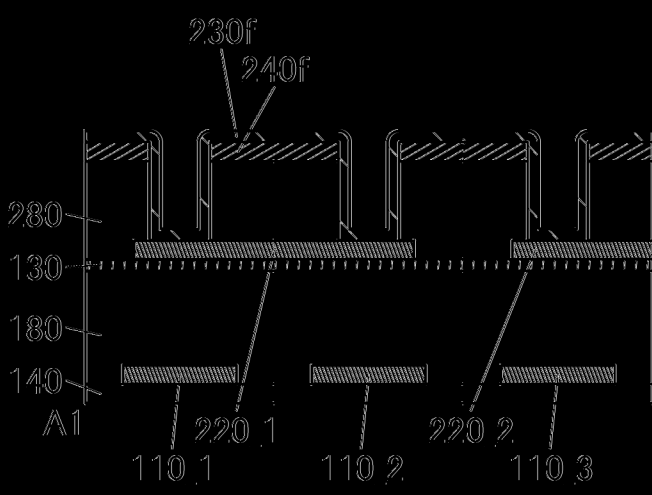
(圖 16B)



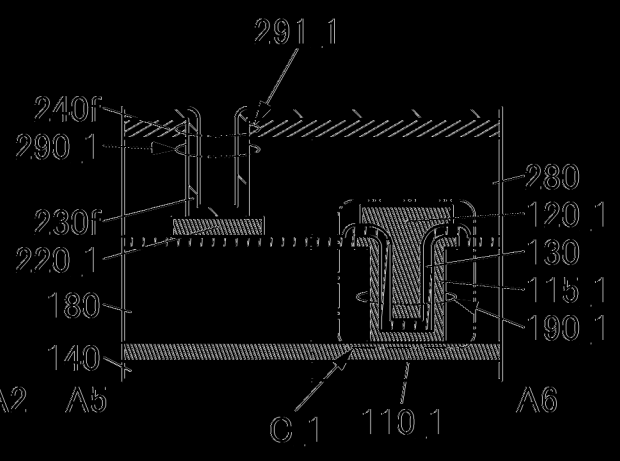
(圖 16C)



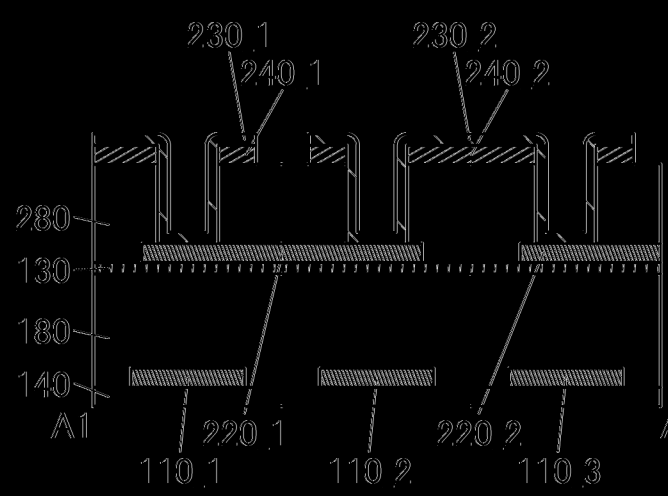
(圖 16D)



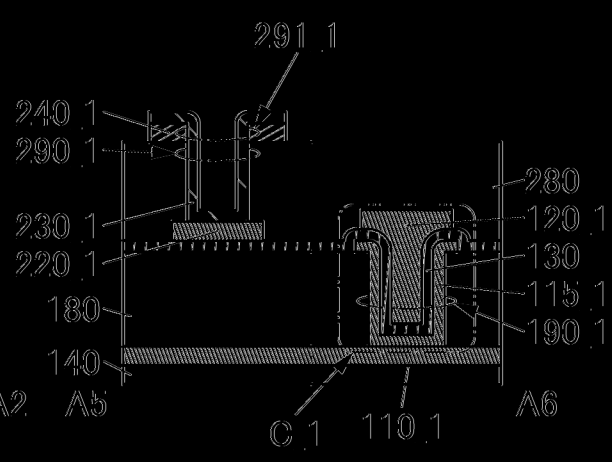
(圖 16E)



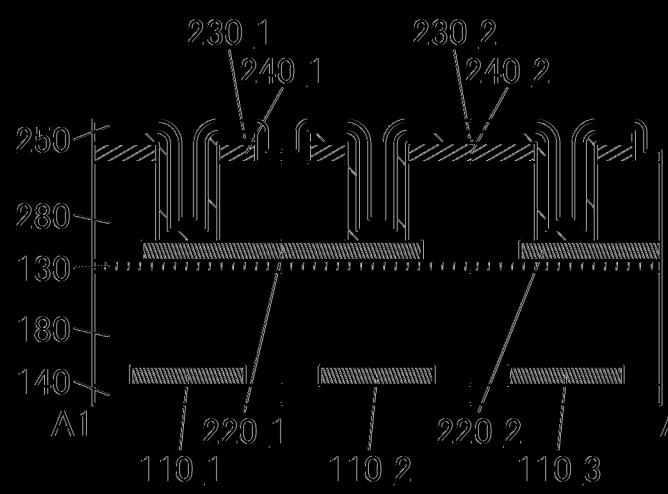
(圖 16F)



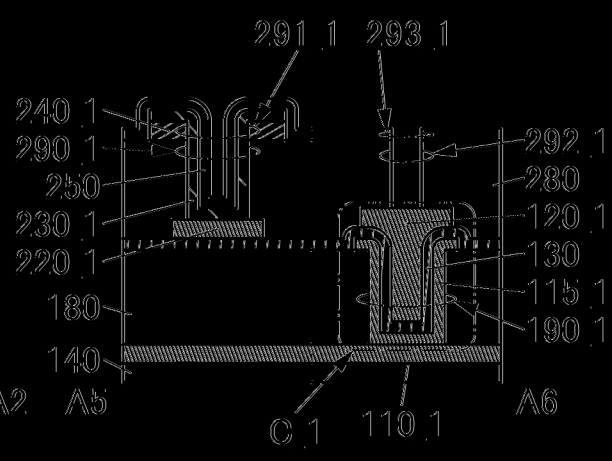
[(圖) 1'/A]



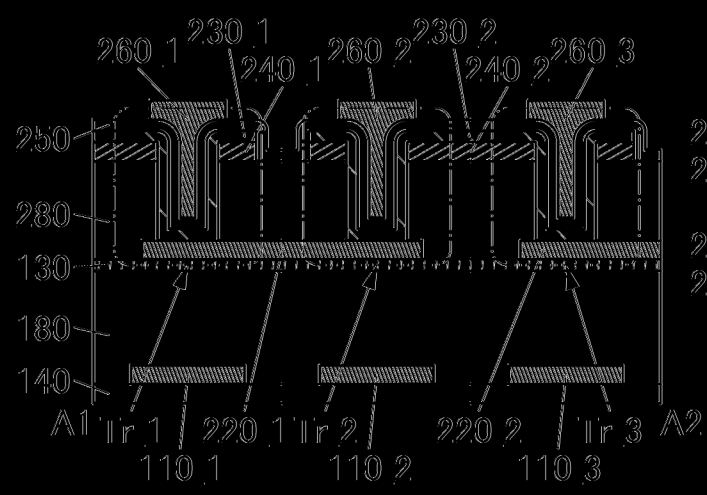
[(圖) 1'/B]



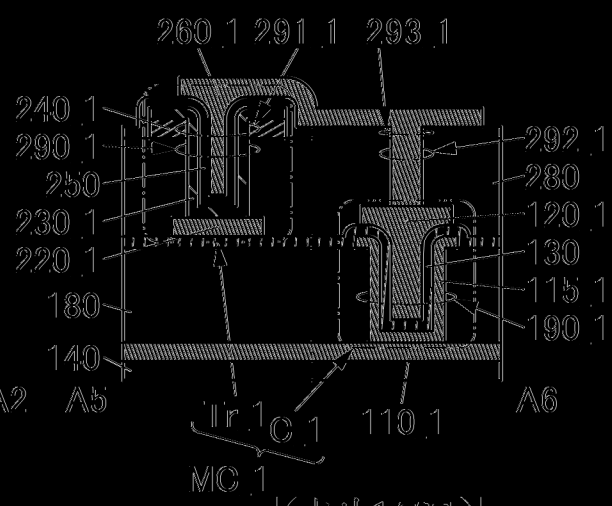
[(圖) 1'/C]



[(圖) 1'/D]

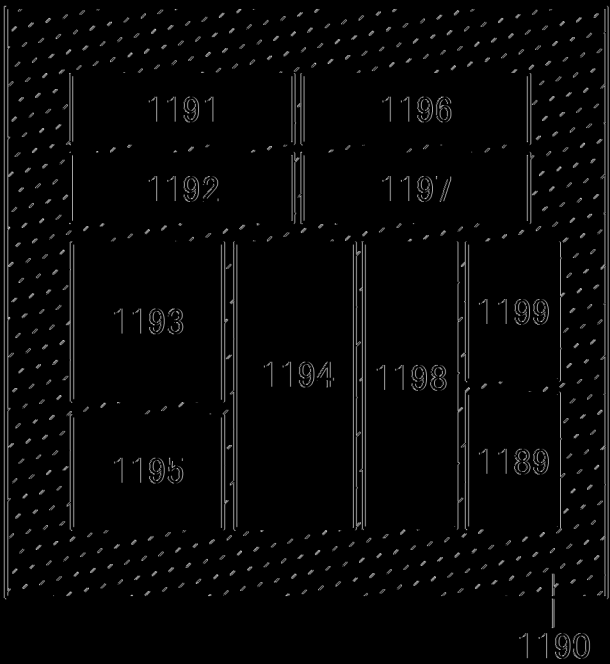


[(圖) 1'/E]



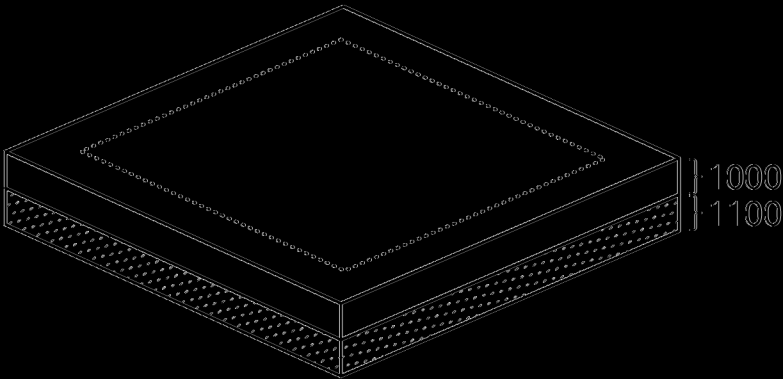
[(圖) 1'/F]

1100



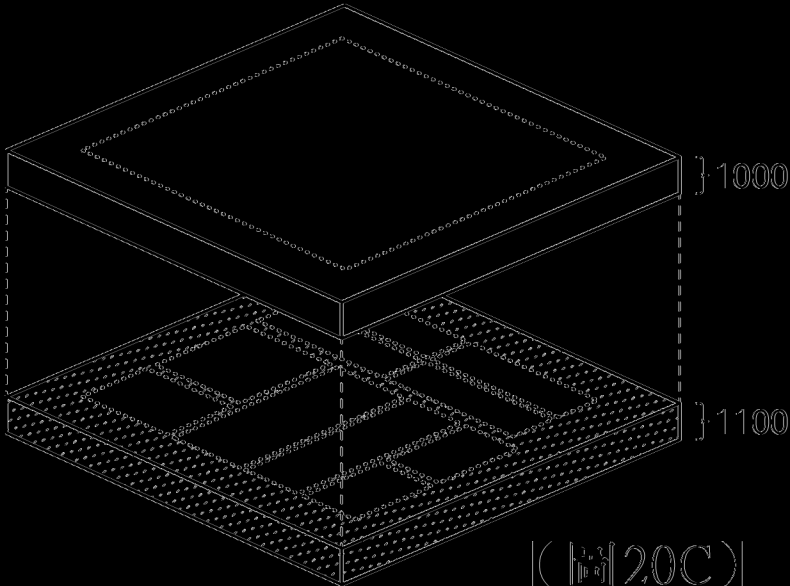
(圖 20A)

1150A

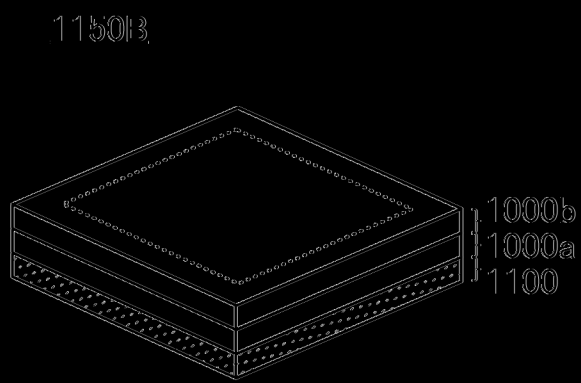


(圖 20B)

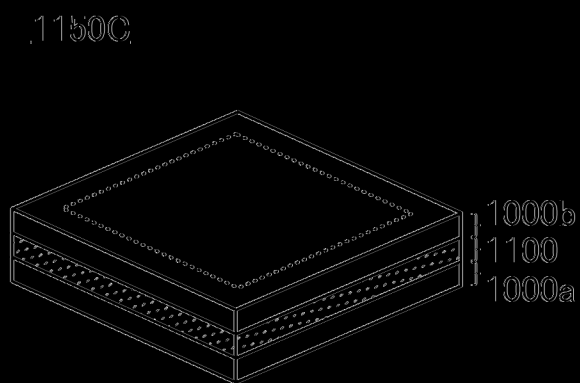
1150A



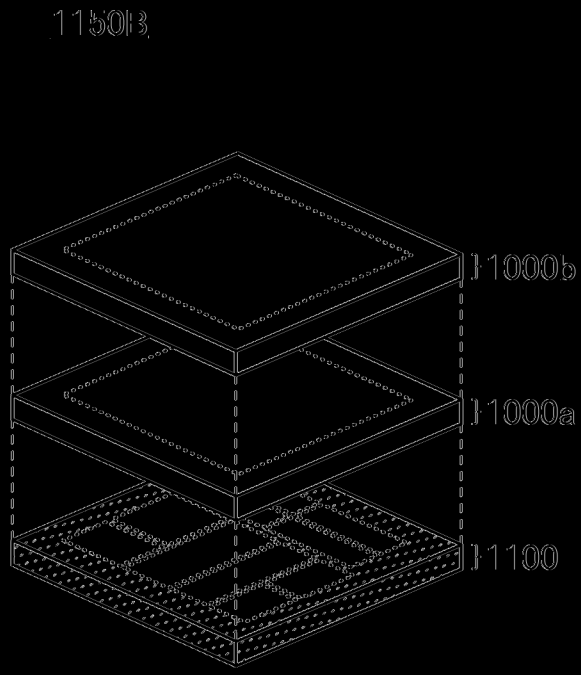
(圖 20C)



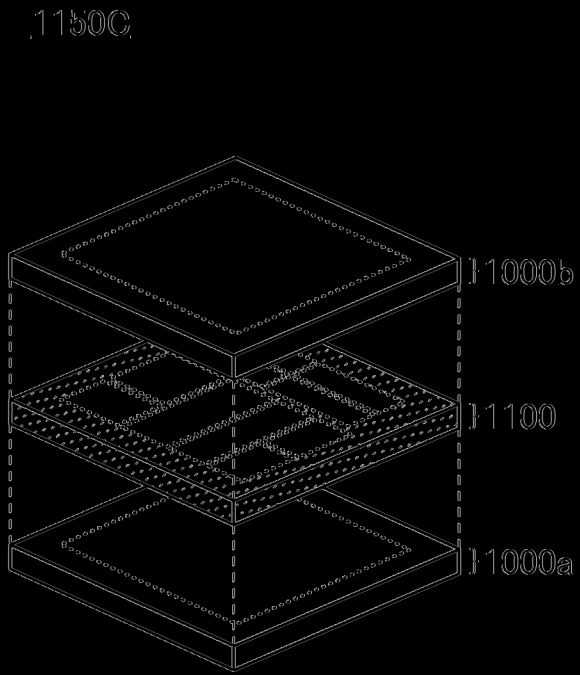
(圖 21A)



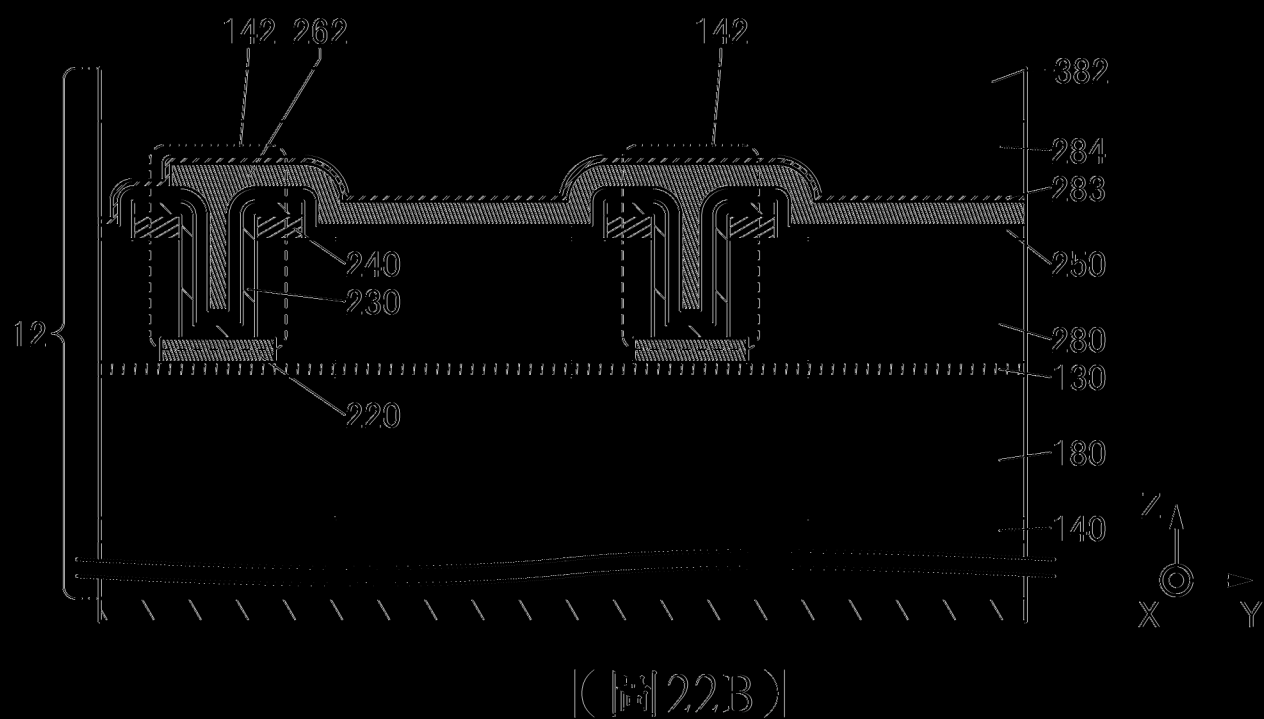
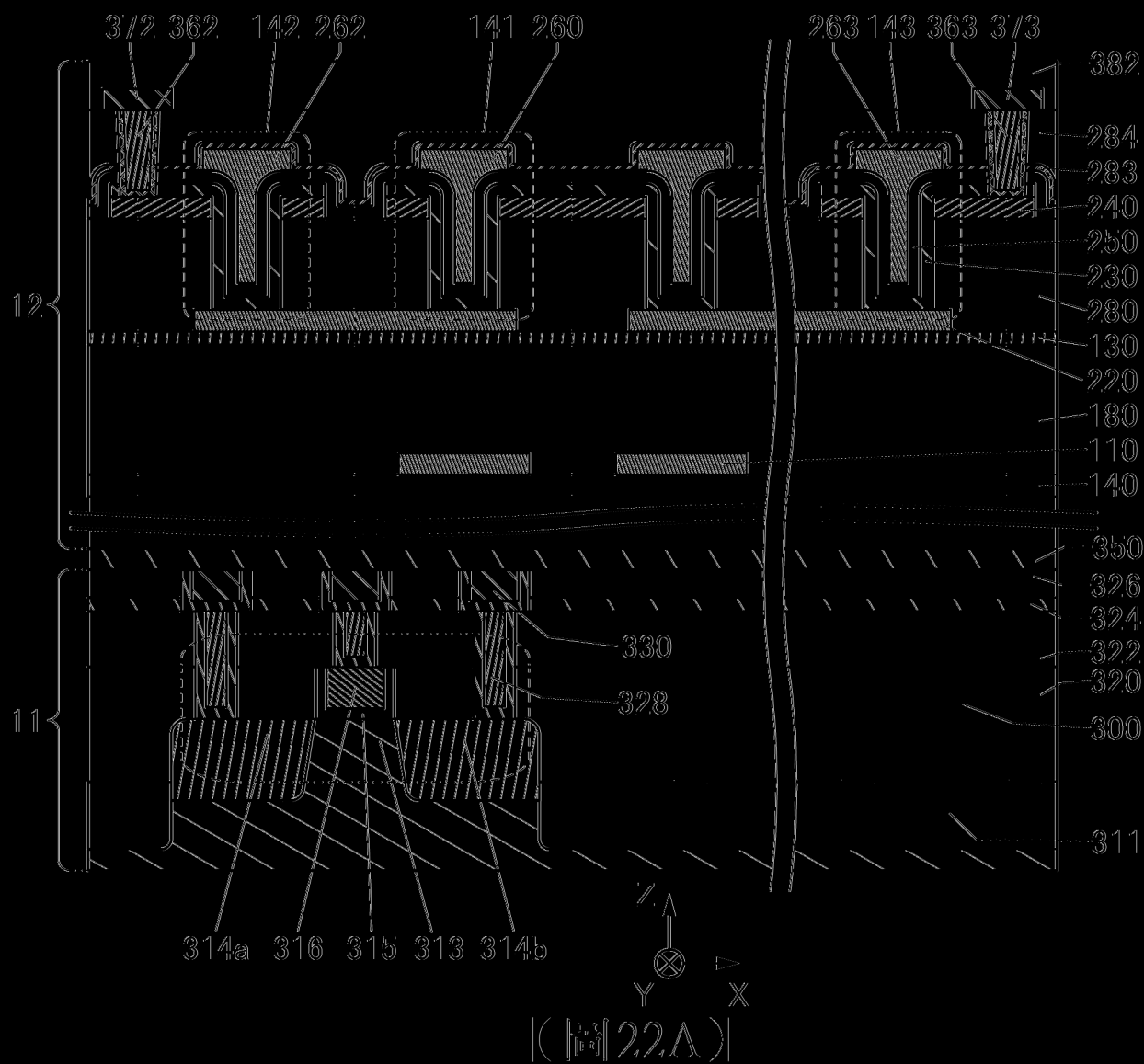
(圖 21C)

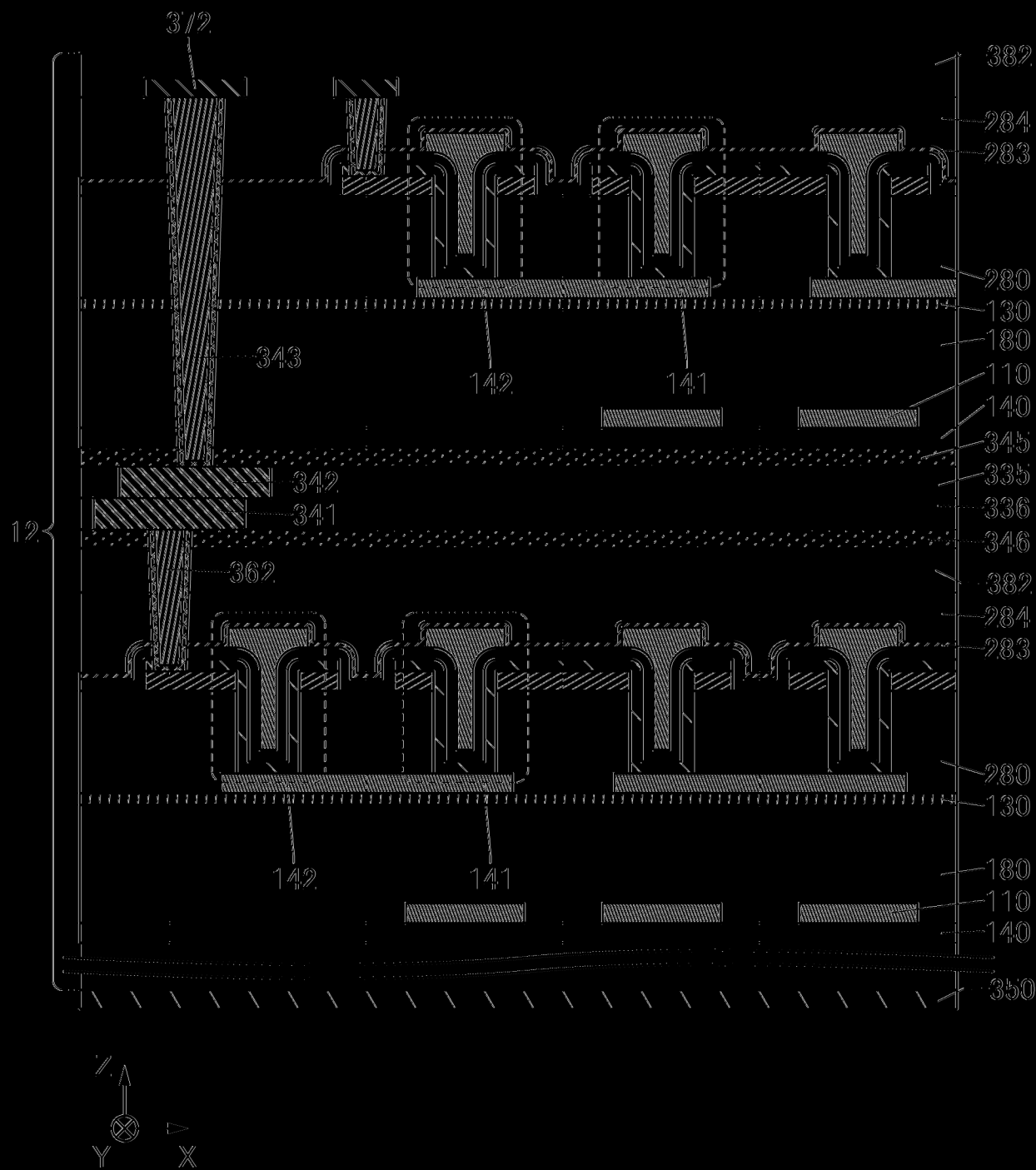


(圖 21B)

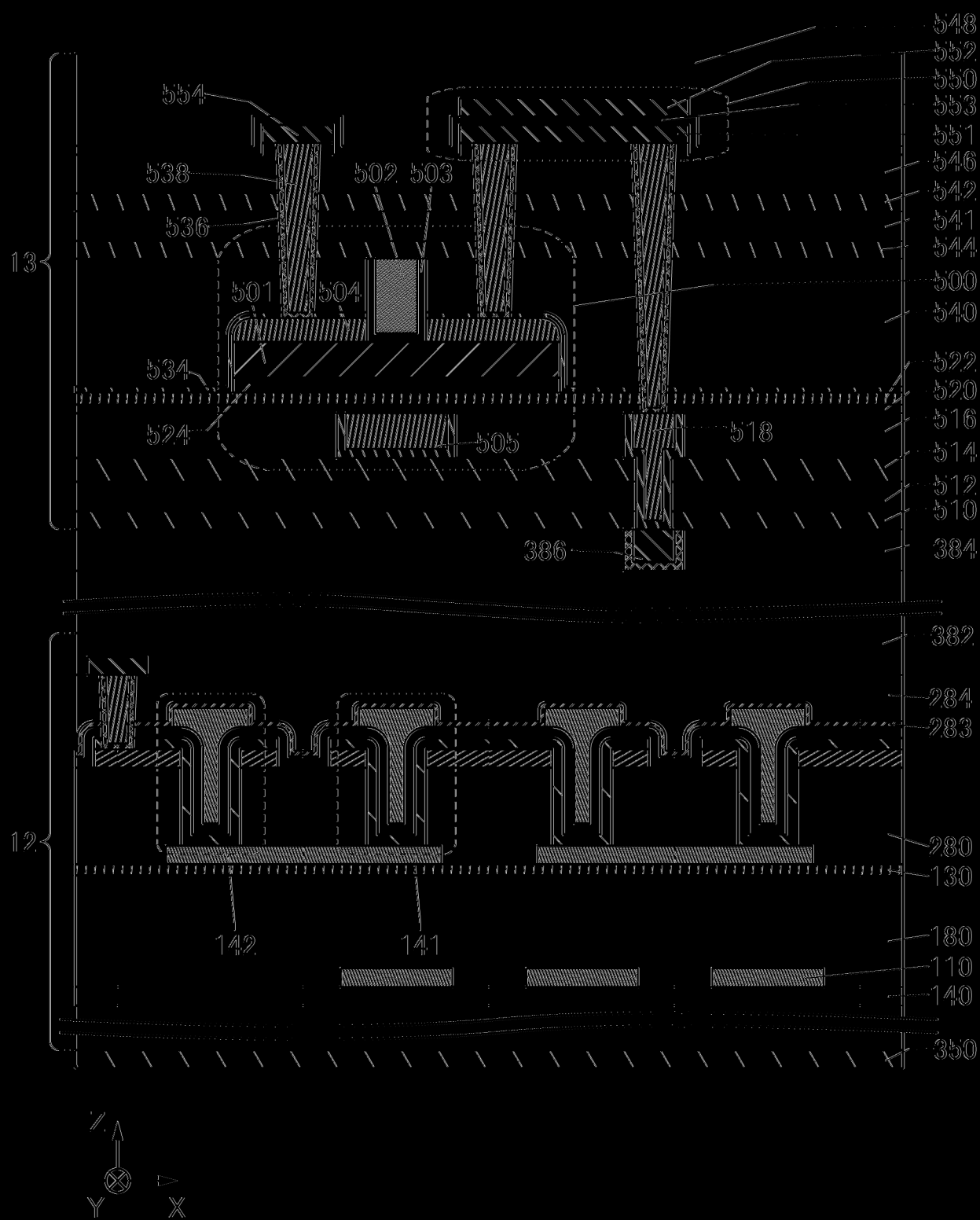


(圖 21D)





[(圖) 23]



[圖 24]

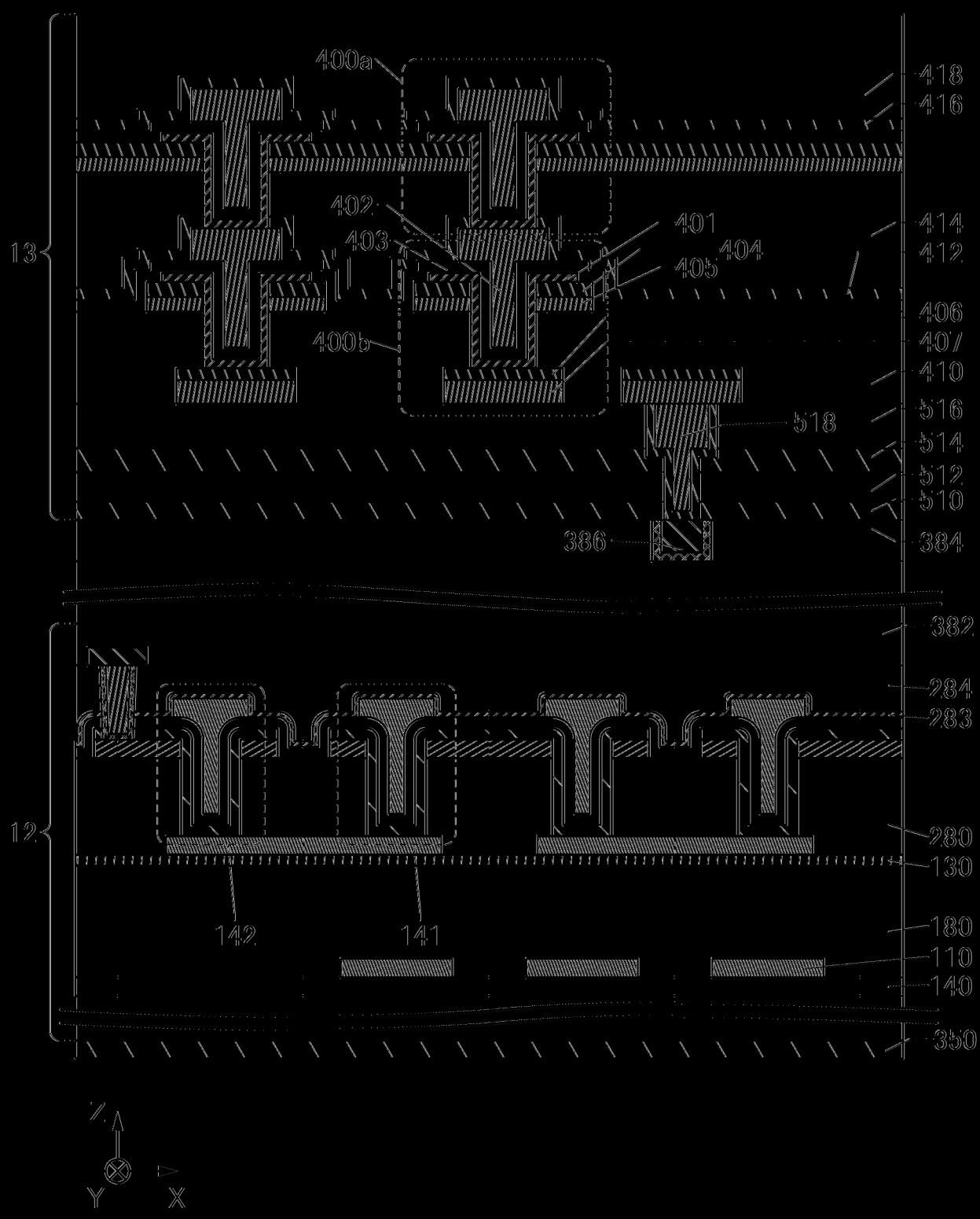
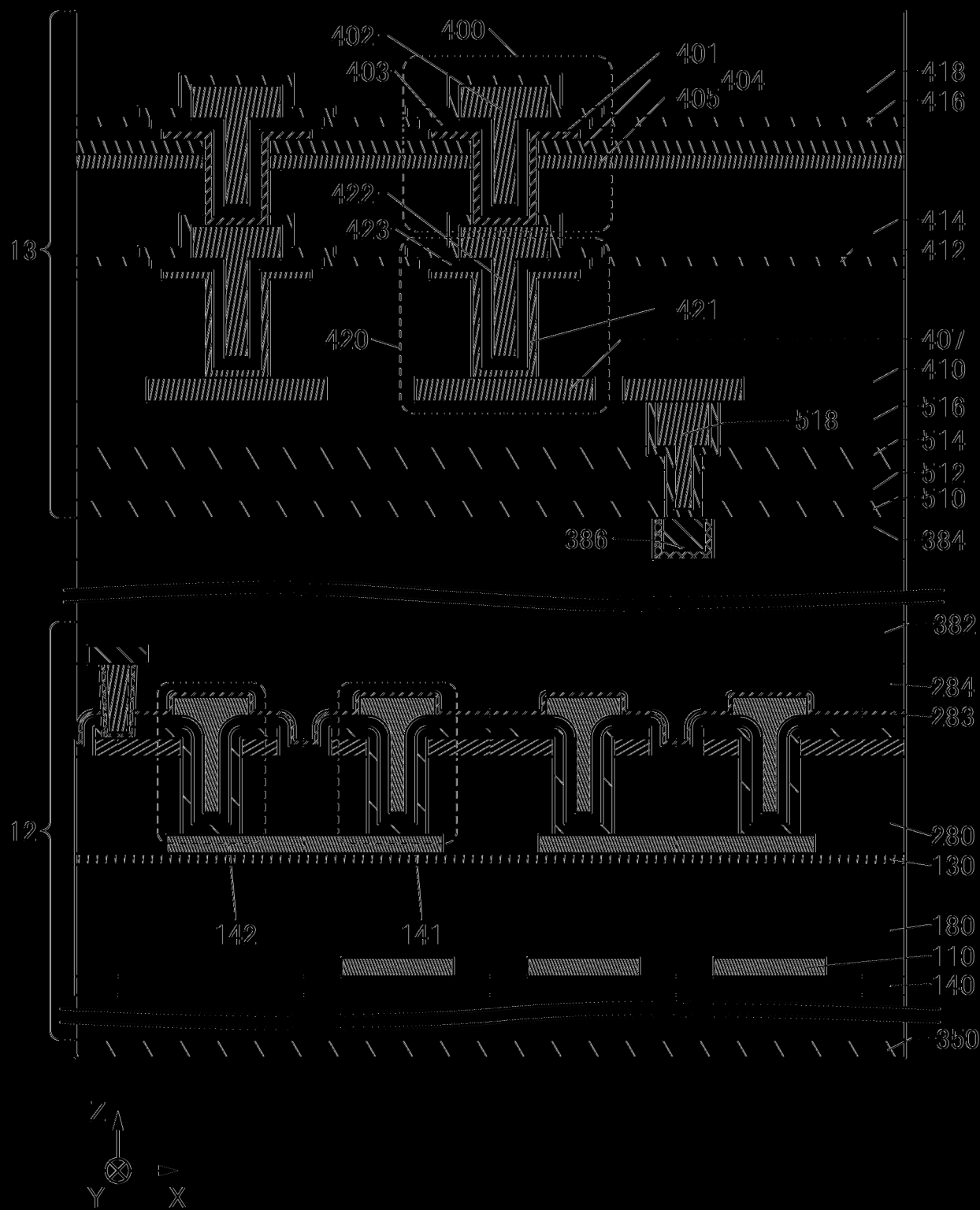
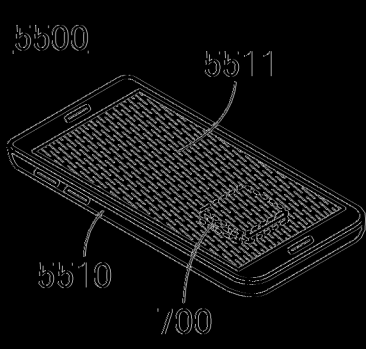


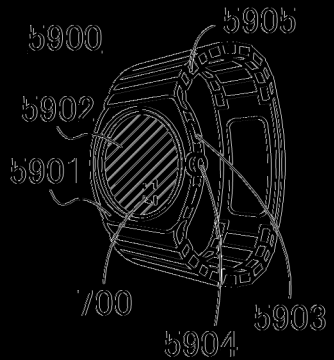
FIG. 25



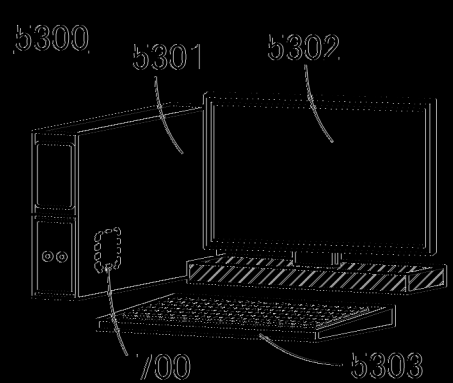
[(图 26)]



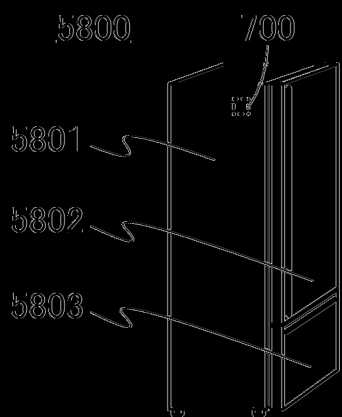
(圖 28A)



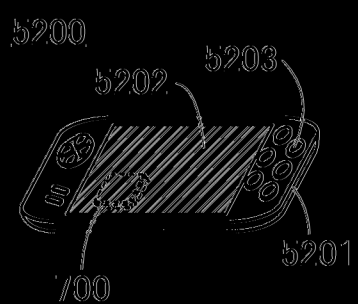
(圖 28B)



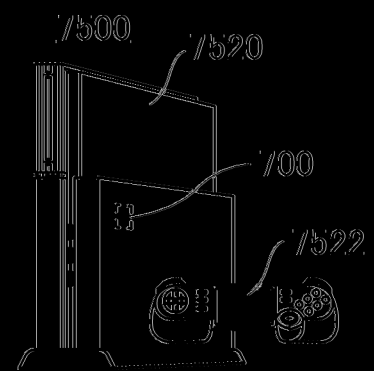
(圖 28C)



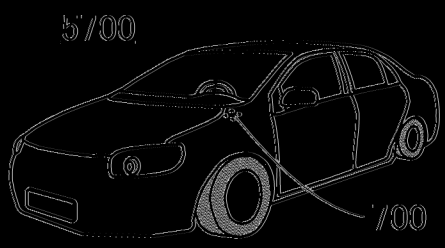
(圖 28D)



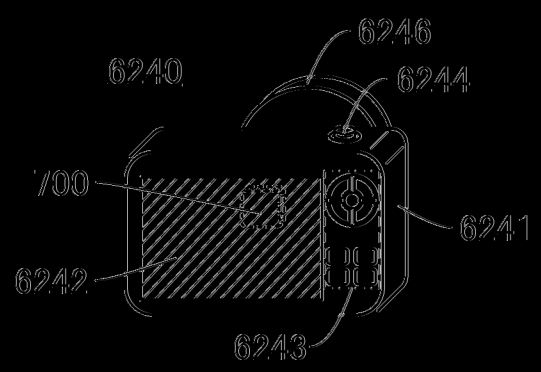
(圖 28E)



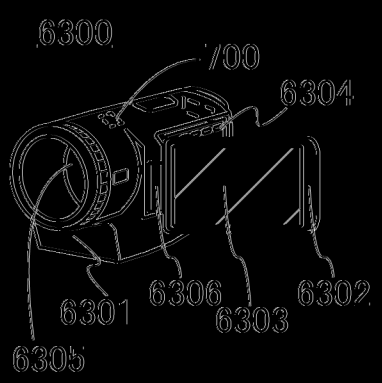
(圖 28F)



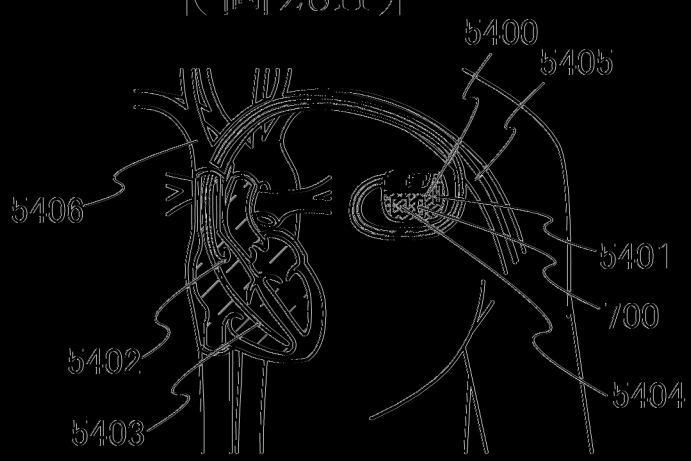
(圖 28G)



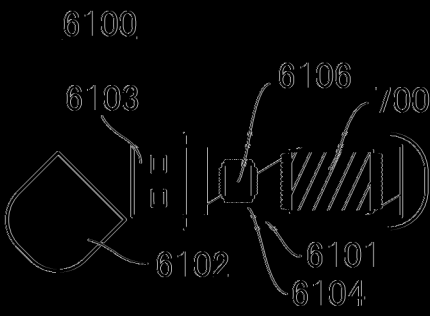
(圖 28H)



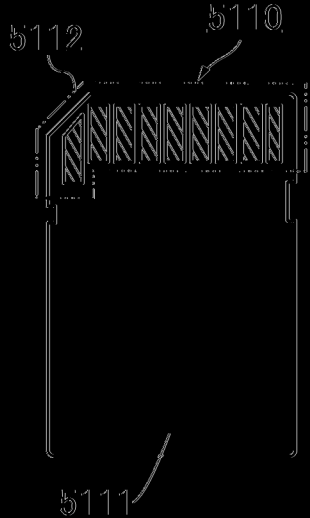
(圖 28I)



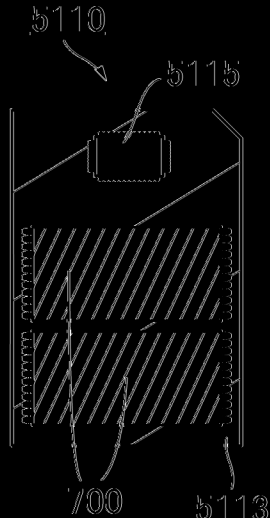
(圖 28J)



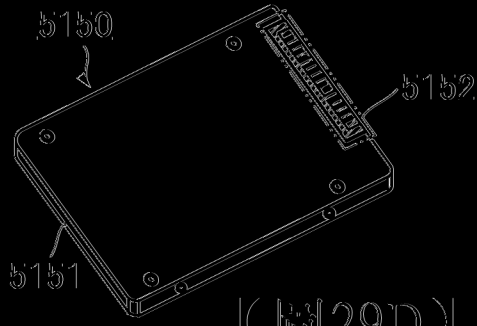
(圖 29A)



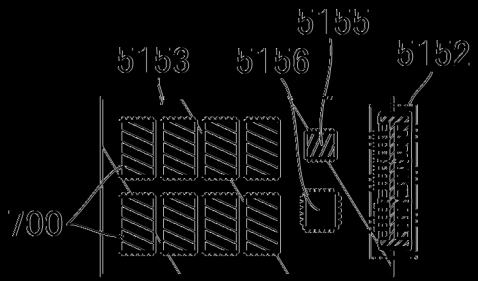
(圖 29B)



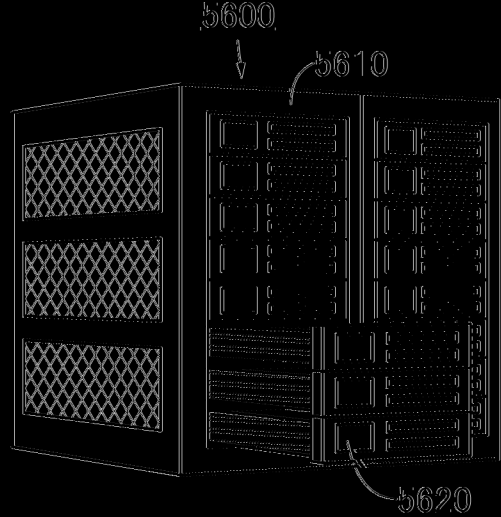
(圖 29C)



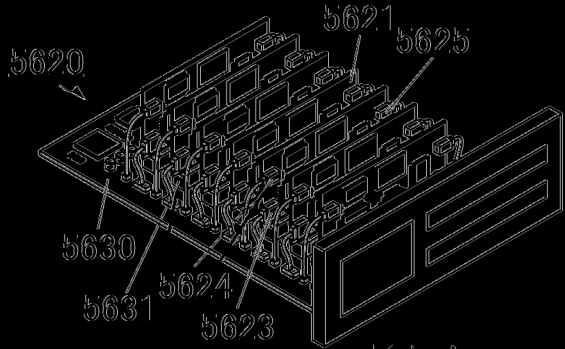
(圖 29D)



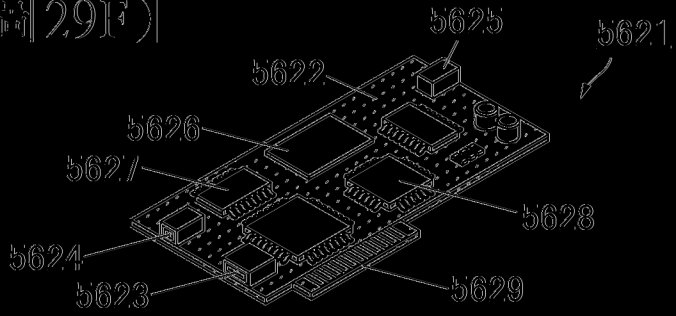
(圖 29E)



(圖 29F)



(圖 29G)



(圖 29H)