

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-88537
(P2018-88537A)

(43) 公開日 平成30年6月7日(2018.6.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO1G 4/232 (2006.01)	HO1G 4/12 352	5E001
HO1G 4/30 (2006.01)	HO1G 4/30 301B	5E082
	HO1G 4/12 361	

審査請求 有 請求項の数 10 O L (全 15 頁)

(21) 出願番号 特願2018-4702 (P2018-4702)
 (22) 出願日 平成30年1月16日 (2018.1.16)
 (62) 分割の表示 特願2013-5996 (P2013-5996)
 の分割
 原出願日 平成25年1月17日 (2013.1.17)
 (31) 優先権主張番号 10-2012-0025782
 (32) 優先日 平成24年3月13日 (2012.3.13)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド。
 大韓民国、キョンギド、スウォンシ、
 ヨントング、(マエタンードン) マエヨ
 ンロー 150
 (74) 代理人 100088605
 弁理士 加藤 公延
 (74) 代理人 100166420
 弁理士 福川 晋矢
 (72) 発明者 イ・チャン・ホ
 大韓民国、キョンギド、スウォン、ヨ
 ントング、マエタン3ードン 314、サ
 ムソン エレクトロメカニクス カ
 ンパニーリミテッド

最終頁に続く

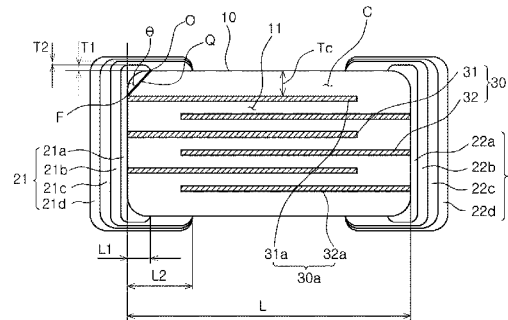
(54) 【発明の名称】 積層セラミック電子部品

(57) 【要約】 (修正有)

【課題】 曲げクラックの発生を低下させることができ、
 仮に発生しても、内部電極を貫通しないように調節可能
 な積層セラミック電子部品を提供する。

【解決手段】 内部電極30は、積層されたセラミック本
 体10と、セラミック本体の長さ方向の両端に形成され
 た外部電極21～とを含む。外部電極は、セラミック本
 体上に形成されて導電性金属を含む第1層21a、22
 a、第1層上に形成されて導電性樹脂を含む第2層21
 b、22bを含む。セラミック本体のカバー領域Cの厚
 さをTc、セラミック本体の長さ方向の両端から第1層
 がセラミック本体の上面または下面上に形成された端部
 までの長さ方向の寸法をL1、セラミック本体の長さ方
 向の両端で第1層の長さ方向の寸法をT1、セラミック
 本体の長さ方向の両端で第2層の長さ方向の寸法をT2
 であるとすると、 $Tc > 70 \mu m$ 、 $T2 > (1.5) T1$ 、 $L1 < (1.5) Tc$ である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

内部電極が積層されたセラミック本体と、
 前記セラミック本体の長さ方向の両端に形成された外部電極と、を含み、
 前記外部電極は、前記セラミック本体上に形成されて導電性金属を含む第 1 層、前記第 1 層上に形成されて導電性樹脂を含む第 2 層を含み、
 前記セラミック本体のカバー領域の厚さを T_c 、前記セラミック本体の長さ方向の両端から前記第 1 層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_1 、前記セラミック本体の長さ方向の両端で前記第 1 層の厚さ方向の寸法を T_1 、前記セラミック本体の長さ方向の両端で前記第 2 層の厚さ方向の寸法を T_2 であると

10

【請求項 2】

1005 サイズ以上である請求項 1 に記載の積層セラミック電子部品。

【請求項 3】

前記セラミック本体の長さ方向の両端から前記第 2 層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 であるとする、 $(1.5)L_1$ L_2 である請求項 1 に記載の積層セラミック電子部品。

【請求項 4】

前記セラミック本体の長さ方向の両端から前記第 2 層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、前記セラミック本体の長さを L であるとする、 $L_2 < (1/3)L$ である請求項 1 に記載の積層セラミック電子部品。

20

【請求項 5】

前記セラミック本体の長さ方向の両端から前記第 2 層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、前記セラミック本体の長さを L であるとする、 $(1.5)L_1 < L_2 < (1/3)L$ である請求項 1 に記載の積層セラミック電子部品。

【請求項 6】

前記導電性金属は、金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含む請求項 1 に記載の積層セラミック電子部品。

30

【請求項 7】

前記導電性樹脂は、銀 (Ag) - エポキシ樹脂、銅 (Cu) - エポキシ樹脂、銅 (Cu) がコーティングされた銀 (Ag) からなる群より選択された一つ以上を含む請求項 1 に記載の積層セラミック電子部品。

【請求項 8】

内部電極が交互に積層されたセラミック本体と、
 前記セラミック本体の長さ方向の両端に形成された外部電極と、を含み、
 前記外部電極は、前記セラミック本体上に形成されて導電性金属を含む第 1 層、前記第 1 層上に形成されて導電性樹脂を含む第 2 層を含み、
 前記セラミック本体のカバー領域の厚さを T_c 、前記セラミック本体の長さ方向の両端から前記第 1 層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_1 、前記セラミック本体の長さ方向の両端から前記第 2 層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、前記セラミック本体の長さを L であるとする、 $T_c < 70 \mu\text{m}$ 、 $(1.5)L_1 < L_2 < (1/3)L$ である積層セラミック電子部品。

40

【請求項 9】

1005 サイズ以上である請求項 8 に記載の積層セラミック電子部品。

【請求項 10】

$L_1 < (1.5)T_c$ である請求項 8 に記載の積層セラミック電子部品。

【請求項 11】

50

前記セラミック本体の厚さ方向の両端で前記第 1 層の厚さ方向の寸法を T_1 、前記セラミック本体の厚さ方向の両端で前記第 2 層の厚さ方向の寸法を T_2 であるとする、 $T_2 < (1.5) T_1$ である請求項 8 に記載の積層セラミック電子部品。

【請求項 1 2】

$L_1 < (1.5) T_c$ である請求項 1 1 に記載の積層セラミック電子部品。

【請求項 1 3】

前記導電性金属は、金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含む請求項 8 に記載の積層セラミック電子部品。

【請求項 1 4】

前記導電性樹脂は、銀 (Ag) - エポキシ樹脂、銅 (Cu) - エポキシ樹脂、銅 (Cu) がコーティングされた銀 (Ag) からなる群より選択された一つ以上を含む請求項 8 に記載の積層セラミック電子部品。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は積層セラミック電子部品に関し、具体的には、信頼性に優れた積層セラミック電子部品に関する。

【背景技術】

【0002】

産業用電装用電子部品の場合、曲げクラックなどの不良が発生すると、機器の安定性の問題に繋がるため、信頼性が特に強調される。このようなクラックの発生を防止するために、外部電極の一部を導電性樹脂層で形成する方案が導入された。

20

【0003】

しかし、外部電極の一部に導電性樹脂層を形成したとしても、製品の高容量化の傾向によりカバー層がさらに薄くなる。カバー層が薄くなるほど、電子部品が基板に実装された後、基板が曲がったりする場合に、電子部品にクラックが発生する確率がさらに増加する。

【0004】

信頼性が特に重要な産業用電装用電子部品は、基板の曲がりなどによってクラックが発生しても、該クラックが電子部品の性能に影響を及ぼさないことが求められる。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献 1】日本公開特許公報第 2007 - 067239 号

【特許文献 2】日本公開特許公報第 1996 - 107039 号

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、信頼性に優れた積層セラミック電子部品を提供する。

【課題を解決するための手段】

【0007】

40

本発明の一形態は、内部電極が積層されたセラミック本体と、上記セラミック本体の長さ方向の両端に形成された外部電極とを含み、上記外部電極は、上記セラミック本体上に形成されて導電性金属を含む第 1 層、上記第 1 層上に形成されて導電性樹脂を含む第 2 層を含み、上記セラミック本体のカバー領域の厚さを T_c 、上記セラミック本体の長さ方向の両端から上記第 1 層が上記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_1 、上記セラミック本体の厚さ方向の両端で上記第 1 層の厚さ方向の寸法を T_1 、上記セラミック本体の厚さ方向の両端で上記第 2 層の厚さ方向の寸法を T_2 であるとする、 $T_c < 70 \mu m$ 、 $T_2 < (1.5) T_1$ 、 $L_1 < (1.5) T_c$ である積層セラミック電子部品であってよい。

【0008】

50

一実施例における積層セラミック電子部品は、1005サイズ以上であってよい。

【0009】

一実施例において、上記セラミック本体の長さ方向の両端から上記第2層が上記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 であるとする、 $(1.5)L_1 - L_2$ であってよい。

【0010】

一実施例において、上記セラミック本体の長さ方向の両端から上記第2層が上記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、上記セラミック本体の長さを L であるとする、 $L_2 = (1/3)L$ であってよい。

【0011】

一実施例において、上記セラミック本体の長さ方向の両端から上記第2層が上記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、上記セラミック本体の長さを L であるとする、 $(1.5)L_1 - L_2 = (1/3)L$ であってよい。

【0012】

一実施例における上記導電性金属は、金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含んでよい。

【0013】

一実施例における上記導電性樹脂は、銀(Ag)-エポキシ樹脂、銅(Cu)-エポキシ樹脂、銅(Cu)がコーティングされた銀(Ag)からなる群より選択された一つ以上を含んでよい。

【0014】

本発明の他の形態は、内部電極が交互に積層されたセラミック本体と、上記セラミック本体の長さ方向の両端に形成された外部電極とを含み、上記外部電極は、上記セラミック本体上に形成されて導電性金属を含む第1層、上記第1層上に形成されて導電性樹脂を含む第2層を含み、上記セラミック本体のカバー領域の厚さを T_c 、上記セラミック本体の長さ方向の両端から上記第1層が上記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_1 、上記セラミック本体の長さ方向の両端から上記第2層が上記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、上記セラミック本体の長さを L であるとする、 $T_c = 70\mu\text{m}$ 、 $(1.5)L_1 - L_2 = (1/3)L$ である積層セラミック電子部品であってよい。

【0015】

一実施例における積層セラミック電子部品は、1005サイズ以上であってよい。

【0016】

一実施例における積層セラミック電子部品は、 $L_1 < (1.5)T_c$ であってよい。

【0017】

一実施例において、上記セラミック本体の厚さ方向の両端で上記第1層の厚さ方向の寸法を T_1 、上記セラミック本体の厚さ方向の両端で上記第2層の厚さ方向の寸法を T_2 であるとする、 $T_2 = (1.5)T_1$ であってよい。

【0018】

一実施例における上記導電性金属は、金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含んでよい。

【0019】

一実施例における上記導電性樹脂は、銀(Ag)-エポキシ樹脂、銅(Cu)-エポキシ樹脂、銅(Cu)がコーティングされた銀(Ag)からなる群より選択された一つ以上を含んでよい。

【発明の効果】

【0020】

導電性樹脂層を導入して曲げクラックの発生を低下させることができる。また、曲げクラックが発生しても、クラックが内部電極を貫通しないように調節して設計された容量値を具現することができる。よって、信頼性に優れた積層セラミック電子部品を具現すること

10

20

30

40

50

ができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施形態による積層セラミック電子部品の斜視図である。

【図2】図1のX-X'による断面図である。

【発明を実施するための形態】

【0022】

以下、添付の図面を参照して本発明の好ましい実施形態を説明する。

【0023】

本発明の実施形態は様々な他の形態に変形されることができ、本発明の範囲は以下で説明する実施形態に限定されない。

【0024】

また、本発明の実施形態は当業界で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。

【0025】

図面における要素の形状及び大きさなどは、より明確な説明のために誇張されることがあり、図面上に同じ符号で示される要素は同じ要素である。

【0026】

図1は本発明の一実施形態による積層セラミック電子部品の斜視図であり、図2は図1のX-X'による断面図である。

【0027】

図1及び2を参照すると、本発明の一実施形態である積層セラミック電子部品は、セラミック本体10と、セラミック本体10の内部に積層配置された内部電極30と、セラミック本体10の外部に形成された外部電極とを含んでよい。

【0028】

セラミック本体10は六面体であってよい。「L方向」を「長さ方向」、「W方向」を「幅方向」、「T方向」を「厚さ方向」という。ここで、厚さ方向は内部電極が積層された方向を意味することもできる。

【0029】

セラミック本体10の長さは幅より大きくてもよく、幅は厚さと同一であってよい。セラミック本体10は上面S1、下面S4、側面S3、S6、断面(end surface)S2、S5を有してよい。

【0030】

セラミック本体10は誘電率の高い誘電材料を含んでよく、具体的には、チタン酸バリウム、チタン酸ストロンチウムを含んでよい。但し、これに制限されない。

【0031】

誘電材料は電気双極子(electric dipole)を含んでいるため、さらに多い量の電荷を蓄積させることができる。

【0032】

セラミック本体10の上面S1から最上内部電極31aまでの領域をカバー領域Cとすることができる。セラミック本体10の下面S4から最下内部電極32aまでの領域もカバー領域Cとすることができる。

【0033】

内部電極30はセラミック本体10の内部に離隔されて積層配置されてよい。隣接する内部電極31、32は相互反対方向に引き出されており、相互反対極性の電気が印加されてよい。

【0034】

内部電極30は金、銀、銅、ニッケル、パラジウム、白金及びこれらの合金からなる群より選択された一つ以上を含んでよい。しかし、これに限定されず、内部電極30に十分な導電性が与えられるものであればよい。

10

20

30

40

50

【 0 0 3 5 】

金、銀、パラジウム、白金などは高価の貴金属で、値段は高いが、化学的に安定的である。ニッケル、銅などはベースメタルともいい、値段は安い、焼結過程で酸化しやすいため、還元雰囲気が必要とすることがある。

【 0 0 3 6 】

外部電極は、セラミック本体 1 0 の長さ方向（「L 方向」）の両端に形成されてよく、第 1 及び第 2 外部電極 2 1、2 2 を含んでよい。第 1 及び第 2 内部電極 3 1、3 2 は相互反対極性の電気が印加されてよい。第 1 及び第 2 外部電極 2 1、2 2 はそれぞれ第 1 及び第 2 層 2 1 a、2 1 b、2 2 a、2 2 b を含んでよい。

【 0 0 3 7 】

第 1 層 2 1 a、2 2 a はセラミック本体 1 0 上に形成されてよく、金属材質からなっておりよい。

【 0 0 3 8 】

第 1 層 2 1 a、2 2 a は内部電極 3 0 と直接接続されてよい。内部電極 3 0 と第 1 層 2 1 a、2 2 a の接続部分では、第 1 層 2 1 a、2 2 a を構成する金属と内部電極 3 0 を構成する金属が反応して合金となる。よって、外部電極 2 1、2 2 と内部電極 3 0 とを堅固に接続することができる。

【 0 0 3 9 】

第 1 層 2 1 a、2 2 a は導電性金属及びガラスフリットを含む導電性ペーストを用いて形成されてよく、これに制限されないが、導電性金属は金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含んでよい。

【 0 0 4 0 】

しかし、第 1 層 2 1 a、2 2 a を構成する成分が金属またはガラスであるため、外部の衝撃に弱い。金属及びガラスは靱性（*toughness*）が小さいため、外部衝撃によって、外部電極 2 1、2 2 と内部電極 3 1、3 2 の接続が切れることもある。

【 0 0 4 1 】

第 2 層 2 1 b、2 2 b は第 1 層 2 1 a、2 2 a 上に形成されてよく、導電性樹脂を含んでよい。

【 0 0 4 2 】

導電性樹脂は、銀（*Ag*）-エポキシ樹脂、銅（*Cu*）-エポキシ樹脂、銅（*Cu*）がコーティングされた銀（*Ag*）からなる群より選択された一つ以上を含んでよい。即ち、導電性樹脂は銀（*Ag*）粉末、銅（*Cu*）粉末及び銅（*Cu*）がコーティングされた銀（*Ag*）粉末からなる群より選択された一つ以上とエポキシ樹脂を含むペーストを用いて形成してよい。

【 0 0 4 3 】

銀（*Ag*）粉末または銅（*Cu*）粉末は、第 2 層 2 1 b、2 2 b に導電性を与えることができる。第 2 層 2 1 b、2 2 b に導電性が与えられるものであれば、特に、制限されない。

【 0 0 4 4 】

エポキシ樹脂は第 2 層 2 1 b、2 2 b に弾性を与えることができる。外部衝撃が加わると、エポキシ樹脂がこれを吸収するため、耐衝撃性が向上することができる。

【 0 0 4 5 】

外部電極 2 1、2 2 は第 1 及び第 2 めっき層 2 1 c、2 1 d、2 2 c、2 2 d を含んでよい。第 1 及び第 2 めっき層 2 1 c、2 1 d、2 2 c、2 2 d は、実装を容易にするために形成される。

【 0 0 4 6 】

第 1 めっき層 2 1 c、2 2 c は第 2 層 2 1 b、2 2 b 上に形成されてよく、第 2 めっき層 2 1 d、2 2 d は第 1 めっき層 2 1 c、2 2 c 上に形成されてよい。第 1 めっき層 2 1 c、2 2 c はニッケルめっき層、第 2 めっき層 2 1 d、2 2 d はすずめっき層であってよい。

10

20

30

40

50

【0047】

以下では、セラミック本体の内部電極と外部電極が接続される側にクラックが発生する場合に重点を置いて説明する。

【0048】

本実施形態は、セラミック本体の内部電極と外部電極が接続される側にクラックが発生しても、これが製品の性能に影響を与えないようにするものである。

【0049】

本実施形態におけるセラミック本体10のカバー領域Cの厚さ T_c は、 $70\mu\text{m}$ 以下であってよい。

【0050】

T_c は平均値を意味することができる。セラミック本体10の中心部において、長さ方向(L方向)及び厚さ方向(T方向)が成す断面を電子走査顕微鏡でスキャンし、等間隔で10個地点を測定してその平均値をカバー領域の厚さ T_c にしてよい。

【0051】

セラミック本体10の中心部は、中心から幅方向(W方向)の両方にセラミック本体の全幅の45%以内の領域であってよい。上記範囲内でカバー領域の厚さ T_c が安定的な値を示すことができる。

【0052】

T_c が $70\mu\text{m}$ を超えると、カバー領域Cが厚いため、曲げクラックの問題が発生しない。積層セラミック電子部品が次第に高容量高積層化し、カバー領域の厚さ T_c が $70\mu\text{m}$ 以下と薄くなると、曲げクラックの問題が発生し得る。

【0053】

本発明は、カバー領域の厚さ T_c が $70\mu\text{m}$ 以下の場合に、クラックの発生及びそれにより発生する問題点を解決するためのものである。

【0054】

本実施形態では、 $L_1 < (1.5)T_c$ であってよい。

【0055】

即ち、上記セラミック本体10の長さ方向の両端から上記第1層21a、22aが上記セラミック本体10の上面S1または下面S4上に形成された端部までの長さ方向の寸法 L_1 は、セラミック本体10のカバー領域Cの厚さ T_c の1.5倍より小さくてよい。

【0056】

導電性樹脂からなる第2層21b、22bを形成することで、クラックQの発生を防止または低下させることができる。また、クラックQが発生しても、 $L_1 / T_c < 1.5$ であれば、クラックQが最外郭内部電極30aを貫通することができない。

【0057】

たとえば、クラックQが発生したとしても、クラックQが最外郭内部電極30aを貫通しないため、設計された容量が具現できないなどの問題が発生しない。このような故障安全モード(fail and safe mode)は、特に信頼性が求められる産業用及び電装用製品に要求される。

【0058】

最外郭内部電極30aは、内部電極30の最上に位置する内部電極31a及び最下に位置する内部電極32aを意味する。

【0059】

図2を参照すると、クラックQは金属からなる外部電極の第1層21aの端Oで発生することがある。これは、第1層21aは金属からなっており、硬度が高く、第1層自体内で応力を吸収する能力が小さいため、第1層21aの端Oに応力が集中することがあるためである。

【0060】

クラックは、第1層の端Oから始まり、セラミック本体10の内部に進行し第1層と接するところで終わるF。

10

20

30

40

50

【0061】

クラックQは、略直線的に形成され、セラミック本体10の断面(end surface)と約 50° ~ 60° の角度を成すことができる。セラミック本体10の断面(end surface)とクラックQが成す角をクラック角という。 $L1 < (1.5) Tc$ は、クラック角を考慮して決められた。

【0062】

$L1 < (1.5) Tc$ であれば、基板の曲がりなどによって発生したクラックQが最外郭内部電極30aを貫通することができる。この場合、電氣的に分離された内部電極部分は容量形成に寄与できない虞がある。即ち、最外郭内部電極30aはその機能を失い、設計された容量値を具現できないことがある。

10

【0063】

本実施形態では、 $T2 < (1.5) T1$ であってよい。

【0064】

即ち、上記セラミック本体10の厚さ方向の両端で上記第2層21b、22bの厚さ方向の寸法T2は、上記セラミック本体10の厚さ方向の両端で上記第1層21a、22aの厚さ方向の寸法T1の1.5倍以上であってよい。

【0065】

T1及びT2は平均値を意味することができる。セラミック本体10の中心部において、長さ方向(L方向)及び厚さ方向(T方向)が成す断面を電子走査顕微鏡でスキャンし、等間隔で10個地点を測定してその平均値をT1及びT2にしてよい。

20

【0066】

セラミック本体10の中心部は、中心から幅方向(W方向)の両方にセラミック本体10の全幅の45%以内の領域であってよい。上記範囲内でT1及びT2が安定的な値を示すことができる。

【0067】

T2がT1厚さの1.5倍より大きいと、基板の曲がりなどによるクラックの発生を防止または低下させることができる。

【0068】

電子部品と基板が接触する部分を介して基板の曲げ応力が電子部品に伝達され、これにより電子部品にクラックが発生することがある。電子部品の基板に実装される部位の性質により、曲げ応力が吸収されるか、それとも曲げ応力がそのまま電子部品のセラミック本体10に伝達され、クラックQを誘発するかが決まる。

30

【0069】

電子部品は外部電極を介して基板に実装されるため、外部電極の性質によって曲げ応力の伝達有無が決まる。外部電極に存在する第2層21b、22bが十分に厚いと、第2層21b、22bで曲げ応力を十分に吸収できるため、基板の曲げ応力が電子部品のセラミック本体10にそのまま伝達されない。従って、曲げ応力がセラミック本体10にクラックを誘発する程度の臨界値に到達することが困難であり、クラックQが容易に発生しない。

【0070】

$T2 < (1.5) T1$ である場合には、即、第2層21b、22bの厚さT2が第1層21a、22aの厚さT1の1.5倍より小さいと、曲がりなどによってクラックQが発生することがある。これは、第2層21b、22bの厚さが薄くて外部衝撃を十分に吸収できないためである。

40

【0071】

本実施形態では、 $(1.5) L1 < L2 < (1/3) L$ であってよい。

【0072】

即ち、上記セラミック本体10の長さ方向の両端から上記第2層21b、22bが上記セラミック本体10の上面S1または下面S4上に形成された端部までの長さ方向の寸法L2は、上記セラミック本体10の長さ方向の両端から上記第1層21a、22aが上記セラミック本体10の上面S1または下面S4上に形成された端部までの長さ方向の寸法L

50

1の1.5倍以上で、同時にセラミック本体10の長さLの3分の1以下であってよい。

【0073】

L $2 < (1.5) L1$ であれば、クラックQの発生を防止または低下させることができない。これは、第2層21b、22bとセラミック本体10の接する領域が小さくて、セラミック本体10に存在する応力を第2層が十分に吸収できないためである。

【0074】

セラミック本体10内に存在する、クラックQを誘発することもできる応力を第2層21b、22bが吸収することで、セラミック本体10内におけるクラックQの発生を防止または低下させることができるが、第2層21b、22bとセラミック本体10との接する領域、即ち、応力吸収の経路が狭いため、セラミック本体10内におけるクラックQの発生を防止または低下させることができない。

10

【0075】

L $2 > (1/3) L$ であれば、閃絡(flashover)が発生することがある。反対極性の電気が印加される第1及び第2外部電極21、22間の距離が短くなり、空気の耐電圧強度を超えると、大気の絶縁破壊が生じて閃絡(flashover)が発生することがある。

【0076】

本実施形態における積層セラミック電子部品は、1005サイズ以上であってよい。

【0077】

1005サイズは $(1.0 \pm 0.15 \text{ mm}) \times (0.5 \pm 0.05 \text{ mm})$ であってよい。

20

【0078】

以下では、実施例及び比較例を参照して本発明について詳細に説明する。

【0079】

実施例による積層セラミックキャパシタは、次のような方法で用意した。

【0080】

チタン酸バリウム粉末、有機溶媒としてエタノール、バインダーとしてポリビニルブチラールを混合した。これをボールミリングしてセラミックスラリーを製造し、これを用いてセラミックグリーンシートを製造した。

【0081】

セラミックグリーンシート上にニッケルを含む内部電極用導電性ペーストを印刷して内部電極を形成し、これを積層したグリーン積層体を85℃で、 $1,000 \text{ kgf/cm}^2$ の圧力で等圧圧縮成形(isostatic pressing)した。

30

【0082】

圧着されたグリーン積層体を切断してグリーンチップにし、切断したグリーンチップを大気雰囲気下、230℃で、60時間保持する脱バインダー工程を行ってから、グリーンチップを950℃で焼結して焼結チップを製造した。焼結は、還元雰囲気下で実施して内部電極の酸化を防止し、還元雰囲気はNi/NiO平衡酸素分圧より低い $10^{-11} \sim 10^{-10} \text{ atm}$ になるようにした。

【0083】

焼結チップの外部に銅粉末及びガラス粉末を含む第1ペーストを用いて第1層を形成した。

40

【0084】

第1層を覆うように、導電性樹脂からなる第2ペーストを用いて第2層を形成した。第2ペーストとしては、エポキシ、銀(Ag)及び硬化剤を含むものを用い、熱を加えて第2層を硬化させた。

【0085】

第2層上に、電気めっきにより、ニッケル及びすずめっき層を順に形成した。

【0086】

まず、カバー領域の厚さが減少することによる、クラックの発生有無を確認するために、カバー領域の厚さを変化させた積層セラミックキャパシタ試片を製造した。試片を基板に

50

実装し、曲げテストを実施した。テスト後、試片の断面を高倍率の顕微鏡で観察し、クラックの発生有無を確認した。

【0087】

上記曲げテストとは、基板に試片を装着し、試片が装着された基板の裏に5秒間荷重を加え、容量の変化によって不良有無を決めることである。

【0088】

上記基板の押えは、Class 1の場合は3mmで、Class 2の場合は2mmで実施し、曲げ強度の判定基準は初期容量値の $\pm 10\%$ 範囲にして行った。

【0089】

【表1】

	Tc(μm)	L1(μm)	L2(μm)	T1(μm)	T2(μm)	T2/T1	クラック発生個数
1	85	125	150	5	2.5	0.5	0/100
2	80	125	150	5	2.5	0.5	0/100
3	75	125	150	5	2.5	0.5	0/100
4	70	125	150	5	2.5	0.5	70/100
5	65	125	150	5	2.5	0.5	75/100
6	60	125	150	5	2.5	0.5	82/100

10

20

【0090】

表1を参照すると、カバー領域の厚さが70 μm 以下と薄くなってからクラックが発生することが分かる。本発明はカバー領域の厚さが70 μm 以下と薄くなるにつれ、クラックが発生するという問題を解決するためのものである。

【0091】

次に、クラックの発生率の低下を確認するために、焼結後のカバー領域の厚さが65 μm となるようにし、外部電極の第1及び第2層の厚さT1、T2を変化させた。これに対する曲げテストの結果を表2に示した。

【0092】

【表2】

	Tc(μm)	L1(μm)	L2(μm)	T1(μm)	T2(μm)	T2/T1	クラック発生個数
実施例1	65	125	150	5	12.5	2.5	9/100
実施例2		125	150	5	10	2.0	10/100
実施例3		125	150	5	7.5	1.5	14/100
比較例1		125	150	5	5	1.0	61/100
比較例2		125	150	5	2.5	0.5	64/100

30

【0093】

表2を参照すると、T2/T1が1.5以上のとき、クラックの発生頻度が著しく減少することが分かる。これは、外部電極の第2層が第1層より厚いため、第2層で応力を十分に吸収するためである。

40

【0094】

次に、クラックが内部電極を貫通するか否かを確認するために、Tcは70 μm 、T2/T1は1.0とし、L1を変化させた。曲げテストの結果を表3に示した。

【0095】

【表 3】

	Tc(μm)	L1(μm)	L2(μm)	T1(μm)	T2(μm)	T2/T1	L1/Tc	内部電極の貫通有無
比較例3	65	160	190	5	5	1.0	2.5	貫通
比較例4		130	190	5	5		2.0	貫通
比較例5		95	190	5	5		1.5	貫通
参照例4		65	190	5	5		1.0	貫通せず
参照例5		30	190	5	5		0.5	貫通せず

【0096】

10

表3を参照すると、 $L1/Tc$ 値が1.5以上であれば、クラックが内部電極を貫通し、1.5未満であれば、クラックが内部電極を貫通しないことが分かる。即ち、 $L1$ が Tc の1.5倍より大きく形成されると、クラックが内部電極を貫通する。これは、クラックがセラミック本体の長さ方向の断面と 56.3° 角を成して形成されるのと一致する。

【0097】

クラックの発生率を低下させるために、外部電極の第1及び第2層の長さ $L1$ 、 $L2$ を変化させた。これに対する曲げテストの結果を表4に示した。焼結後のカバー領域の厚さ Tc は $65\mu m$ 、 $T2/T1$ は1.0にした。

【0098】

また、 $L2$ と関わり、閃絡発生に関する結果をともに表4に示した。

20

【0099】

【表 4】

	Tc(μm)	L1(μm)	L2(μm)	T1(μm)	T2(μm)	T2/T1	L2/L1	L2/L	クラック発生個数	閃絡発生有無
比較例6	65	125	315	5	5	1.0	2.5	2/5	8/100	発生
比較例7		125	250	5	5		2.0	1/3	12/100	発生せず
参照例6		125	190	5	5		1.5	1/4	10/100	発生せず
参照例7		125	150	5	5		1.0	1/5	55/100	発生せず

【0100】

30

表4を参照すると、 $L2$ 値が $L1$ の1.5倍以上である場合、クラックの発生率が著しく減少することが分かる。これはセラミック本体と第2層との接触面積が大きいいため、第2層でセラミック本体の応力を効果的に吸収できるためである。

【0101】

また、 $L2/L$ 値が $1/3$ 以上の場合、即ち、 $L2$ が L の3分の1より大きい場合には閃絡が発生することが分かる。これは、反対極性である外部電極が近すぎるためである。

【0102】

本発明で用いた用語は特定の実施例を説明するためのもので、本発明を限定するものではない。単数の表現は、文脈上、明白でない限り、複数の意味を含む。

【0103】

40

「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素またはこれらの組み合わせが存在することを意味するものであって、これを排除するためのものではない。

【0104】

本発明は、上述した実施形態及び添付の図面により限定されず、添付の請求の範囲により限定される。

【0105】

従って、請求の範囲に記載された本発明の技術的思想から外れない範囲内で当技術分野の通常の知識を有する者により多様な形態の置換、変形及び変更が可能で、これも本発明の範囲に属する。

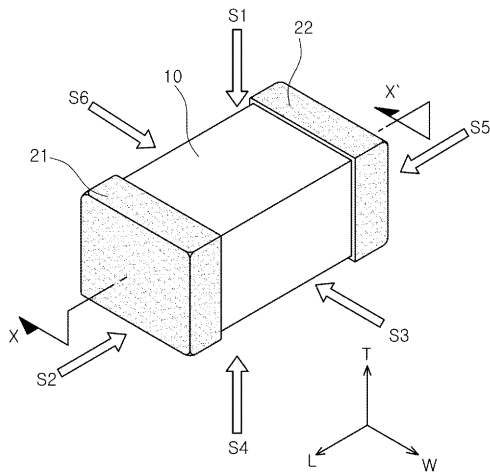
50

【符号の説明】

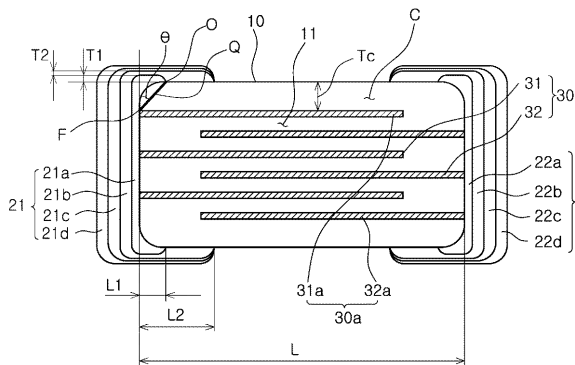
【0106】

- 10 セラミック本体
- S1～S6 セラミック本体の外部面
- 21、22 第1及び第2外部電極
- 21a、21b、22a、22b (外部電極)第1及び第2層
- 21c、21d、22c、22d 第1及び第2めっき層
- 30、31、32 内部電極、第1及び第2内部電極
- 30a、31a、32a 最外郭内部電極、最上及び最下内部電極
- C、Tc カバー領域、カバー領域の厚さ
- T1、T2 第1及び第2層の厚さ方向の寸法
- L1、L2 第1及び第2層の長さ方向の寸法
- Q クラック

【図1】



【図2】



【手続補正書】

【提出日】平成30年2月15日(2018.2.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

内部電極が積層されたセラミック本体と、
前記セラミック本体の長さ方向の両端に形成された外部電極と、を含み、
前記外部電極は、前記セラミック本体上に形成されて導電性金属を含む第1層、前記第1層上に形成されて導電性樹脂を含む第2層を含み、
前記セラミック本体のカバー領域の厚さを T_c 、前記セラミック本体の長さ方向の両端から前記第1層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_1 、前記セラミック本体の長さ方向の両端で前記第1層の長さ方向の寸法を T_1 、前記セラミック本体の長さ方向の両端で前記第2層の長さ方向の寸法を T_2 であるとすると、 $T_c < 70 \mu\text{m}$ 、 $T_2 < (1.5) T_1$ 、 $L_1 < (1.5) T_c$ であり、
前記導電性樹脂は、銀(Ag) - エポキシ樹脂、銅(Cu) - エポキシ樹脂、銅(Cu) がコーティングされた銀(Ag) からなる群より選択された一つ以上を含み、
1005サイズ以上である積層セラミック電子部品。

【請求項2】

前記セラミック本体の長さ方向の両端から前記第2層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 であるとすると、 $(1.5) L_1 < L_2 < (1.5) L_1$ である請求項1に記載の積層セラミック電子部品。

【請求項3】

前記セラミック本体の長さ方向の両端から前記第2層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、前記セラミック本体の長さを L であるとすると、 $L_2 < (1/3) L$ である請求項1に記載の積層セラミック電子部品。

【請求項4】

前記セラミック本体の長さ方向の両端から前記第2層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、前記セラミック本体の長さを L であるとすると、 $(1.5) L_1 < L_2 < (1/3) L$ である請求項1に記載の積層セラミック電子部品。

【請求項5】

前記導電性金属は、金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含む請求項1に記載の積層セラミック電子部品。

【請求項6】

内部電極が交互に積層されたセラミック本体と、
前記セラミック本体の長さ方向の両端に形成された外部電極と、を含み、
前記外部電極は、前記セラミック本体上に形成されて導電性金属を含む第1層、前記第1層上に形成されて導電性樹脂を含む第2層を含み、
前記セラミック本体のカバー領域の厚さを T_c 、前記セラミック本体の長さ方向の両端から前記第1層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_1 、前記セラミック本体の長さ方向の両端から前記第2層が前記セラミック本体の上面または下面上に形成された端部までの長さ方向の寸法を L_2 、前記セラミック本体の長さを L であるとすると、 $T_c < 70 \mu\text{m}$ 、 $(1.5) L_1 < L_2 < (1/3) L$ であり、
前記導電性樹脂は、銀(Ag) - エポキシ樹脂、銅(Cu) - エポキシ樹脂、銅(Cu) がコーティングされた銀(Ag) からなる群より選択された一つ以上を含み、

1005サイズ以上である積層セラミック電子部品。

【請求項7】

$L1 < (1.5) Tc$ である請求項6に記載の積層セラミック電子部品。

【請求項8】

前記セラミック本体の厚さ方向の両端で前記第1層の厚さ方向の寸法を $T1$ 、前記セラミック本体の厚さ方向の両端で前記第2層の厚さ方向の寸法を $T2$ であるとする、 $T2 < (1.5) T1$ である請求項6に記載の積層セラミック電子部品。

【請求項9】

$L1 < (1.5) Tc$ である請求項8に記載の積層セラミック電子部品。

【請求項10】

前記導電性金属は、金、銀、パラジウム、銅、ニッケル及びこれらの合金からなる群より選択された一つ以上を含む請求項6に記載の積層セラミック電子部品。

フロントページの続き

(72)発明者 ソ・ドン・ファン

大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド

(72)発明者 パク・サン・ヒュン

大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド

F ターム(参考) 5E001 AB03 AC04 AD04 AF02 AF03 AF06 AH01 AH05 AH07 AH09
AJ03
5E082 AA01 AB03 BC32 BC33 BC39 EE04 EE23 EE26 EE35 FF05
FG04 FG26 FG46 FG54 GG10 GG26 GG28 JJ02 JJ03 JJ07
JJ23 JJ26 LL02 MM22 MM24 PP09