

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2003-167558(P2003-167558A)

【公開日】平成15年6月13日(2003.6.13)

【出願番号】特願2001-366774(P2001-366774)

【国際特許分類第7版】

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

G 1 1 C 11/401

G 1 1 C 11/41

【F I】

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 1 2 U

G 0 9 G 3/20 6 2 3 F

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 3 1 M

G 1 1 C 11/34 3 4 5

G 1 1 C 11/34 3 7 1 K

【手続補正書】

【提出日】平成16年11月24日(2004.11.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データから映像信号を形成することを特徴とする表示装置。

【請求項2】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データから映像信号を形成し、前記第1の記憶回路は、1フレーム分の前記

第1の画像データを格納する手段を有し、前記第2の記憶回路は、1フレーム分の前記第2の画像データを格納する手段を有することを特徴とする表示装置。

【請求項3】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データからD/A変換により映像信号を形成することを特徴とする表示装置。

【請求項4】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データからD/A変換により映像信号を形成し、前記第1の記憶回路は、1フレーム分の前記第1の画像データを格納する手段を有し、前記第2の記憶回路は、1フレーム分の前記第2の画像データを格納する手段を有することを特徴とする表示装置。

【請求項5】

請求項1乃至4のいずれか一項に記載の表示装置において、前記第1の画像データまたは前記第2の画像データの少なくとも一方は1ビットの画像データであることを特徴とする表示装置。

【請求項6】

請求項1乃至5のいずれか一項に記載の表示装置において、前記第1の画像データまたは前記第2の画像データの少なくとも一方は2ビット以上の画像データであることを特徴とする表示装置。

【請求項7】

請求項1乃至6のいずれか一項に記載の表示装置において、前記映像信号に従って、画素の階調を変化させる手段を有することを特徴とする表示装置。

【請求項8】

請求項1乃至7のいずれか一項に記載の表示装置において、前記記憶回路をビット毎に順次駆動する手段を有することを特徴とする表示装置。

【請求項9】

請求項1乃至8のいずれか一項に記載の表示装置において、前記記憶回路に前記画像データをビット毎に順次入力する手段を有することを特徴とする表示装置。

【請求項10】

請求項1乃至9のいずれか一項に記載の表示装置において、前記記憶回路はスタティック型メモリ(SRAM)から構成されることを特徴とする表示装置。

【請求項11】

請求項1乃至9のいずれか一項に記載の表示装置において、前記記憶回路はダイナミック型メモリ(DRAM)から構成されることを特徴とする表示装置。

【請求項12】

請求項1乃至11のいずれか一項に記載の表示装置において、前記記憶回路と、前記演算処理回路と、前記表示処理回路とは、単結晶半導体基板、石英基板、ガラス基板、プラスチック基板、ステンレス基板、SOI基板のいずれか一つの基板上に形成した半導体薄膜

を活性層とする薄膜トランジスタにより構成されていることを特徴とする表示装置。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか一項に記載の表示装置において、前記記憶回路をビット毎に順次駆動する機能を有した回路が、前記画素部と同一基板上に形成されていることを特徴とする表示装置。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一項に記載の表示装置において、前記記憶回路に前記画像データをビット毎に順次入力する機能を有した回路が、前記画素部と同一基板上に形成されていることを特徴とする表示装置。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれか一項に記載の表示装置において、前記半導体薄膜は、連続発振のレーザを用いた結晶化の方法により作製されることを特徴とする表示装置。

【請求項 1 6】

請求項 1 乃至 1 5 のいずれか一項に記載の表示装置を用いていることを特徴とする電子機器。

【請求項 1 7】

請求項 1 乃至 1 5 のいずれか一項に記載の表示装置と、画像処理専用の演算処理装置とから構成される表示システム。

【請求項 1 8】

請求項 1 7 に記載の表示システムを用いていることを特徴とする電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 4

【補正方法】変更

【補正の内容】

【0 0 5 4】

次に、GPUにおける演算処理により形成された画像データを、キャラクタ3 0 1 及び背景画像3 0 2 各々について2ビット(4階調)のデータとして画素記憶回路4 0 2 及び4 0 3 の該当する記憶素子4 1 9 ~ 4 2 2 に格納する。ここで、例えば、キャラクタ3 0 1 の画像データの上位ビットが"1"の場合、ソース線4 1 0 に"H"の電気信号を与え、ゲート線4 1 4 に8Vの電位を印加すると、記憶素子4 2 2 に"1"が格納されることにする。また、ソース線4 1 0 に"L"の電気信号を与え、ゲート線4 1 1 に8Vの電位を印加することで、記憶素子4 1 9 に"0"が格納することにする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 9

【補正方法】変更

【補正の内容】

【0 0 5 9】

【表1】

キャラクタ		背景		合成画像		
上位 ビット	下位 ビット	上位 ビット	下位 ビット	上位 ビット	下位 ビット	画素電極 電圧[V]
0	0	0	0	0	0	0.75
		0	1			
		1	0			
		1	1			
0	1	0	0	0	1	1.25
		0	1			
		1	0			
		1	1			
1	0	0	0	1	0	1.75
		0	1			
		1	0			
		1	1			
1	1	0	0	0	0	0.75
		0	1	0	1	1.25
		1	0	1	0	1.75
		1	1	1	1	2.25