



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년06월19일
 (11) 등록번호 10-0839359
 (24) 등록일자 2008년06월12일

(51) Int. Cl.

H01L 27/092 (2006.01)

(21) 출원번호 10-2007-0059704

(22) 출원일자 2007년06월19일

심사청구일자 2007년06월19일

(30) 우선권주장

1020070045314 2007년05월10일 대한민국(KR)

(56) 선행기술조사문현

KR1020050011185 A

KR1020060037776 A

KR1020060073048 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

신동석

경기 용인시 기흥구 서천동 현대아파트 현대홈타운 108동 601호

이주원

경기 수원시 영통구 영통동 황골마을 풍림아파트 234동 1501호

김태균

서울 강서구 가양1동 동신대아아파트 103동 1302호

(74) 대리인

박영우

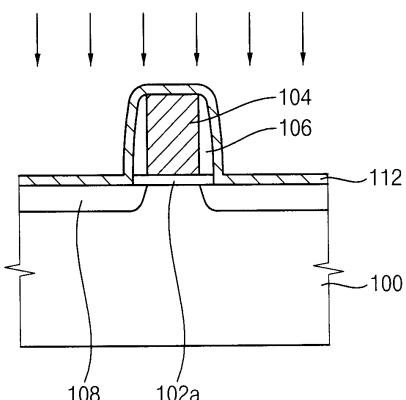
전체 청구항 수 : 총 31 항

심사관 : 배진용

(54) 피모스 트랜지스터 제조 방법 및 상보형 모스 트랜지스터제조 방법

(57) 요 약

PMOS 트랜지스터의 형성 방법 및 CMOS 트랜지스터의 형성 방법에서, PMOS 트랜지스터를 형성하기 위하여 먼저 기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물을 형성한다. 상기 게이트 구조물 양측의 기판 표면 아래에 3족의 불순물을 주입시켜 불순물 영역을 형성한다. 상기 기판 표면 및 게이트 구조물 표면 상에 불순물 확산 방지막을 형성한다. 상기 불순물 확산 방지막 상에 실리콘 질화막을 형성한다. 다음에, 상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리한다. 상기 공정을 통해, 신장된 기판 표면 상에 고성능을 갖는 PMOS 트랜지스터를 형성할 수 있다.

대표도 - 도5

특허청구의 범위

청구항 1

기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물을 형성하는 단계;

상기 게이트 구조물 양측의 기판 표면 아래에 3족의 불순물을 주입시켜 불순물 영역을 형성하는 단계;

상기 기판 표면 및 게이트 구조물 표면 상에 불순물 확산 방지막을 형성하는 단계;

상기 불순물 확산 방지막 상에 실리콘 질화막을 형성하는 단계; 및

상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리하는 단계를 포함하는 것을 특징으로 하는 PMOS 트랜지스터 형성 방법.

청구항 2

제1항에 있어서, 상기 불순물 확산 방지막을 형성하는 단계는,

상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성하는 단계; 및

상기 산화막에 대해 수소, 헬륨, 질소, 아르곤, 산소 및 오존 가스로 이루어진 군에서 선택된 적어도 하나의 가스를 사용한 플라즈마 처리함으로써 상기 불순물 확산 방지막을 형성하는 단계를 포함하는 것을 특징으로 하는 PMOS 트랜지스터 형성 방법.

청구항 3

제2항에 있어서, 상기 산화막은 신장 실리콘 산화막(tensile silicon oxide layer) 또는 압축 스트레스를 갖는 실리콘 산화막(compressive silicon oxide layer)으로 형성되는 것을 특징으로 하는 PMOS 트랜지스터 형성 방법.

청구항 4

제2항에 있어서, 상기 플라즈마 처리는 300내지 700°C의 온도에서 수행되는 것을 특징으로 하는 PMOS 트랜지스터 형성 방법.

청구항 5

제1항에 있어서, 상기 불순물 확산 방지막을 형성하는 단계는,

상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성하는 단계; 및

상기 산화막의 표면으로 자외선을 조사함으로써 상기 불순물 확산 방지막을 형성하는 단계를 포함하는 것을 특징으로 하는 PMOS 트랜지스터 형성 방법.

청구항 6

제1항에 있어서, 상기 게이트 전극 양측에 노출되어 있는 기판을 비정질화하기 위하여, 상기 게이트 전극 양측의 기판으로 게르마늄, 제논, 탄소 및 불소로 이루어진 군에서 선택된 적어도 하나를 이온 주입하는 공정을 더 포함하는 것을 특징으로 하는 PMOS 트랜지스터 형성 방법.

청구항 7

제1 영역 및 제2 영역을 갖는 기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물들을 형성하는 단계;

상기 기판의 제1 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제1 도전형의 불순물을 주입시켜 제1 불순물 영역을 형성하는 단계;

상기 기판의 제2 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제2 도전형의 불순물을 주입시켜 제2 불순물 영역을 형성하는 단계;

상기 기판 표면 및 게이트 구조물 표면 상에 불순물 확산 방지막을 형성하는 단계;

상기 불순물 확산 방지막 상에 실리콘 질화막을 형성하는 단계; 및

상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜ジ스터 형성 방법.

청구항 8

제7항에 있어서, 상기 불순물 확산 방지막을 형성하는 단계는,

상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성하는 단계; 및

상기 산화막에 수소, 헬륨, 질소, 아르곤, 산소 및 오존 가스로 이루어지는 군에서 선택된 적어도 하나의 가스를 사용한 플라즈마 처리를 함으로써 상기 불순물 확산 방지막을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜ジ스터 형성 방법.

청구항 9

제8항에 있어서, 상기 산화막은 신장 실리콘 산화막(tensile silicon oxide layer) 또는 압축 스트레스를 갖는 실리콘 산화막(compressive silicon oxide layer)으로 형성되는 것을 특징으로 하는 MOS 트랜ジ스터 형성 방법.

청구항 10

제8항에 있어서, 상기 플라즈마 처리는 300 내지 700°C의 온도에서 수행하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 11

제8항에 있어서, 상기 산화막은 열적 화학기상증착 공정을 통해 형성된 TEOS막, 플라즈마 강화-화학기상증착 공정 또는 고밀도 화학기상증착 공정을 통해 형성되는 것을 특징으로 하는 MOS 트랜ジ스터 형성 방법.

청구항 12

제8항에 있어서, 상기 산화막을 플라즈마 처리하여 확산 방지막을 형성하는 공정과, 상기 확산 방지막 상에 실리콘 질화막을 형성하는 공정을 인 시튜로 수행하는 것을 특징으로 하는 MOS 트랜ジ스터 형성 방법.

청구항 13

제8항에 있어서, 상기 플라즈마 처리는 상기 실리콘 질화막을 형성한 이 후에 수행하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 14

제7항에 있어서, 상기 불순물 확산 방지막을 형성하는 단계는,

상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성하는 단계; 및

상기 산화막의 표면을 자외선 처리하여 불순물 확산 방지막을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 15

제14항에 있어서, 상기 자외선 처리는 상기 실리콘 질화막을 형성한 이 후에 수행하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 16

제14항에 있어서, 상기 자외선 처리는 300 내지 700°C의 온도에서 수행되는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 17

제7항에 있어서, 상기 불순물 확산 방지막은 50 내지 300Å로 형성되는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 18

제7항에 있어서, 상기 기판을 열처리하는 단계는 900 내지 1200°C의 온도에서 질소, 아르곤 및 수소로 이루어지는 군에서 선택된 적어도 하나의 가스 분위기 하에서 수행되는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 19

제7항에 있어서, 상기 실리콘 질화막은 300 내지 500°C의 온도 조건에서 플라즈마 강화-화학기상증착법 또는 고밀도 화학기상증착법을 통해 형성되는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 20

제7항에 있어서, 상기 실리콘 질화막은 100 내지 1000Å의 두께로 형성되는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 21

제7항에 있어서, 상기 게이트 구조물의 양측벽에 절연 물질로 이루어진 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 22

제7항에 있어서, 상기 기판을 열처리한 이 후에,

상기 게이트 구조물의 상부면 및 상기 기판 표면이 노출되도록 상기 실리콘 질화막 및 불순물 확산 방지막을 제거하는 단계; 및

상기 게이트 구조물의 상부면 및 상기 기판 표면에 금속 실리사이드 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 23

제7항에 있어서, 상기 게이트 전극 양측에 노출되어 있는 기판을 비정질화하기 위하여, 상기 게이트 전극 양측의 기판에 게르마늄, 제논, 탄소 및 불소로 이루어진 군에서 선택된 적어도 하나를 이온 주입하는 공정을 더 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 24

제7항에 있어서, 상기 제1 도전형의 불순물은 인 또는 비소를 포함하고, 상기 제2 도전형의 불순물은 봉소 또는 BF₂를 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 25

제24항에 있어서, 상기 제2 영역에 형성된 실리콘 질화막을 제거하여 상기 제1 영역에 실리콘 질화막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 26

제1 영역 및 제2 영역을 갖는 기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물들을 형성하는 단계;

상기 기판의 제1 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제1 도전형의 불순물을 주입시켜 제1 불순물 영역을 형성하는 단계;

상기 기판의 제2 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제2 도전형의 불순물을 주입시켜 제2 불순물 영역을 형성하는 단계;

상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성하는 단계;

P형 불순물의 확산에 요구되는 에너지가 높아지도록 상기 산화막을 표면처리하여 불순물 확산 방지막을 형성하는 단계;

상기 불순물 확산 방지막 상에 실리콘 질화막을 형성하는 단계; 및

상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 27

제26항에 있어서, 상기 불순물 확산 방지막을 형성하기 위한 표면 처리는 수소, 헬륨, 질소, 아르곤, 산소 및 오존 가스로 이루어지는 군에서 선택된 적어도 하나의 가스를 사용한 플라즈마 처리를 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 28

제26항에 있어서, 상기 불순물 확산 방지막을 형성하기 위한 표면 처리는 자외선 처리를 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 29

제26항에 있어서, 상기 불순물 확산 방지막을 형성하기 위한 표면 처리는 상기 실리콘 질화막을 형성한 이 후에 수행되는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 30

제26항에 있어서, 상기 제1 도전형의 불순물은 인 또는 비소를 포함하고, 상기 제2 도전형의 불순물은 붕소 또는 BF₂를 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

청구항 31

제26항에 있어서, 상기 제2 영역에 형성된 실리콘 질화막을 제거하여 상기 제1 영역에 실리콘 질화막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOS 트랜지스터 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11>

본 발명은 PMOS 트랜지스터 제조 방법 및 상기 PMOS 트랜지스터가 포함된 CMOS 트랜지스터 제조 방법에 관한 것이다. 보다 상세하게는, 국부적으로 스트레인드 채널(locally strained channel)을 갖는 PMOS 트랜지스터 제조 방법 및 상기 PMOS 트랜지스터가 포함된 CMOS 트랜지스터 제조 방법에 관한 것이다.

<12>

근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 메모리 소자도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 상기 반도체 메모리 소자는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여 반도체 메모리 소자는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.

<13>

상기 반도체 메모리 소자를 구성하는 기본적인 단위 소자로서 전계 효과 모오스 트랜지스터(MOSFET, 이하, 트랜지스터)를 예로 들 수 있다. 상기 트랜지스터는 저전압에서 고속 동작을 할 수 있으며, 소형화, 집적화되는 방향으로 발전되고 있다.

<14>

최근에, 고속으로 동작하는 트랜지스터를 형성하기 위한 방법 중 하나로서, 스트레인드 실리콘(Stressed Silicon)에 트랜지스터의 채널 영역을 형성하여 트랜지스터의 전자 또는 홀의 이동도(Mobility)를 향상시키는 방법이 개발되고 있다. 상기 스트레인드 실리콘은 실리콘의 본딩 길이(bonding length)가 신장(tensile)되거나

또는 압축된(compressive) 실리콘을 의미한다.

- <15> 특히, 상기 트랜지스터에서 전자의 이동도를 향상시키기 위하여 채널 부위의 실리콘이 가져야 하는 스트레스와, 홀의 이동도를 향상시키기 위하여 채널 부위의 실리콘에 가져야 하는 스트레스는 서로 다르다. 때문에, 온 전류가 증가된 고성능을 갖는 N형 및 P형 트랜지스터를 형성하기 위하여 각각 채널 영역에 요구되는 실리콘 기판의 스트레스는 서로 다르다.
- <16> 구체적으로, (100) 평면이 노출된 단결정 실리콘 기판에 N형 트랜지스터를 형성하는 경우, 기판의 채널 영역은 채널 길이 방향으로 신장 스트레스를 갖는 실리콘으로 이루어지는 것이 바람직하다. 이 경우, 상기 N형 트랜지스터의 다수 반송자(majority carrier)인 전자의 이동도가 증가하므로 온 전류가 상승하게 되고, 이로 인해 N형 트랜지스터의 성능(performance)이 상승하게 된다.
- <17> 반면에, (100) 평면이 노출된 단결정 실리콘 기판에 P형 트랜지스터를 형성하는 경우, 기판의 채널 영역은 채널 길이 방향으로 압축 스트레스를 갖는 실리콘으로 이루어지는 것이 바람직하다. 이 경우, 상기 P형 트랜지스터의 다수 반송자(majority carrier)인 홀의 이동도가 증가하므로 온 전류가 상승하게 되고, 이로 인해 P형 트랜지스터의 성능(performance)이 상승하게 된다.
- <18> 상기와 같이, 고성능을 갖는 N형 및 P형 트랜지스터에서 요구되는 채널 영역의 스트레스가 서로 다르므로, 동일한 기판 내에 상기 고성능을 갖는 N형 및 P형 트랜지스터를 형성하는 것이 용이하지 않다.
- <19> 상기에서 설명한 것과 같이, 채널 영역의 스트레스를 조절하여 고성능을 갖는 트랜지스터를 형성하는 방법의 일 예는 미국 공개특허 2005-136583호에 개시되어 있다. 상기한 특허에 의하면, 실리콘 기판 상에 게이트 전극 및 소오스/드레인 영역을 형성하고, 상기 게이트 전극 및 소오스/드레인 영역의 기판 표면 상에 신장 스트레스를 갖는 캡핑막을 형성한다. 이 후, 어닐링 공정을 수행함으로써 상기 게이트 전극 하부에 위치하는 채널 영역이 강한 신장 스트레스를 갖는 실리콘이 되도록 한다.
- <20> 그러나, 상기와 같이 채널 영역이 강한 신장 스트레스를 갖는 실리콘으로 이루어지는 경우 홀의 이동도가 감소하므로 P형 트랜지스터를 형성하기에는 적합하지 않다. 또한, 하나의 기판 내에 N형 및 P형 트랜지스터를 동시에 형성하는 경우에는 상기 P형 트랜지스터가 형성되는 부위의 기판 표면이 신장 스트레스를 갖지 않도록 하기 위한 추가적인 공정들이 수반되어야 한다.

발명이 이루고자 하는 기술적 과제

- <21> 따라서, 본 발명의 제1 목적은 간단한 공정을 통해 우수한 동작 특성을 갖는 PMOS 트랜지스터를 제조할 수 있는 방법을 제공하는데 있다.
- <22> 본 발명의 제2 목적은 간단한 공정을 통해 우수한 동작 특성을 갖는 CMOS 트랜지스터를 제조할 수 있는 방법을 제공하는데 있다.

발명의 구성 및 작용

- <23> 상기한 제1 목적을 달성하기 위한 본 발명의 일실시예에 따른 PMOS 트랜지스터를 제조할 수 있는 방법으로, 기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물을 형성한다. 상기 게이트 구조물 양측의 기판 표면 아래에 3족의 불순물을 주입시켜 불순물 영역을 형성한다. 상기 기판 표면 및 게이트 구조물 표면 상에 불순물 확산 방지막을 형성한다. 상기 불순물 확산 방지막 상에 실리콘 질화막을 형성한다. 다음에, 상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리한다.
- <24> 본 발명의 하나의 양태로, 상기 불순물 확산 방지막을 형성하기 위하여, 먼저 상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성한다. 이 후, 상기 산화막에 불활성 가스, 산소 및 오존 가스 중에서 선택된 적어도 하나의 가스를 사용한 플라즈마 처리한다.
- <25> 본 발명의 다른 양태로, 상기 불순물 확산 방지막을 형성하기 위하여, 먼저 상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성한다. 이 후, 상기 산화막의 표면으로 자외선을 조사한다.
- <26> 여기서, 상기 산화막은 신장 실리콘 산화막(tensile silicon oxide layer) 또는 압축 스트레스를 갖는 실리콘 산화막(compressive silicon oxide layer)으로 형성될 수 있다.
- <27> 상기 방법에 의하면, 채널 영역에 해당하는 기판 표면이 신장되더라도 높은 온 전류를 갖는 우수한 성능의 PMOS

트랜지스터를 형성할 수 있다.

- <28> 상기한 제2 목적을 달성하기 위한 본 발명의 일실시예에 따른 상보형 트랜지스터를 제조할 수 있는 방법으로, 제1 영역 및 제2 영역을 갖는 기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물들을 형성한다. 상기 기판의 제1 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제1 도전형의 불순물을 주입시켜 제1 불순물 영역을 형성한다. 상기 기판의 제2 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제2 도전형의 불순물을 주입시켜 제2 불순물 영역을 형성한다. 상기 기판 표면 및 게이트 구조물 표면 상에 불순물 확산 방지막을 형성한다. 상기 불순물 확산 방지막 상에 실리콘 질화막을 형성한다. 다음에, 상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리한다.
- <29> 본 발명의 하나의 양태로, 상기 불순물 확산 방지막을 형성하기 위하여, 상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성한다. 다음에, 상기 산화막에 불활성 가스, 산소 및 오존 가스 중에서 선택된 적어도 하나의 가스를 사용한 플라즈마 처리한다.
- <30> 상기 산화막을 플라즈마 처리하는 공정과, 상기 확산 방지막 상에 실리콘 질화막을 형성하는 공정을 인 시튜로 수행할 수 있다.
- <31> 또한, 상기 플라즈마 처리는 상기 산화막을 형성한 후 바로 수행되지 않고, 상기 실리콘 질화막을 형성한 이 후에 수행할 수도 있다.
- <32> 본 발명의 다른 양태로, 상기 불순물 확산 방지막을 형성하기 위하여, 상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성한다. 다음에, 상기 산화막의 표면을 자외선 처리한다.
- <33> 상기 자외선 처리는 상기 산화막을 형성한 후 바로 수행되지 않고, 상기 실리콘 질화막을 형성한 이 후에 수행할 수도 있다.
- <34> 상기 산화막은 신장 실리콘 산화막(tensile silicon oxide layer) 또는 압축 스트레스를 갖는 실리콘 산화막(compressive silicon oxide layer)으로 형성될 수 있다.
- <35> 본 발명의 다른 양태로, 상기 제2 영역에 형성된 실리콘 질화막을 제거하여 상기 제1 영역에 실리콘 질화막 패턴을 형성하는 단계를 더 포함할 수 있다. 상기 실리콘 질화막 형성 공정은 열처리 이 전에 수행된다.
- <36> 상기한 제2 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 상보형 트랜지스터를 제조할 수 있는 방법으로, 제1 영역 및 제2 영역을 갖는 기판 상에 게이트 산화막 패턴 및 게이트 전극을 포함하는 게이트 구조물들을 형성한다. 상기 기판의 제1 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제1 도전형의 불순물을 주입시켜 제1 불순물 영역을 형성한다. 상기 기판의 제2 영역에 형성된 게이트 구조물 양측의 기판 표면으로 제2 도전형의 불순물을 주입시켜 제2 불순물 영역을 형성한다. 상기 기판 표면 및 게이트 구조물 표면 상에 산화막을 형성한다. P형 불순물의 확산에 요구되는 에너지가 높아지도록 상기 산화막을 표면처리하여 불순물 확산 방지막을 형성한다. 상기 불순물 확산 방지막 상에 실리콘 질화막을 형성한다. 다음에, 상기 불순물 영역에 포함되는 불순물을 활성화시키면서 기판 표면이 신장(strained)되도록 상기 기판을 열처리한다.
- <37> 상기 방법에 의하면, PMOS 트랜지스터의 성능을 향상시키기 위하여 별도의 공정이 수행되지 않으면서 NMOS 트랜지스터 뿐 아니라 PMOS 트랜지스터도 높은 온 전류를 갖도록 할 수 있다. 그러므로, 간단한 공정을 통해 고집적화되고 우수한 성능을 갖는 CMOS 트랜지스터를 형성할 수 있다.
- <38> 이하, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명하고자 한다. 그러나, 본 발명이 하기의 실시예에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 패턴 또는 전극들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 패턴 또는 전극들이 기판, 각 층(막), 패턴 또는 전극들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 패턴 또는 전극들이 직접 기판, 각 층(막), 패턴 또는 전극들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 패턴, 다른 층(막), 다른 전극들이 기판 상에 추가적으로 형성될 수 있다. 또한, 층(막)들이 "제1" 및/또는 "제2"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 층(막)들을 구분하기 위한 것이다. 따라서 "제1" 및/또는 "제2"는 각 층(막)들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.
- <39> 실시예 1

- <40> 도 1 내지 도 7은 본 발명의 실시예 1에 따른 PMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <41> 도 1을 참조하면, 먼저 반도체 물질로 이루어지는 기판(100)을 마련한다. 본 실시예에서는 상기 기판(100)으로서 (100) 평면이 노출된 단결정 실리콘 기판이 마련된다. 그러나, 경우에 따라서는 SOI(silicon on insulator) 기판 등이 마련될 수도 있다.
- <42> 상기 기판(100)에 N형 불순물을 도핑한다. 상기 N형 불순물의 예로는 비소, 인 등을 들 수 있다. 이어서, 셀로우 트렌치 소자 분리 공정을 수행하여 상기 기판에 소자 분리막 패턴을 형성함으로써 액티브 영역 및 필드 영역을 정의한다.
- <43> 계속해서, 상기 기판(100) 상에 게이트 산화막(102)을 형성한다. 상기 게이트 산화막(102)은 상기 실리콘 기판을 열산화시켜 형성할 수 있다. 또는, 상기 게이트 산화막은 고유전 물질을 증착시켜 형성할 수 있다.
- <44> 상기 게이트 산화막(102) 상에 폴리실리콘막(도시안됨)을 형성한다. 상기 폴리실리콘막 상에 게이트 전극을 형성하기 위한 마스크 패턴(도시안됨)을 형성한다. 상기 마스크 패턴을 식각 마스크로 사용하여 상기 폴리실리콘막을 이방성으로 식각함으로써 게이트 전극(104)을 형성한다. 이 후, 상기 마스크 패턴을 제거한다.
- <45> 도 2를 참조하면, 상기 게이트 전극(104) 및 게이트 산화막(102)의 상부 표면에 절연막(도시안됨)을 형성한다. 상기 절연막은 실리콘 질화물을 화학기상증착법에 의해 증착시켜 형성할 수 있다. 상기 절연막 및 게이트 산화막(102)을 이방성으로 식각함으로써 상기 게이트 전극(104)의 측벽에 스페이서(106)를 형성한다. 또한, 상기 식각 공정에 의해 게이트 산화막 패턴(102a)이 형성된다.
- <46> 따라서, 상기 게이트 전극(104) 및 스페이서(106)를 형성하는 공정을 수행하고 나면 상기 폴리실리콘으로 이루어지는 게이트 전극(104)의 상부면이 노출된다.
- <47> 도 3을 참조하면, 상기 스페이서(106)를 양측으로 노출되어 있는 기판(100) 및 게이트 전극(104)에 대하여 전처리 비정질화 이온 주입 공정을 수행한다.
- <48> 구체적으로, 상기 스페이서(106)들 사이에 노출되어 있는 기판(100) 및 게이트 전극(104) 표면 아래로 게르마늄, 제논, 탄소 및 불소 중에서 선택된 적어도 하나의 불순물을 이온 주입한다. 상기 이온주입 공정을 수행하면, 상기 스페이서(106)들 사이에 노출되어 있는 기판(100) 및 게이트 전극(104) 표면이 비정질화된다. 이로 인해, 후속으로 소오스/드레인 영역(108)을 형성하기 위한 불순물 주입 공정을 수행하였을 때 주입된 불순물이 측방으로 과도하게 확산되어 채널링 효과가 발생하는 것을 방지할 수 있다.
- <49> 다음에, 상기 스페이서(106)들 사이에 노출되어 있는 기판(100) 및 게이트 전극(104)으로 P형 불순물을 주입한다. 상기 P형 불순물은 봉소, BF₂ 등을 포함한다. 이와 같이, P형 불순물을 기판(100) 및 게이트 전극(104)으로 이온 주입함으로써 기판에 소오스/드레인 영역(108)이 형성된다. 또한, 상기 불순물에 의해 게이트 전극(104)의 일함수가 조절되고 게이트 전극(104)의 저항이 감소된다.
- <50> 특히, 상기 P형 불순물을 주입하기 이 전에 전처리 비정질화 이온 주입 공정이 수행되었으므로, 상기 P형 불순물이 측방으로 과도하게 확산되지 않는다. 따라서, 상기 불순물이 과도하게 확산됨에 따라 채널 길이가 지나치게 감소하는 것을 방지할 수 있다.
- <51> 도 4를 참조하면, 상기 노출된 기판(100), 스페이서(106) 및 게이트 전극(104)의 표면을 따라 실리콘 산화막(110)을 형성한다. 상기 실리콘 산화막(110)은 신장 스트레스를 갖는 실리콘 산화막(이하, 신장 실리콘 산화막)으로 형성되거나, 또는 압축 스트레스를 갖는 실리콘 산화막(이하, 압축 실리콘 산화막)으로 형성될 수 있다. 여기서, 상기 신장 실리콘 산화막의 신장 스트레스는 약 0.05 내지 0.3GPa 정도일 수 있다. 또한, 상기 압축 실리콘 산화막의 압축 스트레스는 약 -0.05 내지 -0.3GPa 정도일 수 있다.
- <52> 보다 구체적으로, 열적 화학기상증착 공정을 통해 O₃-TEOS막을 형성함으로써 신장 실리콘 산화막을 형성할 수 있다. 이와는 달리, 플라즈마 강화 화학기상증착 공정 또는 고밀도 화학기상증착 공정을 통해 압축 스트레스를 갖는 실리콘 산화막을 형성할 수도 있다.
- <53> 상기 실리콘 산화막(110)은 후속 공정을 통해 봉소의 확산을 방지하는 막으로써 사용된다. 그런데, 상기 신장 실리콘 산화막을 사용하는 경우에 봉소의 확산을 방지하는 효과가 더 높고 완성된 PMOS 트랜지스터의 성능이 양호하기 때문에, 상기 실리콘 산화막(110)은 O₃-TEOS와 같은 신장 스트레스를 갖는 실리콘 산화막으로 형성하는 것이 더 바람직하다.

- <54> 상기 실리콘 산화막(110)을 형성하는 온도가 350°C이하이면 화학기상증착공정을 통해 막을 형성하는 것이 어려우며, 상기 실리콘 산화막(110)을 형성하는 온도가 500°C이상이면 기판 및 게이트 전극이 재결정화될 수 있어 바람직하지 않다. 그러므로, 상기 실리콘 산화막(110)은 350 내지 500°C의 온도 하에서 형성되는 것이 바람직하다.
- <55> 또한, 상기 실리콘 산화막(110)의 두께가 50Å보다 얇으면 후속의 질화막을 제거함에 있어 기판, 게이트 전극 및 스페이서를 보호하기가 어렵다. 반면에, 실리콘 산화막(110)의 두께가 300Å보다 두꺼우면 상기 실리콘 산화막(110) 상에 형성되는 박막에 의해 채널 영역에 가해지는 스트레스의 영향성이 감소되어 바람직하지 않다. 따라서, 상기 실리콘 산화막(110)은 50Å 내지 300Å의 두께로 형성하는 것이 바람직하다.
- <56> 도 5를 참조하면, 상기 실리콘 산화막(110)에 불활성 가스, 산소 및 오존 가스 중 적어도 하나의 가스를 이용하는 플라즈마 처리를 수행하여 상기 실리콘 산화막(110)을 확산 방지막(112)으로 변환시킨다. 상기 플라즈마 처리에 사용할 수 있는 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.
- <57> 상기와 같이, 실리콘 산화막(110)에 플라즈마 처리를 수행하면 상기 실리콘 산화막(110)의 막질이 치밀해지고 막 내 포함되어 있는 -OH기 또는 -H기들이 감소된다. 그러므로, 상기 플라즈마 처리를 통해 형성된 확산 방지막(112)이 형성되어 있는 경우는 이 전의 실리콘 산화막(110)이 구비되었을 때에 비하여 P형 불순물이 확산되는데 필요한 에너지가 높아지게 된다. 따라서, 상기 P형 불순물이 상기 확산 방지막을 통과하여 기판으로 확산되는 것을 최소화할 수 있다.
- <58> 구체적으로, 상기 실리콘 산화막(110)을 열적 화학기상증착방법에 의해 형성된 O₃-TEOS막으로 형성하는 경우 상기 O₃-TEOS막 내에는 -OH가 다수 포함되어 있다. 그런데, 상기 O₃-TEOS막에 불활성 가스를 이용하는 플라즈마 처리를 수행하면, 상기 O₃-TEOS막 내의 -OH기의 함량이 매우 감소하게 된다. 또한, 상기 O₃-TEOS막에 산소 또는 오존을 이용하는 플라즈마 처리를 수행하면, 상기 O₃-TEOS막에 산소 결합이 강화됨으로써 막질이 치밀해진다.
- <59> 상기 플라즈마 처리 온도가 300°C이하이면 플라즈마 처리에 따른 막의 개질 효과가 감소된다. 또한, 상기 플라즈마 처리 온도가 700°C이상이면 열적 벼짓 및 비정질 구조를 갖는 소오스/드레인 및 게이트 전극이 재결정화될 수 있다. 그러므로, 상기 플라즈마 처리는 300 내지 700°C의 온도 하에서 수행되는 것이 바람직하다.
- <60> 상기 플라즈마 처리 시간이 1분 이하이면 플라즈마 처리에 따른 막의 개질 효과가 감소되고, 상기 플라즈마 처리 시간이 5분 이상이면 상기 플라즈마에 의해 과도하게 막이 손상될 수 있으며 공정에 소요되는 시간도 지나치게 길어져 바람직하지 않다. 그러므로, 상기 플라즈마 처리 시간은 1 내지 5분인 것이 바람직하며, 상기 플라즈마 처리 온도 및 산화막의 두께 등에 따라 증감할 수 있다.
- <61> 도 6을 참조하면, 상기 확산 방지막(112) 상에 채널 영역에 스트레스를 가해주기 위한 물질로써 실리콘 질화막(114)을 형성한다. 상기 실리콘 질화막(114)은 신장 스트레스를 갖는 것이 바람직하다. 구체적으로, 상기 실리콘 질화막의 신장 스트레스는 약 0.8 내지 2GPa 정도일 수 있다. 상기 신장 스트레스를 갖는 실리콘 질화막(114)은 플라즈마강화 화학기상증착(PE-CVD) 공정 또는 고밀도 플라즈마 화학기상증착(HDP-CVD) 공정을 통해 형성할 수 있다.
- <62> 상기 실리콘 질화막(114)이 100Å보다 얇으면 채널 영역에 신장 스트레스가 가해는 효과가 감소된다. 반면에, 실리콘 질화막(114)의 두께가 1000Å보다 두꺼우면 상기 실리콘 질화막(114)이 게이트 구조보다 높은 두께를 가져 스트레스 효과가 더 이상 증가하지 않으며 후속에 상기 실리콘 질화막을 완전하게 제거하기가 어렵다. 따라서, 상기 실리콘 질화막(114)은 100Å 내지 1000Å의 두께로 형성하는 것이 바람직하다.
- <63> 또한, 상기 실리콘 질화막(114)의 증착 온도가 300°C이하이면 막의 증착이 어렵고, 상기 실리콘 질화막(114)의 증착 온도가 500°C이상이면 증착 중에 하부막에 비정질화된 영역의 재결정화가 발생하여 스트레스가 가해질 수 있어 바람직하지 않다. 그러므로, 상기 실리콘 질화막(114)의 증착 공정은 300 내지 500°C의 온도 하에서 수행되는 것이 바람직하다.
- <64> 상기 실리콘 질화막을 형성하기 위한 공정에서 플라즈마를 사용하는 경우에는, 이 전의 플라즈마 처리 공정과 상기 실리콘 질화막의 형성 공정을 인 시튜로 진행할 수 있다. 예를들어, 본 실시예에서와 같이 상기 실리콘 질화막을 PE-CVD 공정으로 형성하는 경우에는, 이 전의 플라즈마 처리 공정과 상기 실리콘 질화막을 증착하는 공정을 인 시튜로 진행할 수 있다.
- <65> 도 7을 참조하면, 상기 실리콘 질화막(114)이 형성되어 있는 기판을 급속 열처리시켜 상기 소오스/드레인 영역

(108)에 형성된 불순물을 활성화시킨다. 상기 기판의 열처리는 900 내지 1200°C의 온도에서 질소, 아르곤 및 수소 중에서 선택된 적어도 하나의 가스 분위기 하에서 수행될 수 있다.

<66> 또한, 상기 기판(100)을 급속 열처리함으로써 상기 실리콘 질화막(114)의 신장 스트레스가 더욱 증가하게 되고, 상기 증가된 신장 스트레스에 의해 하부의 게이트 전극은 반대로 압축 스트레스가 증가하게 된다. 그 결과, 상기 게이트 전극 (104)아래의 채널 영역은 신장 스트레스를 갖게 된다.

<67> 이 후, 도시하지는 않았지만, 식각 공정을 통해 상기 실리콘 질화막(114) 및 상기 불순물 확산 방지막(112)을 제거한다. 상기 제거는 습식 식각 공정을 통해 수행되는 것이 바람직하다. 예를 들어, 상기 실리콘 질화막(114)은 인산을 포함하는 식각액을 사용하여 제거할 수 있다.

<68> 본 실시예에 의하면, 상기 소오스/드레인 영역(108)의 기판(100) 상에는 불순물 확산 방지막(112)이 형성되어 있다. 때문에, 상기 소오스/드레인 영역(108)에 형성된 불순물을 활성화시키는 단계에서, 상기 소오스/드레인 영역(108)에 도핑되어 있는 P형 불순물인 봉소가 상부로 확산하는 것을 방지할 수 있다. 이로 인해, 상기 소오스/드레인 영역(108)에 도핑되어 있는 봉소의 농도(concentration)가 감소되지 않으므로 상기 소오스/드레인 영역(108)의 저항이 감소하게 된다. 그러므로, 본 실시예의 방법에 의해 완성되는 PMOS트랜지스터는 포화 전류(saturation current)가 증가하게 된다.

<69> 또한, 상기 게이트 전극(104)의 상부면에도 불순물 확산 방지막(112)이 형성되어 있다. 때문에, 상기 소오스/드레인 영역(108)에 형성된 불순물을 활성화시키는 단계에서 상기 게이트 전극(104)에 도핑되어 있는 P형 불순물인 봉소가 상부로 확산하는 것을 방지할 수 있다. 이에 따라, 상기 게이트 전극(104) 내에 포함되어 있는 봉소의 농도가 감소되지 않는다. 즉, 상기 게이트 전극(104) 내에 포함된 봉소의 농도가 종래에 비해 증가하게 되므로, 게이트 전극에 전압을 인가하였을 때 상기 게이트 산화막 패턴과 인접하고 있는 상기 게이트 전극의 저면에서 발생되는 게이트 공핍이 감소하게 되고, 이로 인해 전기적인 게이트 산화막 패턴의 두께가 감소하게 된다. 또한, 채널 영역의 전하 밀도가 증가하게 되고, 전류의 밀도 역시 증가하게 된다. 따라서, 본 실시예의 방법에 의해 완성되는 PMOS트랜지스터는 포화 전류(saturation current)가 증가하게 된다.

<70> 한편, 상기 게이트 전극(104) 아래의 채널 영역이 신장 스트레스를 갖는 경우에, PMOS 트랜지스터의 온 전류(on current)는 감소된다. 따라서, 상기 PMOS 트랜지스터는 압축 스트레스를 갖는 실리콘 또는 아무런 스트레스를 갖지 않는 실리콘 기판 상에 형성된 것에 비하여 성능이 다소 나빠질 수 있다.

<71> 그러나, 상기에서 설명한 것과 같이, 게이트 전극(104) 및 소오스/드레인 영역(108)에서 봉소의 확산이 감소됨으로써 상기 PMOS 트랜지스터의 포화 전류(saturation current)가 증가하게 되고 성능이 양호해진다. 때문에, 비록 채널 영역이 신장 스트레스를 갖는 실리콘으로 이루어진다하더라도 상기 PMOS 트랜지스터의 성능을 충분하게 유지시킬 수 있다.

실시예 2

<73> 도 8 내지 도 17은 발명의 실시예2에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

<74> 도 8을 참조하면, 먼저 반도체 물질로 이루어지는 기판(200)을 마련한다. 본 실시예에서는 상기 기판(200)으로서 (100) 평면이 노출된 단결정 실리콘 기판이 마련된다. 상기 기판(200)은 NMOS트랜지스터가 형성되는 제1 영역과 PMOS 트랜지스터가 형성되는 제2 영역으로 구분된다.

<75> 상기 기판(200)에 셀로우 트렌치 소자 분리 공정을 수행하여 소자 분리막 패턴(202)을 형성함으로써 액티브 영역 및 필드 영역을 정의한다.

<76> 다음에, NMOS 및 PMOS 트랜지스터 각각의 채널 영역(203)을 형성하기 위하여, 상기 제1 영역의 기판에 P형 불순물을 도핑하고, 상기 제2 영역의 기판에 N형 불순물을 도핑한다.

<77> 구체적으로, 상기 제1 영역의 기판(200)을 선택적으로 노출하는 제1 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제1 영역의 기판에 P형 불순물을 이온주입한다. 다음에, 상기 제1 이온주입 마스크 패턴을 제거한다. 또한, 상기 제2 영역의 기판(200)을 선택적으로 노출하는 제2 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제2 영역의 기판에 N형 불순물을 이온주입한다. 다음에, 상기 제2 이온주입 마스크 패턴을 제거한다. 상기 제1 및 제2 이온주입 마스크 패턴은 포토레지스트를 사용하여 형성할 수 있다. 상기 P형 불순물의 예로는 봉소, BF₂ 등을 들 수 있고, 상기 N형 불순물의 예로는 비소, 인 등을 들 수 있다.

<78> 계속해서, 상기 기판(200) 상에 게이트 산화막(206)을 형성한다. 상기 게이트 산화막(206)은 상기 실리콘 기판

(200)의 표면을 열산화시켜 형성할 수 있다. 또는, 상기 게이트 산화막(206)은 고유전 물질을 증착시켜 형성할 수 있다.

<79> 상기 게이트 산화막(206) 상에 폴리실리콘막(도시안됨)을 형성한다.

<80> 이 후, 상기 폴리실리콘막 상에 게이트 전극(208)을 형성하기 위한 마스크 패턴(도시안됨)을 형성한다. 상기 마스크 패턴으로는 실리콘 산화물 또는 실리콘 질화물을 이루어지는 하드 마스크 패턴을 사용할 수 있다. 상기 마스크 패턴을 식각 마스크로 사용하여 상기 폴리실리콘막을 이방성으로 식각함으로써 상기 제1 및 제2 영역에 각각 게이트 전극(208)을 형성한다. 이하에서는, 상기 제1 영역에 형성된 게이트 전극을 제1 게이트 전극(208a)이라 하고, 상기 제2 영역에 형성된 게이트 전극을 제2 게이트 전극(208b)이라 하면서 설명한다.

<81> 도 9를 참조하면, 상기 게이트 전극들(208) 및 게이트 산화막(206)의 상부 표면에 절연막(도시안됨)을 형성한다. 상기 절연막은 실리콘 질화물을 화학기상증착법에 의해 증착시켜 형성할 수 있다. 상기 절연막 및 게이트 산화막을 이방성으로 식각함으로써 상기 게이트 전극(208)의 측벽에 스페이서(210)를 형성한다. 또한, 상기 식각 공정에 의해 게이트 산화막 패턴(206a)이 형성된다.

<82> 이 후, 상기 게이트 전극들(208)을 형성하기 위하여 증착되었던 상기 마스크 패턴을 제거한다. 따라서, 상기 게이트 전극들(208) 및 스페이서들 형성하는 공정을 수행하고 나면, 상기 폴리실리콘으로 이루어지는 게이트 전극들(208)의 상부면이 노출된다.

<83> 도 10을 참조하면, 상기 스페이서(210)들 양측으로 노출되어 있는 기판(200) 및 게이트 전극들(208)에 대하여 전처리 비정질화 이온 주입공정을 수행한다. 구체적으로, 상기 스페이서(210)들 양측으로 노출되어 있는 기판(200) 및 게이트 전극들 표면 아래로 게르마늄, 제논, 탄소 및 불소 중에서 선택된 적어도 하나의 불순물을 이온 주입한다. 상기 이온주입 공정을 수행하면, 상기 스페이서(210)들 사이에 노출되어 있는 기판(200) 및 게이트 전극들(208) 표면이 비정질화된다. 이로 인해, 후속으로 소오스/드레인 영역을 형성하기 위한 불순물 주입 공정을 수행하였을 때 주입된 불순물이 측방으로 과도하게 확산되어 채널링효과가 발생하는 것을 방지할 수 있다.

<84> 도 11을 참조하면, 상기 기판(200) 상에 상기 제1 영역의 기판(200) 표면을 선택적으로 노출하는 제3 이온주입 마스크 패턴(212)을 형성한다. 상기 제3 이온주입 마스크 패턴(212)은 포토레지스트 패턴으로 이루어질 수 있다.

<85> 상기 제3 이온주입 마스크 패턴(212)을 이온 주입 마스크로 사용하여 상기 제1 영역의 기판(200)에 N형 불순물을 주입한다. 이와 같이, 상기 제1 영역에 N형 불순물을 주입하면, 상기 제1 게이트 전극(208a)의 양측으로 노출된 기판(200) 표면 아래에는 제1 소오스/드레인 영역(214)이 형성된다. 그리고, 상기 제1 게이트 전극(208a)에도 N형 불순물이 주입됨으로써 상기 제1 게이트 전극(208a)의 일함수가 조절되고, 저항이 감소된다.

<86> 이 후, 상기 제3 이온주입 마스크 패턴(212)을 제거한다.

<87> 도 12를 참조하면, 상기 기판(200) 상에 상기 제2 영역의 기판 표면을 선택적으로 노출하는 제4 이온주입 마스크 패턴(216)을 형성한다.

<88> 상기 제4 이온주입 마스크 패턴(216)을 이온 주입 마스크로 사용하여 상기 제2 영역의 기판에 P형 불순물을 주입한다. 이와 같이, 상기 제2 영역에 P형 불순물을 주입하면, 상기 제2 게이트 전극(208b)의 양측으로 노출된 기판(200) 표면 아래에는 제2 소오스/드레인 영역(218)이 형성된다. 그리고, 상기 제2 게이트 전극(208b)에도 P형 불순물이 주입됨으로써 상기 제2 게이트 전극(208b)의 일함수가 조절되고, 저항이 감소된다. 본 실시예에서 상기 P형 불순물로써 BF_2 를 사용한다.

<89> 도 13을 참조하면, 상기 노출된 기판(200), 스페이서(210), 제1 및 제2 게이트 전극(208a, 208b)의 표면을 따라 실리콘 산화막(220)을 형성한다. 상기 실리콘 산화막(220)은 신장 스트레스를 갖는 실리콘 산화막(이하, 신장 실리콘 산화막)으로 형성되거나, 또는 압축 스트레스를 갖는 실리콘 산화막(이하, 압축 실리콘 산화막)으로 형성될 수 있다. 여기서, 상기 신장 실리콘 산화막의 신장 스트레스는 약 0.05 내지 0.3GPa 정도일 수 있다. 또한, 상기 압축 실리콘 산화막의 압축 스트레스는 약 -0.05 내지 -0.3GPa 정도일 수 있다.

<90> 보다 구체적으로, 열적 화학기상증착 공정을 통해 O_3 -TEOS막을 형성함으로써 신장 실리콘 산화막을 형성할 수 있다. 이와는 달리, 플라즈마 강화 화학기상증착 공정 또는 고밀도 화학기상증착 공정을 통해 압축스트레스를 갖는 실리콘 산화막을 형성할 수도 있다.

- <91> 상기 실리콘 산화막(220)은 350 내지 500°C의 온도 하에서, 50Å 내지 300Å의 두께로 형성하는 것이 바람직하다.
- <92> 도 14를 참조하면, 상기 실리콘 산화막(220)에 불활성 가스, 산소 및 오존 가스 중 적어도 하나의 가스를 이용하는 플라즈마 처리를 수행하여 상기 실리콘 산화막(220)을 확산 방지막(222)으로 변환시킨다. 상기 플라즈마 처리에 사용할 수 있는 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.
- <93> 상기와 같이, 실리콘 산화막(220)에 플라즈마 처리를 수행하면 상기 실리콘 산화막(220)의 막질이 치밀해지고 막 내 포함되어 있는 -OH기 또는 -H기들이 감소된다. 그러므로, 상기 플라즈마 처리를 통해 형성된 확산 방지막(222)이 형성되어 있는 경우는 이 전의 실리콘 산화막(220)이 구비되었을 때에 비하여 P형 불순물이 확산되는데 필요한 에너지가 높아지게 된다.
- <94> 구체적으로, 상기 실리콘 산화막(220)을 열적 화학기상증착방법에 의해 형성된 O₃-TEOS막으로 형성하는 경우 상기 O₃-TEOS막 내에는 -OH가 다수 포함되어 있다. 그런데, 상기 O₃-TEOS막에 불활성 가스를 이용하는 플라즈마 처리를 수행하면, 상기 O₃-TEOS막 내의 -OH기의 함량이 매우 감소하게 된다. 또한, 상기 O₃-TEOS막에 산소 또는 오존을 이용하는 플라즈마 처리를 수행하면, 상기 O₃-TEOS막에 산소 결합이 강화됨으로써 막질이 치밀해진다.
- <95> 상기 플라즈마 처리는 300 내지 700°C의 온도 하에서 1 내지 5분동안 수행하는 것이 바람직하며, 상기 플라즈마 처리 온도 및 실리콘 산화막(220)의 두께 등에 따라 증감할 수 있다.
- <96> 도 15를 참조하면, 상기 확산 방지막(222) 상에 채널 영역에 신장 스트레스를 가해주기 위한 물질로써 실리콘 질화막(224)을 형성한다. 따라서, 상기 실리콘 질화막(224)은 신장 스트레스를 갖는 것이 바람직하다.
- <97> 구체적으로, 상기 실리콘 질화막의 신장 스트레스는 약 0.8 내지 2GPa 정도일 수 있다. 상기 신장 스트레스를 갖는 실리콘 질화막(114)은 PE-CVD 공정 또는 HDP-CVD 공정을 통해 형성할 수 있다. 상기 신장 스트레스를 갖는 실리콘 질화막을 형성하기 위해서는 상기 CVD 공정 시의 플라즈마 조건이나 증착 속도 조건을 조절하여야 한다. 구체적으로, 상기 CVD 공정 시의 기판 쪽으로 가해지는 DC 바이어스가 낮을수록, 증착 속도가 느릴수록, 형성되는 실리콘 질화막의 신장 스트레스가 증가하게 된다. 상기 PE-CVD 공정 시에 사용되는 반응 가스들의 일 예로는 SiH₄ 및 NH₃를 들 수 있다.
- <98> 상기 실리콘 질화막(224)은 300 내지 500°C의 온도 하에서 100Å 내지 1000Å의 두께로 형성하는 것이 바람직하다.
- <99> 상기 실리콘 질화막을 형성하기 위한 공정에서 플라즈마를 사용하는 경우에는, 이 전의 플라즈마 처리 공정과 상기 실리콘 질화막의 형성 공정을 인 시튜로 진행할 수 있다. 예를들어, 본 실시예에서와 같이 상기 실리콘 질화막을 PE-CVD 공정으로 형성하는 경우에는 이 전의 플라즈마 처리 공정과 상기 실리콘 질화막의 증착 공정을 인 시튜로 진행할 수 있다. 구체적으로, 상기 실리콘 산화막을 형성한 이 후에 상기 실리콘 질화막을 형성하기 위한 공정 챔버 내로 기판을 로딩시키고, 상기 실리콘 질화막을 형성하기 이 전의 전 처리 공정으로써 상기 질소, 산소 또는 오존을 이용하는 플라즈마 처리함으로써 상기 확산 방지막을 형성한다. 계속하여, 상기 챔버 내에서 실리콘 질화막을 증착시킨다. 이와같이, 상기 플라즈마 처리 공정 및 실리콘 질화막의 형성 공정을 인 시튜로 진행하는 경우 공정 시간이 단축되어 생산성이 매우 높아지게 된다.
- <100> 도 16을 참조하면, 상기 실리콘 질화막(224)이 형성되어 있는 기판(200)을 급속 열처리시켜 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시킨다. 또한, 상기 기판을 급속 열처리함으로써 상기 실리콘 질화막(224)의 신장 스트레스가 더욱 증가하게 되고, 상기 증가된 신장 스트레스에 의해 하부의 제1 및 제2 게이트 전극(208a, 208b)은 반대로 압축 스트레스가 증가하게 된다. 그 결과, 상기 제1 및 제2 게이트 전극(208a, 208b) 아래의 채널 영역에는 신장 스트레스를 갖게 된다.
- <101> 상기 기판을 열처리하는 공정은 900 내지 1200°C의 온도에서 질소, 아르곤 및 수소 중에서 선택된 적어도 하나의 가스 분위기 하에서 수행될 수 있다.
- <102> 특히, 본 실시예에 의하면 상기 실리콘 질화막(224)이 기판의 제1 영역뿐 아니라 제2 영역에도 증착되어 있으므로, NMOS 트랜지스터의 채널 영역 뿐 아니라 PMOS 트랜지스터의 채널 영역까지 신장 스트레스를 갖게 된다.
- <103> 그런데, 상기 제1 및 제2 소오스/드레인 영역(214, 218)의 기판 상에는 불순물 확산 방지막(222)이 형성되어 있다. 때문에, 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시키는 단계에서, 상기 제2 소오스/드레인 영역(218)에 도핑되어 있는 붕소가 상부로 확산하는 것을 방지할 수 있다. 이로 인해, 상기

제2 소오스/드레인 영역(218)에 도핑되어 있는 붕소의 농도(concentration)가 높아지게 되어 상기 제2 소오스 드레인 영역(218)의 저항이 감소된다. 따라서, 본 실시예의 방법에 의해 완성되는 PMOS트랜지스터의 포화 전류(saturation current)가 증가하게 된다.

<104> 또한, 상기 제2 게이트 전극(208b)의 상부면에도 불순물 확산 방지막(222)이 형성되어 있다. 때문에, 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시키는 단계에서, 상기 제2 게이트 전극(208b)에 도핑되어 있는 붕소가 상부로 확산하는 것을 방지할 수 있다. 이에 따라, 상기 제2 게이트 전극(208b) 내에 포함되어 있는 붕소의 농도가 증가하게 되어 게이트 공핍이 감소하게 됨으로써 전기적인 게이트 산화막 패턴의 두께가 감소하게 된다. 이로 인해, 채널 영역의 전하 밀도가 증가하게 된다. 따라서, 본 실시예의 방법에 의해 완성되는 PMOS트랜지스터의 포화 전류(saturation current)가 증가하게 된다.

<105> 이와같이, 상기 제2 게이트 전극(208b) 및 제2 소오스/드레인 영역(218)에서 붕소의 확산이 감소됨으로써 상기 PMOS 트랜지스터의 포화 전류가 증가하게 되고 성능이 양호해진다. 때문에, 비록 채널 영역이 신장 스트레스를 갖는 실리콘으로 이루어진다하더라도 상기 PMOS 트랜지스터의 성능을 충분하게 유지시킬 수 있다.

<106> 또한, 상기 NMOS 트랜지스터의 채널 영역이 신장 스트레스를 가지므로, 채널 영역에서 전자의 이동도를 증가시킬 수 있다. 이로 인해 상기 NMOS 트랜지스터의 성능이 향상된다.

<107> 도 17을 참조하면, 상기 실리콘 질화막(224) 및 상기 불순물 확산 방지막(222)을 식각 공정을 통해 제거한다. 상기 제거는 습식 식각 공정을 통해 수행되는 것이 바람직하다. 예를들어, 상기 실리콘 질화막(224)은 인산을 포함하는 식각액을 사용하여 제거할 수 있다.

<108> 이 후, 상기 기판(200), 스페이서(210), 제1 및 제2 게이트 전극(208a, 208b)의 표면을 따라 금속막(도시안됨)을 형성한다. 상기 금속막은 상기 제1 및 제2 소오스/드레인 영역(214, 218)과 제1 및 제2 게이트 전극(208a, 208b) 표면에 금속 실리사이드 패턴을 형성하기 위하여 증착된다. 구체적으로, 상기 금속막은 코발트를 증착시켜 형성할 수 있다.

<109> 상기 금속막을 열처리하여 상기 금속막과 실리콘을 서로 반응시킨다. 이로써, 상기 제1 및 제2 소오스/드레인 영역(214, 218)과 제1 및 제2 게이트 전극 (208a, 208b) 표면에 금속 실리사이드 패턴(226)이 형성된다. 다음에, 반응하지 않은 금속막을 제거한다.

<110> 이와같이, 상기 게이트 전극 및 소오스/드레인의 저항을 감소시키기 위하여 상기 금속 실리사이드 패턴을 형성 할 수 있다. 그러나, 공정을 단순화하기 위하여 상기 금속 실리사이드 패턴을 형성하는 공정이 생략될 수도 있다.

<111> 상기 공정을 수행함으로써, 채널 영역이 신장 스트레스를 갖는 실리콘으로 이루어진 CMOS 트랜지스터가 완성된다. 본 실시예의 방법에 의하면, 채널 영역이 신장 스트레스를 갖는 실리콘 상에 NMOS 및 PMOS 트랜지스터를 형성하더라도 상기 PMOS 트랜지스터의 성능이 나빠지지 않는다. 또한, 상기 PMOS 트랜지스터가 형성되는 영역에 신장 스트레스를 갖는 실리콘이 형성되지 않도록 하기 위한 공정들이 수행되지 않아도 되기 때문에, 상기 CMOS 트랜지스터를 형성하는데 필요한 공정이 매우 단순화된다.

실시예 3

<113> 도 18 내지 도 21은 본 발명의 실시예 3에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다. 이하에서 설명하는 실시예 3에 따른 CMOS 트랜지스터의 제조 방법은 게이트 전극 상에 형성되는 실리콘 산화막을 확산 방지막으로 전환하는 방법을 제외하고는 실시예 2와 동일하다. 그러므로, 중복되는 부분은 간략하게 설명하거나 생략한다.

<114> 도 18을 참조하면, 먼저 실시예 2의 도 8 내지 도 12를 참조로 설명한 것과 동일한 공정을 수행한다. 이로써, 기판의 제1 영역에는 제1 게이트 전극(208a), 스페이서(210) 및 제1 소오스/드레인 영역(214)을 형성하고, 상기 기판의 제2 영역에는 제2 게이트 전극(208b), 스페이서(210) 및 제2 소오스/드레인 영역(218)을 형성한다.

<115> 다음에, 제1 및 제2 게이트 전극(208a, 208b), 스페이서(210) 및 기판(200) 표면 상에 실리콘 산화막(220)을 형성한다. 상기 실리콘 산화막(220)은 신장 스트레스를 갖는 실리콘 산화막(이하, 신장 실리콘 산화막)으로 형성되거나, 또는 압축 스트레스를 갖는 실리콘 산화막(이하, 압축 실리콘 산화막)으로 형성될 수 있다. 여기서, 상기 신장 실리콘 산화막의 신장 스트레스는 약 0.05 내지 0.3GPa 정도일 수 있다. 또한, 상기 압축 실리콘 산화막의 압축 스트레스는 약 -0.05 내지 -0.3GPa 정도일 수 있다.

- <116> 보다 구체적으로, 열적 화학기상증착 공정을 통해 O_3 -TEOS막을 형성함으로써 신장 실리콘 산화막을 형성할 수 있다. 이와는 달리, 플라즈마 강화 화학기상증착 공정 또는 고밀도 화학기상증착 공정을 통해 압축스트레스를 갖는 실리콘 산화막을 형성할 수도 있다.
- <117> 도 19를 참조하면, 상기 실리콘 산화막(220)에 자외선 광(UV light)을 조사함으로써 상기 실리콘 산화막을 개질시켜 확산 방지막(240)을 형성한다. 상기 자외선은 100 내지 $500\mu\text{m}$ 범위 내의 파장을 갖는 것이 바람직하며, 약 200 내지 $300\mu\text{m}$ 범위 내의 파장을 갖는 것이 더 바람직하다.
- <118> 구체적으로, 상기 실리콘 산화막(220)에 1 내지 5분동안 자외선 광을 조사하며, 이 때 상기 기판(200)은 300 내지 700°C 의 온도가 되도록 할 수 있다. 상기 자외선 처리 시간이 1분 이하이면 막의 개질 효과가 감소되고, 5분 이상이면 상기 자외선 처리에 의해 막이 손상될 수 있고 공정에 소요되는 시간도 길어져 바람직하지 않다.
- <119> 또한, 상기 실리콘 산화막(220)에 자외선 광을 조사하는 공정은 불활성 가스의 분위기에서 수행할 수 있다. 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.
- <120> 상기와 같이, 막 표면으로 자외선 광을 조사하는 경우, 상기 자외선 광의 에너지가 상기 막 내의 분자 결합보다 높아서 상기 분자 결합을 절단하게 된다. 따라서, 상기 자외선 처리를 수행하면 상기 실리콘 산화막(220) 내에 포함되어 있는 상대적으로 본딩 결합이 약한 Si-OH 결합, Si-H 결합, N-H 결합들이 감소된다. 따라서, 상기 자외선 처리에 의해 형성된 확산 방지막(240)은 -OH기 또는 -H기들이 거의 없고 대부분 Si-O 결합을 갖게된다.
- <121> 그러므로, 상기 확산 방지막(240)이 형성되어 있는 경우는 이 전의 실리콘 산화막(220)이 구비되었을 때에 비하여 P형 불순물이 확산되는데 필요한 에너지가 높아지게 된다. 따라서, 상기 P형 불순물이 기판 상부쪽으로 확산하는 것을 억제할 수 있다.
- <122> 도 20을 참조하면, 상기 확산 방지막(240) 상에 채널 영역에 신장 스트레스를 가해주기 위한 물질로써 실리콘 질화막(224)을 형성한다. 따라서, 상기 실리콘 질화막(224)은 신장 스트레스를 갖는 것이 바람직하다.
- <123> 구체적으로, 상기 실리콘 질화막(224)의 신장 스트레스는 약 0.8 내지 2GPa 정도일 수 있다. 상기 신장 스트레스를 갖는 실리콘 질화막(224)은 PE-CVD 공정을 통해 형성할 수 있다. 상기 PE-CVD 공정시에 사용되는 반응 가스들의 일 예로는 SiH₄ 및 NH₃를 들 수 있다.
- <124> 상기 실리콘 질화막(224)은 300 내지 500°C 의 온도 하에서 100Å 내지 1000Å의 두께로 형성하는 것이 바람직하다.
- <125> 도 21을 참조하면, 상기 실리콘 질화막(224)이 형성되어 있는 기판(200)을 급속 열처리시켜 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시킨다. 또한, 상기 기판을 급속 열처리함으로써 상기 실리콘 질화막(224)의 신장 스트레스가 더욱 증가하게 되고, 상기 증가된 신장 스트레스에 의해 하부의 제1 및 제2 게이트 전극(208a, 208b)은 반대로 압축 스트레스가 증가하게 된다. 그 결과, 상기 제1 및 제2 게이트 전극(208a, 208b) 아래의 채널 영역에는 신장 스트레스를 갖게 된다.
- <126> 특히, 본 실시예에 의하면 상기 실리콘 질화막(224)이 기판의 제1 영역뿐 아니라 제2 영역에도 증착되어 있으므로, NMOS 트랜ジ스터의 채널 영역 뿐 아니라 PMOS 트랜ジ스터의 채널 영역까지 신장 스트레스를 갖게 된다.
- <127> 이후, 도시하지는 않았지만, 도 17을 참조로 설명한 것과 같이, 상기 실리콘 질화막(224) 및 상기 불순물 확산 방지막(222)을 식각 공정을 통해 제거한다. 이 후, 상기 제1 및 제2 소오스/드레인 영역(214, 218)과 제1 및 제2 게이트 전극(208a, 208b) 표면에 금속 실리사이드 패턴(226)을 형성할 수도 있다.
- <128> 본 실시예의 방법에 따르면, 자외선 처리에 의하여 높은 불순물 확산 장벽을 갖는 확산 방지막이 형성됨으로써 PMOS 트랜ジ스터에서 P형 불순물의 확산을 매우 감소시킬 수 있다. 이로 인해, 공정을 단순화하면서도 고성능을 갖는 CMOS 트랜ジ스터를 형성할 수 있다.
- <129> 실시예 4
- <130> 도 22 및 도 23은 본 발명의 실시예 4에 따른 CMOS 트랜ジ스터의 제조 방법을 설명하기 위한 단면도들이다. 이하에서 설명하는 실시예 4에 따른 CMOS 트랜ジ스터의 제조 방법은 자외선 처리를 수행하는 단계가 변경되는 것을 제외하고는 실시예 3과 동일하다. 그러므로, 중복되는 부분은 간략하게 설명하거나 생략한다.
- <131> 먼저, 도 18에 도시된 것과 같이, 기판의 제1 영역에는 제1 게이트 전극(208a), 스페이서(210) 및 제1 소오스/드레인 영역(214)을 형성하고, 상기 기판의 제2 영역에는 제2 게이트 전극(208b), 스페이서(210) 및 제2 소오스/드레인 영역(214)을 형성한다.

/드레인 영역(216)을 형성한다. 또한, 상기 제1 및 제2 게이트 전극(208a, 208b), 스페이서(210) 및 기판(200) 표면 상에 실리콘 산화막(222)을 형성한다.

<132> 도 22를 참조하면, 상기 실리콘 산화막(222) 상에 채널 영역에 신장 스트레스를 가해주기 위한 물질로써 실리콘 질화막(224)을 형성한다. 따라서, 상기 실리콘 질화막(224)은 신장 스트레스를 갖는 것이 바람직하다. 구체적으로, 상기 실리콘 질화막(224)의 신장 스트레스는 약 0.8 내지 2GPa 정도일 수 있다.

<133> 다른 실시예로, 상기 실리콘 질화막(224)을 형성하기 이 전에, 실시예 2에서와 같이 상기 실리콘 산화막(222)에 불활성 가스를 이용한 플라즈마 처리를 수행할 수 있다. 또 다른 실시예로, 상기 실리콘 질화막(224)을 형성하기 이 전에, 실시예 3에서와 같이 상기 실리콘 산화막(222)을 자외선 처리할 수 있다. 그러나, 상기에서 설명한 것과 같이, 상기 실리콘 산화막(222)에 아무런 처리를 하지 않은 상태로 상기 실리콘 질화막(224)을 형성할 수도 있다.

<134> 도 23을 참조하면, 상기 실리콘 질화막(224)에 자외선 광(UV light)을 조사함으로써, 상기 실리콘 질화막(224) 하부의 상기 실리콘 산화막(222)을 개질시켜 확산 방지막(240)을 형성한다.

<135> 구체적으로, 상기 실리콘 질화막(224)에 1 내지 5분동안 자외선 광을 조사하며, 이 때 상기 기판(200)은 300 내지 700°C의 온도로 가열할 수 있다. 또한, 상기 실리콘 질화막(224)에 자외선 광을 조사하는 공정은 불활성 가스의 분위기에서 수행할 수 있다. 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.

<136> 상기 실리콘 질화막(224)에 자외선 처리를 하면, 상기 실리콘 질화막(224) 아래의 실리콘 산화막(220) 내에 포함되어 있는 -OH기 또는 -H기들도 감소된다. 따라서, 상기 자외선 처리에 의해 형성된 확산 방지막(240)은 Si-O 결합을 갖게되고, 이 전의 실리콘 산화막(220)에 비해 막의 치밀도가 높다.

<137> 한편, 상기 자외선 광을 조사하는 자외선 처리 공정에서 상기 실리콘 질화막(224)의 특성도 다소 변화될 수 있다. 구체적으로, 상기 자외선 처리 공정에 의해 상기 실리콘 질화막(224)은 막 내에 포함되는 Si-N 결합 이 외의 결합들이 제거됨으로써 막 내에 공극(vacancy)들이 증가하게 되고, 이로 인해 상기 실리콘 질화막(224)의 신장 스트레스가 더욱 증가하게 된다.

<138> 이 후, 도시하지는 않았지만, 실시예 3과 동일하게 상기 실리콘 질화막(224)이 형성되어 있는 기판(200)을 급속 열처리시켜 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시키는 공정과, 상기 실리콘 질화막(224) 및 상기 불순물 확산 방지막(222)을 제거하는 공정을 수행한다.

<139> 본 실시예의 방법에 따르면, 자외선 처리에 의하여 높은 불순물 확산 장벽을 갖는 확산 방지막이 형성됨으로써 PMOS 트랜지스터에서 P형 불순물의 확산을 매우 감소시킬 수 있다. 이로 인해, 공정을 단순화하면서도 고성능을 갖는 CMOS트랜지스터를 형성할 수 있다.

<140> 실시예 5

<141> 도 24 및 도 25는 본 발명의 실시예 5에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다. 이 하에서 설명하는 실시예 5에 따른 CMOS 트랜지스터의 제조 방법은 PMOS 트랜지스터의 특성 향상을 위한 공정이 추가되는 것을 제외하고는 실시예 2와 동일하다. 그러므로, 중복되는 부분은 간략하게 설명하거나 생략한다.

<142> 먼저, 도 8 내지 도 13을 참조로 설명한 것과 동일한 공정을 수행하여, 도 13에 도시된 것과 같이, 기판의 제1 영역에는 제1 게이트 전극(208a), 스페이서(210) 및 제1 소오스/드레인 영역(214)을 형성하고, 상기 기판의 제2 영역에는 제2 게이트 전극(208b), 스페이서(210) 및 제2 소오스/드레인 영역(218)을 형성한다. 또한, 상기 제1 및 제2 게이트 전극(208a, 208b), 스페이서(210) 및 기판(200) 표면 상에 실리콘 산화막(220)을 형성한다.

<143> 이 후, 도 14에서 설명한 것과 같이 상기 실리콘 산화막(220)을 플라즈마 처리함으로써 확산 방지막(240)으로 전환시킨다. 다른 예로, 상기 실리콘 산화막(220)을 실시예 3에서와 같이 자외선 처리함으로써 확산 방지막(240)으로 전환시킬 수도 있다.

<144> 다음에, 도 15에서 설명한 것과 동일한 공정을 수행하여, 상기 확산 방지막(240) 상에 신장 스트레스를 갖는 실리콘 질화막(224)을 형성한다.

<145> 도 24를 참조하면, 상기 실리콘 질화막(224) 상에 포토레지스트막(도시안됨)을 코팅한다. 이 후, 노광 공정을 통해 상기 포토레지스트막을 선택적으로 노광하고, 현상 및 베이크함으로써 상기 PMOS 트랜지스터가 형성되어 있는 기판의 제2 영역을 선택적으로 노출하는 포토레지스트 패턴(250)을 형성한다.

- <146> 상기 포토레지스트 패턴(250)을 식각 마스크로 사용하여 상기 실리콘 질화막(224)을 식각함으로써 상기 NMOS 트랜지스터 형성되어 있는 기판의 제1 영역에 실리콘 질화막 패턴(224a)을 형성한다. 상기 실리콘 질화막(224)을 식각할 때 하부의 막들이 손상되지 않도록 하기 위하여, 상기 실리콘 질화막(224)은 습식 식각 공정을 통해 식각되는 것이 바람직하다.
- <147> 이 후, 도시하지는 않았지만, 예상 및 스트립 공정을 통해 상기 포토레지스트 패턴(250)을 제거한다.
- <148> 도 25를 참조하면, 상기 실리콘 질화막 패턴(224a)이 형성되어 있는 기판(200)을 급속 열처리시켜 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시킨다. 또한, 상기 기판을 급속 열처리함으로써 상기 실리콘 질화막 패턴(224a)의 신장 스트레스가 더욱 증가하게 되고, 상기 증가된 신장 스트레스에 의해 하부의 제1 게이트 전극(208a)은 반대로 압축 스트레스가 증가하게 된다. 그 결과, 상기 제1 게이트 전극(208a) 아래의 채널 영역에는 신장 스트레스를 갖게 된다.
- <149> 한편, 상기 제2 영역에는 상기 실리콘 질화막 패턴(224a)이 형성되어 있지 않으므로, 상기 제2 게이트 전극(208b) 아래의 채널 영역은 신장 스트레스를 갖지 않게된다. 따라서, 상기 제2 게이트 전극(208b) 아래의 채널 영역이 신장 스트레스를 갖는 경우에 비하여 전자의 이동도가 증가하게 되고, 이로인해 이 후 공정에 의해 완성되는 PMOS 트랜지스터의 특성이 더욱 향상된다.
- <150> 이 후, 도시하지는 않았지만, 상기 실리콘 질화막 패턴(224a) 및 상기 불순물 확산 방지막(222)을 제거하는 공정을 수행한다.
- <151> 실시예 6
- <152> 도 26 내지 도 28은 본 발명의 실시예 6에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <153> 먼저, 도 8 내지 도 13을 참조로 설명한 것과 동일한 공정을 수행하여, 도 13에 도시된 것과 같이, 기판의 제1 영역에는 제1 게이트 전극(208a), 스페이서(210) 및 제1 소오스/드레인 영역(214)을 형성하고, 상기 기판의 제2 영역에는 제2 게이트 전극(208b), 스페이서(210) 및 제2 소오스/드레인 영역(214)을 형성한다. 또한, 상기 제1 및 제2 게이트 전극(208a, 208b), 스페이서(210) 및 기판(200) 표면 상에 실리콘 산화막(220)을 형성한다.
- <154> 도 26을 참조하면, 상기 실리콘 산화막(220) 상에 채널 영역에 신장 스트레스를 가해주기 위한 물질로써 실리콘 질화막(224)을 형성한다. 따라서, 상기 실리콘 질화막(224)은 신장 스트레스를 갖는 것이 바람직하다. 구체적으로, 상기 실리콘 질화막(224)의 신장 스트레스는 약 0.8 내지 2GPa 정도일 수 있다.
- <155> 설명한 것과 같이, 본 실시예에서는 상기 실리콘 산화막(220)에 아무런 처리를 하지 않은 상태로 상기 실리콘 질화막(224)을 형성한다.
- <156> 도 27을 참조하면, 상기 실리콘 질화막(224) 상에 포토레지스트막을 코팅한다. 이 후, 노광 공정을 통해 상기 포토레지스트막을 선택적으로 노광하고, 현상 및 베이크함으로써 상기 PMOS 트랜지스터가 형성되어 있는 기판의 제2 영역을 선택적으로 노출하는 포토레지스트 패턴(260)을 형성한다.
- <157> 상기 포토레지스트 패턴(260)을 식각 마스크로 사용하여 상기 실리콘 질화막(224)을 식각함으로써 상기 NMOS 트랜지스터 형성되어 있는 기판의 제1 영역에 실리콘 질화막 패턴(224a)을 형성한다. 상기 실리콘 질화막(224)을 식각할 때 하부의 막들이 손상되지 않도록 하기 위하여, 상기 실리콘 질화막(224)은 습식 식각 공정을 통해 식각되는 것이 바람직하다.
- <158> 도 28을 참조하면, 상기 실리콘 질화막 패턴(224a) 및 상기 실리콘 산화막(220)의 표면을 플라즈마 처리하여 상기 실리콘 산화막(220)을 확산 방지막(240)으로 전환시킨다.
- <159> 또는, 상기 실리콘 질화막 패턴(224a) 및 상기 실리콘 산화막(220) 표면을 실시예 3에서와 같이 자외선 처리함으로써 상기 실리콘 산화막(220)을 확산 방지막(240)으로 전환시킬 수도 있다.
- <160> 이 후, 도시하지는 않았지만, 상기 실리콘 질화막 패턴(224a)이 형성되어 있는 기판(200)을 급속 열처리시켜 상기 제1 및 제2 소오스/드레인 영역(214, 218)에 형성된 불순물을 활성화시킨다. 또한, 상기 실리콘 질화막 패턴(224a) 및 상기 불순물 확산 방지막(222)을 제거하는 공정을 수행한다.
- <161> 비교 실험
- <162> 실험 예 1

- <163> 도 8 내지 도 17을 참조로 설명한 제조 방법에 따라서, 실험예 1의 CMOS 트랜지스터를 제조하였다.
- <164> 구체적으로는, (100) 평면이 노출된 단결정 실리콘 기판 표면 상에 게이트 절연막과 폴리실리콘막을 순차적으로 형성하였다. 상기 폴리실리콘막을 부분적으로 식각하여, NMOS 트랜지스터에 포함되는 제1 게이트 전극과 PMOS 트랜지스터에 포함되는 제2 게이트 전극들을 형성하였다. 이 때 상기 제1 및 제2 게이트 전극들은 게이트 길이가 0.5 내지 $0.6\mu\text{m}$ 이고, 게이트 너비가 $5\mu\text{m}$ 이었다.
- <165> 상기 제1 및 제2 게이트 전극 양측으로 스페이서를 형성하였다. 이 후, 상기 제1 게이트 전극 양측으로는 N형 불순물을 주입시켜 제1 소오스/드레인 영역을 형성하였다. 그리고, 상기 제2 게이트 전극 양측으로는 P형 불순물을 주입시켜 제2 소오스/드레인 영역을 형성하였다. 상기 제1 및 제2 게이트 전극, 스페이서 및 기판 표면에 저온 산화막을 110\AA 의 두께로 형성하였다. 이 후, 상기 저온 산화막에 대해 N₂ 플라즈마 처리를 하였다.
- <166> 이 후, PECVD 공정을 수행하여 실리콘 질화막을 형성하고, 열처리 공정을 통해 채널 영역의 실리콘 기판이 신장 스트레스를 갖도록 하였다.
- <167> 실험예 2
- <168> 도 8 내지 도 17을 참조로 설명한 방법으로, 상기 실험예 1과는 다소 다르게 실험예 2의 CMOS 트랜지스터를 제조하였다.
- <169> 구체적으로는, (100)평면이 노출된 단결정 실리콘 기판 표면 상에 게이트 절연막(332)과 폴리실리콘막을 순차적으로 형성하였다. 상기 폴리실리콘막을 부분적으로 식각하여, NMOS 트랜지스터에 포함되는 제1 게이트 전극과 PMOS 트랜지스터에 포함되는 제2 게이트 전극을 형성하였다. 이 때 상기 게이트 전극은 길이가 0.5 내지 $0.6\mu\text{m}$ 이고, 너비는 $5\mu\text{m}$ 이었다.
- <170> 상기 제1 및 제2 게이트 전극 양측으로 스페이서를 형성하였다. 이 후, 상기 제1 게이트 전극 양측으로는 N형 불순물을 주입시켜 제1 소오스/드레인 영역을 형성하였다. 그리고, 상기 제2 게이트 전극 양측으로는 P형 불순물을 주입시켜 제2 소오스/드레인 영역을 형성하였다. 상기 제1 및 제2 게이트 전극, 스페이서 및 기판 표면에 저온 산화막을 110\AA 의 두께로 형성하였다. 이 후, 상기 저온 산화막에 대해 H₂ 플라즈마 처리를 하였다.
- <171> 이 후, PECVD 공정을 수행하여 실리콘 질화막을 형성하고, 열처리 공정을 통해 채널 영역의 실리콘 기판이 신장 스트레스를 갖도록 하였다.
- <172> 비교예 1
- <173> 상기 실험예 1 및 2에 의해 형성된 CMOS 트랜지스터의 성능을 비교하기 위하여, 종래의 방법에 의해 PMOS 트랜지스터를 제조하였다.
- <174> 구체적으로는, (100)평면이 노출된 단결정 실리콘 기판 표면 상에 게이트 절연막(332)과 폴리실리콘막을 순차적으로 형성하였다. 상기 폴리실리콘막을 부분적으로 식각하여, NMOS 트랜지스터에 포함되는 제1 게이트 전극과 PMOS 트랜지스터에 포함되는 제2 게이트 전극을 형성하였다. 이 때 상기 게이트 전극은 길이가 0.5 내지 $0.6\mu\text{m}$ 이고, 너비는 $5\mu\text{m}$ 이었다.
- <175> 상기 제1 및 제2 게이트 전극 양측으로 스페이서를 형성하였다. 이 후, 상기 제1 게이트 전극 양측으로는 N형 불순물을 주입시켜 제1 소오스/드레인 영역을 형성하였다. 그리고, 상기 제2 게이트 전극 양측으로는 P형 불순물을 주입시켜 제2 소오스/드레인 영역을 형성하였다. 상기 제1 및 제2 게이트 전극, 스페이서 및 기판 표면에 저온 산화막을 110\AA 의 두께로 형성하였다.
- <176> 이 후, PECVD 공정을 수행하여 실리콘 질화막을 형성하고, 열처리 공정을 통해 채널 영역의 실리콘 기판이 신장 스트레스를 갖도록 하였다.
- <177> 턴-오프 및 포화 전류 측정 1
- <178> 실험예 1과 비교예 1의 방법으로 제조한 PMOS 트랜지스터들에 대해서 포화 전류와 턴-오프(turn-off) 전류 각각을 측정하였고, 측정된 결과가 도 29의 그래프에 도시되어 있다. 도 29에서, 횡축은 포화 전류를 나타내고, 종축은 턴-오프 전류를 나타낸다. 또한, ▲는 실험예 1에 따른 PMOS 트랜지스터에서 측정된 전류를 나타내고, □는 비교예 1에 따른 PMOS 트랜지스터에서 측정된 전류를 나타낸다.
- <179> 여기서, 각 트랜지스터들이 동일한 턴-오프 전류를 갖는 경우에, 포화 전류가 클수록 트랜지스터의 성능이 우수하다.

<180> 도 29를 참조하면, 상기 실험예 1의 방법으로 제조한 PMOS 트랜지스터와 상기 비교예 1의 방법으로 제조한 PMOS 트랜지스터를 비교할 때 동일한 턴-오프 전류를 갖는 경우에 상기 실험예 1의 방법으로 제조한 PMOS 트랜지스터의 포화 전류가 크다.

<181> 그러므로, 상기 비교예 1의 방법으로 제조한 PMOS 트랜지스터에 비해 상기 실험예 1의 방법으로 제조한 PMOS 트랜지스터의 성능이 우수함을 알 수 있다. 구체적으로, 실험예 1의 방법으로 제조한 PMOS 트랜지스터는 비교예 1의 방법으로 제조한 트랜지스터에 비해 온 전류의 이득율이 약 11%정도 높음을 알 수 있었다.

턴-오프 및 포화 전류 측정 2

<183> 실험예 1과 비교예 1의 방법으로 제조한 NMOS 트랜지스터들에 대해서 포화 전류와 턴-오프(turn-off) 전류 각각을 측정하였고, 측정된 결과가 도 30의 그래프에 도시되어 있다. 도 30에서, 횡축은 포화 전류를 나타내고, 종축은 턴-오프 전류를 나타낸다. 또한, ▲는 실험예 1에 따른 NMOS트랜지스터에서 측정된 전류를 나타내고, □는 비교예 1에 따른 NMOS트랜지스터에서 측정된 전류를 나타낸다.

<184> 도 30을 참조하면, 동일한 턴-오프 전류를 갖는 경우에 상기 실험예 1 및 비교예 1의 방법으로 제조한 NMOS 트랜지스터의 포화 전류가 거의 동일함을 알 수 있다. 즉, 상기 비교예 1의 방법으로 제조한 NMOS 트랜지스터와 상기 실험예 1의 방법으로 제조한 NMOS 트랜지스터는 거의 동일한 성능 갖는다. 따라서, 상기 산화막에 대해 N2 플라즈마 처리를 수행하더라도 NMOS 트랜지스터의 특성에는 거의 영향을 주지 않음을 알 수 있었다.

턴-오프 및 포화 전류 측정 3

<186> 실험예 2와 비교예 1의 방법으로 제조한 트랜지스터들에 대해서 포화 전류와 턴-오프(turn-off) 전류 각각을 측정하였고, 측정된 결과가 도 31의 그래프에 도시되어 있다. 도 31에서, 횡축은 포화 전류를 나타내고, 종축은 턴-오프 전류를 나타낸다. 또한, ●는 실험예 2에 따른 트랜지스터에서 측정된 전류를 나타내고, □는 비교예 1에 따른 트랜지스터에서 측정된 전류를 나타낸다.

<187> 도 31을 참조하면, 상기 실험예 2의 방법으로 제조한 트랜지스터와 상기 비교예 1의 방법으로 제조한 트랜지스터를 비교할 때 동일한 턴-오프 전류를 갖는 경우에 상기 실험예 2의 방법으로 제조한 트랜지스터의 포화 전류가 크다. 그러므로, 상기 비교예 2의 방법으로 제조한 트랜지스터에 비해 상기 실험예 1의 방법으로 제조한 트랜지스터의 성능이 우수함을 알 수 있다. 구체적으로, 실험예 2의 방법으로 제조한 트랜지스터는 비교예 1의 방법으로 제조한 트랜지스터에 비해 전류의 이득율이 약 8%정도 높음을 알 수 있었다.

<188>

턴-오프 및 포화 전류 측정 4

<190> 실험예 2와 비교예 1의 방법으로 제조한 NMOS 트랜지스터들에 대해서 포화 전류와 턴-오프(turn-off) 전류 각각을 측정하였고, 측정된 결과가 도 32의 그래프에 도시되어 있다. 도 32에서, 횡축은 포화 전류를 나타내고, 종축은 턴-오프 전류를 나타낸다. 또한, ●는 실험예 2에 따른 NMOS트랜지스터에서 측정된 전류를 나타내고, □는 비교예 1에 따른 NMOS트랜지스터에서 측정된 전류를 나타낸다.

<191> 도 32를 참조하면, 동일한 턴-오프 전류를 갖는 경우에 상기 실험예 2 및 비교예 1의 방법으로 제조한 NMOS 트랜지스터의 포화 전류가 거의 동일함을 알 수 있다. 즉, 상기 비교예 2의 방법으로 제조한 NMOS 트랜지스터와 상기 실험예 1의 방법으로 제조한 CMOS 트랜지스터는 거의 동일한 성능 가짐을 알 수 있다.

발명의 효과

<192> 상술한 바와 같이 본 발명에 따르면, P형 불순물이 확산되는 것을 방지함으로써 PMOS 트랜지스터의 온 전류가 상승되고 고성능을 갖는 PMOS 트랜지스터를 형성할 수 있다. 또한, MOS 트랜지스터를 형성하기 위한 기판의 채널 영역이 신장 스트레스를 갖는 반도체 물질로 이루어지도록 함으로써 고속으로 동작하는 CMOS 트랜지스터를 형성할 수 있다. 이와 같이, MOS 트랜지스터의 동작 특성이 향상됨에 따라 상기 MOS 트랜지스터를 포함하는 반도체 소자의 동작 특성도 향상될 수 있다.

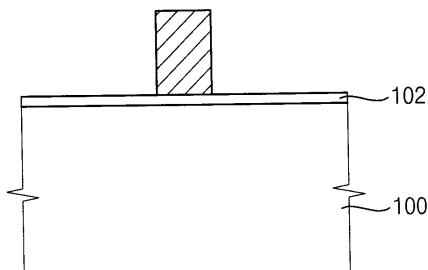
<193> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

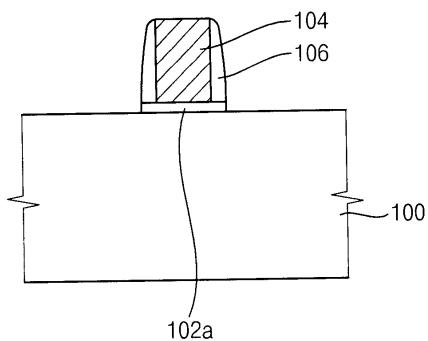
- <1> 도 1 내지 도 7은 본 발명의 실시예 1에 따른 PMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <2> 도 8 내지 도 17은 본 발명의 실시예 2에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <3> 도 18 내지 도 21은 본 발명의 실시예 3에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <4> 도 22 및 도 23은 본 발명의 실시예 4에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <5> 도 24 및 도 25는 본 발명의 실시예 5에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <6> 도 26 내지 도 28은 본 발명의 실시예 6에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- <7> 도 29는 실험예 1과 비교예 1의 방법으로 제조한 PMOS 트랜지스터들에서 측정된 포화 전류와 턴-오프(turn-off) 전류를 나타낸 그래프이다.
- <8> 도 30은 실험예 1과 비교예 1의 방법으로 제조한 NMOS 트랜지스터들에서 측정된 포화 전류와 턴-오프(turn-off) 전류를 나타낸 그래프이다.
- <9> 도 31은 실험예 2와 비교예 1의 방법으로 제조한 PMOS 트랜지스터들에서 측정된 포화 전류와 턴-오프(turn-off) 전류를 나타낸 그래프이다.
- <10> 도 32는 실험예 2와 비교예 1의 방법으로 제조한 NMOS 트랜지스터들에서 측정된 포화 전류와 턴-오프(turn-off) 전류를 나타낸 그래프이다.

도면

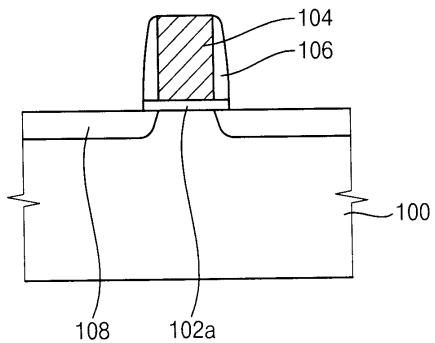
도면1



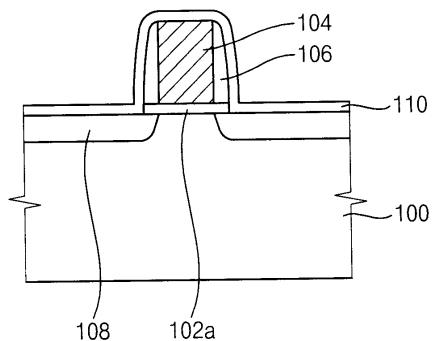
도면2



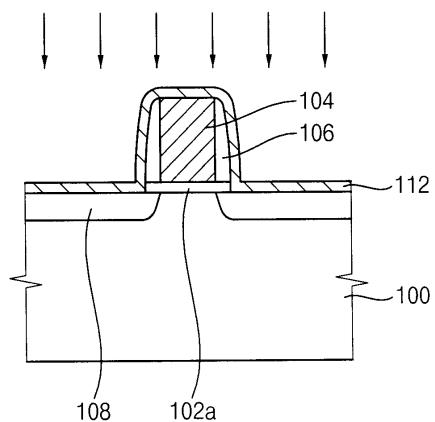
도면3



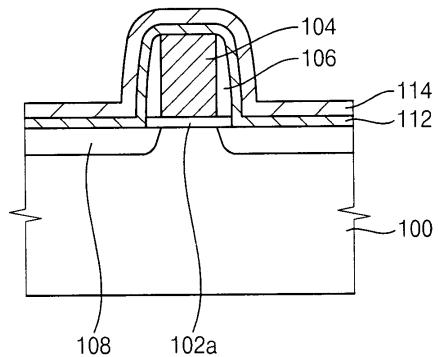
도면4



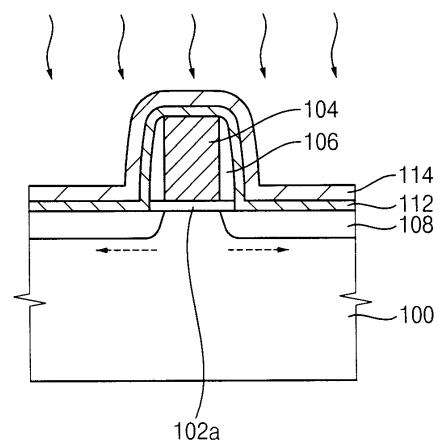
도면5



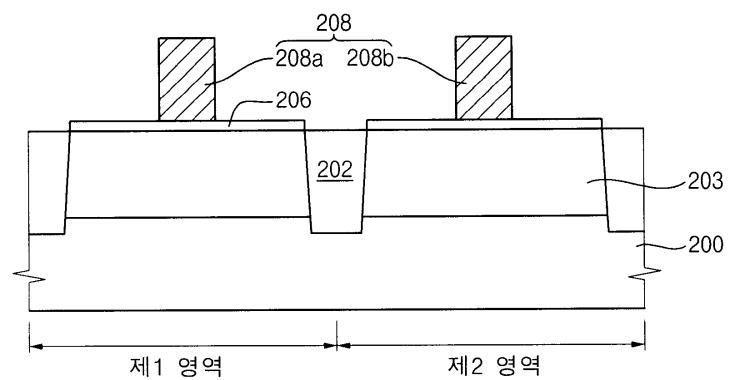
도면6



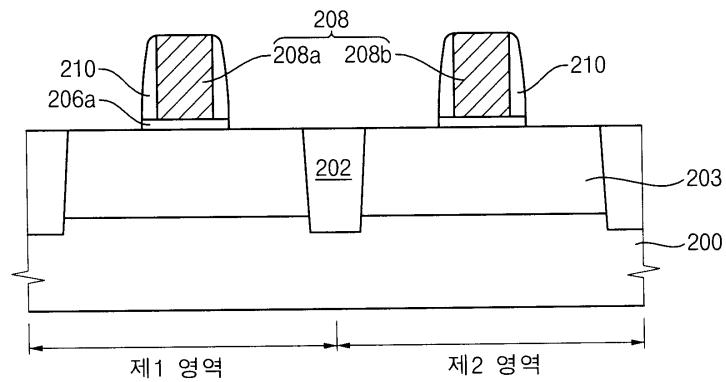
도면7



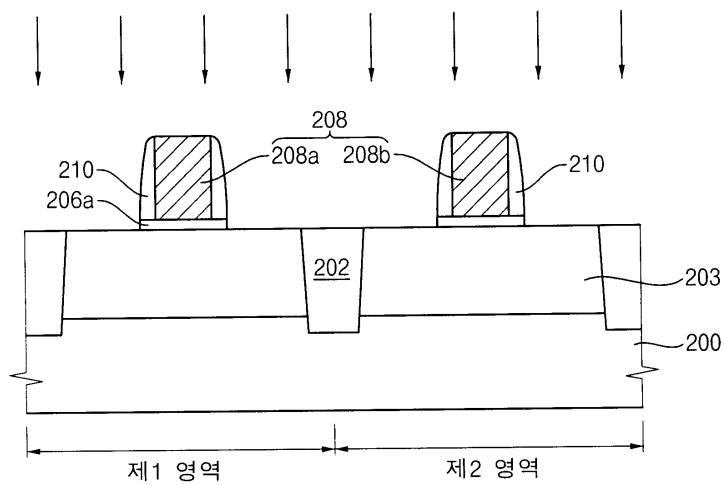
도면8



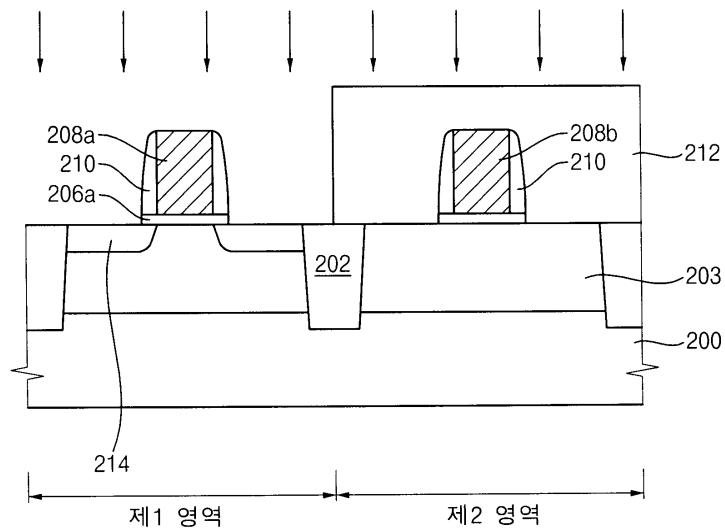
도면9



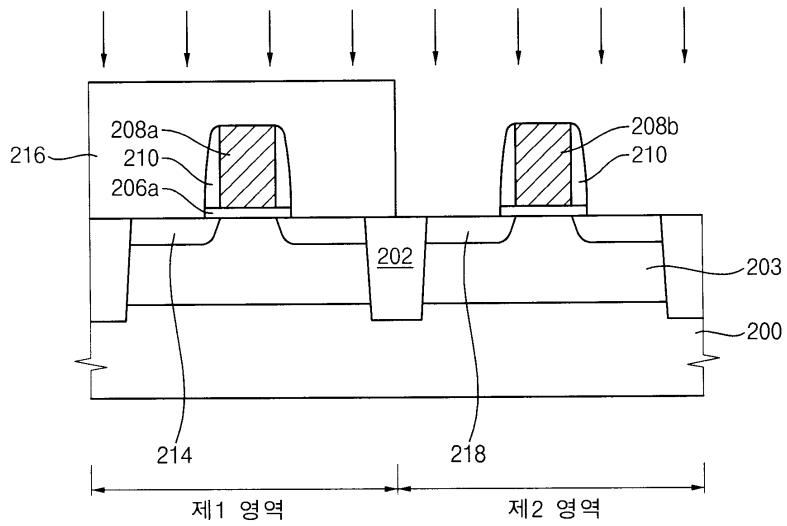
도면10



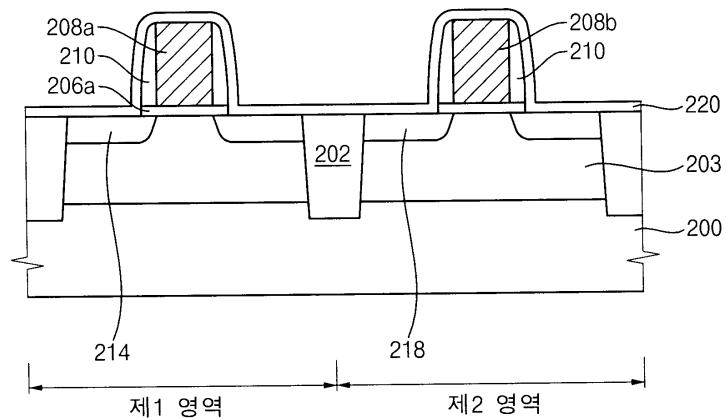
도면11



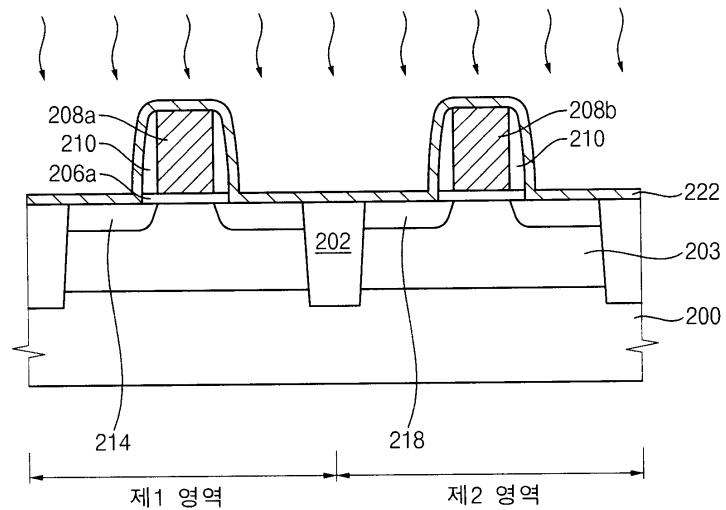
도면12



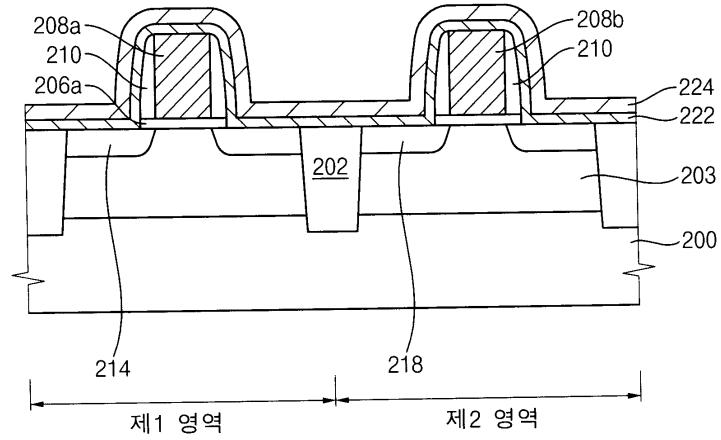
도면13



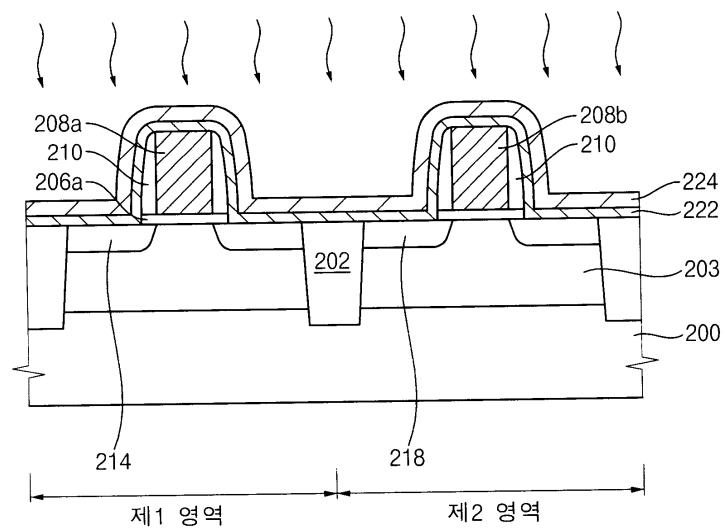
도면14



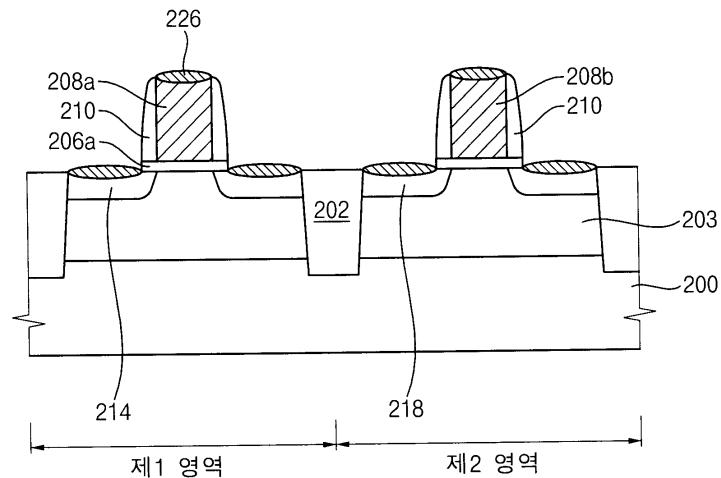
도면15



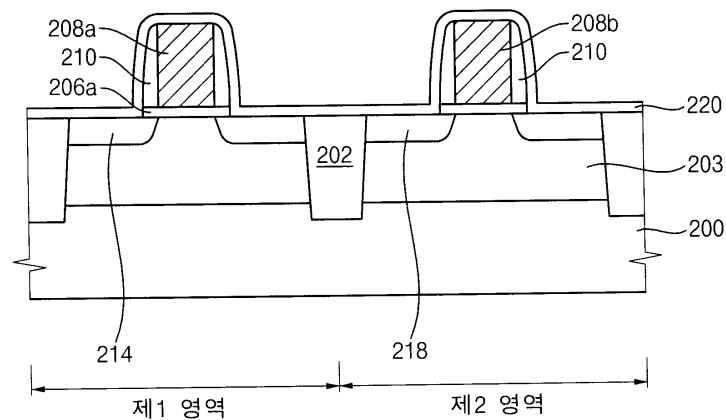
도면16



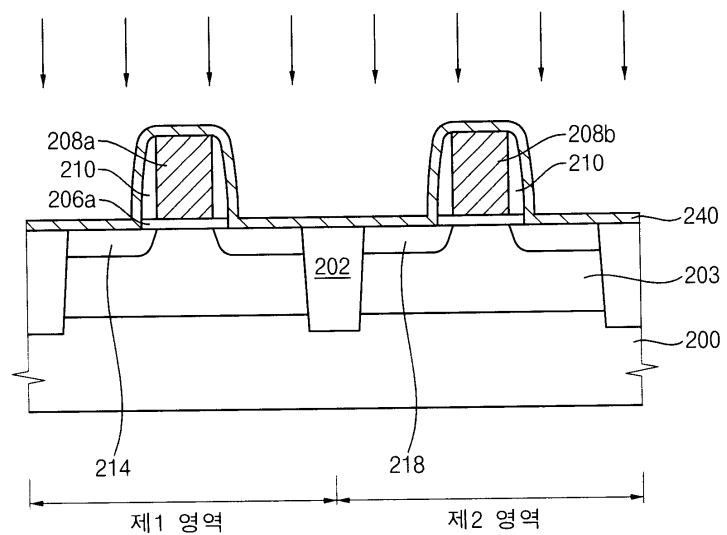
도면17



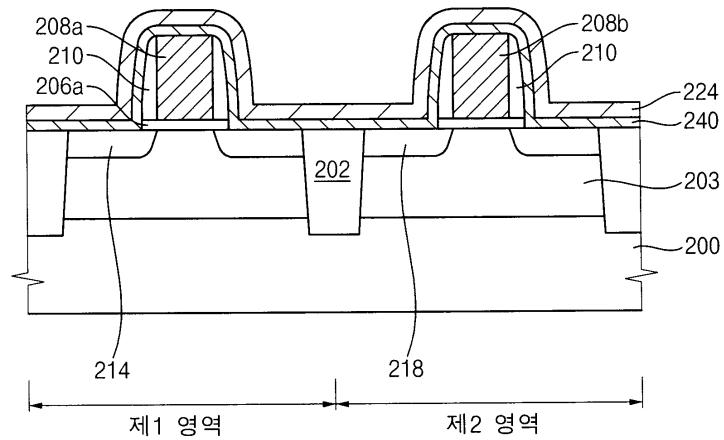
도면18



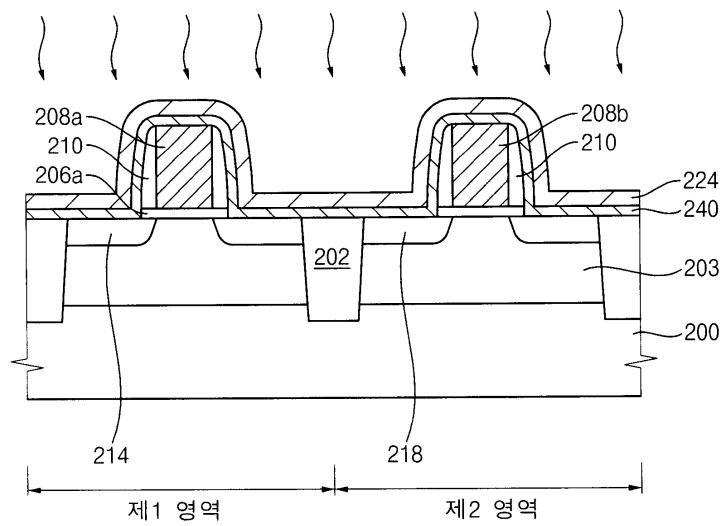
도면19



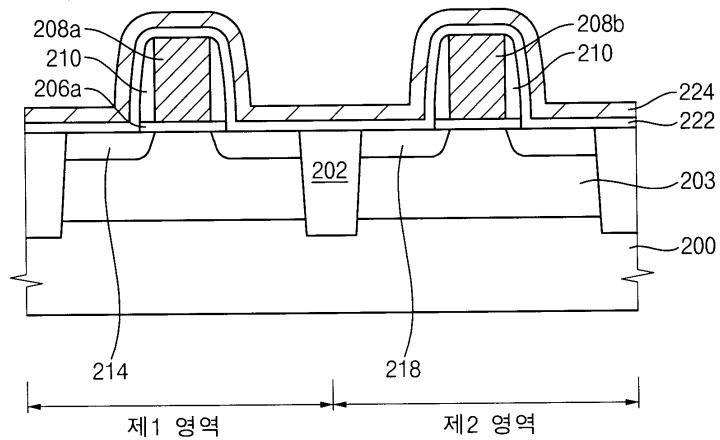
도면20



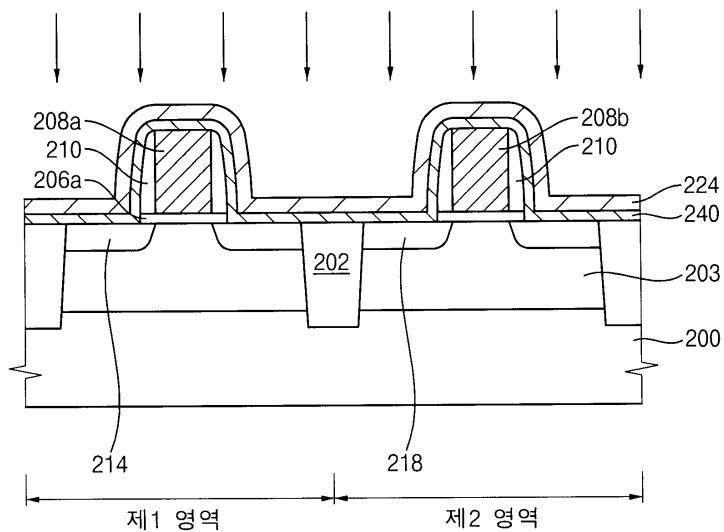
도면21



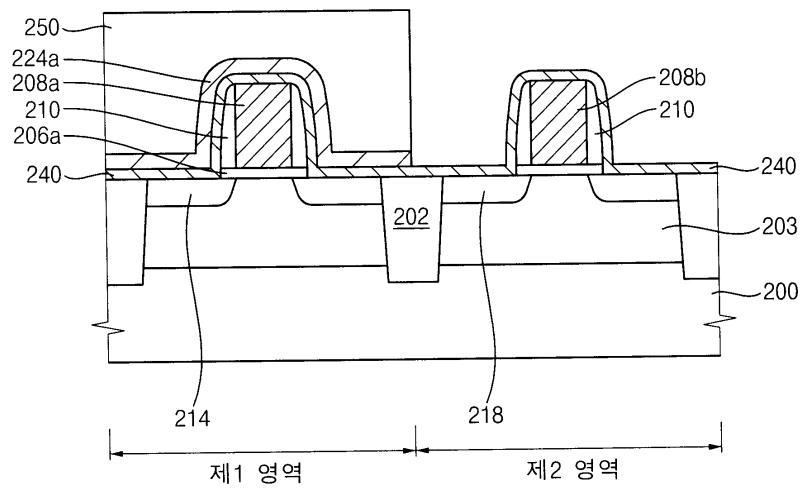
도면22



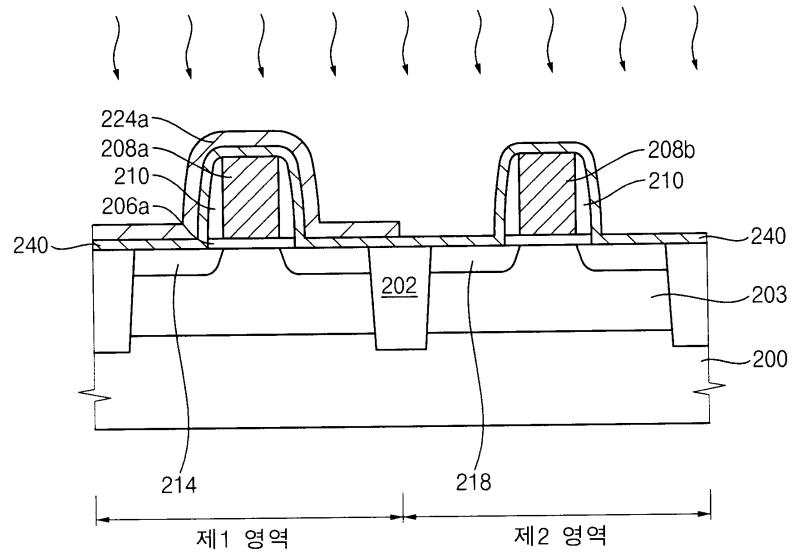
도면23



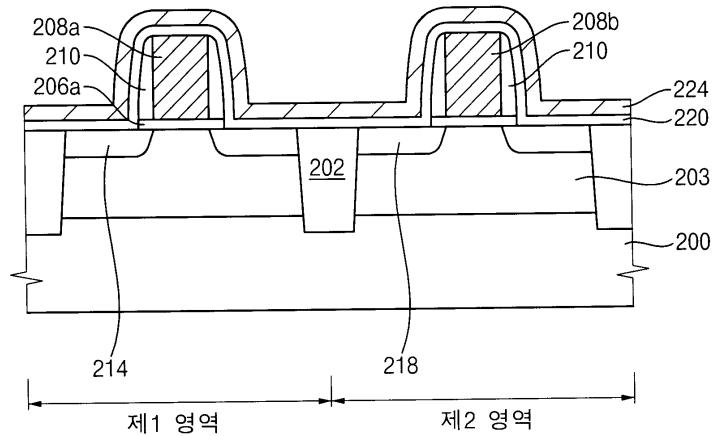
도면24



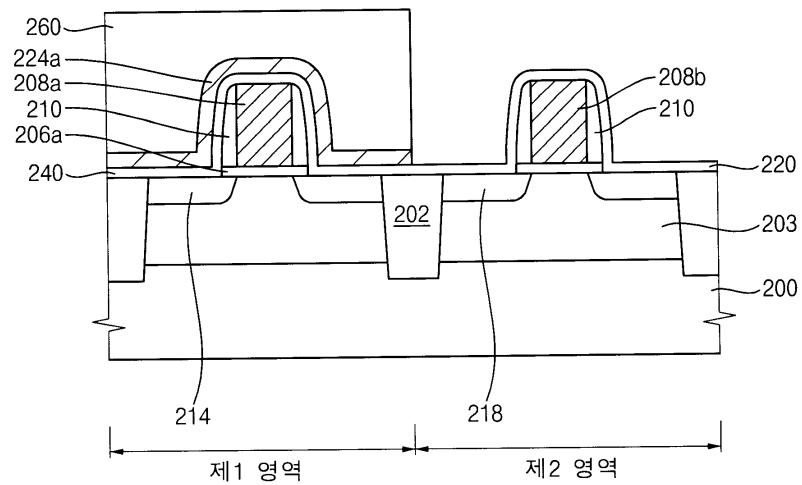
도면25



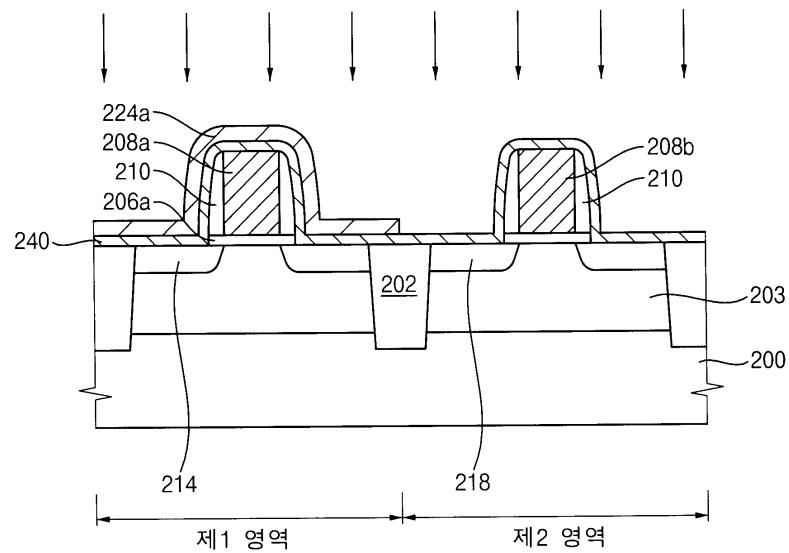
도면26



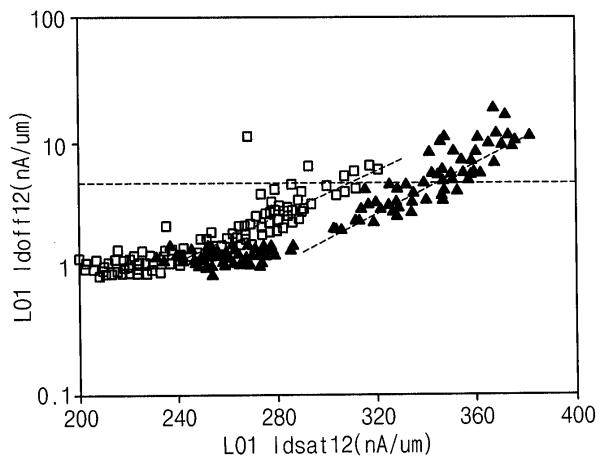
도면27



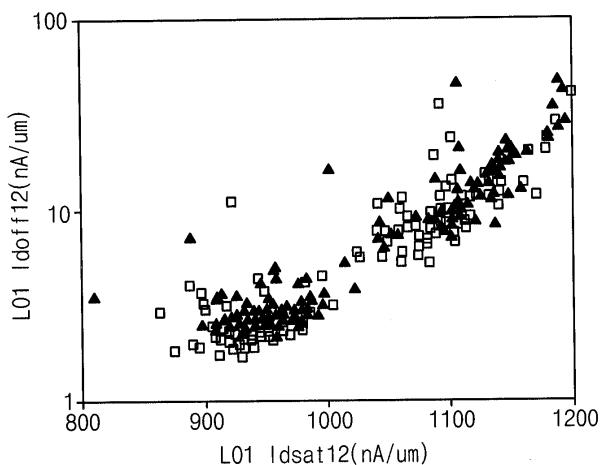
도면28



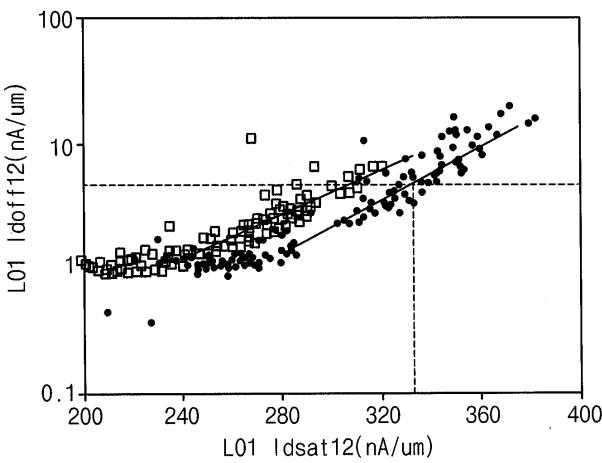
도면29



도면30



도면31



도면32

