



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 836806

(61) Дополнительное к авт. свид-ву № 657635

(22) Заявлено 24.07.79 (21) 2804649/18-09

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.06.81. Бюллетень № 21

Дата опубликования описания 10.06.81

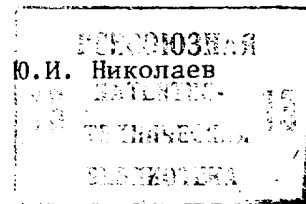
(51) М. Кл.³

H 04 L 1/16

(53) УДК 621.394.
.4 (088.8)

(72) Авторы
изобретения

В.Е. Петухов, В.И. Ключко, В.А. Дымов,
и С.В. Кузнецов



(71) Заявитель

(54) УСТРОЙСТВО ДЛЯ ПРИЕМА ИНФОРМАЦИИ ПО ДВУМ
ПАРАЛЛЕЛЬНЫМ КАНАЛАМ СВЯЗИ В СИСТЕМЕ ДЛЯ
ПЕРЕДАЧИ ДАННЫХ С РЕШАЮЩЕЙ ОБРАТНОЙ
СВЯЗЬЮ

1

Изобретение относится к вычислительной технике и может быть использовано в устройствах от ошибок систем передачи, обработки и хранения дискретной информации.

По основному авт. св. № 657635 известно устройство для приема информации по двум параллельным каналам связи в системе для передачи данных с решающей обратной связью, содержащее в каждом канале последовательно включенные блок повышения достоверности, накопитель и ключ, выходы которых объединены регистром выдачи информации, а управляющие входы соединены с выходами логического блока, выход которого через блок опроса несовпадений кодовых комбинаций и сумматор по модулю два связан с упомянутыми выходами блоков повышения достоверности, управляющие выходы которых подключены к соответствующим входам логического блока и блока опроса несовпадений кодовых комбинаций [1].

2

Это устройство обладает недостаточной помехоустойчивостью, обусловленной тем, что имеют место потери информации в случаях, когда ошибки не обнаружены в обоих подканалах, но сравниваемые комбинации не совпадают.

Целью изобретения является повышение помехоустойчивости.

Для этого в устройстве для приема информации по двум параллельным каналам связи в системе для передачи данных с решающей обратной связью, содержащем в каждом канале последовательно включенные блок повышения достоверности, накопитель и ключ, выходы которых объединены регистром выдачи информации, а управляющие входы соединены с выходами логического блока, вход которого через блок опроса несовпадений кодовых комбинаций и сумматор по модулю два связан с упомянутыми выходами блоков повышения достоверности, управляющие

входы которых подключены к соответствующим входам логического блока и блока опроса несовпадений кодовых комбинаций, в каждом канале между выходом накопителя и информационным входом блока повышения достоверности включены последовательно переключатель и элемент ИЛИ, второй вход которого соединен с другим выходом переключателя канала, а дополнительный выход логического блока подключен к управляющим входам накопителя и переключателей.

На чертеже представлена структурная электрическая схема устройства для приема информации по двум параллельным каналам связи в системе для передачи данных с решающей обратной связью.

Устройство содержит блоки 1 и 2 повышения достоверности, элементы ИЛИ 3 и 4, переключатели 5 и 6, накопители 7 и 8, ключи 9 и 10, сумматор по модулю два 11, блок 12 опроса несовпадений кодовых комбинаций, логический блок 13 и регистр 14 выдачи информации.

Блоки 1 и 2 повышения достоверности предназначены для анализа принимаемых кодовых комбинаций на наличие или отсутствие ошибок.

В частном случае блок 1 представляет собой декодирующее устройство циклического $(11,7)$ -кода с образующим полиномом $P_1(x) = x^4 + x + 1$, а блок 2 - с образующим полиномом $P_2(x) = x^4 + x^3 + 1$. Если комбинация безызбыточно-го кода $G(x) = x^7 + x + 1$, то комбинация $(11,7)$ -кода первого канала будет

$$M_1(x) = x^{11} + x^5 + x^4 + 1 \quad 100000110001,$$

$$M_2(x) = x^{11} + x^5 + x^4 + x^3 + x^2 + x + 1 \sim 100000111111.$$

Таким образом, информационные элементы этих комбинаций совпадают (одинаковые), а проверочные - различные.

Элементы 3 и 4 ИЛИ и переключатели 5 и 6 принимают участие в перекрестной проверке кодовых комбинаций первого и второго каналов. Накопители 7 и 8 предназначены для записи и хранения кодовых комбинаций первого и второго каналов. Через ключи 9 и 10 и регистр 14 принятая и проверенная информация выдается на выход устройства. Сумматор 11 по модулю два осуществляет поразрядное сравнение од-

ноименных элементов комбинации обоих каналов. Блок 12 опроса обеспечивает формирование сигнала несовпадения информационных элементов сравниваемых комбинаций по окончании цикла проверки. Логический блок 13 осуществляет функции управления.

Работает устройство следующим образом. Элементы кодовых комбинаций поступают в блоки 1 и 2 повышения достоверности. Одновременно с обработкой в блоках 1 и 2 элементы комбинаций записываются в накопители 7 и 8 и сравниваются на сумматоре 11 по модулю два. Результат сравнения информационных элементов комбинаций, принятых по обоим каналам, учитывается только в тех случаях, когда с управляющих выходов блоков 1 и 2 не поступают сигналы отбраковки данной комбинации.

При поступлении по обоим каналам связи информации без ошибок будут отсутствовать сигналы отбраковки из блоков 1 и 2 повышения достоверности и сигнал несовпадения из блока 12 опроса. В этом случае информация из накопителей 7 и 8 через открытые ключи 9 и 10 и регистр 14 выдается на выход устройства.

При поступлении информации без обнаруживаемых ошибок по первому каналу и обнаружении ошибок блоком 2 второго канала, последний формирует сигнал отбраковки в логический блок 13, который независимо от результата сравнения кодовых комбинаций закрывает ключ 10, блокируя выдачу искаженной информации. На выход устройства через открытый ключ 9 и регистр 14 проходит информация из накопителя 7 первого канала.

Устройство работает аналогично и тогда, когда ошибки не обнаруживаются во втором канале и обнаруживаются в первом канале. В этом случае закрывается ключ 9 и остается открытым ключ 10, через который информационные элементы комбинации второго канала выдаются на выход.

Если ошибки не обнаруживаются в обоих каналах, но информационные элементы сравниваемых комбинаций не совпадают, то блок 12 опроса формирует сигнал несовпадения в логический блок 13, который выдает сигналы на управляющие входы накопителей 7 и 8 и переключателей 5 и 6. В этом случае

информационные элементы комбинации первого канала из накопителя 7 через переключатель 5 и элемент 4 ИЛИ поступают в блок 2 повышения достоверности второго канала и с его выхода в накопитель 8. Аналогично информационные элементы комбинации второго канала из накопителя 8 через переключатель 6 и элемент 3 ИЛИ проходят в блок 1 повышения достоверности первого канала и с его выхода в накопитель 7. По окончании прохождения информационных элементов входы переключателей 5 и 6 по сигналам из логического блока 13 переключаются и проверочные элементы в каждом канале из накопителей 7 и 8 поступают в соответствующие блоки 1 и 2 повышения достоверности. Второй цикл перекрестной проверки протекает аналогично первому циклу и позволяет дополнительно обнаружить ошибки определенной конфигурации.

Так, например, если в первом канале имеет место ошибка, описываемая многочленом

$$e(x) = x^8 + x^5 + x^4 \sim 0001000110000,$$

то на вход 1 устройства поступит искаженная комбинация

$$M_1'(x) = M_1(x) + e(x) = x^{11} + x^8 + 1 \sim 100100000001,$$

а на вход 2 - искаженная комбинация:

$$M_2(x) = x^{11} + x^5 + x^4 + x^3 + x^2 + x + 1 \sim 100000111111.$$

В первом цикле блоки 1 и 2 не обнаружат ошибки в этих комбинациях, но так как их информационные элементы не совпадают, то устройство переходит ко второму циклу проверки. При этом в блок 1 через элемент 3 ИЛИ вводится последовательность, состоящая из информационных элементов комбинации второго канала и проверочных элементов первого канала

$$m_1(x) = x^{11} + x^5 + x^4 + x + 1 \sim 100000110001,$$

а в блок 2 через элемент 4 ИЛИ поступает последовательность, состоящая из информационных (искаженных) элементов комбинации первого канала и проверочных (неискаженных) элементов второго канала

$$m_2(x) = x^{11} + x^8 + x^3 + x^2 + x + 1 \sim 100100001111.$$

Эти же последовательности с информационных выходов блоков 1 и 2 записываются в накопители 7 и 8 $[m_1(x)]$ - в накопитель 7, а $m_2(x)$ - в накопитель 8.

Во втором цикле проверки блок 1 повышения достоверности ошибок не об-

наруживает, так как остаток от деления $m_1(x)$ на полином $P_1(x)$ равен нулю, а блок 2 - обнаруживает, так как остаток от деления $m_2(x)$ на полином $P_2(x)$ будет не нулевым - $R(x) = x^3 + x^2 \sim 1100$. Сигнал отбраковки с управляющего выхода блока 2 поступает в логический блок 13, который закрывает ключ 10, блокируя выдачу искаженной информации. Неискаженная информация из накопителя 7 через открытый ключ 9 и регистр 14 поступает на выход.

Если ошибки не обнаруживаются и во втором цикле проверки при несовпадении информационных элементов, то логический блок 13 закрывает оба ключа 9 и 10, исключая выдачу искаженной информации на выход устройства. Такое же решение принимается тогда, когда ошибки обнаруживаются в обоих каналах. В этих случаях логический блок 13 формирует сигнал, который может быть использован для переспроса искаженного сообщения в системах с решающей обратной связью.

Предлагаемое устройство обладает более высокой технико-экономической эффективностью, чем известное, так как позволяет уменьшить потери информации и, следовательно, увеличить помехоустойчивость без введения дополнительной информационной избыточности.

Для известного устройства число вариантов необнаруженных ошибок равно

$$\psi = \frac{1}{2^{n-k}} \sum_{i=\delta+1}^n c_n^i,$$

где δ - кратность гарантированно обнаруживаемых ошибок:

$$\frac{1}{2^{n-k}} - \text{доля необнаруживаемых ошибок более высокой кратности.}$$

В этих случаях в известном устройстве возникает неопределенность, приводящая к потере информации.

В предлагаемом устройстве количество данных случаев уменьшается на величину

$$\Delta\psi = 2^{2k-n} - 1.$$

Для рассмотренного примера $\Delta\psi_1 = 7$. При использовании (15,11) - кода $\Delta\psi_2 = 127$, а для (31,26) - кода $\Delta\psi_3 = 2,3 \times 10^6$.

Формула изобретения

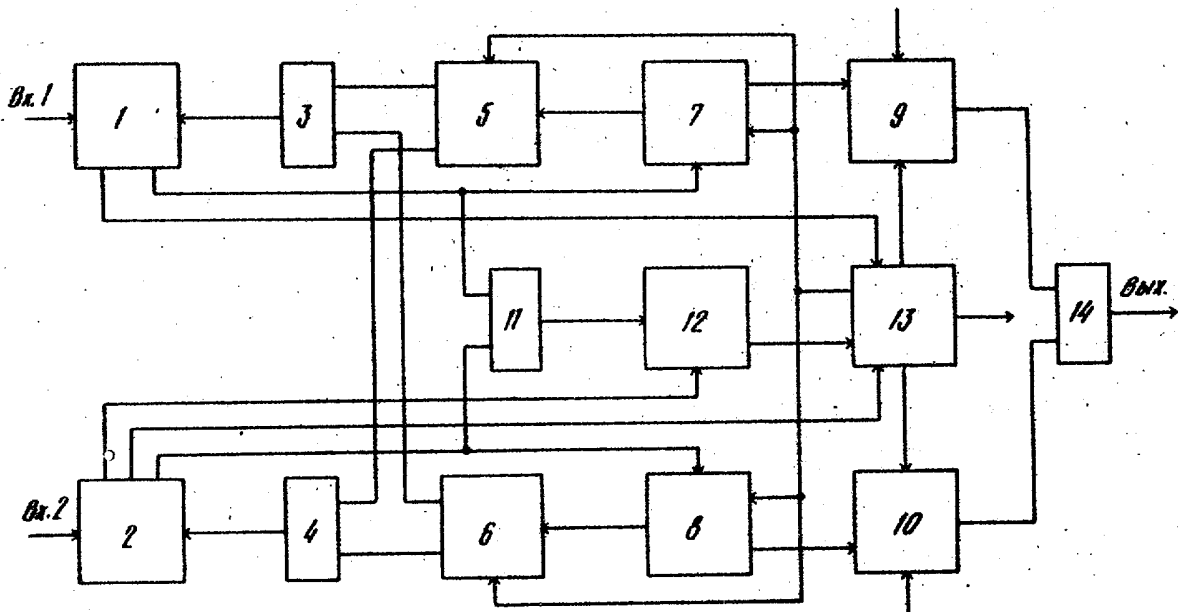
Устройство для приема информации по двум параллельным каналам связи в системе для передачи данных с решающей

щей обратной связью по авт. св. № 657635, отличающиеся тем, что, с целью помехоустойчивости, в каждом канале между выходом накопителя и информационным входом блока повышения достоверности включены последовательно переключатель и элемент ИЛИ, второй вход которого соединен с другим выходом пере-

ключателя второго канала, а дополнительный выход логического блока подключен к управляющим входам накопителей и переключателей.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 657635, кл. Н 04 L 1/16, 1977 (прототип).



Составитель Т. Афанасьева

Редактор Н. Ахмедова Техред М. Голинка Корректор Г. Решетник

Заказ 3207/45

Тираж 698

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4