



(12)发明专利

(10)授权公告号 CN 104426532 B

(45)授权公告日 2019.06.28

(21)申请号 201410462302.0

(22)申请日 2014.09.11

(65)同一申请的已公布的文献号

申请公布号 CN 104426532 A

(43)申请公布日 2015.03.18

(30)优先权数据

14/024,310 2013.09.11 US

(73)专利权人 波音公司

地址 美国伊利诺斯州

(72)发明人 曼努埃尔·F·卡巴纳斯-霍尔门

伊桑·坎农 萨利姆·A·拉巴

(74)专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

(51)Int.Cl.

H03K 19/096(2006.01)

H03K 3/012(2006.01)

(56)对比文件

US 2008115023 A1,2008.05.15,

CN 101499788 A,2009.08.05,

CN 102394595 A,2012.03.28,

US 5831463 A,1998.11.03,

US 2006015786 A1,2006.01.19,

US 2011102042 A1,2011.05.05,

审查员 卢萌

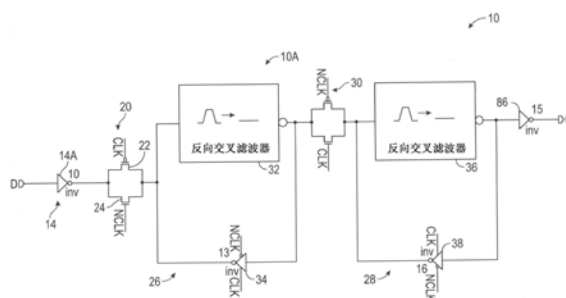
权利要求书1页 说明书10页 附图6页

(54)发明名称

具有降低功率消耗的滤波辐射硬化触发器

(57)摘要

本发明涉及具有降低功率消耗的滤波辐射硬化触发器，提供了一种触发器电路，具有第一级和第二级。第一级和第二级分别具有交叉滤波器。



1. 一种触发器电路,包括:

第一级;和

第二级,

其中,所述第一级和所述第二级分别具有交叉滤波器,从所述第一级输出的逻辑电平被传送至所述第二级的输入,

其中,所述第一级的所述交叉滤波器包括:

第一级延迟电路;

多路复用器,连接至所述第一级延迟电路,所述多路复用器被配置为根据一个或多个选择信号来配置所述第一级延迟电路的时间延迟;以及

第一级输出缓冲器,所述第一级输出缓冲器具有耦接至所述触发器电路的输入的第一输入和耦接至所述第一级延迟电路的输出的第二输入。

2. 根据权利要求1所述的触发器电路,进一步包括耦接在所述第一级输出缓冲器的输出与所述触发器电路的所述输入之间的第一级反馈反相器。

3. 根据权利要求1所述的触发器电路,其中,所述第一级延迟电路具有固定延迟。

4. 根据权利要求1所述的触发器电路,其中,所述第一级延迟电路具有能够选择的延迟。

5. 根据权利要求1所述的触发器电路,其中,所述第二级的所述交叉滤波器包括:

第二级延迟电路;和

第二级输出缓冲器,所述第二级输出缓冲器具有耦接至所述第二级的输入的第一输入和耦接至所述第二级延迟电路的输出的第二输入。

6. 根据权利要求5所述的触发器电路,进一步包括耦接在所述第二级输出缓冲器的输出与所述第二级的所述输入之间的第二级反馈反相器。

7. 根据权利要求5所述的触发器电路,其中,所述第二级延迟电路具有固定延迟。

8. 根据权利要求5所述的触发器电路,其中,所述第二级延迟电路具有能够选择的延迟。

具有降低功率消耗的滤波辐射硬化触发器

技术领域

[0001] 本公开的实施方式整体上涉及电子电路,且更具体地,涉及一种减轻对单粒子(event,事件)翻转和单粒子瞬态脉冲(SET)的敏感度的滤波低功率、辐射硬化(radiation hardened)触发器电路。

背景技术

[0002] 在高性能的数字专用集成电路(ASIC)和混合信号片上系统(SOC)的逻辑管线中可使用触发器。随着技术规模的扩大,功率密度通常增大,从而使得有必要开发出使用较低功率的新逻辑电路。在针对空间应用设计的ASIC和SOC中,这种趋势甚至更为明显,其中,用于减轻由高能粒子引起的单粒子效应(SEE)的空间和时间冗余技术可加剧对功率密度关注度的恶化。

[0003] 触发器中的单粒子可翻转存储数据,从而导致单粒子翻转(SEU)。逻辑门中的单粒子创建可以由触发器捕获的单粒子瞬态脉冲(SET)。

[0004] 空间冗余可用于减轻触发器中的SEU。空间冗余指触发器的两个或者更多个副本可用于降低对触发器中翻转的敏感度。瞬态滤波器可进一步用于减少或者消除在触发器之前的逻辑中产生的瞬态脉冲并且用于保持由触发器捕获的瞬态脉冲。添加一个或者多个冗余触发器和瞬态滤波器通常增加功率并且显著降低性能。冗余影响取决于触发器拓扑,而对于所有触发器拓扑,瞬态滤波器的影响相似。

[0005] 具有瞬态滤波器的双互锁存储单元(DICE)触发器可用于移除触发器输入处的SET。DICE触发器通过使两个触发器的存储节点互锁而具有改进的SEU容差。然而,DICE触发器通常使用至少两倍于非硬化触发器的功率。

[0006] 三模冗余(TMR)触发器通过三倍于触发器并且使用多数表决器选择正确结果还具有改进的SEU容差。然而,TMR触发器通常使用多于3倍的非硬化触发器功率。

[0007] 阻容(RC)滤波器可用于减轻触发器中的SEU。然而,在现代化工艺技术中,电阻器和电容器通常需要非常大的面积。

[0008] 因此,将希望提供一种克服上述问题和其他问题的系统和方法。

发明内容

[0009] 根据一种实施方式,触发器电路具有第一级和第二级。第一级和第二级均具有交叉(interleaved)滤波器。

[0010] 根据另一实施方式,触发器电路具有第一级。第一级具有第一级交叉滤波器和耦接至第一级交叉滤波器的输入和耦接至第一级交叉滤波器的输出的第一级反馈反相器(inverter)。触发器电路具有第二级。第二级具有第二级交叉滤波器和耦接至第二级交叉滤波器的输入和耦接至第二级交叉滤波器的输出的第二级反馈反相器。开关设备耦接在第一级与第二级之间。

[0011] 根据又一实施方式,多级触发器电路具有耦接至多级触发器的输入的第一级交叉

滤波器。第一级反馈反相器耦接至多级触发器的输入并且耦接至第一级交叉滤波器的输出。第二级交叉滤波器耦接至第一级交叉滤波器的输出。第二级反馈反相器耦接至第一级交叉滤波器的输出并且耦接至第二级交叉滤波器的输出。开关设备耦接在第一级与第二级之间。

[0012] 此外,本公开包括根据下列条款的实施方式:

[0013] 条款1.一种触发器电路,包括:第一级;和第二级,其中,所述第一级和所述第二级分别具有交叉滤波器。

[0014] 条款2.根据条款1所述的触发器电路,其中,所述第一级的所述交叉滤波器包括:第一级延迟电路;和第一级输出缓冲器,所述第一级输出缓冲器具有耦接至所述触发器电路的输入的第一输入和耦接至所述第一级延迟电路的输出的第二输入。

[0015] 条款3.根据条款2所述的触发器电路,进一步包括耦接在所述第一级输出缓冲器的输出与所述触发器的所述输入之间的第一级反馈反相器。

[0016] 条款4.根据条款2所述的触发器电路,其中,所述第一级延迟电路具有固定延迟。

[0017] 条款5.根据条款2所述的触发器电路,其中,所述第一级延迟电路具有能够选择的延迟。

[0018] 条款6.根据条款1所述的触发器电路,其中,所述第二级的所述交叉滤波器包括:第二级延迟电路;和第二级输出缓冲器,所述第二级输出缓冲器具有耦接至所述第二级的输入的第一输入和耦接至所述第二级延迟电路的输出的第二输入。

[0019] 条款7.根据条款6所述的触发器电路,进一步包括耦接在所述第二级输出缓冲器的输出与所述第二级的所述输入之间的第二级反馈反相器。

[0020] 条款8.根据条款6所述的触发器电路,其中,所述第二级延迟电路具有固定延迟。

[0021] 条款9.根据条款6所述的触发器电路,其中,所述第二级延迟电路具有能够选择的延迟。

[0022] 条款10.一种触发器电路,包括:第一级,所述第一级包括:第一级交叉滤波器,所述第一级交叉滤波器具有第一级交叉滤波器的输入和第一级交叉滤波器的输出;和第一级反馈反相器,所述第一级反馈反相器耦接至所述第一级交叉滤波器的输入并且耦接至第一级交叉滤波器的输出;第二级,所述第二级包括:第二级交叉滤波器,所述第二级交叉滤波器具有第二级交叉滤波器的输入和第二级交叉滤波器的输出;和第二级反馈反相器,所述第二级反馈反相器耦接至所述第二级交叉滤波器的输入并且耦接至所述第二级交叉滤波器的输出;以及开关设备,所述开关设备耦接在所述第一级与所述第二级之间。

[0023] 条款11.根据条款10所述的触发器电路,其中,所述第一级交叉滤波器包括:第一级延迟电路;和第一级输出缓冲器,所述第一级输出缓冲器耦接至所述第一级延迟电路,其中,所述第一级输出缓冲器包括多个晶体管,其中,所述多个晶体管是交叉的。

[0024] 条款12.根据条款11所述的触发器电路,其中,所述第一级延迟电路具有固定延迟。

[0025] 条款13.根据条款11所述的触发器电路,其中,所述第一级延迟电路具有可选择的延迟。

[0026] 条款14.根据条款10所述的触发器电路,其中,所述第二级交叉滤波器包括:第二级延迟电路;和第二级输出缓冲器,所述第二级输出缓冲器耦接至所述第二级延迟电路,其

中,所述第二级输出缓冲器包括多个晶体管,其中,所述多个晶体管是交叉的。

[0027] 条款15.根据条款14所述的触发器电路,其中,所述第二级延迟电路具有固定延迟。

[0028] 条款16.根据条款14所述的触发器电路,其中,所述第二级延迟电路具有可选择的延迟。

[0029] 条款17.一种多级触发器电路,包括:第一级交叉滤波器,所述第一级交叉滤波器耦接至所述多级触发器的输入;第一级反馈反相器,所述第一级反馈反相器耦接至所述多级触发器的所述输入并且耦接至第一级交叉滤波器的输出;第二级交叉滤波器,所述第二级交叉滤波器耦接至所述第一级交叉滤波器的输出;第二级反馈反相器,所述第二级反馈反相器耦接至所述第一级交叉滤波器的输出并且耦接至第二级交叉滤波器的输出;以及开关设备,所述开关设备耦接在所述第一级与所述第二级之间。

[0030] 条款18.根据条款17所述的多级触发器电路,其中,所述第一级交叉滤波器和所述第二级交叉滤波器分别具有固定延迟电路。

[0031] 条款19.根据条款17所述的多级触发器电路,其中,所述第一级交叉滤波器和所述第二级交叉滤波器分别具有可选择的延迟。

[0032] 条款20.根据条款17所述的多级触发器电路,其中,所述第一级交叉滤波器具有固定延迟电路并且所述第二级交叉滤波器具有可选择延迟电路。

[0033] 在本公开的各种实施方式中可独立实现或者在又一些其他实施方式中结合实现特性、功能以及优点。

附图说明

[0034] 从下列细节描述和附图中,将能更为完全地理解本公开的实施方式,其中:

[0035] 图1是辐射硬化触发器的一种实施方式的框图;

[0036] 图2是图1中的辐射硬化触发器的简化示意图;

[0037] 图3是辐射硬化触发器的另一实施方式的框图;

[0038] 图4是图3中的辐射硬化触发器的简化示意图;

[0039] 图5是辐射硬化触发器的另一实施方式的框图;以及

[0040] 图6是图5中的辐射硬化触发器的简化示意图。

具体实施方式

[0041] 参考图1和图2,可描述逻辑电路10。在本实施方式中,逻辑电路10可被配置为触发器10A。触发器10A可被设计成减轻对单粒子翻转和单粒子瞬态脉冲(SET)的敏感度,且具有比其他单粒子效应减轻逻辑电路更低的功率消耗。触发器10A在其变为翻转之前将单粒子视为需要被滤波的内部瞬态脉冲。

[0042] 触发器10A可具有输入缓冲器14。在本实施方式中,输入缓冲器14可以是反相器14A。反相器可由一对晶体管16和18形成。该对晶体管16和18可以是互补的MOSFET。如图所示,晶体管16可以是P型晶体管,诸如P型MOSFET,而晶体管18可以是N型晶体管,诸如N型MOSFET。晶体管16可以耦接至电压供给端VDD,而晶体管18可以耦接至电压供给端VSS。

[0043] 开关设备20可以耦接至反相器14A的输出。开关设备20可用于传递反相器14A的输

出。根据一种实施方式,开关设备20可以是传输门20A。传输门20A可用于将从反相器14A输出的逻辑电平传递给触发器10A的第一级26。传输门20A可以由一对晶体管22和24形成。如图所示,晶体管22可以是P型晶体管,诸如P型MOSFET,而晶体管24可以是N型晶体管,诸如N型MOSFET。晶体管22可以耦接至时钟信号CLK,而晶体管24可以耦接至反相(inverted,反向)时钟信号NCLK。

[0044] 在本实施方式中,触发器10A是具有第一级26和第二级28的多级触发器。开关设备30可以定位在第一级26的输出与第二级28的输入之间。根据一种实施方式,开关设备30是可用于将从第一级26输出的逻辑电平传递至第二级28的输入的传输门30A。传输门30A可以由一对晶体管60和62形成。如图所示,晶体管60可以是P型晶体管,诸如P型MOSFET,而晶体管62可以是N型晶体管,诸如N型MOSFET。晶体管62可以耦接至时钟信号CLK,而晶体管60可以耦接至反相时钟信号NCLK。

[0045] 在本实施方式中,第一级26可具有第一级交叉滤波器32。第一级反馈反相器34可耦接在第一级交叉滤波器32的输出与第一级交叉滤波器32的输入之间。同样,第二级28可具有第二级交叉滤波器36。第二级反馈反相器38可耦接在第二级交叉滤波器36的输出与第二级交叉滤波器36的输入之间。

[0046] 当传输门20A上的反相时钟信号NCLK为开启(处于高逻辑电平)时,第一级交叉滤波器32被配置为切断来自触发器10A之前的逻辑的瞬态脉冲,并且当传输门20A上的反相时钟信号NCLK为关闭时,切断传输门20A中产生的任何瞬态脉冲,第一级反馈反相器34中产生的任何瞬态脉冲以及第一级交叉滤波器32中产生的任何瞬态脉冲。同样,当传输门30A上的时钟信号CLK为开启时,第二级交叉滤波器36被配置为切断第一级交叉滤波器32内产生的瞬态脉冲,并且当传输门30A上的时钟信号CLK为关闭时,切断用于将从第一级26输出的逻辑电平传递给第二级28的输入的传输门30A中产生的任何瞬态脉冲、第二级反馈反相器38中产生的任何瞬态脉冲以及第二级交叉滤波器36中产生的任何瞬态脉冲。

[0047] 如图2所示,第一级交叉滤波器32可由第一级延迟电路40和第一级输出缓冲器42形成。在本实施方式中,第一级延迟电路40可以是固定延迟电路40A。固定延迟电路40A可以由提供固定持续时间的延迟的多个串联连接的晶体管延迟元件39构成。在专用集成电路(ASIC)的设计阶段期间可以选择固定延迟电路40A的持续时间。延迟时间可以是处理、电压以及温度的函数。例如,如果在最高温度、最低电压(slow corner)下制造ASIC,延迟可能较长,但是与由ASIC中逻辑电路产生的瞬态脉冲类型相称。

[0048] 第一级输出缓冲器42可以是C门42A。在所示实施方式中,C门42A可以由两个串联PMOS晶体管44、46和两个串联NMOS晶体管48、50构成。C门42A的各个输入52A和52B控制一个PMOS晶体管44或者46的栅极和一个NMOS晶体管48或者50的栅极。在所示实施方式中,输入52A可控制PMOS晶体管44的栅极和NMOS晶体管50的栅极。输入52B可控制PMOS晶体管46的栅极和NMOS晶体管48的栅极。

[0049] 传输门20A的输出可被发送至C门42A的输入52A和固定延迟电路40A。固定延迟电路40A的输出可被发送至C门42A的输入52B。当C门42A的输入52A与52B匹配时,C门42A可用作反相器。当C门42A的输入52A与52B不匹配时,C门42A可以不驱动其输出(高阻抗状态),并且C门42A的输出可维持其当前值。C门42A对影响单节点的辐射粒子不敏感。然而,导致影响晶体管44和46或者晶体管48和50的双节点碰撞(strike,到来、袭击)的辐射粒子可能引起C

门42A输出处的SET。

[0050] 通过使C门42A中的PMOS晶体管44、46和NMOS晶体管48、50交叉可获得需要将C门42A的双节点碰撞降低至可接受水平(level,电平)的间隔。第一级延迟电路40可放置在C门42A中的交叉PMOS晶体管44、46之间以及交叉NMOS晶体管48、50之间,从而实现理想的节点间隔,而不存在任何浪费的空间。

[0051] 第二级交叉滤波器36可由第二级延迟电路41和第二级输出缓冲器43形成。在本实施方式中,第二级延迟电路41可以是固定延迟电路41A。固定延迟电路41A可以由提供固定持续时间的延迟的多个串联连接的晶体管延迟元件47构成。在专用集成电路(ASIC)的设计阶段期间可选择固定延迟电路41A的持续时间。延迟时间可以是处理、电压以及温度的函数。例如,如果在最高温度、最低电压下制造ASIC,延迟可能较长,但是与由ASIC中逻辑电路产生的瞬态脉冲类型相称。

[0052] 第二级输出缓冲器43可以是C门43A。在所示实施方式中,C门43A可以由两个串联PMOS晶体管74、76和两个串联NMOS晶体管78、80构成。C门43A的各个输入53A和53B控制一个PMOS晶体管74或者76的栅极和一个NMOS晶体管78或者80的栅极。在所示实施方式中,输入53A可控制PMOS晶体管74的栅极和NMOS晶体管80的栅极。输入53B可控制PMOS晶体管76的栅极和NMOS晶体管78的栅极。

[0053] 传输门30A的输出可被发送至C门43A的输入53A和固定延迟电路41A。固定延迟电路41A的输出可被发送至C门43A的输入53B。当C门43A的输入53A与53B匹配时,C门43A可用作反相器。当C门43A的输入53A与53B不匹配时,C门43A可以不驱动其输出(高阻抗状态),并且C门43A的输出可维持其当前值。然后,来自C门43A的输出随后可被发送至反相器86。

[0054] 通过使C门43A中的PMOS晶体管74、76和NMOS晶体管78、80交叉可获得需要将C门43A的双节点碰撞降低至可接受水平的间隔。第二级延迟电路41可放置在C门43A中的交叉PMOS晶体管74、76之间以及交叉NMOS晶体管78、80之间,从而实现理想的节点间隔,而不存在任何浪费的空间。

[0055] 图1和图2中的触发器10A对于瞬态脉冲和翻转是高度容差的,使用最低能量并且将最低负荷放置在全局时钟树上。触发器10A的设置时间相当于在数据输入中具有固定延迟滤波器的双互锁单元(DICE)触发器的设置时间,但是具有到触发器输出(CLK至Q)延迟的更大时钟输入。

[0056] 触发器10A可被考虑为低功率实施方式。触发器10A的第一级交叉滤波器32和第二级交叉滤波器36可被配置为各自均具有固定延迟时间。第一级交叉滤波器32和第二级交叉滤波器36的配置分别可允许触发器10A利用比下面将描述的实施方式更低量的能量。因此,触发器10A可被考虑为低功率实施方式。

[0057] 现参考图3和图4,示出了触发器10B的另一实施方式。触发器10B可具有输入缓冲器14。在本实施方式中,输入缓冲器14可以是反相器14A。反相器可以由一对晶体管16和18形成。该对晶体管16和18可以是互补的MOSFET。如图所示,晶体管16可以是P型晶体管,诸如P型MOSFET,而晶体管18可以是N型晶体管,诸如N型MOSFET。晶体管16可以耦接至电压供给端VDD,而晶体管18可以耦接至电压供给端VSS。

[0058] 开关设备20可以耦接至反相器14A的输出。开关设备20可用于传递反相器14A的输出。根据一种实施方式,开关设备20可以是传输门20A。传输门20A可用于将从反相器14A输

出的逻辑电平传递给触发器10B的第一级26。传输门20A可以由一对晶体管22和24形成。如图所示,晶体管22可以是P型晶体管,诸如P型MOSFET,而晶体管24可以是N型晶体管,诸如N型MOSFET。晶体管22可以耦接至时钟信号CLK,而晶体管24可以耦接至反相时钟信号NCLK。

[0059] 在本实施方式中,触发器10B是具有第一级26和第二级28的多级触发器。开关设备30可以定位在第一级26的输出与第二级28的输入之间。根据一种实施方式,开关设备30是可用于将从第一级26输出的逻辑电平传递至第二级28的输入的传输门30A。传输门30A可以由一对晶体管60和62形成。如图所示,晶体管60可以是P型晶体管,诸如P型MOSFET,而晶体管62可以是N型晶体管,诸如N型MOSFET。晶体管62可以耦接至时钟信号CLK,而晶体管60可以耦接至反相时钟信号NCLK。

[0060] 在本实施方式中,第一级26可具有第一级交叉滤波器32。第一级反馈反相器34可耦接在第一级交叉滤波器32的输出与第一级交叉滤波器32的输入之间。第二级28可具有第二级可选择交叉滤波器36A。第二级反馈反相器38可耦接在第二级可选择交叉滤波器36A的输出与第二级可选择交叉滤波器36A的输入之间。

[0061] 当传输门20A上的反相时钟信号NCLK为开启时,第一级交叉滤波器32被配置为切断来自触发器10B之前的逻辑的瞬态脉冲,并且当传输门20A上的反相时钟信号NCLK为关闭时,切断传输门20A中产生的任何瞬态脉冲、第一级反馈反相器34中产生的任何瞬态脉冲以及第一级交叉滤波器32中产生的任何瞬态脉冲。同样,当传输门30A上的时钟信号CLK为开启时,第二级可选择交叉滤波器36A被配置为切断在第一级交叉滤波器32中产生的瞬态脉冲,并且当传输门30A上的时钟信号CLK为关闭时,切断用于将从第一级26输出的逻辑电平传递给第二级28的输入的传输门30A中产生的任何瞬态脉冲、第二级反馈反相器38中产生的任何瞬态脉冲以及第二级28的第二级可选择交叉滤波器36A中产生的任何瞬态脉冲。

[0062] 如图4所示,第一级交叉滤波器32可由第一级延迟电路40和第一级输出缓冲器42形成。在本实施方式中,第一级延迟电路40可以是固定延迟电路40A。固定延迟电路40A可以由提供固定持续时间的延迟的多个串联连接的晶体管延迟元件39构成。在专用集成电路(ASIC)的设计阶段期间可以选择固定延迟电路40A的持续时间。延迟时间可以是处理、电压以及温度的函数。例如,如果在最高温度、最低电压下制造ASIC,延迟可能较长,但是与由ASIC中逻辑电路产生的瞬态脉冲类型相称。

[0063] 第一级输出缓冲器42可以是C门42A。在所示实施方式中,C门42A可以由两个串联PMOS晶体管44、46和两个串联NMOS晶体管48、50构成。C门42A的各个输入52A和52B控制一个PMOS晶体管44或者46的栅极和一个NMOS晶体管48或者50的栅极。在所示实施方式中,输入52A可控制PMOS晶体管44的栅极和NMOS晶体管50的栅极。输入52B可控制PMOS晶体管46的栅极和NMOS晶体管48的栅极。

[0064] 传输门20A的输出可被发送至C门42A的输入52A和固定延迟电路40A。固定延迟电路40A的输出可被发送至C门42A的输入52B。当C门42A的输入52A与52B匹配时,C门22A可用作反相器。当C门42A的输入52A与52B不匹配时,C门42A可以不驱动其输出(高阻抗状态),并且C门42A的输出可维持其当前值。

[0065] 通过使C门42A中的PMOS晶体管44、46和NMOS晶体管48、50交叉可获得需要将C门42A的双节点碰撞降低至可接受水平的间隔。第一级延迟电路40可以放置在C门42A中的交叉PMOS晶体管44、46之间以及交叉NMOS晶体管48、50之间,从而实现理想的节点间隔,而不

存在任何浪费的空间。

[0066] 在图3和图4中,第二级可选择交叉滤波器36A可由第二级延迟电路41和第二级输出缓冲器43形成。在本实施方式中,第二级延迟电路41是可选择延迟电路41B。可选择延迟电路41B可以由每个均提供固定持续时间的延迟的多个串联连接的晶体管延迟元件47构成。每个晶体管延迟元件47均类似于示出的固定延迟电路40A的晶体管延迟元件39。在ASIC的设计阶段期间可选择每个晶体管延迟元件47的持续时间。延迟可以是处理、电压以及温度的函数。

[0067] 晶体管延迟元件47中的每个可耦接至多路复用器51。晶体管延迟元件47可背对背串联放置,且各个晶体管延迟元件47的输出耦接至多路复用器51的输入并且耦接至随后晶体管延迟元件47的输入。多路复用器51的输出可连接至C门43A的第二输入53B。一个或者多个选择信号可被发送至多路复用器51并且可用于将可选择延迟电路41B配置为用户选择的、理想可编程时间延迟。选择信号可用于将信号发送至多路复用器51,以选择将从晶体管延迟元件47的输出发送至C门43A的第二输入53B。在本实施方式中,选择信号NCLK和CLK可被发送至多路复用器51并且用于配置可选择延迟电路41B。在另一实施方式中,绑定到ASIC输入引脚的用户控制选择信号可被发送至多路复用器51并且用于配置可选择延迟电路41B。

[0068] 第二级输出缓冲器43可以是C门43A。在所实施方式中,C门43A可以由两个串联PMOS晶体管74、76和两个串联NMOS晶体管78、80构成。C门43A的各个输入53A和53B控制一个PMOS晶体管74或者76的栅极和一个NMOS晶体管78或者80的栅极。在所实施方式中,输入53A可控制PMOS晶体管74的栅极和NMOS晶体管80的栅极。输入53B可控制PMOS晶体管76的栅极和NMOS晶体管78的栅极。

[0069] 传输门30A的输出可被发送至C门43A的输入53A和可选择延迟电路41B。可选择延迟电路41B的输出可被发送至C门43A的输入53B。当C门43A的输入53A与53B匹配时,C门43A可用作反相器。当C门43A的输入53A与53B不匹配时,C门43A可以不驱动其输出(高阻抗状态),并且C门43A的输出可维持其当前值。然后,来自C门43A的输出可被发送至反相器86。

[0070] 通过使C门43A中的PMOS晶体管74、76和NMOS晶体管78、80交叉可获得需要将C门43A的双节点碰撞降低至可接受水平的间隔。第二级延迟电路41可放置在C门43A中的交叉PMOS晶体管74、76之间以及交叉NMOS晶体管78、80之间,从而实现理想的节点间隔,而不存在任何浪费的空间。

[0071] 在触发器10B中,第一级26具有第一级交叉滤波器32,第一级交叉滤波器32具有切断触发器10B之前的逻辑中产生的瞬态脉冲的大部分的固定延迟。触发器10B的第二级28具有第二级可选择交叉滤波器36A,且多个晶体管延迟元件47以及多路复用器51的选择输入绑定至第二级闭锁时钟(latch clock)NCLK。当第二级闭锁时钟门为开启时,选择最短延迟,从而产生更小的CLK至Q延迟(关键触发器性能参数)。当第二级闭锁时钟门为关闭时,选择提供对翻转更大抗扰性的较大延迟。触发器10B对瞬态脉冲和翻转是高度容差的,使用仅多于6%的能量并且将比低功率版仅多于15%的负荷放置在全局时钟树上。其设置时间和CLK至Q延迟相当于在数据输入中具有固定延迟滤波器的DICE触发器的设置时间和CLK至Q。

[0072] 触发器10B可被考虑为平衡式实施方式。触发器10B可被配置为具有第一级26和第二级28,其中,第一级26具有第一级交叉滤波器32并且第二级28具有第二级可选择交叉滤

波器36A。在平衡式实施方式中,第一级交叉滤波器32被配置为具有固定延迟时间,而第二级可选择交叉滤波器36A具有可选择延迟时间。触发器10B可被考虑为平衡式实施方式,因为触发器10B允许技术人员选择第二级可选择交叉滤波器36A的延迟时间。然而,与触发器10A相比较,选择用于第二级可选择交叉滤波器36A的延迟时间的能力增加了触发器10B的功率消耗。

[0073] 参考图5至图6,示出了触发器10C的另一实施方式。触发器10C可具有输入缓冲器14。在本实施方式中,输入缓冲器14可以是反相器14A。反相器14A可由一对晶体管16和18形成。该对晶体管16和18可以是互补的MOSFET。如图所示,晶体管16可以是P型晶体管,诸如P型MOSFET,而晶体管18可以是N型晶体管,诸如N型MOSFET。晶体管16可以耦接至电压供给端VDD,而晶体管18可以耦接至电压供给端VSS。

[0074] 开关设备20可以耦接至反相器14A的输出。开关设备20可用于传递反相器14A的输出。根据一种实施方式,开关设备20可以是传输门20A。传输门20A可用于将从反相器14A输出的逻辑电平传递至触发器10C的第一级26。传输门20A可以由一对晶体管22和24形成。如图所示,晶体管22可以是P型晶体管,诸如P型MOSFET,而晶体管24可以是N型晶体管,诸如N型MOSFET。晶体管22可以耦接至时钟信号CLK,而晶体管24可以耦接至反相时钟信号NCLK。

[0075] 在本实施方式中,触发器10C是具有第一级26和第二级28的多级触发器。开关设备30可以定位在第一级26的输出与第二级28的输入之间。根据一种实施方式,开关设备30是可用于将从第一级26输出的逻辑电平传递至第二级28的输入的传输门30A。传输门30A可以由一对晶体管60和62形成。如图所示,晶体管60可以是P型晶体管,诸如P型MOSFET,而晶体管62可以是N型晶体管,诸如N型MOSFET。晶体管62可以耦接至时钟信号CLK,而晶体管60可以耦接至反相时钟信号NCLK。

[0076] 在本实施方式中,第一级26可具有第一级可选择交叉滤波器32A。第一级反馈反相器34可耦接在第一级可选择交叉滤波器32A的输出与第一级可选择交叉滤波器32A的输入之间。第二级28可具有第二级可选择交叉滤波器36A。第二级反馈反相器38可耦接在第二级可选择交叉滤波器36A的输出与第二级可选择交叉滤波器36A的输入之间。

[0077] 当传输门20A上的反相时钟信号NCLK为开启时,第一可选择交叉滤波器32A被配置为切断来自触发器10C之前的逻辑的瞬态脉冲,并且当传输门20A上的反相时钟信号NCLK为关闭时,切断传输门20A中产生的任何瞬态脉冲、第一级反馈反相器34中产生的任何瞬态脉冲以及第一级可选择交叉滤波器32A中产生的任何瞬态脉冲。同样,当传输门30A上的时钟信号CLK为开启时,第二级可选择交叉滤波器36A被配置为切断第一级交叉滤波器32A中产生的瞬态脉冲,并且当传输门30A上的时钟信号CLK为关闭时,切断用于将从第一级26输出的逻辑电平传递至第二级28的输入的传输门30A中产生的任何瞬态脉冲、在第二级反馈反相器38中产生的任何瞬态脉冲以及第二级可选择交叉滤波器36A中产生的任何瞬态脉冲。

[0078] 如图6所示,第一级可选择交叉滤波器32A可由可选择延迟电路40B和第一级输出缓冲器42形成。在本实施方式中,可选择延迟电路40B可以由多个串联连接的晶体管延迟元件39构成。在ASIC的设计阶段期间可选择每个晶体管延迟元件39的持续时间。延迟可以是处理、电压以及温度的函数。

[0079] 晶体管延迟元件39中的每个可耦接至多路复用器31。晶体管延迟元件39可背对背串联放置,且各个晶体管延迟元件39的输出耦接至多路复用器31的输入并且耦接至后续的

晶体管延迟元件39的输入。多路复用器31的输出可连接至C门42A的第二输入52B。一个或者多个选择信号CLK可被发送至多路复用器31并且可用于将可选择延迟电路40B配置成用户选择的、理想可编程时间延迟。选择信号CLK可用于将信号发送至多路复用器31,以选择将从晶体管延迟元件39的输出发送至C门42A的第二输入52B。

[0080] 第一级输出缓冲器42可以是C门42A。在所示实施方式中,C门42A可以由两个串联PMOS晶体管44、46和两个串联NMOS晶体管48、50构成。C门42A的各个输入52A和52B控制一个PMOS晶体管44或者46的栅极和一个NMOS晶体管48或者50的栅极。在所示实施方式中,输入52A可控制PMOS晶体管44的栅极和NMOS晶体管50的栅极。输入52B可控制PMOS晶体管46的栅极和NMOS晶体管48的栅极。

[0081] 传输门20A的输出可被发送至C门42A的输入52A和可选择延迟电路40B。可选择延迟电路40B的输出可被发送至C门42A的输入52B。当C门42A的输入52A与52B匹配时,C门22A可用作反相器。当C门42A的输入52A与52B不匹配时,C门42A可以不驱动其输出(高阻抗状态),并且C门42A的输出可维持其当前值。

[0082] 通过使C门42A中的PMOS晶体管44、46和NMOS晶体管48、50交叉可获得需要将C门42A的双节点碰撞降低至可接受水平的间隔。可选择延迟电路40B可放置在C门42A中的交叉PMOS晶体管44、46之间以及交叉NMOS晶体管48、50之间,从而实现理想的节点间隔,而不存在任何浪费的空间。

[0083] 在图5和图6中,第二级可选择交叉滤波器36A可由第二级延迟电路41和第二级输出缓冲器43形成。在本实施方式中,第二级延迟电路41是第二级可选择延迟电路41B。第二级可选择延迟电路41B可以由多个晶体管延迟元件47构成。各个晶体管延迟元件47均可以由类似于示出的用于固定延迟电路41A的晶体管的串联连接晶体管构成。在ASIC的设计阶段期间可选择每个晶体管延迟元件47的持续时间。延迟可以是处理、电压以及温度的函数。

[0084] 晶体管延迟元件47中的每个可耦接至多路复用器51。晶体管延迟元件47可背对背串联放置,且各个晶体管延迟元件47的输出耦接至多路复用器51的输入并且耦接至随后的晶体管延迟元件47的输入。多路复用器51的输出可连接至C门43A的第二输入53B。一个或者多个选择信号NCLK可被发送至多路复用器51,并且可用于将可选择延迟电路41B配置成用户选择的、理想可编程时间延迟。选择信号NCLK可用于将信号发送至多路复用器51,以选择将从固定延迟电路47的输出发送至C门43A的第二输入53B。

[0085] 第二级输出缓冲器43可以是C门43A。在所示实施方式中,C门43A可以由两个串联PMOS晶体管74、76和两个串联NMOS晶体管78、80构成。C门43A的各个输入53A和53B控制一个PMOS晶体管74或者76的栅极和一个NMOS晶体管78或者80的栅极。在所示实施方式中,输入53A可控制PMOS晶体管74的栅极和NMOS晶体管80的栅极。输入53B可控制PMOS晶体管76的栅极和NMOS晶体管78的栅极。

[0086] 传输门30A的输出可被发送至C门43A的输入53A和可选择延迟电路41B。可选择延迟电路41B的输出可被发送至C门43A的输入53B。当C门43A的输入53A与53B匹配时,C门43A可用作反相器。当C门43A的输入53A与53B不匹配时,C门43A可以不驱动其输出(高阻抗状态),并且C门43A的输出可维持其当前值。然后,来自C门43A的输出可被发送至反相器86。

[0087] 通过使C门43A中的PMOS晶体管74、76和NMOS晶体管78、80交叉可获得需要将C门43A的双节点碰撞降低至可接受水平的间隔。可选择延迟电路41B可放置在C门43A中的交叉

PMOS晶体管74、76之间以及交叉NMOS晶体管78、80之间,从而实现理想的节点间隔,而不存在任何浪费的空间。

[0088] 触发器10C具有使用第一级可选择交叉滤波器32A的降低的设置时间,该第一级可选择交叉滤波器32A具有绑定至用于第一级26的主闭锁时钟的多个延迟和多路复用器选择输入。当主闭锁时钟门为开启时,即,当交叉时钟信号NCLK为开启时,选择较小延迟,从而减少触发器设置时间,以补偿因增加的电气性能产生的单粒子瞬态脉冲抗扰性。当主闭锁时钟门为关闭时,即,当反相时钟信号NCLK为关闭时,选择较大延迟,从而保存触发器的健全SEU特性。第二级28具有图3和图4中的相同的设计。该实施方式将用于其中需要更快触发器的关键定时路径。触发器10C对翻转是高度容差的,但是对瞬态脉冲是较低容差的,使用多于15%的能量,并且将比低功率版多于30%的负荷放置在全局时钟树上。其设置时间和CLK至Q延迟相当于没有滤波器的DICE触发器的设置时间和CLK至Q延迟。

[0089] 触发器10B可被考虑为高性能实施方式。触发器10C可被配置为具有第一级26(第一级26具有第一级可选择交叉滤波器32A)和第二级28(第二级28具有第二级可选择交叉滤波器36A)。在高性能实施方式中,第一级可选择交叉滤波器32A和第二级可选择交叉滤波器36A分别被配置为具有可选择延迟时间。因此,可以基于理想的时间延迟选择分别用于第一级可选择交叉滤波器32A和第二级可选择交叉滤波器36A的延迟时间。触发器10C是在可能需要更快触发器的关键定时路径中使用的高性能实施方式。

[0090] 尽管已经以各种具体实施方式的形式描述了本公开的实施方式,然而,本领域技术人员应当认识到,可在权利要求的精神和范围内,对本公开的实施方案进行变形。

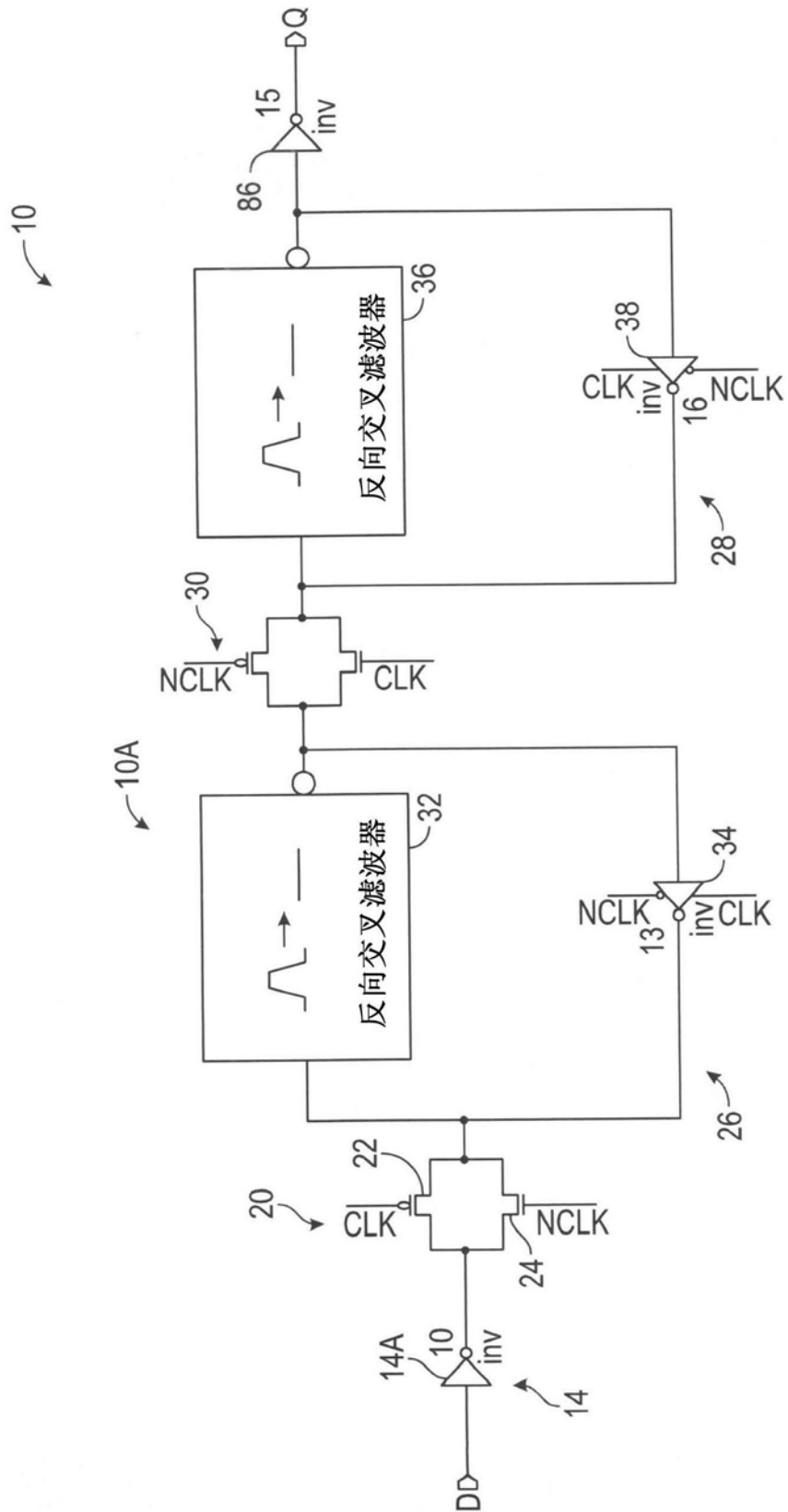


图1

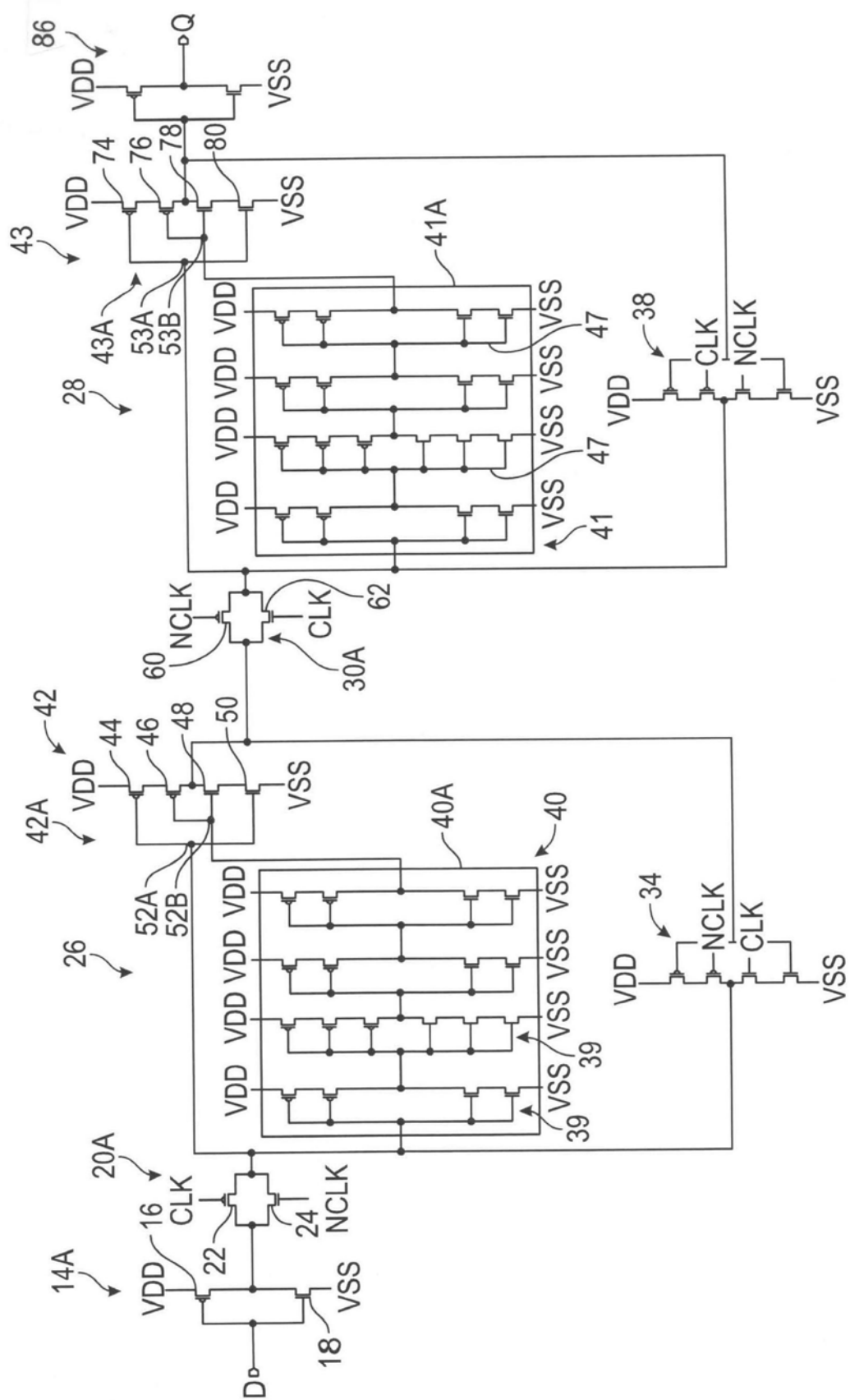


图2

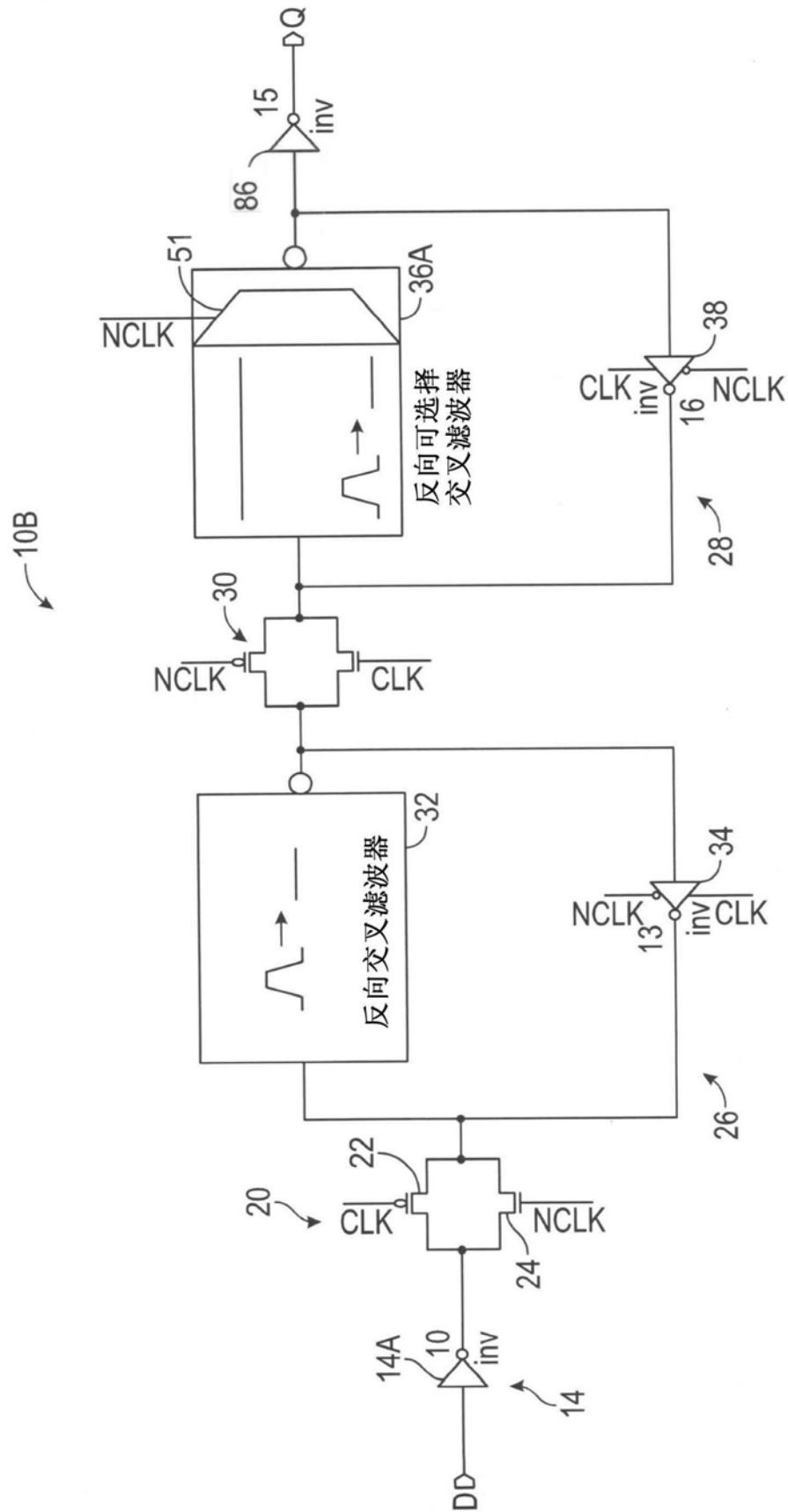
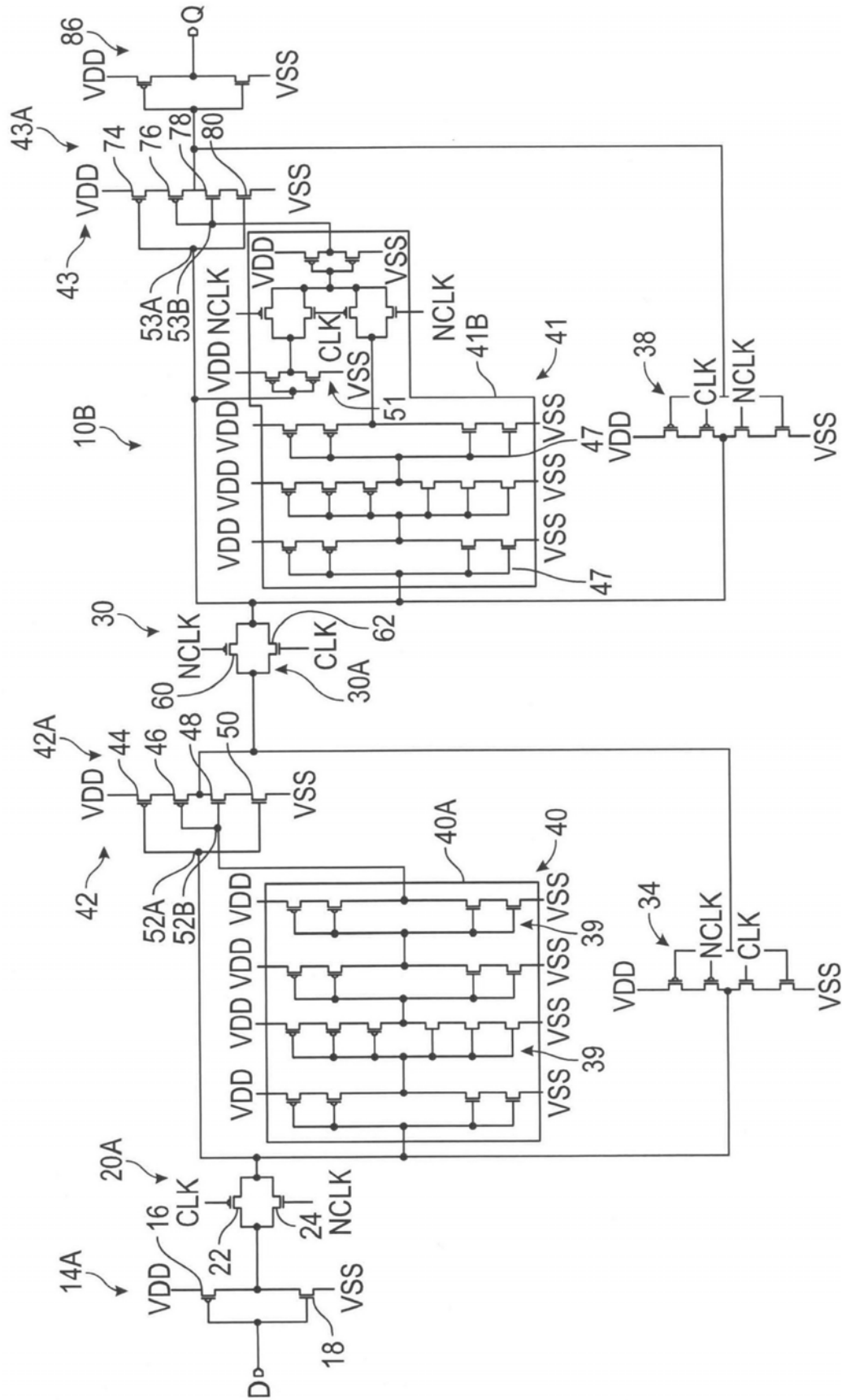


图3



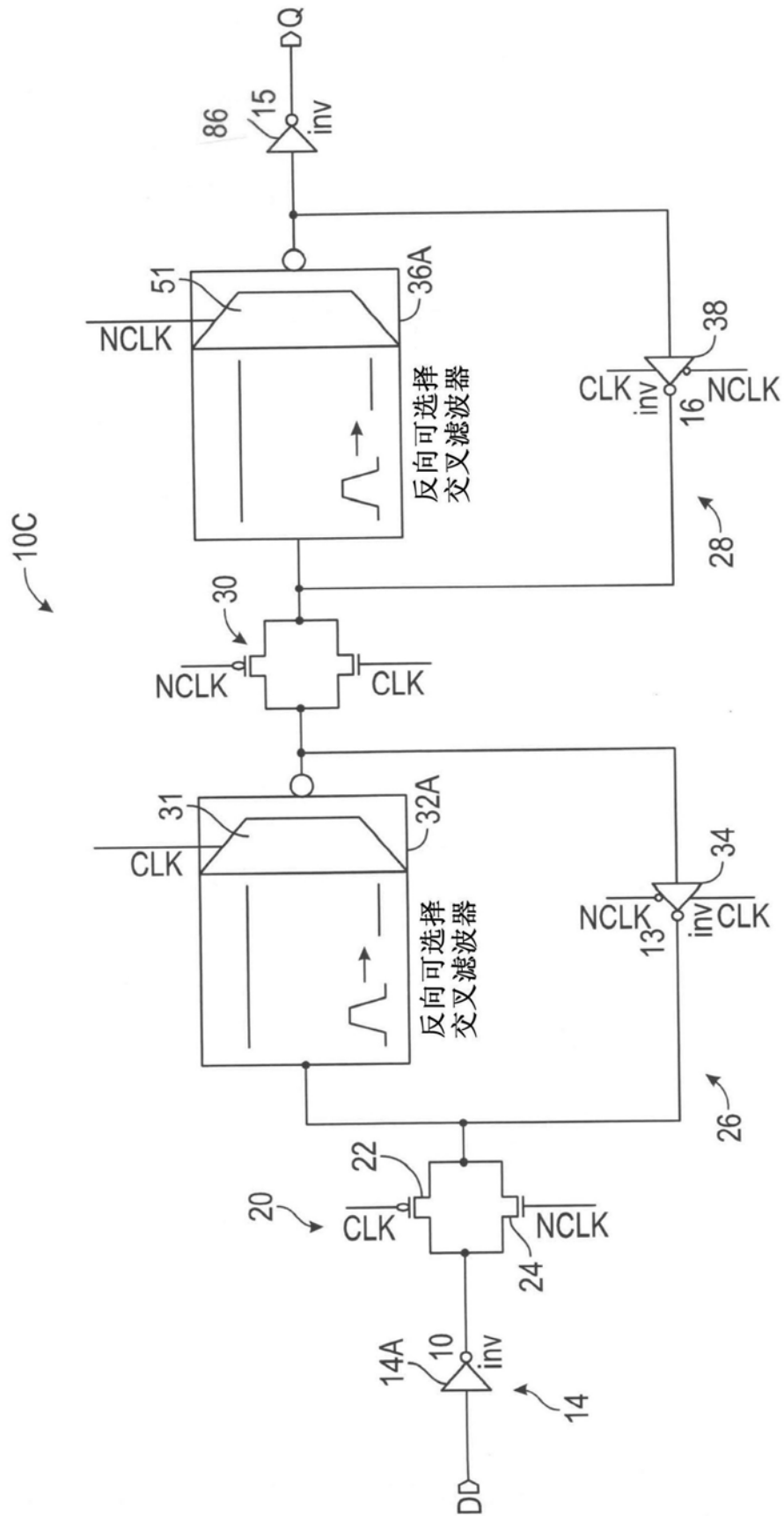


图5

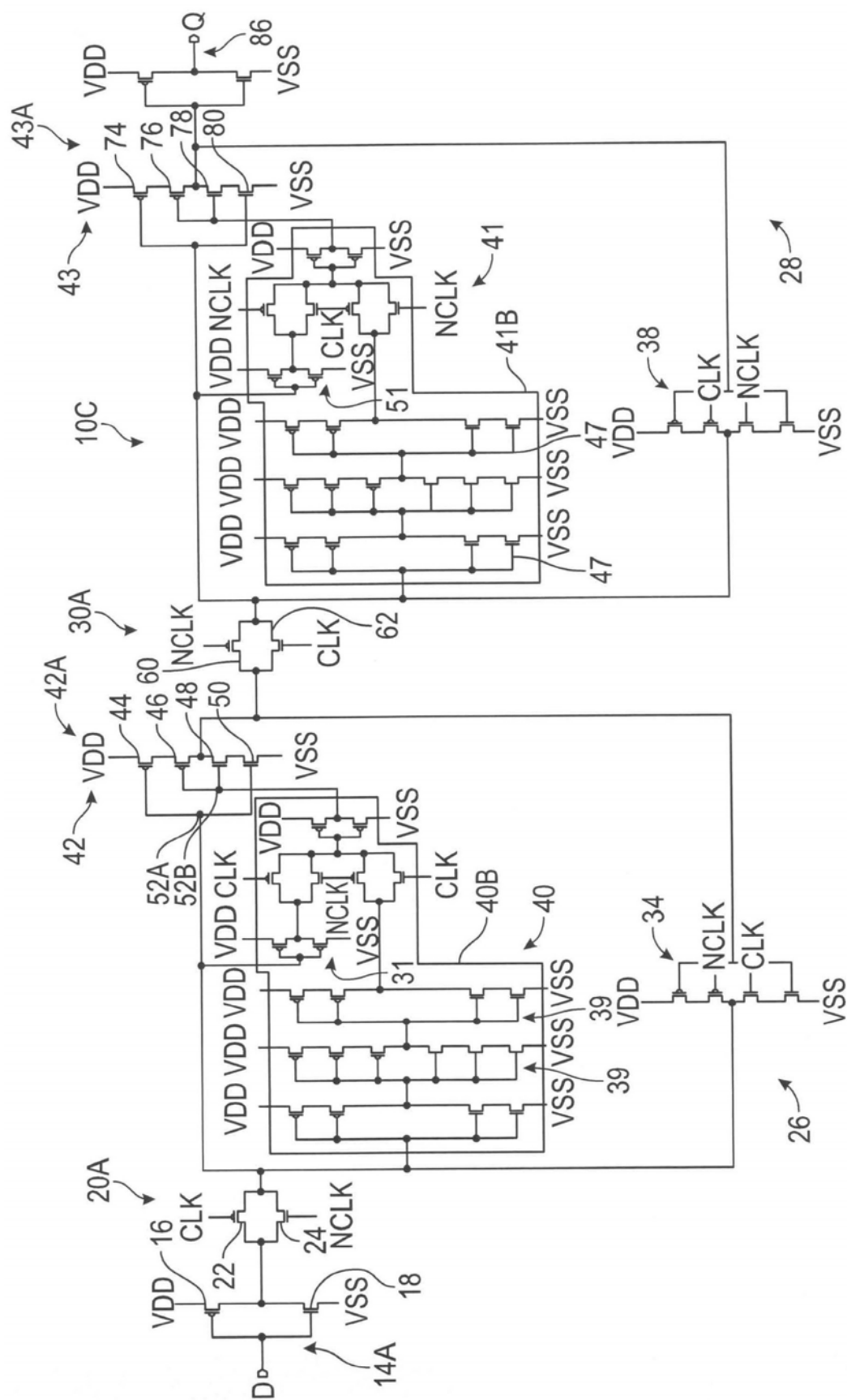


图6