【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】令和2年9月10日(2020.9.10)

【公開番号】特開2018-22486(P2018-22486A)
【公開日】平成30年2月8日(2018.2.8)
【年通号数】公開・登録公報2018-005
【出願番号】特願2017-146478(P2017-146478)
【国際特許分類】
Ｇ０６Ｆ　21/62　　(2013.01)
【ＦＩ】
Ｇ０６Ｆ　21/62

【手続補正書】
【提出日】令和2年7月28日(2020.7.28)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
メモリであって、
第１使用者に対するデータのためのデータ格納部と、
前記データ格納部からデータを読み出すデータ読出しロジックと、
前記データ格納部にデータを書き込むデータ書込みロジックと、
格納パスワードのためのパスワード格納部と、
メモリコントローラから受信パスワードを受信する受信機と、
前記受信パスワードと前記格納パスワードとを比較する比較器と、
前記比較器による比較にて、前記受信パスワードが前記格納パスワードと異なる場合、前記データ格納部の前記データを消去する消去ロジックと、
前記比較器が動作を完了する時まで前記メモリコントローラから前記データ格納部へのアクセスを遮断するブロックロジックと、を有し、
前記受信パスワード又は前記格納パスワードは、前記メモリに格納されたデータを暗号化するのには用いず、
前記受信パスワードは、前記比較器にて前記格納パスワードと一致しない前記受信パスワードに基づいて、前記パスワード格納部に格納され、
前記メモリが保安（ｓｅｃｕｒｅ）モードの場合、前記メモリの全体が前記保安モードになり、前記メモリが非保安モード（ｎｏｎ－ｓｅｃｕｒｅ）の場合、前記メモリの全体が前記非保安モードになることを特徴とするメモリ。
【請求項２】
前記ブロックロジックは、前記消去ロジックが動作を完了する時まで前記メモリコントローラから前記データ格納部へのアクセスを遮断するよう動作することを特徴とする請求項１に記載のメモリ。
【請求項３】
前記パスワード格納部に前記受信パスワードを書き込むパスワード書込みロジックをさらに有することを特徴とする請求項１に記載のメモリ。
【請求項４】
前記メモリが保安（ｓｅｃｕｒｅ）モードで動作している否かを特定するための直列プレゼンス検出（Ｓｅｒｉａｌ　Ｐｒｅｓｅｎｃｅ　Ｄｅｔｅｃｔ：ＳＰＤ）をさらに有す

ることを特徴とする請求項１に記載のメモリ。
【請求項５】
前記ＳＰＤの少なくとも部分的に基づいて、前記ブロックロジックは、前記メモリコントローラが前記比較器の呼び出しなしに前記データ格納部にアクセスすることを許可することを特徴とする請求項４に記載のメモリ。
【請求項６】
前記格納パスワードとはすべて異なる受信パスワードの閾値回数に少なくとも部分的に基づいて、消去ロジックは、前記データ格納部内のデータを消去するように動作することを特徴とする請求項１に記載のメモリ。
【請求項７】
前記受信機、前記比較器、前記消去ロジック、及び前記ブロックロジックを含むレジスタークロックドライバー（Ｒｅｇｉｓｔｅｒ　Ｃｌｏｃｋ　Ｄｒｉｖｅｒ：ＲＣＤ）をさらに有することを特徴とする請求項１に記載のメモリ。
【請求項８】
前記ブロックロジック及び前記消去ロジックは、電力が遮断された後、前記第１使用者に対するデータへのアクセスを防止するように動作し、それにより、揮発性メモリにデータを失わせることを特徴とする請求項１に記載のメモリ。
【請求項９】
前記メモリは、前記保安モードまたは非保安モードのうちの正確に１つにあることを特徴とする請求項１に記載のメモリ。
【請求項１０】
前記受信パスワードは、前記メモリコントローラによって生成されることを特徴とする請求項１に記載のメモリ。
【請求項１１】
前記メモリは、揮発性メモリの代わりに使用される不揮発性デュアルインラインメモリモジュール（ＮＶＤＩＭＭ）を含むことを特徴とする請求項１に記載のメモリ。
【請求項１２】
メモリがリセットされたかどうかを決定する段階と、
前記メモリが保安モード又は非保安（ｎｏｎ－ｓｅｃｕｒｅ）モードで動作しているという信号をメモリコントローラで前記メモリから受信する段階と、
前記メモリが前記保安モードで動作している場合、使用者に対するパスワードを選択する段階と、
前記メモリに前記パスワードを伝送する段階と、
前記メモリへのアクセスを受ける段階と、を有し、
前記パスワードは、前記メモリに格納されたデータを暗号化するのには用いず、
前記パスワードは、前記メモリに格納されたパスワードと一致しないパスワードの少なくとも部分的に基づいて前記メモリに格納され、
前記メモリが前記保安モードの場合、前記メモリの全体が前記保安モードになり、前記メモリが前記非保安モードの場合、前記メモリの全体が前記非保安モードになることを特徴とするメモリへの不正アクセス防止方法。
【請求項１３】
前記非保安モードで動作している前記メモリの少なくとも部分的に基づいて、前記パスワードを用いることなしに、前記メモリへのアクセスを受ける段階をさらに有することを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項１４】
前記メモリに前記パスワードを伝送する段階は、前記パスワードを閾値（ｔｈｒｅｓｈｏｌｄ）回数、前記メモリに伝送する段階を含むことを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項１５】
前記メモリへのアクセスを受ける段階は、第２パスワードと一致しないパスワードに少

なくとも部分的に基づいて、消去されたメモリへのアクセスを受ける段階を含むことを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項１６】
前記メモリがリセットされた以後の時間量を測定する段階と、
前記メモリがリセットされた以後の時間量に少なくとも部分的に基づいて、前記メモリにソフトウェア誘導リセットを伝送する段階と、
前記ソフトウェア誘導リセット後、前記メモリコントローラが前記メモリ内のデータにアクセスするための認証を要求する段階と、をさらに有する請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項１７】
前記メモリは、揮発性メモリの代わりに使用される不揮発性デュアルインラインメモリモジュール（ＮＶＤＩＭＭ）を含むことを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項１８】
前記パスワードを用いることなしに、前記メモリへのアクセスを受ける段階は、認証を実行せずにメモリへのアクセスを受ける段階を含むことを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項１９】
前記メモリが保安モード又は非保安モードで動作しているという信号をメモリコントローラで前記メモリから受信する段階は、前記メモリが前記保安モード又は前記非保安モードの内の１つが正確に含まれていることを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項２０】
前記使用者に対するパスワードを選択する段階は、前記メモリコントローラによって前記使用者に対するパスワードを生成する段階を含むことを特徴とする請求項１２に記載のメモリへの不正アクセス防止方法。
【請求項２１】
電力が遮断された後、前記メモリ内のデータへのアクセスを防止するように動作し、それにより、前記揮発性メモリにデータを失わせることを特徴とする請求項１７に記載のメモリへの不正アクセス防止方法。
【請求項２２】
メモリが保安モードで動作していることを示す信号を前記メモリからメモリコントローラに伝送する段階と、
前記メモリコントローラから受信パスワードを受信する段階と、
前記受信パスワードと格納パスワードとを比較する段階と、
前記格納パスワードと一致しない前記受信パスワードに少なくとも部分的に基づいて、前記メモリを消去する段階と、
前記メモリへのアクセスを前記メモリコントローラに提供する段階と、を有し、
前記受信パスワード又は前記格納パスワードは、前記メモリに格納されたデータを暗号化するのには用いず、
前記メモリは、前記保安モード及び非保安モードをサポートし、
前記メモリが前記保安モードの場合、前記メモリの全体が前記保安モードになり、前記メモリが前記非保安モードの場合、前記メモリの全体が前記非保安モードになることを特徴とするメモリへの不正アクセス防止方法。
【請求項２３】
前記格納パスワードと一致する前記受信パスワードに少なくとも部分的に基づいて、前記メモリへのアクセスを前記メモリコントローラに提供する段階をさらに有することを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項２４】
前記メモリを消去する前に、前記受信パスワードを受信し、受信パスワードと前記格納

パスワードを閾値回数、比較する段階をさらに有することを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項２５】
前記メモリコントローラからリセット命令を受信する段階と、
前記リセット命令に応答して前記メモリをリセットする段階と、をさらに有することを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項２６】
前記メモリが前記保安モードで動作していることを示す信号を前記メモリから前記メモリコントローラに伝送する段階は、前記メモリが前記保安モードで動作しているかどうかに関する前記メモリコントローラからの要請を受信する段階を含むことを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項２７】
前記メモリコントローラから前記受信パスワードを受信する段階は、前記メモリコントローラから前記パスワードを要請する段階を含むことを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項２８】
前記メモリは、前記保安モード又は前記非保安モードのうちの正確に１つにあることを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項２９】
電力が遮断された後、前記メモリ内のデータへのアクセスを防止するように動作し、それにより、揮発性メモリにデータを失わせることを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項３０】
前記メモリコントローラから受信パスワードを受信する段階は、前記メモリコントローラによって使用者に対するパスワードを生成する段階を含むことを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【請求項３１】
前記メモリは、揮発性メモリの代わりに使用される不揮発性デュアルインラインメモリモジュール（ＮＶＤＩＭＭ）を含み、
前記メモリは、前記メモリが前記非保安モードで動作しているときに、認証なしで前記メモリへのアクセスを提供することを特徴とする請求項２２に記載のメモリへの不正アクセス防止方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００７
【補正方法】変更
【補正の内容】
【０００７】
上記目的を達成するためになされた本発明によるメモリは、メモリであって、第１使用者に対するデータのためのデータ格納部と、前記データ格納部からデータを読み出すデータ読出しロジックと、前記データ格納部にデータを書き込むデータ書込みロジックと、格納パスワードのためのパスワード格納部と、メモリコントローラから受信パスワードを受信する受信機と、前記受信パスワードと前記格納パスワードとを比較する比較器と、前記比較器による比較にて、前記受信パスワードが前記格納パスワードと異なる場合、前記データ格納部の前記データを消去する消去ロジックと、前記比較器が動作を完了する時まで前記メモリコントローラから前記データ格納部へのアクセスを遮断するブロックロジックと、を有し、前記受信パスワード又は前記格納パスワードは、前記メモリに格納されたデータを暗号化するのには用いず、前記受信パスワードは、前記比較器にて前記格納パスワードと一致しない前記受信パスワードに基づいて、前記パスワード格納部に格納され、前記メモリが保安（ｓｅｃｕｒｅ）モードの場合、前記メモリの全体が前記保安モードにな

り、前記メモリが非保安モード（ｎｏｎ－ｓｅｃｕｒｅ）の場合、前記メモリの全体が前記非保安モードになることを特徴とする。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００８
【補正方法】変更
【補正の内容】
【０００８】
上記目的を達成するためになされた本発明によるメモリへの不正アクセス防止方法は、メモリがリセットされたかどうかを決定する段階と、前記メモリが保安モード又は非保安（ｎｏｎ－ｓｅｃｕｒｅ）モードで動作しているという信号をメモリコントローラで前記メモリから受信する段階と、前記メモリが前記保安モードで動作している場合、使用者に対するパスワードを選択する段階と、前記メモリに前記パスワードを伝送する段階と、前記メモリへのアクセスを受ける段階と、を有し、前記パスワードは、前記メモリに格納されたデータを暗号化するのには用いず、前記パスワードは、前記メモリに格納されたパスワードと一致しないパスワードの少なくとも部分的に基づいて前記メモリに格納され、前記メモリが前記保安モードの場合、前記メモリの全体が前記保安モードになり、前記メモリが前記非保安モードの場合、前記メモリの全体が前記非保安モードになることを特徴とする。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】０００９
【補正方法】変更
【補正の内容】
【０００９】
また、上記目的を達成するためになされた本発明によるメモリへの不正アクセス防止方法は、メモリが保安モードで動作していることを示す信号を前記メモリからメモリコントローラに伝送する段階と、前記メモリコントローラから受信パスワードを受信する段階と、前記受信パスワードと格納パスワードとを比較する段階と、前記格納パスワードと一致しない前記受信パスワードに少なくとも部分的に基づいて、前記メモリを消去する段階と、前記メモリへのアクセスを前記メモリコントローラに提供する段階と、を有し、前記受信パスワード又は前記格納パスワードは、前記メモリに格納されたデータを暗号化するのには用いず、前記メモリは、前記保安モード及び非保安モードをサポートし、前記メモリが前記保安モードの場合、前記メモリの全体が前記保安モードになり、前記メモリが前記非保安モードの場合、前記メモリの全体が前記非保安モードになることを特徴とする。