(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월04일
(11) 등록번호 10-1438290
(24) 등록일자 2014년08월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2012-0153330
(22) 출원일자 2012년12월26일
심사청구일자 2012년12월26일
(65) 공개번호 10-2014-0042622
(43) 공개일자 2014년04월07일
(30) 우선권주장
13/631,688 2012년09월28일 미국(US)
(56) 선행기술조사문헌
KR1020110050713 A*
US20110049613 A1*
KR1020120098843 A
KR100845175 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완 300-77, 신츄, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호
(72) 발명자
우 지키앙
대만 신추 카운티 추베이 아이코우 1번가 1호 9층-7
창 관 신
대만 신추 시티 티에다오 로드 1번 섹션 28번 레인 25호 6층
(뒷면에 계속)
(74) 대리인
김태홍

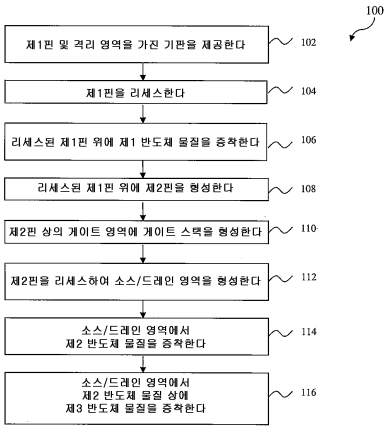
전체 청구항 수 : 총 10 항 심사관 : 최정민

(54) 발명의 명칭 **반도체 소자를 위한 소스/드레인 스택 스트레서**

(57) 요 약

본 발명은 반도체 소자를 제공한다. 반도체 소자는 기판과, 제1 반도체 물질에 의해 형성되는 핀 구조물과, 핀의 일부 상에 형성된 게이트 영역과, 기판 상에서 게이트 영역에 의해 분리되는 소스 영역 및 드레인 영역과, 소스 및 드레인 영역 상에 형성된 소스/드레인 스택을 포함한다. 소스/드레인 스택의 하부 부분은 제2 반도체 물질에 의해 형성되고 게이트 영역 내에서 핀의 하부 부분과 접촉한다. 소스/드레인 스택의 상부 부분은 제3 반도체 물질로 형성되고 게이트 영역 내에서 핀의 상부 부분과 접촉한다.

대 표 도 - 도1



(72) 발명자

칭 쿼-쳉

대만 신추 카운티 302 주베이 시티 광밍 9번 로드 8-3호 5층

수 춘 충

대만 뉴 타이페이 시티 235 종헤 디스트릭트 화슌 스트리트 131호 4층

주 쉬 닝

대만 신추 시티 300 이스트 디스트릭트 밍후 로드 1050 레인 306호 10층

특허청구의 범위

청구항 1

반도체 소자에 있어서,

기판;

상기 기판 상에서 제1 격자 상수를 갖는 제1 반도체 물질에 의해 형성되는 핀(fin);

상기 기판 상에서 상기 핀의 일부 상에 형성되는 게이트 영역;

상기 기판 상에서 상기 게이트 영역에 의해 분리되는 소스 영역 및 드레인 영역;

상기 소스 영역 및 드레인 영역 상에서 두께(T)를 갖는 소스/드레인 스택;

상기 소스/드레인 스택의 하단 부분으로서 상기 제1 격자 상수보다 더 작은 제2 격자 상수를 가지며 상기 게이트 영역 내에서 상기 핀의 하부 부분과 접촉하는 제2 반도체 물질; 및

상기 소스/드레인 스택의 상부 부분으로서 상기 제2 반도체 물질의 상단 상에서 상기 제1 격자 상수 이상인 제3 격자 상수 및 두께(t)를 가지며 상기 게이트 영역 내에서 상기 핀의 상부 부분과 접촉하는 제3 반도체 물질을

포함한 반도체 소자.

청구항 2

제1항에 있어서, 상기 제2 격자 상수는 5.526 내지 5.549의 범위 내에 있는 것인 반도체 소자.

청구항 3

제1항에 있어서, 상기 제3 격자 상수는 5.645 내지 5.658의 범위 내에 있는 것인 반도체 소자.

청구항 4

제1항에 있어서, T에 대한 t의 두께비는 0.1 내지 0.8의 범위 내에 있는 것인 반도체 소자.

청구항 5

제1항에 있어서, 상기 핀은 게르마늄(Ge) 핀이고, 상기 소스/드레인 스택은 Ge의 상단 상에서 실리콘 게르마늄(SiGe)에 의해 형성된 것인 반도체 소자.

청구항 6

제1항에 있어서, 상기 핀은 제1 격자 상수를 갖는 실리콘 게르마늄(SiGe) 핀이고, 상기 소스/드레인 스택은 제2 격자 상수를 갖는 다른 SiGe의 상단 상에 형성된 제3 격자 상수를 갖는 또 다른 SiGe인 것인 반도체 소자.

청구항 7

반도체 소자에 있어서,

제1 핀을 구비한 기판;

제1 격자 상수를 갖는 에피택셜하게(epitaxially) 성장된 게르마늄(Ge)에 의해 형성되는 상기 제1 핀의 상단 상의 제2 핀;

상기 제2 핀의 일부 상에 형성되는 게이트 영역;

상기 기판 상에서 상기 게이트 영역에 의해 분리되는 소스 영역 및 드레인 영역;

상기 게이트 영역 내에서 Ge에 의해 형성되는 상기 제2 핀 옆에서 상기 소스 영역 및 드레인 영역 상에 두께(T)를 갖는 소스/드레인 스택;

상기 소스/드레인 스택의 하단 부분으로서, 상기 제1 격자 상수보다 더 작은 제2 격자 상수를 가지며, Ge에 의

해 형성되는 상기 제2 핀의 하부 부분과 접촉하는, 에피택셜하게 성장된 실리콘 게르마늄(SiGe); 및

상기 소스/드레인 스택의 상부 부분으로서, 상기 SiGe의 상단 상에서 상기 제1 격자 상수 이상인 제3 격자 상수 및 두께(t)를 가지며, 상기 게이트 영역 내에서 Ge에 의해 형성되는 상기 제2 핀의 상부 부분과 접촉하는, 에피택셜하게 성장된 Ge를

포함한 반도체 소자.

청구항 8

제7항에 있어서, 상기 SiGe는 원자 퍼센트로 0.45 내지 0.55 범위의 Ge 조성(composition)을 갖는 것인 반도체 소자.

청구항 9

핀 전계 효과 트랜지스터(fin field-effect transistor; FinFET) 소자를 제조하는 방법에 있어서,

제1 핀들 및 이러한 제1 핀들 사이에 격리 영역을 구비한 기판을 제공하는 단계;

상기 제1 핀들을 리세싱하는 단계;

상기 리세싱된 제1 핀들 상에 제2 핀들을 형성하도록 제1 격자 상수를 갖는 제1 반도체 물질을 에피택셜하게 성장시키는 단계;

게이트 영역으로서 규정되는 상기 제2 핀들의 일부 상에 더미 게이트 스택을 형성하는 단계;

소스/드레인 영역을 형성하도록 상기 더미 게이트 스택 옆에서 상기 제2 핀들의 일부를 리세싱하는 단계;

소스/드레인 스택의 하부 부분을 형성하도록 상기 소스/드레인 영역 내에서 상기 제1 격자 상수보다 더 작은 제2 격자 상수를 가지며 상기 게이트 영역 내에서 상기 제2 핀들의 하부 부분과 접촉하는 제2 반도체 물질을 에피택셜하게 성장시키는 단계; 및

상기 소스/드레인 스택의 상부 부분을 형성하도록 상기 소스/드레인 영역 내에서 상기 제2 격자 상수보다 더 큰 제3 격자 상수를 가지며 상기 게이트 영역 내에서 상기 제2 핀들의 상부 부분과 접촉하는 제3 반도체 물질을 에피택셜하게 성장시키는 단계를

포함한 FinFET 소자 제조 방법.

청구항 10

제9항에 있어서,

게이트 트렌치를 형성하기 위해 상기 더미 게이트 스택을 제거하는 단계; 및

상기 게이트 트렌치 내에 하이-k/금속 게이트를 형성하는 단계를

더 포함한 FinFET 소자 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 소자를 위한 소스/드레인 스택 스트레서에 대한 것이다.

배 경 기 술

[0002] 반도체 집적 회로(IC) 산업은 기하급수적으로 성장하였다. IC 물질 및 설계에 있어서의 기술적 진보는 IC의 세대화를 형성하였고, 각 세대는 이전 세대보다 더 소형이고 더 복잡한 회로를 갖는다. IC 발전의 과정에서, 기능 밀도(즉, 칩 면적당 상호접속되는 소자의 수)가 크게 증가하였고 기하학적 사이즈(즉, 제조 과정을 이용하여 생성될 수 있는 최소 컴포넌트(또는 라인))는 감소되었다. 이러한 규모 축소 과정은 일반적으로 생산 효율을 증가시키고 관련 비용을 낮춤으로써 이익을 제공한다.

발명의 내용

해결하려는 과제

[0003] 이러한 규모 축소는 또한 IC를 처리하고 제조함에 있어서의 복잡성을 증가시키고, 이러한 진보가 실현되기 위하여, IC 처리 및 제조에 있어서도 유사한 개발이 필요하다. 예를 들면, 핀(fin)형 전계 효과 트랜지스터(FinFET)와 같은 3차원 트랜지스터가 평면 트랜지스터를 대체하기 위해 도입되었다. 비록 기존의 FinFET 소자 및 FinFET 소자를 제조하는 방법이 일반적으로 그들의 의도된 목적에 대해서 적당하였지만, 이들은 모든 점에서 전적으로 만족스러운 것은 아니다. 예를 들면, FinFET 소자의 게이트 채널에 대한 스트레스의 도입이 도전사항(challenge)으로 발생한다. 이 분야에서의 개선이 요구되고 있다.

과제의 해결 수단

[0004] 본 발명은 반도체 소자를 제공하며, 이 반도체 소자는 기판; 제1 격자 상수를 가진 제1 반도체 물질에 의해 상기 기판 상에 형성되는 핀(fin); 상기 기판 상에서 상기 핀의 일부 상에 형성된 게이트 영역; 상기 기판 상에서 상기 게이트 영역에 의해 분리되는 소스 영역 및 드레인 영역; 상기 소스 영역 및 드레인 영역 상에서 두께(T)를 가진 소스/드레인 스택; 상기 소스/드레인 스택의 하단 부분으로서 상기 제1 격자 상수보다 더 작은 제2 격자 상수를 가지며 상기 게이트 영역 내에서 상기 핀의 하부 부분과 접촉하는 제2 반도체 물질; 및 상기 소스/드레인 스택의 상부 부분으로서 상기 제2 반도체 물질의 상단 상에서 상기 제1 격자 상수 이상인 제3 격자 상수 및 두께(t)를 가지며 상기 게이트 영역 내에서 상기 핀의 상부 부분과 접촉하는 제3 반도체 물질을 포함한다.

[0005] 또한, 본 발명은 반도체 소자를 제공하며, 이 반도체 소자는 제1핀을 구비한 기판; 상기 제1핀의 상단 상에서 에피택셜하게(epitaxially) 성장된 게르마늄(Ge)에 의해 형성된 제2핀; 상기 제2핀의 일부 상에 형성된 게이트 영역; 상기 기판 상에서 상기 게이트 영역에 의해 분리된 소스 영역 및 드레인 영역; 상기 게이트 영역 내에서 제2 Ge 핀 옆에 형성되는 소스 및 드레인 영역 상에 두께(T)를 가진 소스/드레인 스택; 상기 소스/드레인 스택의 하단 부분으로서 형성되고 제2 Ge 핀의 하부 부분과 접촉하는 에피택셜하게 성장된 실리콘 게르마늄(SiGe); 및 소스/드레인 스택의 상부 부분으로서 상기 SiGe의 상단 상에 형성되고 상기 게이트 영역 내에서 제2 Ge 핀의 상부 부분과 접촉하는 에피택셜하게 성장된 Ge를 포함한다.

[0006] 또한, 본 발명은 핀 전계 효과 트랜지스터(fin field-effect transistor; FinFET) 소자를 제조하는 방법을 제공하며, 이 방법은 제1핀들 및 이러한 제1핀들 사이에 격리 영역을 구비한 기판을 제공하는 단계; 상기 제1핀들을 리세싱하는 단계; 리세스된 제1핀들 상에 제2핀을 형성하도록 제1 격자 상수를 가진 제1 반도체 물질을 에피택셜하게 성장시키는 단계; 게이트 영역으로서 규정되는 상기 제2핀의 일부 상에 더미 게이트 스택을 형성하는 단계; 소스/드레인 영역을 형성하도록 상기 더미 게이트 스택 옆에서 상기 제2핀의 일부를 리세싱하는 단계; 소스/드레인 스택의 하부 부분을 형성하도록 상기 소스/드레인 영역 내에서 상기 제1 격자 상수보다 더 작은 제2 격자 상수를 가지며 상기 게이트 영역 내에서 상기 제2핀의 하부 부분과 접촉하는 제2 반도체 물질을 에피택셜하게 성장시키는 단계; 및 소스/드레인 스택의 상부 부분을 형성하도록 상기 소스/드레인 영역 내에서 상기 제2 격자 상수보다 더 큰 제3 격자 상수를 가지며 상기 게이트 영역 내에서 상기 제2핀의 상부 부분과 접촉하는 제3 반도체 물질을 에피택셜하게 성장시키는 단계를 포함한다.

도면의 간단한 설명

[0007] 본 발명은 이하의 구체적인 설명을 첨부 도면과 함께 읽을 때 최상으로 이해할 수 있다. 산업계의 표준적인 실시에 따라서, 각종 특징부들이 정확한 축척으로 작도되지 않고 설명 목적으로만 이용된다는 점에 주목해야 한다. 사실, 각종 특징부의 치수들은 설명의 명확성을 위해 임의로 증가되거나 감소될 수 있다.

도 1은 본 발명의 각종 양태에 따라서 FinFET 소자를 제조하는 예시적인 방법의 흐름도이다.

도 2 내지 도 5는 도 1의 방법에 따라서 구성되는 제조 단계에서 예시적인 FinFET 소자의 횡단면도이다.

도 6은 본 발명의 각종 양태에 따른 FinFET 소자의 측면 사시도이다.

도 7 내지 도 10은 도 6의 선 A-A를 따라 취한 FinFET 소자의 횡단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하의 설명은 본 발명의 상이한 특징부들을 구현하기 위한 많은 다른 실시형태 또는 실시예를 제공한다. 본 발명의 설명을 간단히 하기 위해 이하에서는 특수한 실시예의 컴포넌트 및 구성이 설명된다. 물론, 이러한 설명은 단지 예일 뿐이고, 제한하는 것으로 의도되지 않는다. 예를 들면, 이하의 설명에서 제2 특징부 위에 또는 제2

특징부 상에 제1 특징부를 형성하는 것은 제1 특징부와 제2 특징부가 직접 접촉해서 형성되는 실시형태를 포함할 수도 있고, 제1 및 제2 특징부가 직접 접촉되지 않도록 제1 특징부와 제2 특징부 사이에 추가의 특징부가 형성되는 실시형태를 포함할 수도 있다. 또한, 본 발명의 설명은 각종 실시예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간단성 및 명확성을 위한 것이고, 각종 실시형태 및/또는 구성 간의 관계를 설명되는 것 자체로 한정하는 것은 아니다.

[0009] 본원에서의 설명은 FinFET 소자에 관한 것이지만, FinFET 소자로 한정되는 것은 아니다. 예를 들면, FinFET 소자는 P형 금속 산화물 반도체(PMOS) FinFET 소자 및 N형 금속 산화물 반도체(NMOS) FinFET 소자를 포함한 상보형 금속 산화물 반도체(CMOS) 소자일 수 있다. 이하에서의 설명은 본 발명의 각종 실시형태를 설명하기 위해 FinFET 실시예와 계속하여 함께 할 것이다. 그러나, 본 발명은 특별하게 주장되는 경우를 제외하고 특수 유형의 소자로 제한되는 것이 아님을 이해하여야 한다.

[0010] 도 1은 본 발명의 양태에 따른 FinFET 소자(200) 제조 방법(100)의 흐름도이다. 도 2 내지 도 10은 도 1의 방법(100)에 따라서 구성되는 제조 단계에서 FinFET 소자(200)의 모습을 보인 것이다. 방법(100) 및 FinFET 소자(200)는 도 1 내지 도 10을 참조하여 종합적으로 설명된다. 방법(100)을 실행하기 전에, 실행하는 동안에, 및 실행 후에 추가의 단계들이 제공될 수 있고, 여기에서 설명하는 단계들의 일부는 다른 실시형태의 방법에서 대체되거나 제거될 수 있음을 이해하여야 한다.

[0011] 도 1 및 도 2를 참조하면, 방법(100)은 기판(210)을 제공하는 단계(102)에서 시작한다. 기판(210)은 벌크 실리콘 기판일 수 있다. 대안적으로, 기판(210)은 결정 구조의 실리콘 또는 게르마늄과 같은 기본 반도체; 실리콘 게르마늄, 실리콘 카바이드, 갈륨 비소, 인화갈륨, 인화인듐, 비소화인듐, 및/또는 안티몬화인듐과 같은 화합물 반도체; 또는 이들의 조합을 포함할 수 있다. 가능한 기판(210)은 실리콘 온 인슐레이터(SOI) 기판을 또한 포함한다. SOI 기판은 산소 주입 격리(separation by implantation of oxygen; SIMOX), 웨이퍼 접착(bonding), 및/또는 다른 적당한 방법을 이용하여 제조된다.

[0012] 일부 예시적인 기판(210)은 절연체 층을 또한 포함한다. 절연체 층은 실리콘 산화물, 사파이어, 및/또는 이들의 조합을 포함한 임의의 적당한 물질로 구성된다. 예시적인 절연체 층은 매립 산화물 층(BOX)일 수 있다. 절연체는 주입(예를 들면, SIMOX), 산화, 증착, 및/또는 다른 적당한 처리와 같은 임의의 적당한 공정에 의해 형성된다. 일부 예시적인 FinFET 전구체에 있어서, 절연체 층은 실리콘 온 인슐레이터 기판의 컴포넌트(예를 들면, 층)이다.

[0013] 기판(210)은 이 기술 분야에서 공지된 것처럼 설계 필요조건에 따라서 각종의 도핑 영역을 포함할 수 있다. 도핑 영역은 붕소 또는 BF2와 같은 p형 도펀트; 인 또는 비소와 같은 n형 도펀트; 또는 이들의 조합으로 도핑될 수 있다. 도핑 영역은 기판(210) 상에 직접 형성될 수도 있고, 또는 P-웰 구조로, N-웰 구조로, 이중 웰(dual-well) 구조로, 또는 상승 구조(raised structure)를 이용하여 형성될 수도 있다. 기판(210)은 N형 금속 산화물 반도체 트랜지스터 소자용으로 구성된 영역 및 P형 금속 산화물 반도체 트랜지스터 소자용으로 구성된 영역과 같은 각종의 활성 영역을 또한 포함할 수 있다.

[0014] 제1핀(220)이 기판(210) 상에 형성된다. 일부 실시형태에 있어서, 기판(210)은 하나 이상의 제1핀(220)을 포함한다. 제1핀(220)은 각종의 증착, 포토리소그래피, 및/또는 에칭 공정을 포함한 임의의 적당한 방법으로 형성된다. 예시적인 포토리소그래피 공정은 기판 위에(예를 들면, 실리콘 층 상에) 포토레지스트 층(레지스트)을 형성하는 단계와, 레지스트를 노광하여 패터닝하는 단계와, 노광후 굽기 공정을 수행하는 단계와, 레지스트를 포함한 마스킹 요소를 형성하기 위해 레지스트를 현상하는 단계를 포함한다. 그 다음에, 마스킹 요소는 기판(210) 내로 핀 구조물을 에칭하기 위해 사용된다. 마스킹 요소에 의해 보호되지 않은 영역은 반응성 이온 에칭(RIE) 공정 및/또는 다른 적당한 공정을 이용하여 에칭된다. 일 예로서, 제1핀(220)은 실리콘 기판(210)의 일부를 패터닝 및 에칭함으로써 형성된다. 다른 예로서, 제1핀(220)은 절연체 층 위에 증착된 실리콘 층(예를 들면, SOI 구조의 실리콘-절연체-실리콘 스택의 상부 실리콘층)을 패터닝 및 에칭함으로써 형성된다. 종래의 포토리소스래피의 대안예로서, 제1핀(220)은 더블 패터닝 리소그래피(DPL) 공정에 의해 형성될 수 있다. DPL은 패턴을 2개의 인터리브 패턴으로 나눔으로써 기판 위에 패턴을 구성하는 방법이다. DPL은 향상된 피처(feature)(예를 들면, 핀) 밀도를 가능하게 한다. 각종 DPL 방법은 이중 노광(예를 들면, 2개의 마스크 세트를 이용하는 것), 피처 부근에 스페이서를 형성하고 피처를 제거하여 스페이서의 패턴을 제공하는 것, 레지스트 동결, 및/또는 다른 적당한 공정을 포함한다. 복수의 평행한 제1핀(220)은 유사한 방법으로 형성될 수 있다.

[0015] 각종 격리 영역(230)은 활성 영역을 격리하도록 기판(210) 상에 형성된다. 예를 들면, 격리 영역(230)은 제1핀(220)을 분리한다. 격리 영역(230)은 각종 영역을 규정하고 전기적으로 격리하기 위해 얕은 트렌치 격리(STI)와

같은 종래의 격리 기술을 이용하여 형성될 수 있다. 격리 영역(230)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 에어갭, 다른 적당한 물질, 또는 이들의 조합을 포함한다. 격리 영역(230)은 임의의 적당한 공정에 의해 형성된다. 일 예로서, STI의 형성은 포토리소그래피 처리 단계, 기판 내에서의 트렌치 에칭 단계(예를 들면, 건식 에칭 및/또는 습식 에칭을 이용해서), 및 트렌치를 하나 이상의 유전체 물질로 채우는 단계(예를 들면, 화학적 기상 증착 공정을 이용해서)를 포함한다. 트렌치는 이 실시형태에서처럼 부분적으로 채워질 수 있고, 트렌치 사이에 남아있는 기판은 핀 구조물을 형성한다. 일부 실시예에 있어서, 채워진 트렌치는 실리콘 질화물 또는 실리콘 산화물로 채워진 열산화물 라이너 층과 같은 다층 구조를 가질 수 있다. 일 실시형태에 있어서, 화학 기계 연마(CMP) 공정은 과잉 유전체 물질을 제거하고 격리 영역(230)의 상단면을 제1핀(220)의 상부 표면과 같게 평탄하게 하기 위해 수행된다.

[0016] 도 1 및 도 3을 참조하면, 방법(100)은 단계 104로 진행하고, 이 단계에서 제1핀(220)을 리세스(recess)하여 리세싱 트렌치(310)를 형성한다. 리세싱 처리는 건식 에칭 처리, 습식 에칭 처리, 및/또는 이들의 조합을 포함할 수 있다. 리세싱 처리는 또한 선택적 습식 에칭 또는 선택적 건식 에칭을 포함할 수 있다. 습식 에칭 용액은 테트라메틸암모늄 수산화물(TMAH), HF/HNO3/CH3COOH 용액, 또는 다른 적당한 용액을 포함한다. 건식 및 습식 에칭 처리는 사용되는 부식액, 에칭 온도, 에칭 용액 농도, 에칭 압력, 전원, RF 바이어스 전압, RF 바이어스 전력, 부식액 유속, 및 기타 적당한 파라미터와 같은, 조정될 수 있는 에칭 파라미터를 갖는다. 예를 들면, 습식 에칭 용액은 NH_4OH, KOH(수산화칼륨), HF(플루오르화 수소산), TMAH(테트라메틸암모늄 수산화물), 다른 적당한 습식 에칭 용액, 또는 이들의 조합을 포함한다. 건식 에칭 처리는 염소 기반 화학적 성질을 이용하는 바이어스 플라즈마 에칭 처리를 포함한다. 다른 건식 부식액 가스는 CF_4, NF_3, SF_6 및 He를 포함한다. 건식 에칭은 또한 심도 반응성 이온 에칭(deep reactive-ion etching; DRIE)과 같은 메카니즘을 이용하여 이방성으로 수행될 수 있다.

[0017] 도 1 및 도 4를 참조하면, 방법(100)은 단계 106으로 진행하고, 이 단계에서 리세스된 제1핀(220)의 상단 상에 제1 반도체 물질 층(320)을 증착하여 리세싱 트렌치(310)를 채운다. 제1 반도체 물질 층(320)은 에피택셜 성장 공정에 의해 증착될 수 있다. 제1 반도체 물질 층(320)은 게르마늄(Ge) 또는 실리콘(Si)과 같은 단일 원소 반도체 물질; 또는 갈륨 비소(GaAs), 알루미늄 갈륨 비소(AlGaAs)와 같은 화합물 반도체 물질; 또는 실리콘 게르마늄(SiGe), 갈륨 비소 인화물(GaAsP)과 같은 반도체 합금의 물질로 형성될 수 있다. 에피택셜 공정은 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고 진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 공정을 포함한다.

[0018] 일 실시형태에 있어서, 제1 반도체 물질 층(320)은 에피택셜적으로 성장된 Ge 물질을 포함한다. 다른 실시형태에 있어서, 제1 반도체 물질 층(320)은 에피택셜적으로 성장된 $Si_{1-x}Ge_x$ 물질을 포함하고, 여기에서 x는 원자 퍼센트의 Ge 조성(composition)을 나타낸다. SiGe 층(320) 내에서 Ge의 조성비는 압력, 가스 흐름 및 제1 온도와 같은 에피택셜 성장 처리 조건에 의해 제어될 수 있다. 게다가, CMP 처리는 과도한 반도체 물질 층(320)을 제거하고 반도체 물질 층(320) 및 격리 영역(230)의 상단면을 평탄화하기 위해 수행될 수 있다.

[0019] 도 1 및 도 5를 참조하면, 방법(100)은 단계 108로 진행하고, 이 단계에서 반도체 물질 층(320) 주변의 격리 영역(230)을 리세스하여 제1 반도체 물질 층(320)의 상부 부분을 노출시키고, 이것에 의해, 리세스된 제1핀(220)의 상단 상에 제2핀(410)을 형성한다. 리세싱 처리는 건식 에칭 처리, 습식 에칭 처리, 및/또는 이들의 조합을 포함할 수 있다.

[0020] 도 6을 참조하면, 일부 실시형태에 있어서, 제2핀(410)은 소스/드레인 영역(412)과 게이트 영역(413)을 갖는다. 일부 실시형태에 있어서, 하나의 소스/드레인 영역(412)은 소스 영역이고, 다른 소스/드레인 영역(412)은 드레인 영역이다. 게이트 영역(413)은 소스/드레인 영역(412) 사이에 위치된다.

[0021] 도 1 및 도 7을 참조하면, 방법(100)은 단계 110으로 진행하고, 이 단계에서 게이트 영역(413) 위에 게이트 스택(510)을 형성하고 게이트 스택(510)을 따라 측벽 스페이서(520)를 형성한다. 게이트 최초 공정에서, 게이트 스택(510)은 기능적 게이트의 전부 또는 일부일 수 있다. 반대로, 게이트 최종 공정에서, 게이트 스택(510)은 더미 게이트일 수 있다. 이 실시형태에서는 게이트 스택(510)이 더미 게이트이다. 더미 게이트 스택(510)은 나중에, 소스/드레인 형성 중의 열처리와 같은 높은 열 온도 처리가 수행된 후에 하이-k(HK) 및 금속 게이트(MG)에 의해 교체된다. 교체 처리는 게이트 트렌치를 형성하기 위해 더미 게이트 스택을 제거하고 게이트 트렌치 내에 HK/MG를 형성하는 단계를 포함한다. 더미 게이트 스택(510)은 유전체 층(512) 및 폴리실리콘 층(514)을 포함한다. 더미 게이트 스택(510)은 임의의 적당한 처리(들)로 형성된다. 예를 들면, 게이트 스택(510)은 증착, 포토리소그래피 패터닝, 및 에칭 처리를 포함한 절차에 의해 형성될 수 있다. 증착 처리는 CVD, PVD, ALD, 기타

적당한 방법, 및/또는 이들의 조합을 포함한다. 포토리소그래피 패터닝 처리는 포토레지스트 코팅(예를 들면, 스핀온 코팅), 소프트 베이킹, 마스크 정렬, 노광, 노광후 베이킹, 포토레지스트 현상, 헹구기(rinsing), 건조(예를 들면, 하드 베이킹), 기타 적당한 처리, 및/또는 이들의 조합을 포함한다. 에칭 처리는 건식 에칭, 습식 에칭, 및/또는 다른 에칭 방법(예를 들면, 반응성 이온 에칭)을 포함한다. 유전체 층(512)은 실리콘 산화물, 실리콘 질화물, 또는 임의의 다른 적당한 물질을 포함한다.

[0022] 측벽 스페이서(520)는 실리콘 산화물, 실리콘 질화물, 실리콘 카바이드, 실리콘 산질화물, 또는 이들의 조합과 같은 유전체 물질을 포함할 수 있다. 측벽 스페이서(520)는 복수의 층을 포함할 수 있다. 측벽 스페이서(520)의 전형적인 형성 방법은 게이트 스택(510) 위에 유전체 물질을 증착하고, 그 다음에 유전체 물질을 이방성으로 에칭백(etching back)하는 단계를 포함한다. 에칭백 처리는 에칭 선택성, 융통성 및 바람직한 오버에칭 제어를 얻기 위한 다단계 에칭을 포함할 수 있다.

[0023] 도 1 및 도 8을 참조하면, 방법(100)은 단계 112로 진행하고, 이 단계에서 소스/드레인 영역(412) 내의 제2핀(410)의 적어도 일부를 제거한다. 제2핀(410)의 일부는 건식 에칭 처리, 습식 에칭 처리, 및/또는 이들의 조합으로 제거된다.

[0024] 도 1 및 도 9를 참조하면, 방법(100)은 단계 114로 진행하고, 이 단계에서 소스/드레인 영역(412) 내에 제2 반도체 물질(610)을 증착하여 소스/드레인 스택(630)의 하부 부분을 형성한다. 소스/드레인 영역(412) 내의 제2 반도체 물질(610)의 측면은 게이트 영역(413) 내의 제1 계면(615)을 통해 제2핀(410)의 하부 부분에 접촉한다. 제2 반도체 물질 층(610)은 Ge, Si, SiGe, GaAs, AlGaAs, GaAsP 또는 다른 적당한 반도체 물질을 포함할 수 있다. 제2 반도체 물질 층(610)은 에피택셜 처리에 의해 증착될 수 있다.

[0025] 도 1 및 도 10을 참조하면, 방법(100)은 단계 116으로 진행하고, 이 단계에서 소스/드레인 영역(412) 내의 제2 반도체 물질(610) 상에 제3 반도체 물질(620)을 증착하여 소스/드레인 스택(630)의 상부 부분을 형성한다. 제3 반도체 물질(620)은 Ge, Si, SiGe, GaAs, AlGaAs, GaAsP 또는 다른 적당한 반도체 물질을 포함할 수 있다. 제3 반도체 물질(620)은 많은 점에서 도 9와 관련하여 위에서 설명한 것과 유사하게 형성된다. 소스/드레인 영역(412) 내의 제3 반도체 물질(620)의 측면은 게이트 영역(413)의 제2 계면(616)을 통해 제2핀(410)의 상부 부분에 접촉한다.

[0026] 다시 도 10을 참조하면, 이 실시형태에 있어서, 소스/드레인 스택(630)은 제3 반도체(620)의 격자 상수(제3 격자 상수라고 부른다)가 제2 반도체 물질(620)의 격자 상수(제2 격자 상수라고 부른다)보다 실질적으로 더 크고; 제3 격자 상수가 제1 반도체 물질(320)의 격자 상수(제1 격자 상수라고 부른다)와 같거나 그보다 더 크게 되도록 구성된다. 예를 들면, 제2 반도체 물질(610)은 $Si_{1-y}Ge_y$이고, 여기에서 y는 원자 퍼센트로 Ge 조성을 나타내며, 제2 격자 상수는 5.526~5.549의 범위 내에 있고(y를 0.45에서 0.55까지 변화시킴으로써); 제3 반도체 물질(620)은 제1 반도체 물질(320)인 $Si_{1-x}Ge_x$와 동일한 물질이고, 제3 격자 상수는 5.645~5.658의 범위 내에 있다(x를 0.95에서 1.0까지 변화시킴으로써). 또한, 이 실시형태에 있어서, 소스/드레인 스택(630)은 소스/드레인 스택의 총 두께(T)에 대한 제3 반도체 물질(620)의 두께(t)의 두께비가 채널 이동도와 같은 장치 성능의 기준에 부합하게 조정되도록 구성된다. 예를 들면, 두께비는 0.1 내지 0.8의 범위 내에 있다. t와 T의 두께비와 협력하는 제1, 제2 및 제3 격자 상수 중에서 격자 상수 부정합(mismatch)의 정도는 게이트 영역(413) 내의 게이트 채널에 대하여 각종 크기의 스트레스를 유도하는 것으로 생각된다. 따라서, 소스/드레인 스택(630)은 소스/드레인 스트레서(stressor)로서 작용한다.

[0027] FinFET 소자(200)는 더미 게이트 스택(510)을 하이-k(HK)/금속 게이트(MG)로 교체하기 위하여 추가의 게이트 교체 처리를 받을 수 있다. FinFET 소자(200)는 또한 이 기술 분야에서 공지된 각종 피처 및 영역을 형성하기 위해 추가의 CMOS 또는 MOS 기술 처리를 받을 수 있다. 예를 들면, 후속되는 처리는 FinFET 소자(200)의 각종 피처 또는 구조물을 접속하도록 구성되는 각종 접점/비아/선로 및 다중층 상호접속 피처(예를 들면, 금속층 및 층간 유전체)를 기판(210) 상에 형성할 수 있다. 예를 들면, 다중층 상호접속은 종래의 비아 또는 접점과 같은 수직 상호접속, 및 금속 선로와 같은 수평 상호접속을 포함한다. 각종 상호접속 피처는 구리, 텅스텐, 및/또는 실리사이드를 포함하는 각종 도전성 물질을 구현할 수 있다. 일 실시예에 있어서, 구리 관련 다중층 상호접속 구조를 형성하기 위해 다마신 및/또는 이중 다마신 처리가 이용된다.

[0028] 방법(100)을 실행하기 전에, 실행하는 동안에, 및 실행 후에 추가의 단계들이 제공될 수 있고, 여기에서 설명하는 단계들의 일부는 다른 실시형태의 방법에서 대체되거나 제거될 수 있다.

[0029] 전술한 바와 같이, 본 발명은 게이트 채널에 대한 효율적인 스트레인(strain)을 제공하기 위한 소스/드레인 스

택 스트레서를 구비한 반도체 소자를 제공한다. 소스/드레인 스택 스트레서의 각각의 관련 물질의 두께비 및 격자 상수를 선택함으로써, 상이한 스트레스 크기가 반도체 소자의 게이트 채널에 유도되어 소자 성능을 개선할 수 있다. 소스/드레인 스택 스트레서는 또한 필요한 경우에 높은 열처리량(thermal budget)을 견뎌낼 수 있는 물질을 사용하는 융통성을 제공한다. 예를 들면, 게르마늄 주석(GeSn)을 사용하는 대신에, 소스/드레인 스택 스트레서는 GeSn보다 실질적으로 더 높은 용융 온도를 가진 SiGe로 형성될 수 있다.

[0030] 본 발명은 소스/드레인 스택 스트레서를 구비한 반도체 소자에 대한 여러 가지 다른 실시형태를 제공하며, 이 실시형태들은 종래의 방법에 비하여 하나 이상의 개선을 제공한다. 반도체 소자는 기판, 제1 격자 상수를 가진 제1 반도체 물질에 의해 기판 상에 형성되는 핀 구조물, 기판 상에서 핀의 일부 상에 형성된 게이트 영역, 기판 상에서 게이트 영역에 의해 분리되는 소스 영역과 드레인 영역, 소스 및 드레인 영역 상에서 두께(T)를 가진 소스/드레인 스택, 소스/드레인 스택의 하부 부분으로서 제2 격자 상수를 가지며 게이트 영역 내에서 핀의 하부 부분과 접촉하는 제2 반도체 물질을 포함한다. 제2 격자 상수는 제1 격자 상수보다 실질적으로 더 적다. 반도체 소자는 소스/드레인 스택의 상부 부분으로서 제2 반도체 물질의 상단 상에서 제3 격자 상수 및 두께(t)를 가지며 게이트 영역 내에서 핀의 상부 부분과 접촉하는 제3 반도체 물질을 또한 포함한다. 제3 격자 상수는 제1 격자 상수와 같거나 그보다 더 크다.

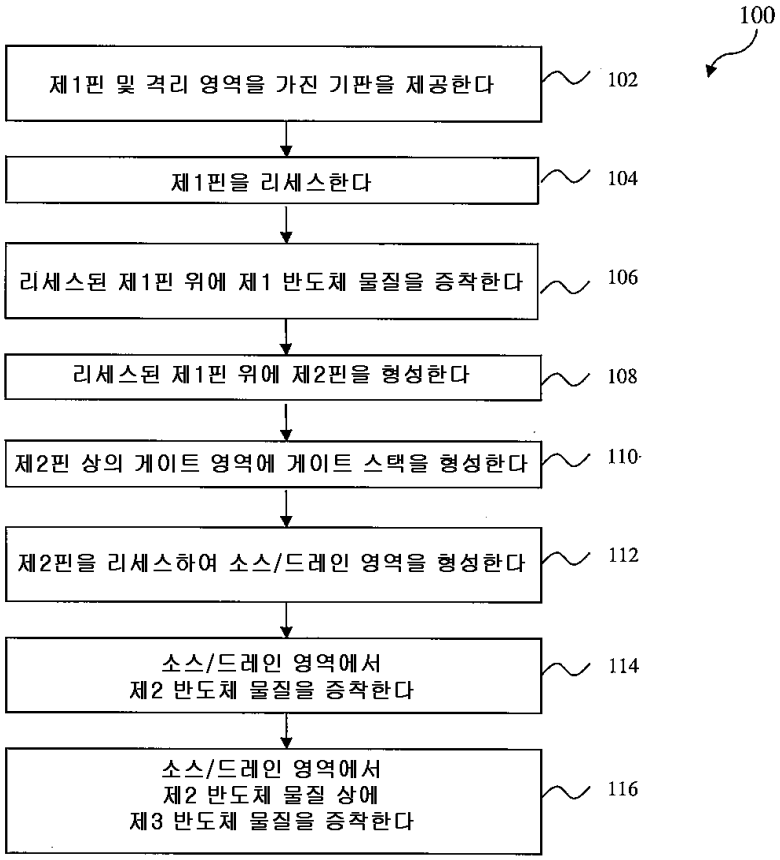
[0031] 다른 실시형태에 있어서, FinFET 소자는 제1핀을 구비한 기판, 제1핀의 상단 상에서 에피택셜(epitaxial)하게 성장된 게르마늄(Ge)에 의한 제2핀, 제2 Ge 핀의 일부 상에 형성된 게이트 영역, 기판 상에서 게이트 영역에 의해 분리된 소스 영역 및 드레인 영역, 게이트 영역 내에서 제2 Ge 핀 옆에 형성되는 소스 및 드레인 영역 상에 두께(T)를 가진 소스/드레인 스택, 소스/드레인 스택의 하단 부분으로서 형성되고 제2 Ge 핀의 하부 부분과 접촉하는 에피택셜적으로 성장된 실리콘 게르마늄(SiGe), 및 소스/드레인 스택의 상부 부분으로서 SiGe의 상단 상에 형성되고 게이트 영역 내에서 제2 Ge 핀의 상부 부분과 접촉하는 에피택셜하게 성장된 Ge를 포함한다.

[0032] 또 다른 실시형태에 있어서, FinFET 소자를 제조하는 방법은 제1핀 및 제1핀들 사이에 격리 영역을 구비한 기판을 제공하는 단계와; 제1핀을 리세싱하는 단계와; 리세스된 제1핀 상에 제2핀을 형성하도록 제1 격자 상수를 가진 제1 반도체 물질을 에피택셜하게 성장시키는 단계와; 제2핀의 일부 상에 더미 게이트 스택을 형성하는 단계와; 소스/드레인 영역을 형성하도록 더미 게이트 스택 옆에 제2핀의 다른 부분을 리세싱하는 단계와; 소스/드레인 스택의 하부 부분을 형성하도록 소스/드레인 영역 내에서 제2 격자 상수를 가지며 제2핀의 하부 부분과 접촉하는 제2 반도체 물질을 에피택셜하게 성장시키는 단계를 포함한다. 제2 격자 상수는 제1 격자 상수보다 실질적으로 더 적다. 이 방법은 또한 소스/드레인 스택의 상부 부분을 형성하도록 소스/드레인 영역 내에서 제3 격자 상수를 가지며 제2핀의 상부 부분과 접촉하는 제3 반도체 물질을 에피택셜하게 성장시키는 단계를 포함한다. 제3 격자 상수는 제2 격자 상수보다 실질적으로 더 크다.

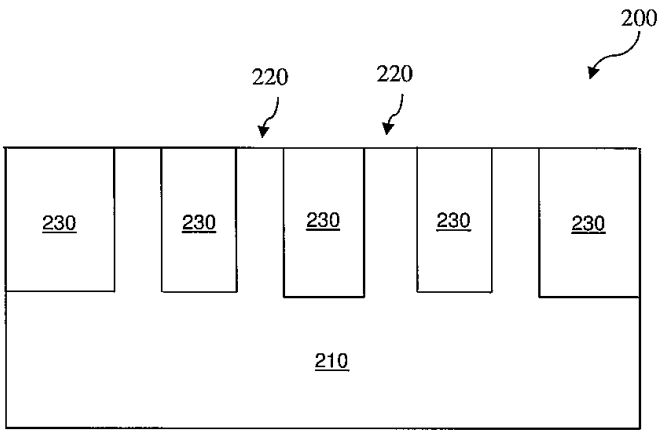
[0033] 지금까지, 이 기술에 숙련된 사람이라면 본 발명의 각종 양태를 잘 이해할 수 있도록 몇 가지 실시형태의 특징들을 설명하였다. 이 기술에 숙련된 사람이라면 여기에서 소개한 실시형태와 동일한 목적을 수행하고 및/또는 동일한 장점을 달성하도록 다른 공정 및 구조를 설계 또는 수정하는 기초로서 여기에서의 설명을 쉽게 이용할 수 있을 것으로 예상된다. 이 기술에 숙련된 사람이라면, 그러한 등가 구성이 본 발명의 정신 및 범위로부터 벗어나지 않는다는 것을 또한 이해할 것이며, 본 발명의 정신 및 범위로부터 벗어나지 않고 각종 변경, 치환 및 수정을 행하는 것이 가능할 것이다.

도면

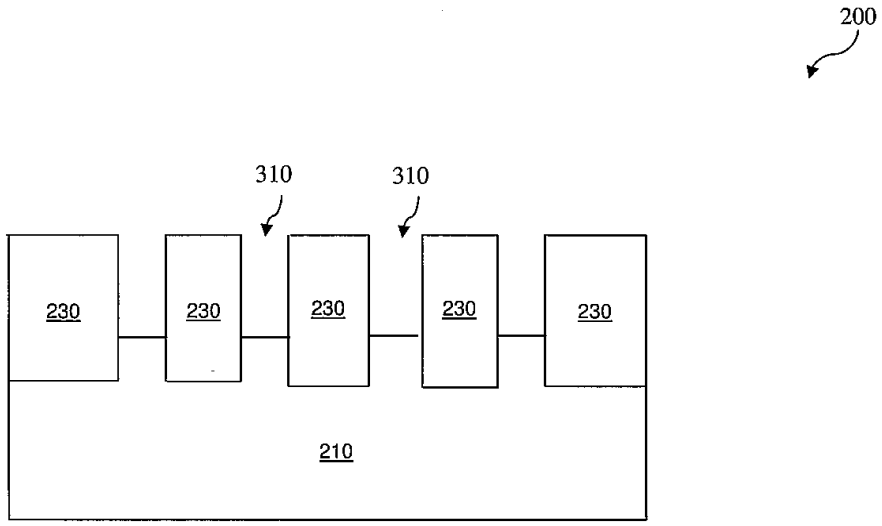
도면1


100
제1핀 및 격리 영역을 가진 기판을 제공한다
102
제1핀을 리세스한다
104
리세스된 제1핀 위에 제1 반도체 물질을 증착한다
106
리세스된 제1핀 위에 제2핀을 형성한다
108
제2핀 상의 게이트 영역에 게이트 스택을 형성한다
110
제2핀을 리세스하여 소스/드레인 영역을 형성한다
112
소스/드레인 영역에서
제2 반도체 물질을 증착한다
114
소스/드레인 영역에서
제2 반도체 물질 상에
제3 반도체 물질을 증착한다
116

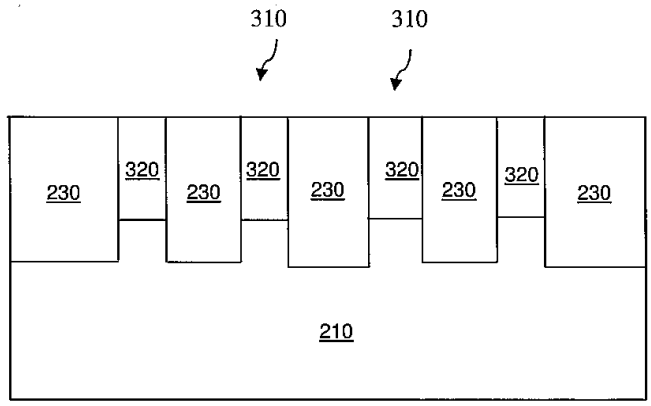
도면2


200
220
220
230
230
230
230
230
210

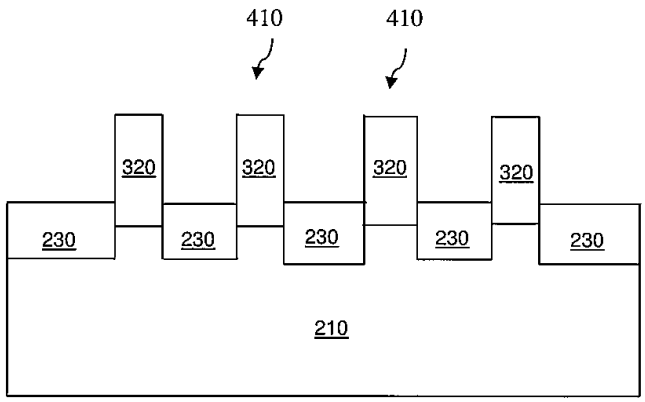
도면3


200
310
310
230
230
230
230
230
210

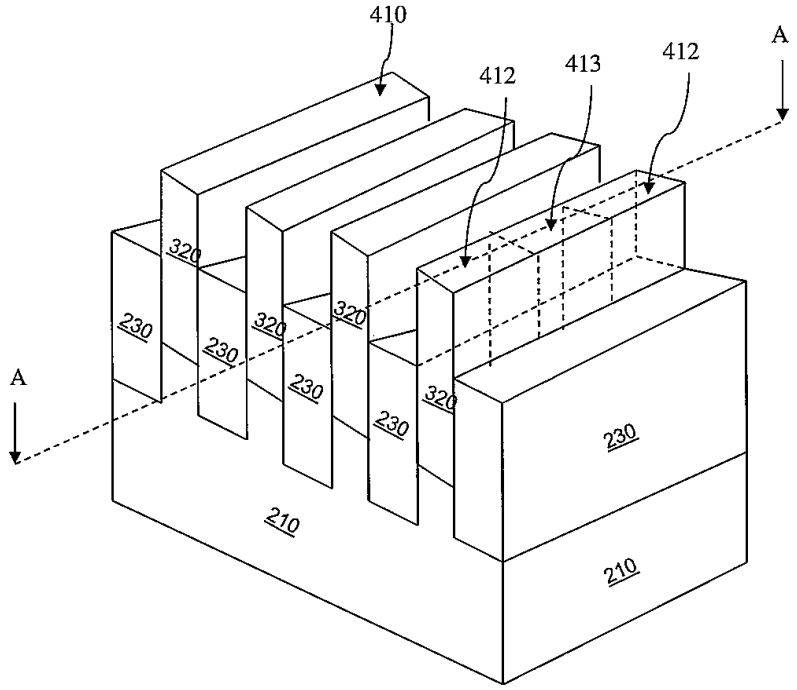
도면4


310
310
230
320
230
320
230
320
230
320
230
210

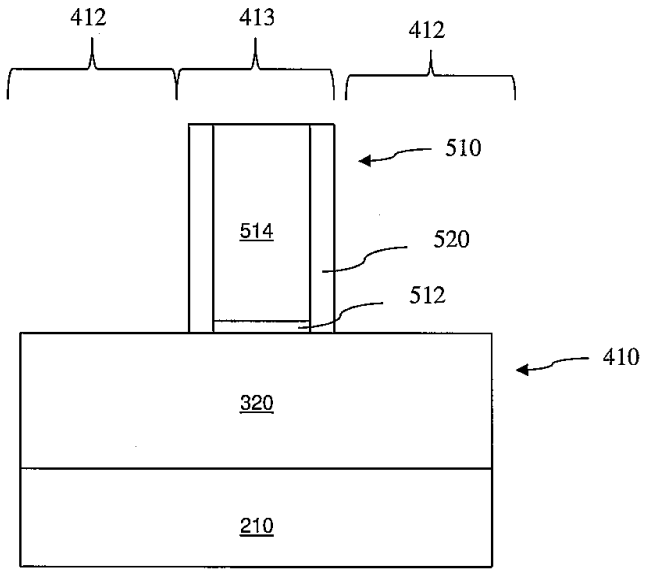
도면5


410
410
320
320
320
320
230
230
230
230
230
210

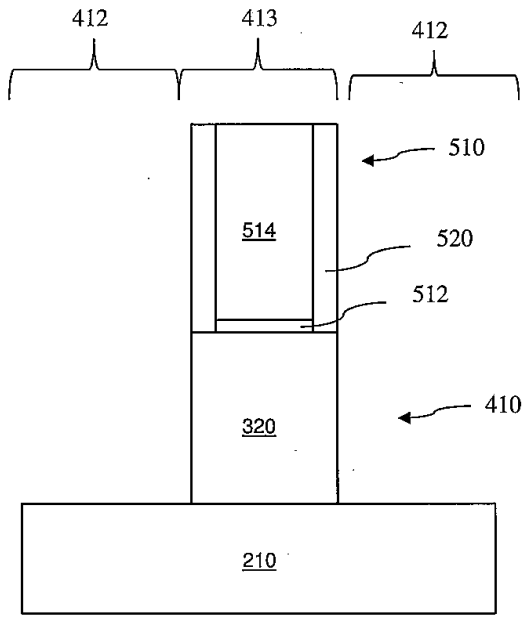
도면6


410
412
413
412
A
A
320
230
320
230
320
230
320
230
230
210
210

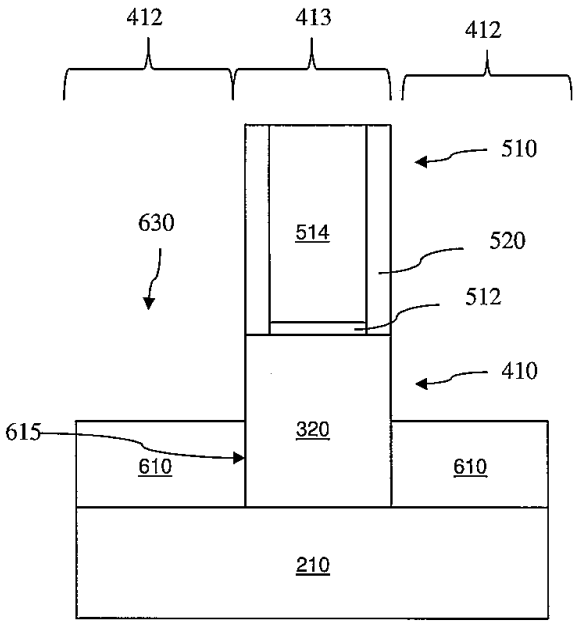
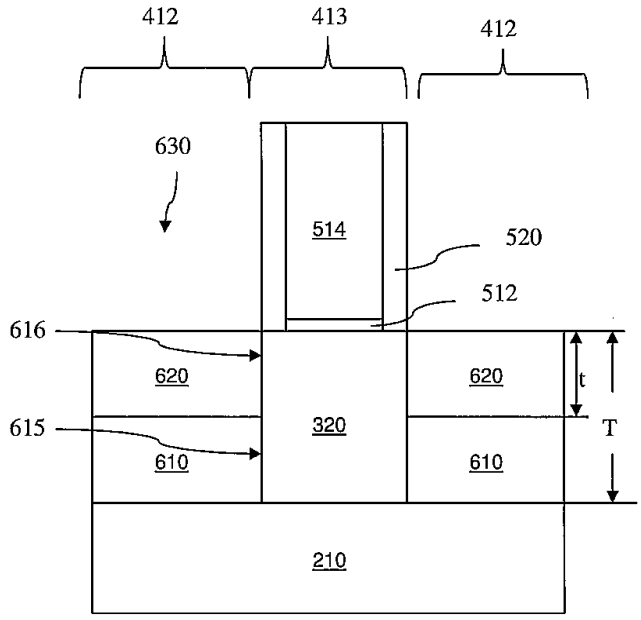
도면7


412
413
412
510
514
520
512
410
320
210

도면8


412
413
412
510
514
520
512
320
410
210

도면9


412
413
412
510
630
514
520
512
410
615
320
610
610
210

도면10