

申請日期：90.4.6.

案號：90108313

類別：

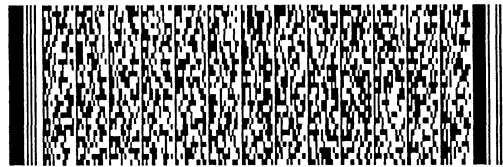
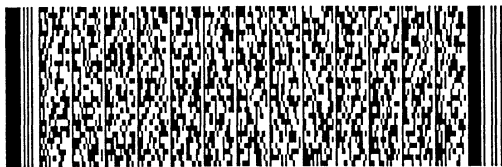
H01L 41/08

(以上各欄由本局填註)

發明專利說明書

533609

一、發明名稱	中文	製造一包含一半導體元件及一壓電濾波器之混合積體電路之方法
	英文	METHOD OF MANUFACTURING A HYBRID INTEGRATED CIRCUIT COMPRISING A SEMICONDUCTOR ELEMENT AND A PIEZOELECTRIC FILTER
二、發明人	姓名 (中文)	1. 朗諾 德克 2. 威爾海穆斯 瑪帝雅斯 克雷門斯 朵曼斯 3. 路卡斯 雷田 4. 亨利克斯 葛德福利杜斯 拉菲爾 瑪斯
	姓名 (英文)	1. RONALD DEKKER 2. WILHELMUS MATHIAS CLEMENS DOLMANS 3. LUKAS LEYTEN 4. HENRICUS GODEFRIDUS RAFAEL MAAS
	國籍	1. 荷蘭 2. 荷蘭 3. 荷蘭 4. 荷蘭
	住、居所	1. 荷蘭愛因和文市普羅何斯蘭路6號 2. 荷蘭愛因和文市普羅何斯蘭路6號 3. 荷蘭愛因和文市普羅何斯蘭路6號 4. 荷蘭愛因和文市普羅何斯蘭路6號
三、申請人	姓名 (名稱) (中文)	1. 荷蘭商皇家飛利浦電子股份有限公司
	姓名 (名稱) (英文)	1. KONINKLIJKE PHILIPS ELECTRONICS N. V.
	國籍	1. 荷蘭
	住、居所 (事務所)	1. 荷蘭愛因和文市格羅尼渥街1號
	代表人 姓名 (中文)	1. J. L. 凡德渥
代表人 姓名 (英文)	1. J. L. VAN DER VEER	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

歐洲專利機構 EP

2000/02/22 00200614.6

無

有關微生物已寄存於

寄存日期

寄存號碼

無

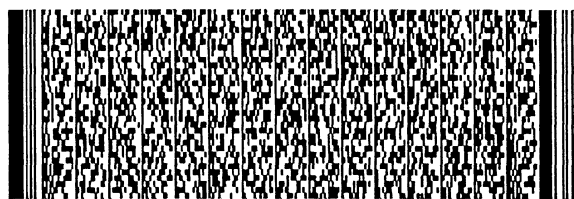
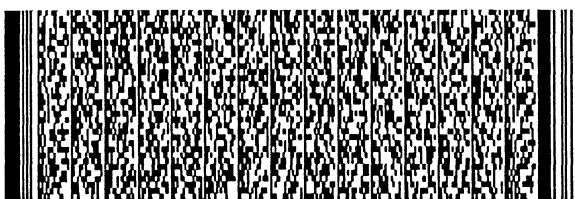


## 五、發明說明 (1)

本發明係關於一種製造包含互相鄰接設在載體基板上之半導體元件及壓電濾波器之混合積體電路之方法，半導體元件包含設於矽層內之半導體區，壓電濾波器包含形成在聲反射層上之聲諧振器，該聲諧振器包括壓電物質層，位於此層與聲反射層間之第一電極及在壓電物質層另一側上位於第一電極相反之第二電極。

半導體元件可為單一電晶體，但亦可為混合電路，形成於半導體物質層內並包含許多電晶體，必要時，可加入無源組件於其中。可製造壓電濾波器，亦稱為"薄膜聲波諧振器"，俾具有諧振頻率範圍為500 MHz與5 GHz之間，在1,000以上之品質因子Q及小型尺寸，例如，長與寬為200  $\mu\text{m}$ 。使用該濾波器可使混合積體電路，如選擇放大器，形成在載體基板上，其特別適用於設備供個人無線通訊，如GSM電話，該頻率之信號用其處理。

實際上，壓電物質層可為，例如，氮化鋁AlN或氧化鋅ZnO層。此等層係以等於波長之一半的厚度塗敷，該頻率之聲波用該波長傳送於此等物質內。諧振器定位於上之聲反射層通常由實際上交替地高與低聲阻抗之若干副層所組成。用途通常由，例如，具有大約100  $\text{Gg}/\text{m}^2\text{s}$ 之相當高聲阻抗之鎢與，例如，具有分別大約13  $\text{Gg}/\text{m}^2\text{s}$ 及2  $\text{Gg}/\text{m}^2\text{s}$ 之相當低聲阻抗之氧化矽或合成樹脂之副層完成。此等層係以相等於波長之四分之一之厚度塗敷，該頻率之聲波用該波長傳送於此等物質內。對於該頻率範圍內之頻率，壓電層與反射層均具有厚度範圍為1至3  $\mu\text{m}$ 。

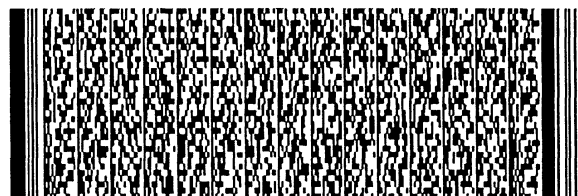
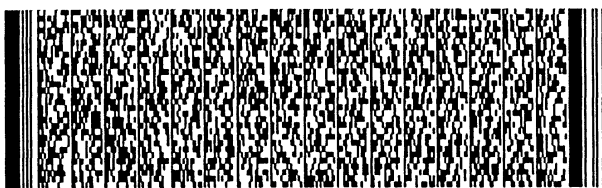


## 五、發明說明 (2)

美國專利3,414,832號揭示一種前段所述類型之方法，其中，在第一實例中，自矽之載體基板開始。在此基板中，形成半導體元件，即，雙載子電晶體。隨後，相鄰半導體元件設有壓電濾波器。為此目的，首先聲反射層局部形成在基板上，其後聲諧振器設在此層上。最後，形成金屬化，其將半導體元件連接濾波器。在第二實例中，自絕緣陶瓷基板開始，其上首先設有包括半導體元件之半導體晶體。由此點觀之，此法係以對第一實例所述相同方式實施。

實際上，頃發現很難提供相鄰半導體元件之聲反射層。為此目的，該層必須沈積在半導體元件上及相鄰半導體元件，其後其必須利用蝕刻處理佈型，結果，自半導體元件再除去層。沈積的層會顯示局部厚度差異，蝕刻過程會在不同蝕刻速率下局部發生。因此，為了確保層完全自半導體元件除去，實施蝕刻處理一段時間，超過除層嚴格需要之時間。實際上，大約20%之"過度蝕刻時間"為正常現象。因為聲反射層較用於半導體元件之層厚，所以在"過度蝕刻"時間內可完全蝕刻掉半導體元件內之層。此會導致半導體元件損害，使之不再能使用。

本發明之目的為克服上述缺點。為了達到此目的，根據本發明之方法具有特徵為，半導體元件形成於輔助矽片之第一側，其後，設置支持第一電極之壓電物質層在輔助片上之相同第一側，之後如此形成之構造設有聲反射層在其自由表面區上方，隨後，用此層黏附至載體基板，其後在



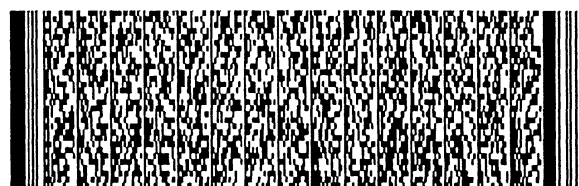
## 五、發明說明 (3)

聲諧振器之位置自輔助片之第二側除去砂。

在半導體元件之形成後，壓電物質層沈積在輔助砂片上，然後根據圖案蝕刻。此層較聲反射層薄。壓電物質層之厚度實際上範圍為1與3  $\mu\text{m}$ 之間。該薄層可根據圖案容易地蝕刻而無半導體元件層因"過度蝕刻時間"被侵襲成半導體元件變成無用之程度。塗敷至半導體元件及聲諧振器之聲反射層未根據圖案蝕刻。因此，混合積體電路可形成在載體基板上而不用根據圖案蝕刻之聲反射層。

較佳的是，半導體區形成於砂片之頂層內，該砂片設有位在頂層上之氧化矽層，其後支持第一電極之壓電物質層形成在此氧化矽層上，之後如此形成之構造的自由表面設有聲反射層，隨後，構造用該層黏附至載體基板，其後輔助片第二側之表面實施除砂過程，其就在頂層附近停止，隨後在聲諧振器之位置，砂被除去向下至氧化矽層。第一除砂步驟，其遍及表面進行，可利用慣用機械-化學磨光處理實行。在第二步驟中，其中氧化矽層暴露在聲諧振器之位置，氧化矽層可作為蝕刻停止層。在含有氫氧化鉀之蝕刻浴中，可對氧化矽極選擇地蝕刻砂。在此蝕刻處理期間，輔助片必須在半導體元件之位置遮罩，以防砂在該位置被除去。

若半導體區形成於設有埋入頂層下方之氧化矽層之砂片頂層內時，砂可更容易自輔助片之第二側除去，除去相鄰半導體元件之該頂層，然後支持第一電極之壓電物質層形成在如此暴露之氧化矽層上，其後如此形成之構造的自由

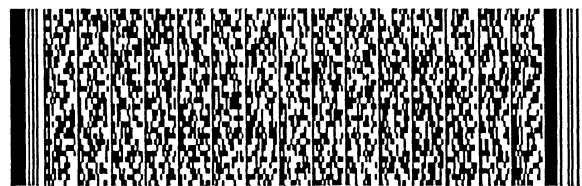
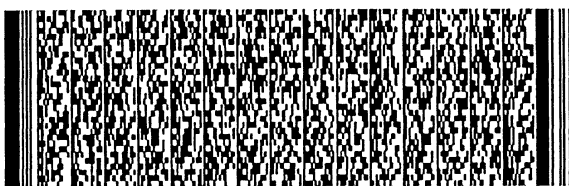


## 五、發明說明 (4)

表面設有聲反射層，然後構造用此層黏附至載體基板，其後矽自輔助片第二側之表面向下至氧化矽之埋設層除去。所用之片為SOI（矽在絕緣體上）片。又在此情況下，可實施慣用機械-化學磨光處理作為移除過程中第一步驟。在後續無罩步驟中，可蝕刻掉矽，直到暴露氧化矽之埋設層為止。在約 $600\ \mu\text{m}$ 厚之片中，例如，約 $500\ \mu\text{m}$ 可藉磨光處理而其餘藉蝕刻除去。

在諧振器之壓電層形成在輔助片上後，其上形成第一電極。對立第一電極之第二電極係以簡單方式設在諧振器上，在聲諧振器形成在位於輔助片第一側之氧化矽層上以前，若第二電極設於聲諧振器之位置時，其後負載第一電極之壓電物質層形成在此第二電極上。

此法之缺點在於諧振器之壓電物質層必須形成在該第二電極上。為了預防對此電極之損害，壓電物質層必須在較低溫度下沈積。若第二電極形成於，例如，鋁或鎢層內時，在壓電物質層之沈積期間，輔助片必須不被加熱至 $350\ ^\circ\text{C}$ 以上。為了獲得包含相等定向晶體之壓電物質層，希望在較高溫度下沈積層。此有可能，若壓電物質層直接形成在位於輔助片第一側之氧化矽層上，其後設置第一電極，如此形成之構造之自由表面設有聲反射層，隨後該構造用此層黏附至載體基板，其後氧化矽層自輔助片之第二側暴露，隨後此層在聲諧振器之位置設有一窗，第二電極設於其中。因此，在第二電極之形成前，設置壓電物質層。因此可排除在沈積過程期間因加熱造成之對此電極的損



## 五、發明說明 (5)

害。

壓電濾波器必須在積體電路內連接至半導體元件。若第一與第二電極均連接至半導體元件時，必須形成二金屬化層。即，由輔助片觀之，一金屬化層在諧振器下方而一金屬化層在諧振器頂端上。因為諧振器較厚，即，厚度範圍為1至3  $\mu\text{m}$ ，所以設置第二金屬化層不易。為了設置此層，其必須包含導體軌道，其延伸在較厚諧振器上並相鄰之，以及包含導體軌道，其延伸在諧振器邊緣之上方。特定的而言，較後導體軌道很難設置，因為其必須橋接比較大的高度差異。可避免此問題，若加入第二電極，俾可成為二個副電極，其相對第一電極定位，使二個串聯諧振器形成在二個副電極之間。在此情況下，僅金屬化必須被形成在諧振器上並相鄰諧振器，而不必採取橋接高度差異之該步驟。

若輔助基板利用形成部份聲反射層之黏著層，特別是亦若聲諧振器之第一電極形成部份聲反射層黏附至載體基板時，進一步可獲得簡單結構。實際上，此成為可能，因為黏著層具有相當低聲阻抗而電極物質則具有相當高聲阻抗。必須選擇第一電極之厚度，俾可對應濾波器之所欲諧振頻率；因為黏著劑具有極低聲阻抗，所以其可為較厚。

參照下述具體例當可更加明白本發明之此等及其他態樣。

在附圖中：

圖1至圖10為在製造由根據本發明方法製成之混合積體



## 五、發明說明 (6)

電路之第一實例中若干階段之概略截面圖，

圖11至圖18為在製造由根據本發明方法製成之混合積體電路之第二實例中若干階段之概略截面圖，

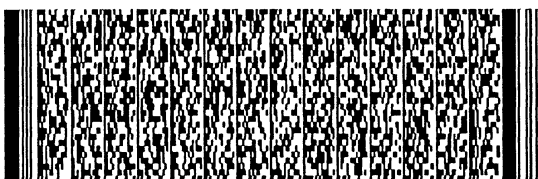
圖19至圖22為在製造由根據本發明方法製成之混合積體電路之第三實例中若干階段之概略截面圖，

圖23至圖25為在製造由根據本發明方法製成之混合積體電路之第四實例中若干階段之概略截面圖，及

圖26，27及28為能簡化先前實例之製造之若干特殊解決方法的概略截面圖。

圖為概略性且未按比例繪製，對應零件係由相同參考號示出。為了簡化之故，製成之半導體元件，如圖所示，為單一雙載子電晶體。實際上，半導體元件可交替地為積體半導體電路，包含許多電晶體，可將無源元件如電阻器，電容器或線圈加入其中。包含壓電濾波器之半導體元件可形成，例如，可用500 MHz與5 GHz間之頻率處理信號之選擇放大器。

圖1至圖11為製造混合積體電路之第一實例中若干階段之概略截面圖，混合積體電路包含，如圖10所示，半導體元件1及壓電濾波器2，其為互相鄰接設在載體基板3上，半導體元件包含設於矽層4內之半導體區5，6，及壓電濾波器2包含形成在聲反射層7上之聲諧振器8，9，10，該聲諧振器包括壓電物質層8及第一電極9位於此層8與聲反射層7之間，而相對第一電極9定位之第二電極10位於壓電物質層8之另一側上。



## 五、發明說明 (7)

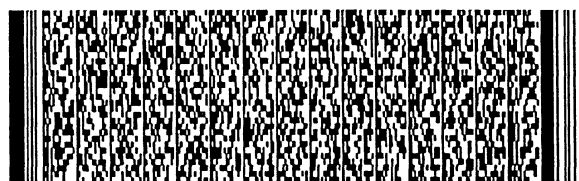
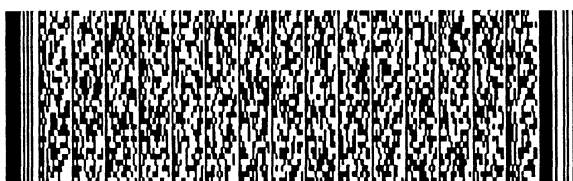
在欲說明之實例中，半導體元件1設在輔助矽片12之第一側11上，其後負載第一電極9之壓電物質層8設在輔助片之相同第一側11上。

在第一實例中，輔助片12為約600  $\mu\text{m}$ 厚矽片，其設有磊晶生長，約800 nm厚頂層，在此實例中，其為每cc摻雜約 $5 \cdot 10^{15}$ 原子之略微n型，且在欲形成之電晶體1之位置形成埋設層14，其為每cc摻雜約 $10^{20}$ 原子之高n型。如下所述，一部份層13形成矽層4，電晶體之半導體區5及6形成於其中。層13設有n型摻入雜質，其可作為摻入雜質供欲形成之電晶體之集極。埋設層14為高度摻雜之n型，並可作為連接層供電晶體1之集極。在頂層13中，以慣用方式形成具有摻雜濃度為每cc  $5 \cdot 10^{17}$ 原子之p型摻入雜質之約200 nm深基極區5及具有摻雜濃度為每cc  $2 \cdot 10^{20}$ 原子之約100 nm深射極區6。電晶體1之集極區係由位在射極區6下方之層13的部份15所形成。

在頂層13上，形成約600 nm厚矽層16，具有窗17及18，分別使射極區6及基極區5能接觸。在附圖平面之外側，另一窗形成於氧化矽層17內，使埋設層14以及電晶體之集極15能接觸。

在氧化矽層16上，例如，於約500 nm厚鋁層內形成金屬化，包含導體軌道19，在第一實例中，形成聲諧振器8，9，10之電極10。

在半導體元件1之形成後，在此實例中為電極10，聲諧振器8，9，10相鄰半導體元件1形成在片12之第一側11上



## 五、發明說明 (8)

。最後，沈積壓電物質層，隨後根據圖案蝕刻，其方式使圖3所示之部份8仍保持完整。實際上，壓電物質層可為，例如，氮化鋁AlN層或氧化鋅層ZnO。此等層係以等於波長一半之厚度設置，該頻率之聲波以該波長傳送於此等物質內。對於頻率範圍為500 MHz及5 GHz間之頻率，壓電層具有厚度範圍為1至3  $\mu\text{m}$ 。此層8，例如，具有長度及寬度為約200  $\mu\text{m}$ 。

沈積的層可顯示局部厚度差異，蝕刻過程可具有局部不同蝕刻速率。因此，為了確保層可完全自半導體元件除去，實施蝕刻處理進行一段較蝕刻掉層嚴格所需更長時間。實際上，約20%之"過度蝕刻時間"為正常。壓電物質層具有為1與2  $\mu\text{m}$ 間之相當薄厚度。該薄層可根據圖案容易蝕刻而無半導體元件層會因"過度蝕刻時間"而不利地影響至半導體元件變成無用之程度。

在導體軌道19及壓電物質層8上，沈積有約250 nm厚氧化矽層20，窗21形成於其內，其中約1  $\mu\text{m}$ 厚鎢電極9被後來設置。此電極形成於一層內，其中在附圖之平面外側，亦形成一接頭，其將電極9連接導體軌道19之一。因此，諧振器8，9，10相鄰半導體元件1形成在輔助片12上。隨後，聲反射層7沈積在如此形成且示於圖5之構造之整個自由表面上。在此實例中，此聲反射層為一層，其係由5個約1  $\mu\text{m}$ 厚副層之堆疊所組成。1  $\mu\text{m}$ 厚鎢電極9設有第一堆疊層，其為約1  $\mu\text{m}$ 厚氧化矽層，約1  $\mu\text{m}$ 厚鎢層沈積於其上，接著約1  $\mu\text{m}$ 厚氧化矽層，約1  $\mu\text{m}$ 厚鎢層，最後，約1  $\mu\text{m}$



## 五、發明說明 (9)

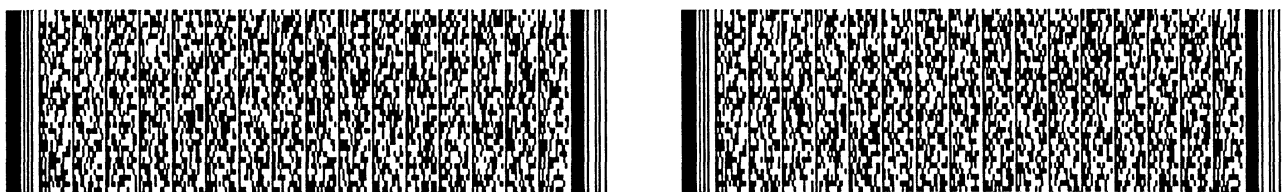
厚氧化矽層。為了清楚起見，各種副層來示於附圖中。須知電極9形成部份聲反射層。

負載諧振器之聲反射層通常由若干具有交替地高及低聲阻抗之副層所組成。慣用副層係由，例如，具有相當高聲阻抗為約 $100 \text{ Gg/m}^2\text{s}$ 之鎢與，例如，具有相當低聲阻抗分別為約 $13 \text{ Gg/m}^2\text{s}$ 及約 $2 \text{ Gg/m}^2\text{s}$ 之氧化矽或合成樹脂所製成。此等層係以等於波長之四分之一的厚度塗敷，該頻率之聲波用該波長傳送於此等物質內。

隨後，圖6所示之構造利用黏著層22，例如聚亞胺，設在載體基板3上，在此實例中，具有厚度為若干mm之玻璃板。其次，輔助矽片12第二側23之整個表面實施除矽操作，其就在頂層13附近停止，隨後，矽在聲諧振器8，9，10向下至氧化矽層17之位置除去。遍及表面進行之第一除矽步驟係利用慣用機械-化學磨光處理實施，其中 $400 \mu\text{m}$ 係自 $600 \mu\text{m}$ 厚片12除去。在第二步驟中，其中氧化矽層16暴露在聲諧振器8，9，10之位置，氧化矽層16可作為蝕刻停止層。在含有氫氧化鉀之蝕刻浴中，矽可對氧化矽極選擇性蝕刻。在此蝕刻處理期間，蝕刻罩24設在半導體元件1之位置，在此情況下，該蝕刻罩形成於約 $200 \text{ nm}$ 厚氮化矽層內。

氧化矽16之暴露層最後可設窗(圖未示)，使混合積體電路能外部接觸。

圖11至18為製造包含半導體元件1及壓電濾波器2之混合積體電路之第二實例中若干階段之概略截面圖。又在此實



## 五、發明說明 (10)

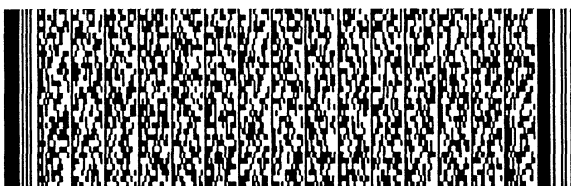
例中，半導體元件為雙載子電晶體，包含半導體區5及6與壓電濾波器2具有聲諧振器8，9，10形成在聲反射層7上，該雙載子電晶體與該壓電濾波器為互相鄰接排列在載體基板3上。

在第二實例中，輔助片25為約600  $\mu\text{m}$ 厚矽片，包含絕緣物質層26，其被埋入片中，在此情況下，氧化矽埋入層，約100 nm厚單晶矽層27定位在該絕緣物質層上，其為摻雜每cc約 $10^{20}$ 原子之n型。約800 nm厚頂層28磊晶地形成在層27上，在此情況下，該頂層為摻雜每cc約 $5 \cdot 10^{15}$ 原子之略微n型。此摻入雜質作為欲形成電晶體之集極之摻入雜質。層27被高n型摻雜並可作為連接層供電晶體1之集極用。

在n型摻雜層28中，以慣用方式形成具有摻雜濃度為每cc  $5 \cdot 10^{17}$ 原子之p型摻入雜質之約200 nm深基極區5及具有摻雜濃度為每cc  $2 \cdot 10^{20}$ 原子之約100 nm深射極區6。電晶體1之集極區係由位於射極區6下方之層28的部份15所形成。隨後，位在氧化矽層26上之層27及28相鄰電晶體除去，使形成半導體區5及6之矽層4仍留下。其次，氧化矽層29形成於此層上，該氧化矽層具有窗30及31供分別接觸射極區6及基極區5用。

在氧化矽層26及29上，例如，於約200 nm厚鋁層內形成金屬化，該金屬化包含導體軌道19，在第二實例中，形成聲諧振器8，9，10之電極10。

在半導體元件1之形成後，在此實例中為電極10，聲諧振器8，9，10相鄰半導體元件1形成在片12之第一側11上



## 五、發明說明 (11)

。為此目的，壓電物質層被沈積，隨後，以保留圖13所示之部份8之方式根據圖案蝕刻。此層8具有長度及寬度為，例如，約 $200\ \mu\text{m}$ 。又在此實例中，壓電物質層可根據圖案蝕刻而無半導體元素層會因"過度蝕刻時間"受不利影響而使半導體元件變成無用。

在導體軌導19與壓電物質層8上，沈積約 $250\ \text{nm}$ 厚氧化矽層20，窗21形成於其中，其中隨後設置約 $1\ \mu\text{m}$ 厚鎢電極9。此電極形成於一層內，其中在附圖平面之外側亦形成一接頭，其將電極連接導體軌道19之一。因此，諧振器8，9，10鄰接半導體元件1形成在輔助片25上。隨後，聲反射層7沈積在如此形成之構造之整個自由表面上，該構造示於圖5。又在此情況下，聲反射層為一層，其係由氧化矽與鎢之副層的堆疊所組成。

隨後，圖16所示之構造係利用黏著劑層22，例如聚亞胺設在載體基板3上，在此實例中具有厚度為若干 $\text{mm}$ 之玻璃板。其次，矽自輔助矽片15第二側23之整個表面向下至矽層26除去。又在此情況下，矽可以二個步驟除去。在第一步驟中，用途係由慣用機械-化學磨光處理完成，其中 $400\ \mu\text{m}$ 係自 $600\ \mu\text{m}$ 厚片12除去，而第二步驟係於含有氫氧化鉀之蝕刻浴內實施。在第二實例中，矽可被除去而不必利用罩，使其較第一實例內更簡單。

矽26之暴露層最後可設有窗(圖未示)供外部接觸混合積極電路用。

在上述二個實例中，諧振器8，9，10之壓電層8的形成



## 五、發明說明 (12)

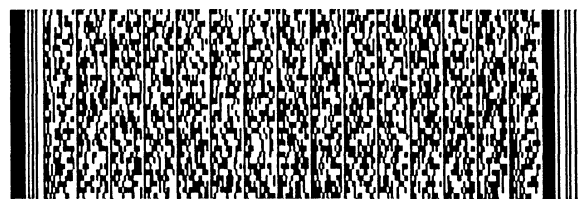
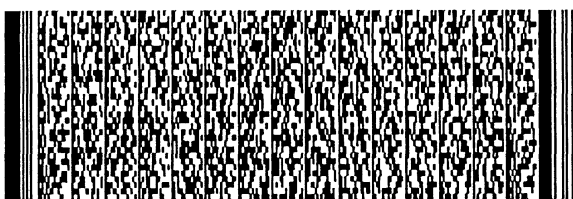
係在電極9在該層上之形成後。此電極形成諧振器8, 9, 10之第一電極9；在濾波器2安裝在載體基板3後，由載體基板觀看，此電極位於諧振器8, 9, 10下方。在二個實例中，第二電極10在聲層8前形成，參照圖3及13。隨後，壓電層8設在此第二電極上。

圖19至22為在製造第三實例中若干階段之概略截面圖。該製造以如圖1及2所示之相同方式開始進行。如圖19所示，壓電層8在設窗17及18前設在矽層16上。其次，窗17及18形成於氧化矽層內並提供具有導體軌道19之金屬化。

壓電物質層8直接形成在氧化矽層16上。在二個前述實例中，此層8形成在第二電極10上。為了排除對第二電極10之損害，壓電物質層必須在相當低溫下沈積。若形成第二電極，例如，於鋁或鎢層內時，在壓電物質層之沈積期間，輔助片不會被加熱至約350°C以上。為了獲得相等定向晶體之壓電物質層，希望在較高溫度下沈積層。若用途由第三實施所述之方法完成時，此成為可能。

在圖19所示之構造之形成後，形成具有窗21之氧化矽層20，其後諧振器8, 9, 10之第一電極9設於窗21內。隨後，沈積聲反射層7。

隨後，圖20所示之構造係利用黏著劑層22固定至載體基板3。其次，矽係自輔助片12第二側23之整個表面除去，該過程就在頂層13近處停止，隨後，矽在聲諧振器8, 9, 10遠至氧化矽層17之位置除去。在此過程中，蝕刻罩24設在半導體元件1之位置。



## 五、發明說明 (13)

最後，氧化矽層16在聲諧振器之位置設有窗21，其中容納有諧振器8，9，10之第二電極10。實際上，更多窗設於氧化矽之暴露層16內，藉以使第二電極10連接至導體軌道19及形成之混合積體電路能外部接觸。

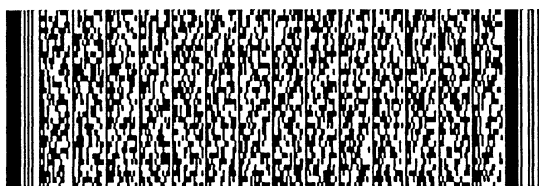
圖23至25為製造第四實例中若干階段之概略截面圖。該製造如圖11及12所示般開始進行。如圖23所示。壓電層8在窗30及31設於氧化矽層29以前形成在氧化矽層26上。隨後，窗30及31形成於氧化矽層29內及提供具有導體軌道19之金屬化。

在第三實例中，壓電物質層8直接形成在氧化矽層26上，取代第一與第二實例中在第二電極10上。如第三實例所述，此可使壓電物質層在相當高溫下沈積。

在圖23所示之構造之形成後，形成具有窗21之氧化矽層20，其後諧振器8，9，10之第一電極9設於窗21內。隨後，沈積聲反射層7而如此形成之構造利用黏著劑層22固定至載體基板9。隨後，矽自輔助矽片12第二側23之整個表面遠至化矽層26除去。

最後，氧化矽層26在聲諧振器之位置設有窗33，其中容納有諧振器8，9，10之第二電極10。實際上，更多窗設於氧化矽之暴露層26內，藉以使第二電極10連接至導體軌道19及形成之混合積體電路能外部接觸。

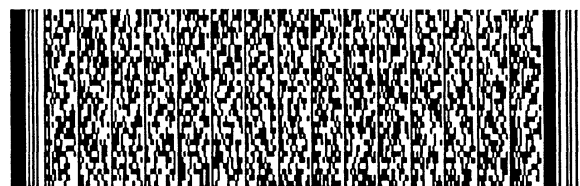
在積極電路中，壓電濾波器2必須連接至半導體元件1。若第一電極9以及第二電極10均連接至半導體元件1時，必須形成二層金屬化層，即，一層具有導體19而另一層具有



## 五、發明說明 (14)

電極9。當諧振器相當薄時，即，範圍為1至3  $\mu\text{m}$ 時，無法容易設置具有第一電極9之第二金屬化層。此層必須包含導體軌道，其定位於相當薄諧振器8上並相鄰之，而且導體軌道，其延伸在諧振器之蝕刻上方。特別是，必須橋接相當大高度差異之較後導體軌道很難設置。若加入聲諧振器8之第二電極10時，此問題可避免，俾可包含二個副電極34及35，如圖26及27所示，其均對立第一電極9，使二個串聯諧振器形成在二個副電極34與35之間。結果，僅金屬化必須形成在諧振器上並相鄰之；不必採用橋接高度差異之該步驟。對圖25所示之第四實例之混合積體電路此示於圖26，而對圖18所示之第二實例此示於圖27(?)。可知對應解決方法亦會導致其他上述實例製造之簡化。

若輔助基板12，25利用形成部份聲反射層7之黏著劑層固定至載體基板3時，特別是若聲諧振器之第一電極9亦形成部份聲反射層7時，進一步可得一簡單構造。實際上此切實可行，因為黏著劑層顯示相當低聲電阻而電極物質顯示極高聲電阻。第一電極9之厚度必須選擇，俾可符合濾波器之所欲諧振頻率，而黏著劑層由於極低聲阻抗可具有較厚之厚度。此解決方法示於圖28之第四實例。又在此情況下，須知對應解決方法亦會簡化其他上述實例之製造。

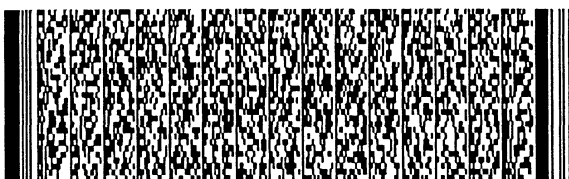


四、中文發明摘要 (發明之名稱：製造一包含一半導體元件及一壓電濾波器之混合積體電路之方法)

一種製造包含互相鄰接定位並連接至載體基板(3)之半導體元件(1)及壓電濾波器(2)之混合積體電路。半導體元件包含半導體區(5,6)，其係形成於矽層(13,28)；壓電濾波器包含聲諧振器(8,9,10)，其位於聲反射層(7)上，該聲諧振器包含壓電物質層(8)，位於壓電物質層與聲反射層間之第一電極(9)及位於壓電層相反側上且面向第一電極之第二電極(10)。在此方法中，半導體元件形成於矽晶圓(12,25)之第一側(11)上。在此晶圓之相同側上，亦形成壓電物質層及第一電極，之後表面覆蓋聲反射層。隨後，使用黏著層(22)，以將用聲反射層如此形成之構造黏附至載體基板。最後，在濾波器之位置，自晶圓之第二側除去矽。

英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A HYBRID INTEGRATED CIRCUIT COMPRISING A SEMICONDUCTOR ELEMENT AND A PIEZOELECTRIC FILTER)

A method of manufacturing a hybrid integrated circuit comprising a semiconductor element (1) and a piezoelectric filter (2), which are situated next to each other and connected to a carrier substrate (3). The semiconductor element comprises semiconductor regions (5,6) which are formed in a silicon layer (13,28); the piezoelectric filter comprises an acoustic resonator (8,9,10) which is situated on an acoustic reflector layer (7), which acoustic



四、中文發明摘要 (發明之名稱：製造一包含一半導體元件及一壓電濾波器之混合積體電路之方法)

相當厚之聲反射器不須佈型以使在蝕刻該反射層時其下之特徵不會被破壞。

英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A HYBRID INTEGRATED CIRCUIT COMPRISING A SEMICONDUCTOR ELEMENT AND A PIEZOELECTRIC FILTER)

resonator comprises a layer of piezoelectric material (8), a first electrode (9) situated between the layer of piezoelectric material and the acoustic reflector layer, and a second electrode (10) which is situated on the opposite side of the piezoelectric layer and faces the first electrode. In the method, the semiconductor element is formed on the first side (11) of a silicon wafer (12, 25). On the same side of this wafer, also the layer of piezoelectric material

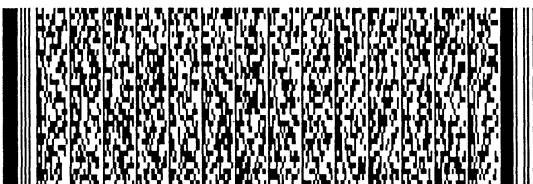


四、中文發明摘要 (發明之名稱：製造一包含一半導體元件及一壓電濾波器之混合積體電路之方法)

英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A HYBRID INTEGRATED CIRCUIT COMPRISING A SEMICONDUCTOR ELEMENT AND A PIEZOELECTRIC FILTER)

and the first electrode are formed, after which the surface is covered with the acoustic reflector layer. Subsequently, an adhesive layer (22) is used to attach the structure thus formed with the acoustic reflector layer to the carrier substrate. Finally, at the location of the filter, silicon is removed from the second side of the wafer.

The comparatively thick acoustic reflector need not be patterned so that underlying features cannot be damaged during etching said reflector



四、中文發明摘要 (發明之名稱：製造一包含一半導體元件及一壓電濾波器之混合積體電路之方法)

英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A HYBRID INTEGRATED CIRCUIT COMPRISING A SEMICONDUCTOR ELEMENT AND A PIEZOELECTRIC FILTER)

layer.



圖式

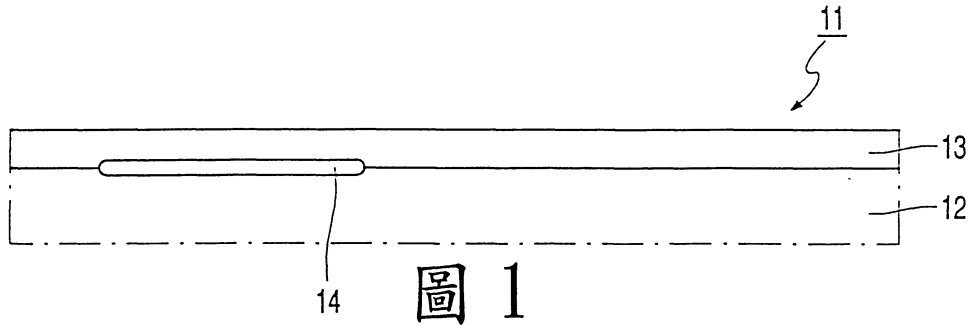


圖 1

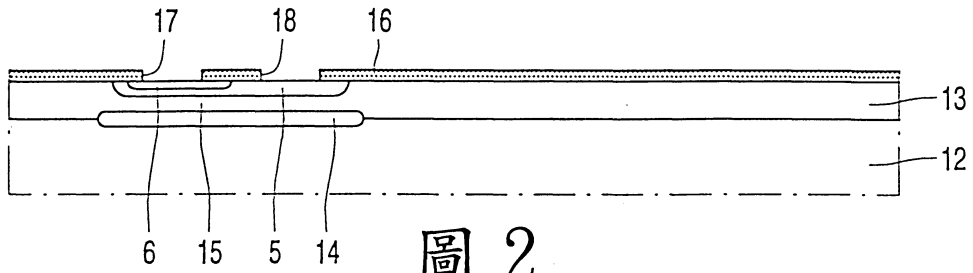


圖 2

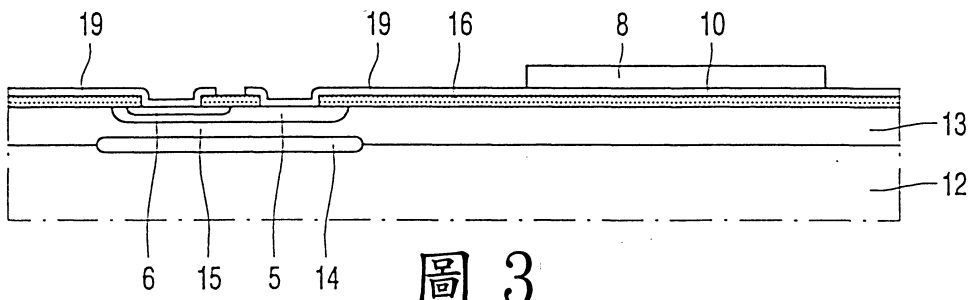


圖 3

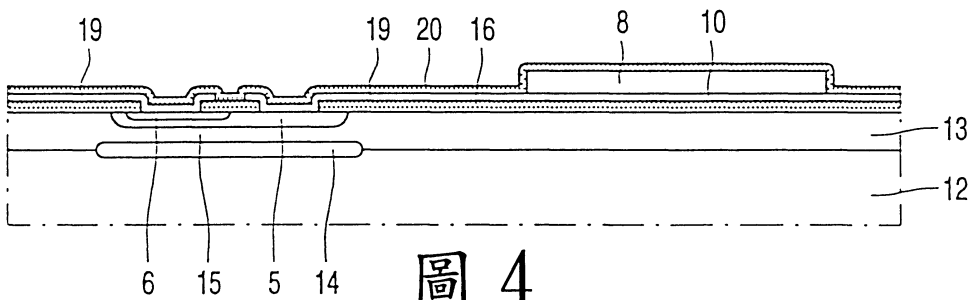


圖 4

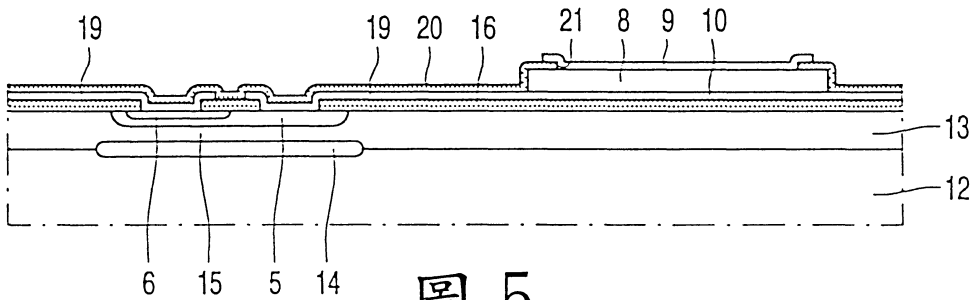


圖 5

圖式

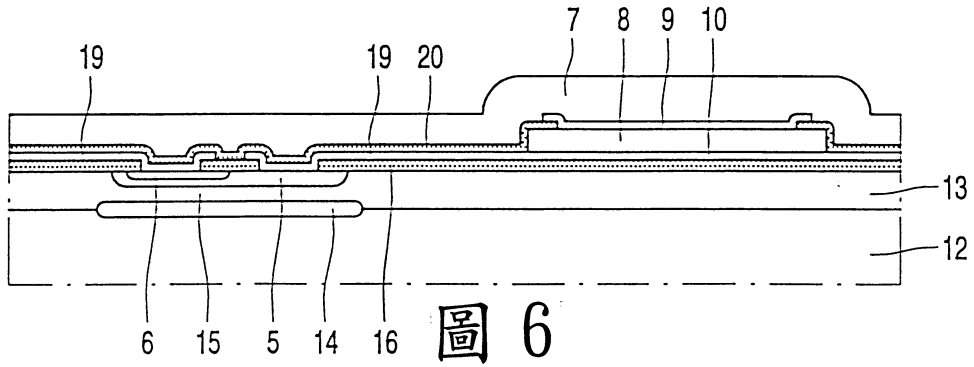


圖 6

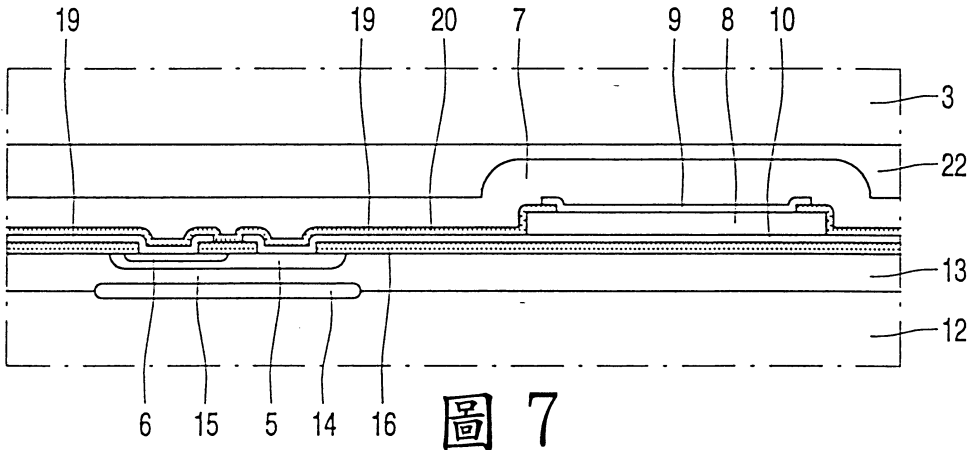


圖 7

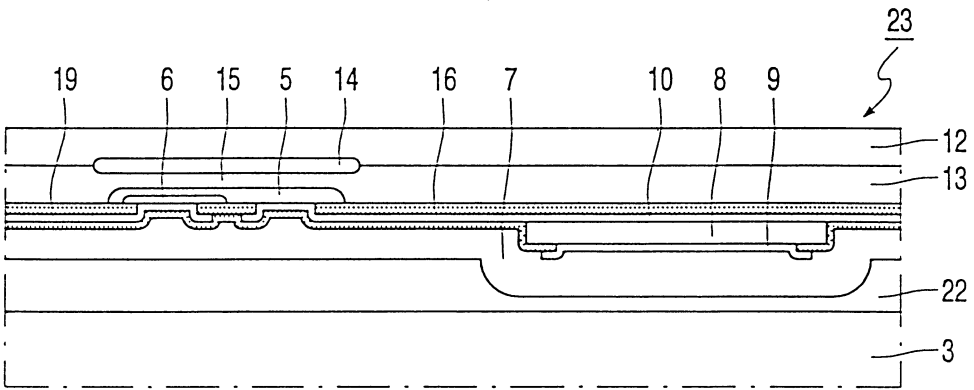


圖 8

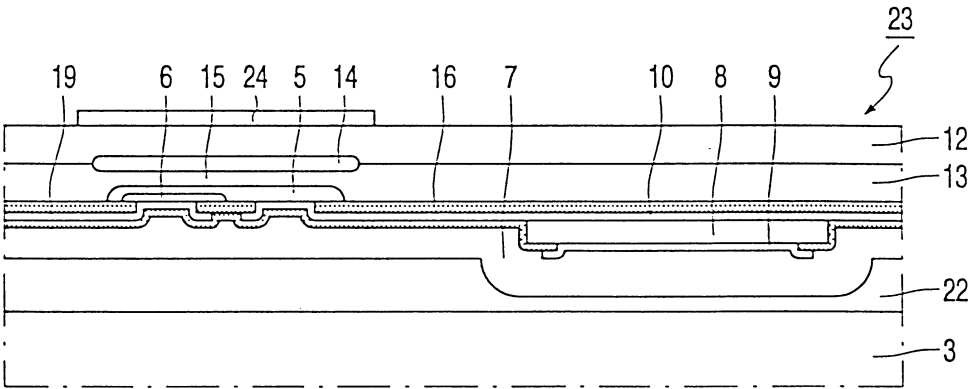


圖 9

圖式

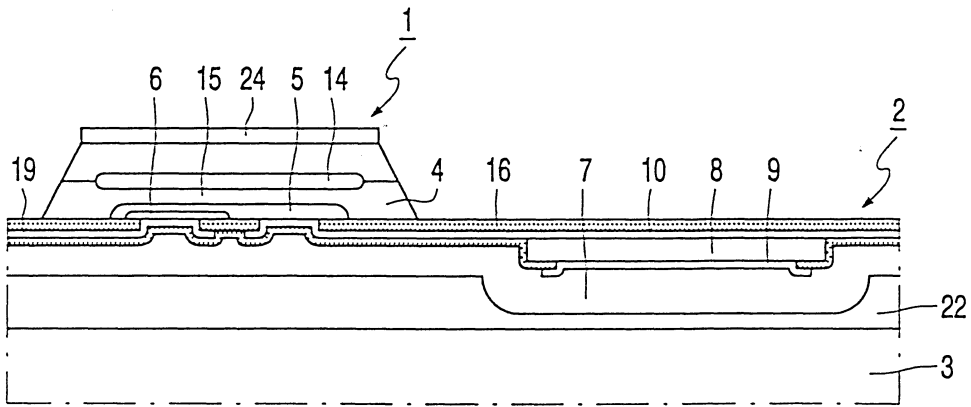


圖 10

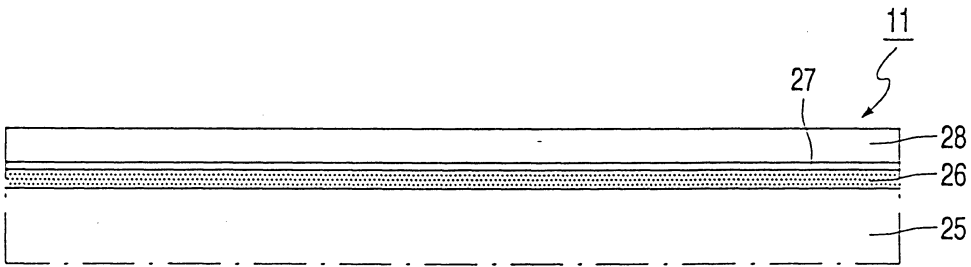


圖 11

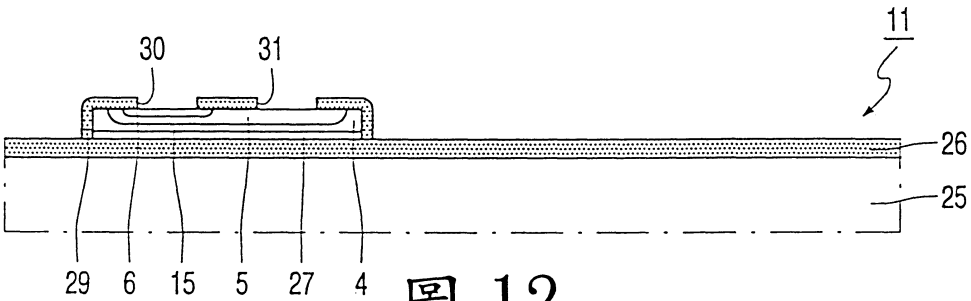


圖 12

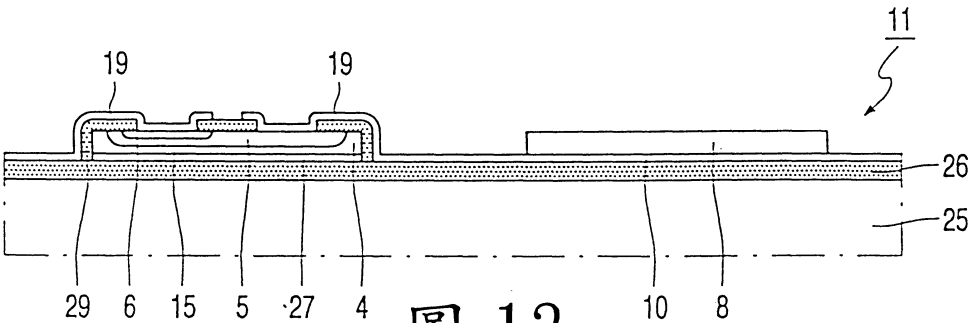


圖 13

圖式

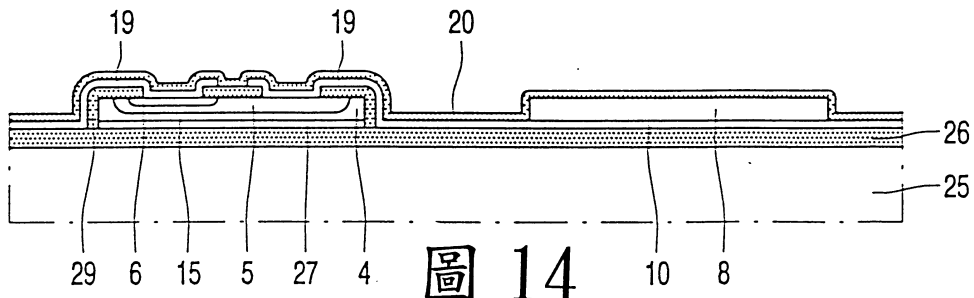


圖 14

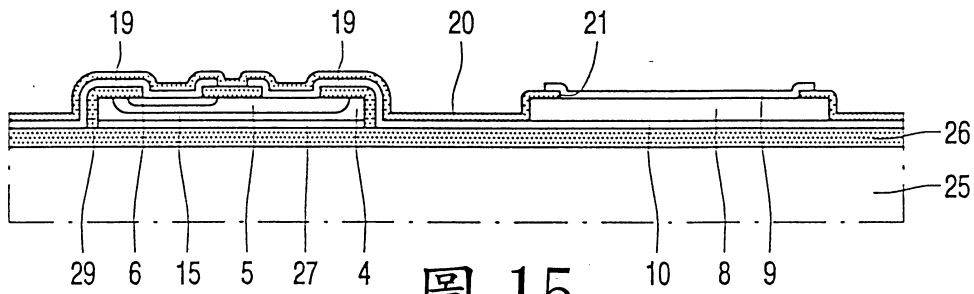


圖 15

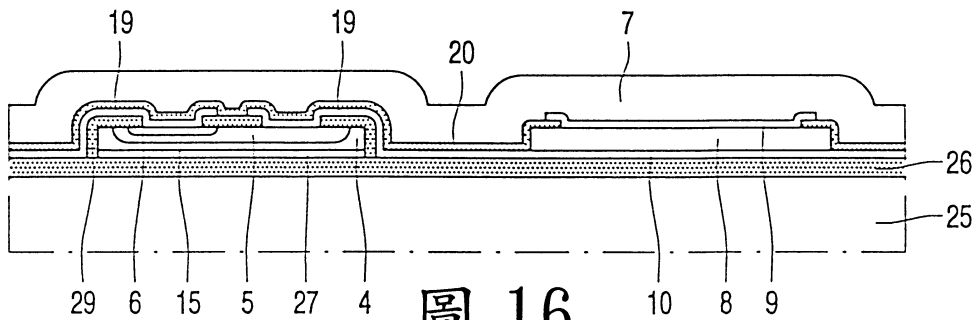


圖 16

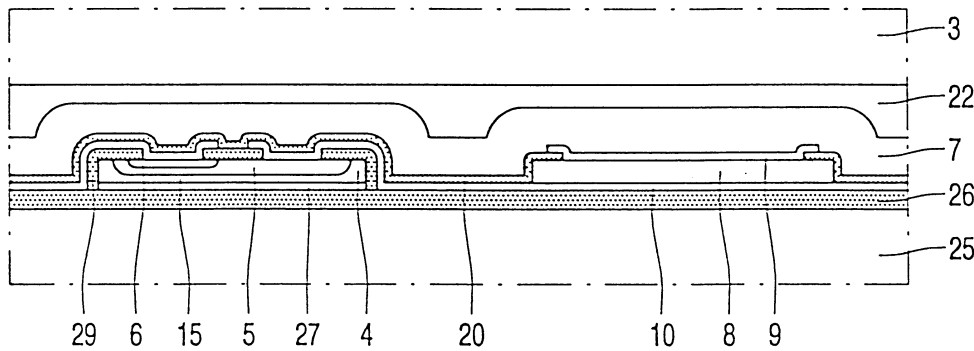


圖 17

圖式

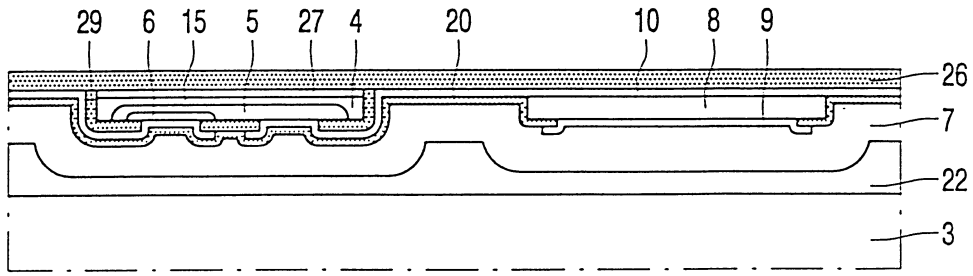


圖 18

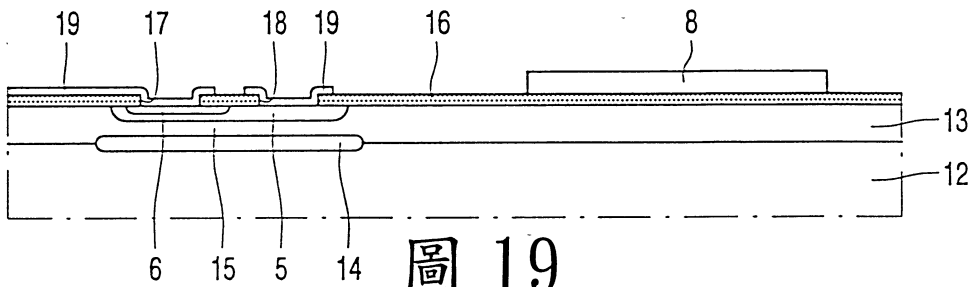


圖 19

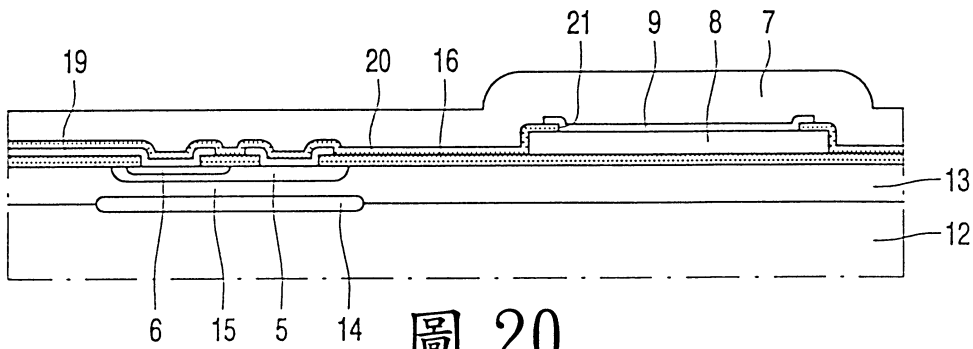


圖 20

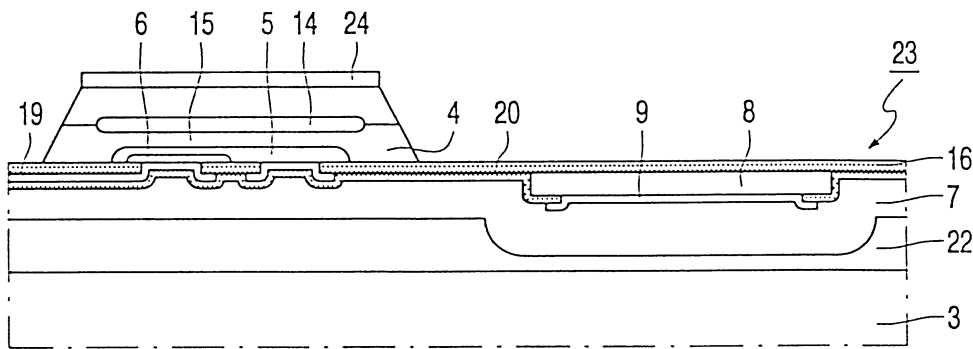


圖 21

圖式

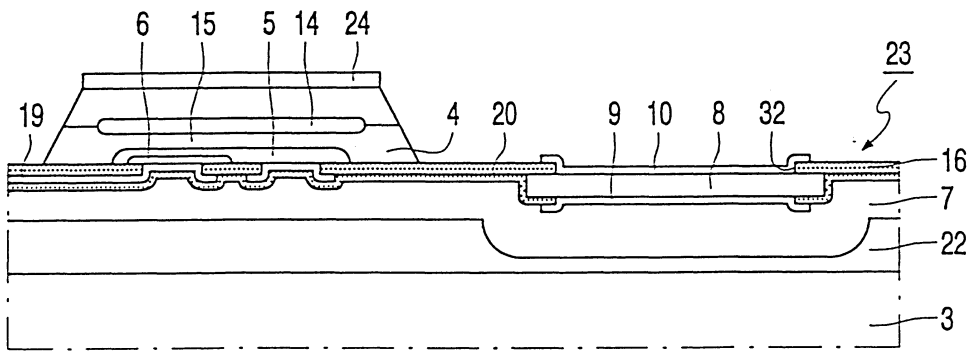


圖 22

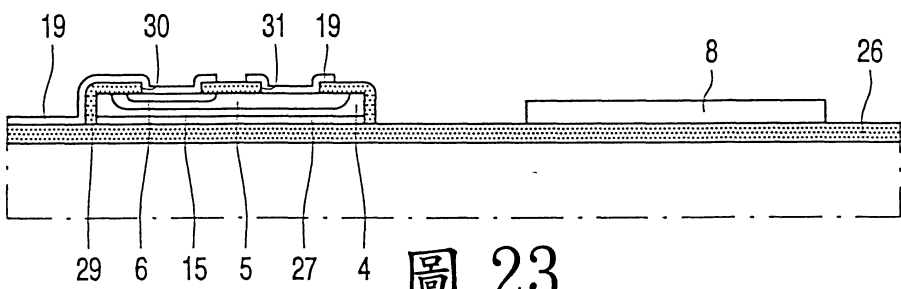


圖 23

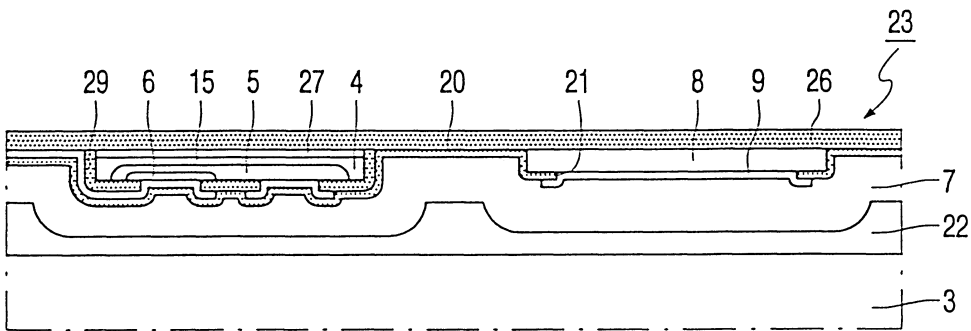


圖 24

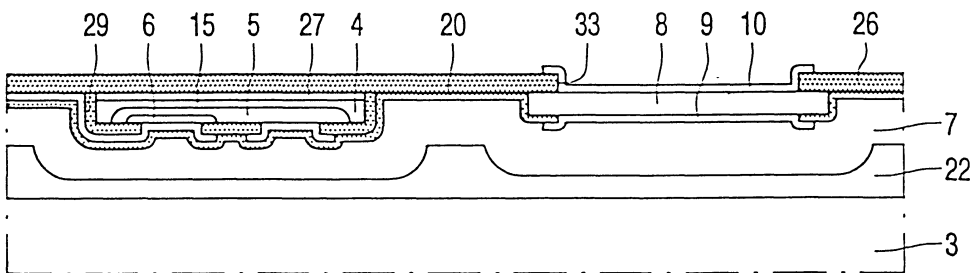


圖 25

圖式

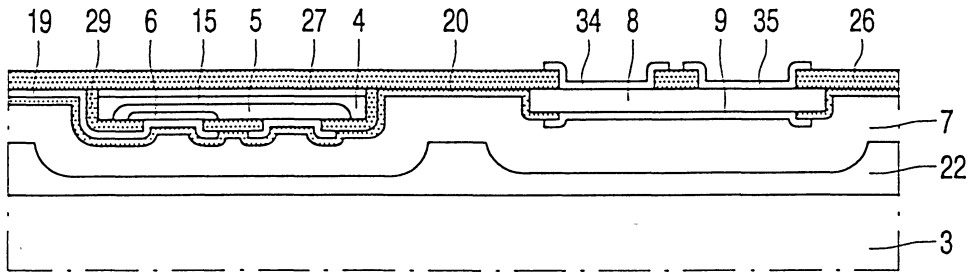


圖 26

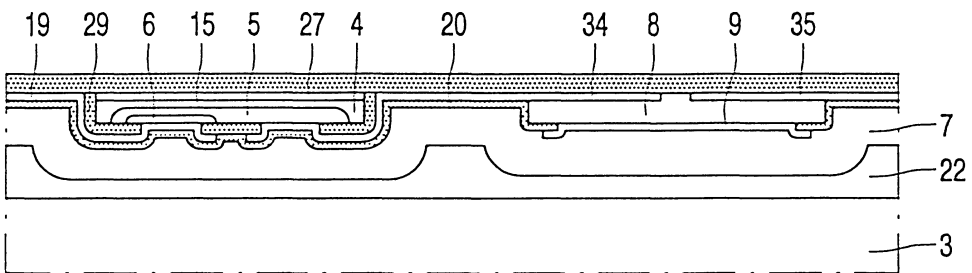


圖 27

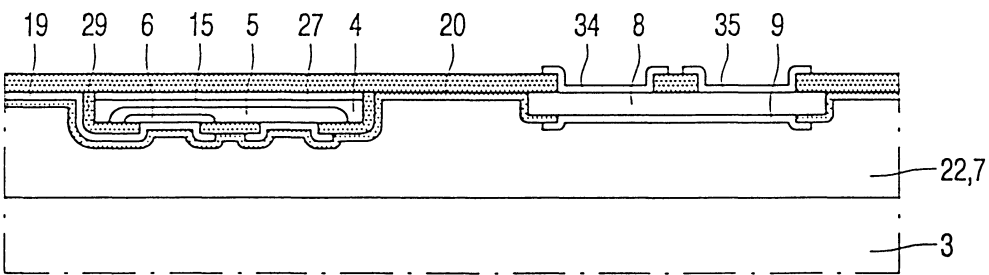


圖 28

## 圖式簡單說明

## 圖式元件符號說明：

1	半導體元件	2	壓電濾波器
3	載體基板	4	矽層
5	基極區	6	射極區
7	聲反射層	8	壓電物質層
9	電極	10	電極
11	第一側	12	輔助矽片
13	層	14	埋設層
15	集極區	16	矽層
17	窗	18	窗
19	導體軌道	20	氧化矽層
21	窗	22	黏著劑層
23	第二側	24	蝕刻罩
25	輔助矽片	26	絕緣層
27	單晶矽層	28n	型摻雜層
29	氧化矽層	30	窗
31	窗	32	窗
33	窗	34	副電極
35	副電極		



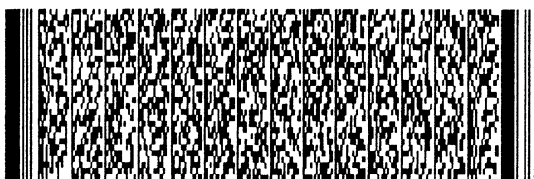
## 六、申請專利範圍

1. 一種製造包含互相鄰接設在載體基板上之半導體元件及壓電濾波器之混合積體電路之方法，半導體元件包含設於矽層內之半導體區，壓電濾波器包含形成在聲反射層上之聲諧振器，該聲諧振器包括壓電物質層，位於此層與聲反射層間之第一電極及在壓電物質層另一側上位於第一電極相反之第二電極，其特徵為，半導體元件形成於輔助矽片之第一側，其後支持第一電極之壓電物質層提供輔助片上於相同之第一側，之後如此形成之構造在其自由表面區上方設有聲反射層，隨後用此層黏附至載體基板，然後矽在聲諧振器之位置自輔助片之第二側除去。

2. 如申請專利範圍第1項之方法，其中半導體區形成於矽片之頂層內，該片設有位在頂層上之氧化矽層，其後支持第一電極之壓電物質層形成在此氧化矽層上，之後如此形成之構造的自由表面設有聲反射層，此構造隨後用該層黏附至載體基板，其後輔助片第二側之表面受除矽過程，其就在頂層附近停止，隨後，在聲諧振器之位置，矽向下至氧化矽層除去。

3. 如申請專利範圍第1項之方法，其中半導體區形成於設有埋設在頂層下方之氧化矽層之矽片頂層內，該頂層相鄰半導體元件除去，之後支持第一電極之壓電物質層形成在如此暴露之氧化矽層上，其後如此形成之構造的自由表面設有聲反射層，之後構造用此層黏附至載體基板，其後矽自輔助片第二側之表面向下至氧化矽之埋設層除去。

4. 如申請專利範圍第2或3項之方法，其中首先位於輔助



## 六、申請專利範圍

片第一側之氧化矽層在聲諧振器之位置設有第二電極，其後負載第一電極之壓電物質形成在此第二電極上。

5. 如申請專利範圍第2或3項之方法，其中壓電物質層直接形成在位於輔助片第一側之氧化矽層上，其後設置第一電極，如此形成之構造之自由表面設有聲反射層，隨後該構造用此層黏附至載體基板，其後氧化矽層係自輔助片之第二側暴露，隨後此層在聲諧振器之位置設有其中設置第二電極之窗。

6. 如申請專利範圍第4項之方法，其中加入第二電極，俾可成為二個副電極，其均對立第一電極定位，使二個串聯諧振器形成在二個副電極之間。

7. 如申請專利範圍第5項之方法，其中加入第二電極，俾可成為二個副電極，其均對立第一電極定位，使二個串聯諧振器形成在二個副電極之間。

8. 如申請專利範圍第1、2或3項之方法，其中輔助片利用黏著劑層黏附至載體基板。

9. 如申請專利範圍第1、2或3項之方法，其中輔助片利用形成部份聲反射層之黏著劑層黏附至載體基板。

10. 如申請專利範圍第1、2或3項之方法，其中聲諧振器之第一電極形成部份之聲反射層。

