

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 4 日(04.02.2016)

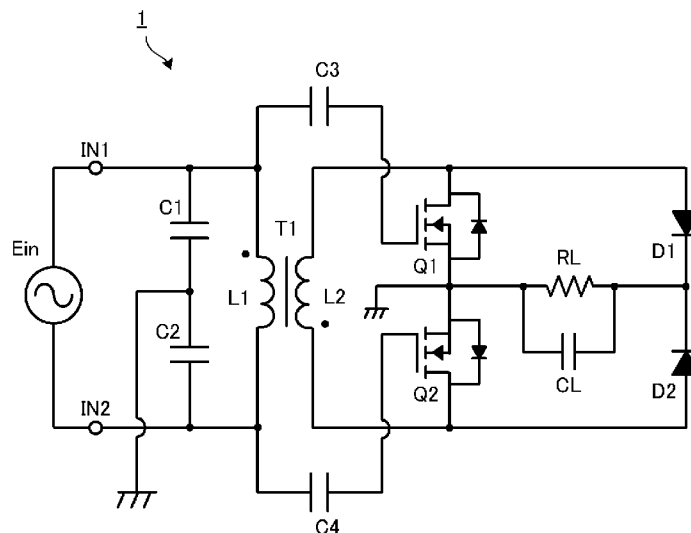


(10) 国際公開番号
WO 2016/017257 A1

- (51) 国際特許分類:
H02M 7/21 (2006.01) *H02M 7/12* (2006.01)
H02J 17/00 (2006.01)
- (21) 国際出願番号: PCT/JP2015/065182
- (22) 国際出願日: 2015 年 5 月 27 日(27.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-155665 2014 年 7 月 31 日(31.07.2014) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 市川敬一 (ICHIKAWA, Keichi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 郷間真治 (GOMA, Shinji); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). ボンダルアンリ (BONDER, Henri); 〒6048241 京都府京都市中京区釜座町 2 2 番地 T M M S 株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒
- 5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER CONVERSION DEVICE AND WIRELESS POWER TRANSMISSION SYSTEM

(54) 発明の名称: 電力変換装置及びワイヤレス電力伝送システム



(57) Abstract: A power conversion device (1) is provided with a step-down transformer (T1), and a bridge circuit, which rectifies an output voltage of the transformer (T1), and supplies the voltage to a load. The bridge circuit has MOS-FETs (Q1, Q2) connected in series, and diodes (D1, D2) connected in series, said MOS-FETs and diodes being connected to a secondary winding (L2) of the transformer (T1). The gate of the MOS-FET (Q1) is connected to one end of a primary winding (L1) of the transformer (T1) via a capacitor (C3), and the gate of the MOS-FET (Q2) is connected to the other end of the primary winding (L1) of the transformer (T1) via a capacitor (C4). Consequently, the power conversion device and a wireless power transmission system, wherein a space is saved and a loss in the rectifying element is reduced, are provided.

(57) 要約:

[続葉有]

WO 2016/017257 A1



電力変換装置（１）は、降圧型のトランス（Ｔ１）と、トランス（Ｔ１）の出力電圧を整流し、負荷へ供給するブリッジ回路とを備える。ブリッジ回路は、トランス（Ｔ１）の二次巻線（Ｌ２）に接続され、直列接続されたＭＯＳ－ＦＥＴ（Ｑ１、Ｑ２）と、直列接続されたダイオード（Ｄ１、Ｄ２）とを有する。ＭＯＳ－ＦＥＴ（Ｑ１）のゲートは、キャパシタ（Ｃ３）を介して、トランス（Ｔ１）の一次巻線（Ｌ１）の一端に接続され、ＭＯＳ－ＦＥＴ（Ｑ２）のゲートは、キャパシタ（Ｃ４）を介して、トランス（Ｔ１）の一次巻線（Ｌ１）の他端に接続されている。これにより、省スペース化を図り、整流素子での損失を低減できる電力変換装置及びワイヤレス電力伝送システムを提供する。

明 細 書

発明の名称：電力変換装置及びワイヤレス電力伝送システム

技術分野

[0001] 本発明は、トランス及びトランスの二次側で整流する電力変換装置及びそれを用いたワイヤレス電力伝送システムに関する。

背景技術

[0002] 特許文献1には、コンバータトランスの二次側に接続された整流回路でのロスを低減するスイッチング電源が開示されている。整流回路をダイオードのみから構成した場合、ダイオードには電圧降下に伴う損失が生じ、それによって、整流回路にロスが発生する。そこで、特許文献1では、整流回路にMOS-FETを用いることで、ダイオードに生じる損失を低減し、整流回路でのロスを低減している。

先行技術文献

特許文献

[0003] 特許文献1：特開2000-23455号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1では、コンバータトランスに補助巻線を追加して、その補助巻線に生じるコンバータトランスの反転信号を利用してMOS-FETを駆動している。このため、回路が複雑化、及び巻線の追加により装置が大型化するといった問題がある。

[0005] そこで、本発明の目的は、省スペース化を図り、整流素子での損失を低減できる電力変換装置及びワイヤレス電力伝送システムを提供することにある。

課題を解決するための手段

[0006] 本発明に係る電力変換装置は、交流電圧入力部と、一次側端子対及び二次側端子対を有し、前記一次側端子対が前記交流電圧入力部に接続されたトラ

ンスと、第1端子及び第2端子を有し、前記第1端子から前記第2端子へ電流を流す1又は複数の整流素子と、を備え、前記1又は複数の整流素子は、前記トランスの二次側に設けられ、前記トランスの出力電圧を整流して負荷へ供給し、前記複数の整流素子の少なくとも一つは、制御端子を有するスイッチ素子とダイオードとを含み、前記ダイオードのアノードが前記第1端子側、カソードが前記第2端子側となるように、前記スイッチ素子と前記ダイオードとが並列接続された整流ユニットであり、前記スイッチ素子の制御端子は、前記トランスの一次側端子対の一方又は他方に接続されている、ことを特徴とする。

[0007] この構成では、ダイオードよりもオン抵抗が低いスイッチ素子、例えばMOS-FETを用いることで、ダイオードを用いた場合と比べ、電圧降下によるロスを低減して整流できる。また、スイッチ素子は、その制御端子がトランスの一次側に接続され、トランスの一次側の電圧を利用して駆動する構成であるため、巻線等を用いる必要がなく、省スペース化を実現できる。

[0008] 前記複数の整流素子は、第2端子が前記二次側端子対の一方に接続された第1整流素子と、第1端子が前記第1整流素子の第1端子に接続され、第2端子が前記二次側端子対の他方に接続された第2整流素子と、第1端子が前記二次側端子対の一方に接続された第3整流素子と、第2端子が前記第3整流素子の第2端子に接続され、第1端子が前記二次側端子対の他方に接続された第4整流素子と、を有し、前記第1整流素子及び前記第2整流素子の接続点と、前記第3整流素子及び前記第4整流素子の接続点とは、前記負荷に接続され、前記第1整流素子、前記第2整流素子、前記第3整流素子及び前記第4整流素子の少なくとも一つは、前記整流ユニットであり、前記第1整流素子が前記整流ユニットである場合、前記第1整流素子は、制御端子が前記一次側端子対の一方に接続され、前記二次側端子対の一方が高電位であるときオフし、前記二次側端子対の他方が高電位であるときオンし、前記第2整流素子が前記整流ユニットである場合、前記第2整流素子は、制御端子が前記一次側端子対の他方に接続され、前記二次側端子対の一方が高電位であ

るときオンし、前記二次側端子対の他方が高電位であるときオフし、前記第3整流素子が前記整流ユニットである場合、前記第3整流素子は、制御端子が前記一次側端子対の他方に接続され、前記二次側端子対の一方が高電位であるときオンし、前記二次側端子対の他方が高電位であるときオフし、前記第4整流素子が前記整流ユニットである場合、前記第4整流素子は、制御端子が前記一次側端子対の一方に接続され、前記二次側端子対の一方が高電位であるときオフし、前記二次側端子対の他方が高電位であるときオンすることが好ましい。

[0009] この構成では、全波整流回路を、ダイオードよりもオン抵抗が低いスイッチ素子で構成することで、ダイオードを用いた場合と比べ、電圧降下によるロスを低減して整流できる。

[0010] 前記トランスの前記一次側端子対に並列接続され、前記トランスのインダクタンス成分と並列共振回路を構成するキャパシタを備え、前記整流ユニットは、前記制御端子がキャパシタを介して前記トランスの一次側端子対の一方又は他方に接続されていることが好ましい。

[0011] この構成では、交流電圧入力部から効率よくトランスに電力を伝送することができる。また、スイッチ素子の制御端子へは、キャパシタにより分圧された電圧が印可されるため、制御端子に過電圧が印加されることを防止できる。

[0012] 前記トランスの前記一次側端子対に並列接続され、前記トランスのインダクタンス成分と並列共振回路を構成する、第1キャパシタ及び第2キャパシタの直列回路を備え、前記第1キャパシタ及び前記第2キャパシタの接続点はグラウンドに接続され、前記第1整流素子及び前記第2整流素子が前記整流ユニットである場合、前記第1整流素子の前記制御端子は、第3キャパシタを介して前記一次側端子対の一方に接続され、前記第2整流素子の前記制御端子は、第4キャパシタを介して前記一次側端子対の他方に接続され、第1キャパシタ、第2キャパシタ、第3キャパシタ及び第4キャパシタのキャパシタンスをそれぞれ C_1 、 C_2 、 C_3 、 C_4 で表すと、 $C_1 : C_2 = C_3 :$

C 4 を満たし、前記第 3 整流素子及び前記第 4 整流素子が前記整流ユニットである場合、前記第 4 整流素子の前記制御端子は、第 5 キャパシタを介して前記一次側端子対の一方に接続され、前記第 3 整流素子の前記制御端子は、第 6 キャパシタを介して前記一次側端子対の他方に接続され、第 1 キャパシタ、第 2 キャパシタ、第 5 キャパシタ及び第 6 キャパシタのキャパシタンスをそれぞれ C 1, C 2, C 5, C 6 で表すと、 $C 1 : C 2 = C 5 : C 6$ を満たすことが好ましい。

[0013] この構成では、C 1, C 2 の容量比及び C 3, C 4 の容量比、C 1, C 2 の容量比及び C 5, C 6 の容量比を等しくすることで、第 1 整流素子及び第 2 整流素子それぞれの制御端子、第 3 整流素子及び第 4 整流素子それぞれの制御端子に過電圧が印加されたり、印加電圧不足となったりすることを抑制でき、電力変換装置を確実に動作させることができる。

[0014] 前記整流ユニットの前記スイッチ素子は F E T であり、前記 F E T のゲートは前記制御端子であり、前記整流ユニットの前記ダイオードは、前記 F E T のボディーダイオードであることが好ましい。

[0015] この構成では、ボディーダイオードを利用することで、外付けのダイオードが不要となる。

[0016] 前記トランスは巻線トランスであることが好ましい。

[0017] この構成では、巻線トランスを用いることで、低コストを実現できる。

[0018] 前記トランスは圧電トランスであることが好ましい。

[0019] この構成では、回路の低背化が実現できる。

発明の効果

[0020] 本発明によれば、整流素子での損失を低減でき、効率よく整流できる。また、スイッチ素子を駆動するための回路が大型化せず、省スペース化を実現できる。

図面の簡単な説明

[0021] [図1]実施形態 1 に係る電力変換装置の回路図

[図2]M O S - F E T のゲート・ソース間容量を図示した場合のトランスの一

次側の等価回路図

[図3]電力変換装置に流れる電流の経路を示す図であり、（A）は入力端子側が正電位である場合、（B）は、（A）から極性反転した場合それぞれの電流経路を示す図

[図4]実施形態1に係る別の例の電力変換装置の回路図

[図5]実施形態2に係る電力変換装置の回路図

[図6]実施形態3に係る電力変換装置の回路図

[図7]実施形態4に係る電力変換装置の回路図

[図8]実施形態4に係る別の例の電力変換装置を示す図

[図9]図8に示す電力変換装置の等価回路図

[図10]別の例の電力変換装置を示す図

[図11]実施形態5に係る電力伝送システムの回路図

[図12]出力電力と損失との関係を示す図

[図13]磁界結合方式の電力伝送システムの回路図

発明を実施するための形態

[0022]（実施形態1）

図1は、実施形態1に係る電力変換装置1の回路図である。本実施形態に係る電力変換装置1は、入力端子IN1、IN2に接続された交流電源Einから交流電圧が入力されると、その入力電圧を降圧し、整流して負荷RLへ供給する。

[0023] 入力端子IN1、IN2は、本発明に係る「交流電圧入力部」に相当する。

[0024] 電力変換装置1はトランスT1を備えている。トランスT1は降圧型トランスであって、巻線数が異なり、互いに逆極性に接続された一次巻線L1及び二次巻線L2を備えている。トランスT1の一次巻線L1は、電力変換装置1の入力端子IN1、IN2に接続されている。この一次巻線L1の両端は、本発明に係る「一次側端子対」に相当する。

[0025] また、一次巻線L1には、キャパシタC1、C2の直列回路が並列に接続

されている。キャパシタC 1, C 2の接続点はグラウンドに接続されている。キャパシタC 1, C 2はキャパシタンスが同じである。このキャパシタC 1, C 2は、本発明に係る「第1キャパシタ」及び「第2キャパシタ」に相当する。

[0026] トランスT 1の二次巻線L 2には、直列接続されたn型MOS-FET Q 1, Q 2と、直列接続されたダイオードD 1, D 2が並列に接続されている。この二次巻線L 2の両端は、本発明に係る「二次側端子対」に相当する。

[0027] MOS-FET Q 1は、そのドレインが二次巻線L 2の一端に接続され、ソースがMOS-FET Q 2のソースに接続されている。MOS-FET Q 2は、そのドレインが二次巻線L 2の他端に接続されている。MOS-FET Q 1, Q 2の接続点はグラウンドに接続されている。また、ダイオードD 1は、そのアノードが二次巻線L 2の一端に接続され、カソードがダイオードD 2のカソードに接続されている。ダイオードD 2は、そのアノードが二次巻線L 2の他端に接続されている。

[0028] MOS-FET Q 1, Q 2の接続点と、ダイオードD 1, D 2の接続点との間には、負荷R Lが接続されている。負荷R Lには、平滑キャパシタC Lが並列に接続されている。MOS-FET Q 1, Q 2と、ダイオードD 1, D 2とは、トランスT 1の二次巻線L 2に誘起された電圧を整流し、負荷R Lへ供給するブリッジ回路を構成する。

[0029] MOS-FET Q 1は、本発明に係る「第1整流素子」及び「整流ユニット」に相当する。MOS-FET Q 2は、本発明に係る「第2整流素子」及び「整流ユニット」に相当する。そして、MOS-FET Q 1, Q 2のソースは、本発明に係る「第1端子」に相当し、ドレインは、本発明に係る「第2端子」に相当する。また、ダイオードD 1, D 2は、本発明に係る「第3整流素子」及び「第4整流素子」に相当する。そして、ダイオードD 1, D 2のアノードは、本発明に係る「第1端子」に相当し、カソードは、本発明に係る「第2端子」に相当する。

[0030] また、MOS-FET Q 1は、そのゲートが、トランスT 1の一次巻線L

1の一端にキャパシタC3を介して接続されている。MOS-FET Q2は、そのゲートが、トランスT1の一次巻線L1の他端にキャパシタC4を介して接続されている。キャパシタC3、C4はキャパシタンスが同じである。MOS-FET Q1、Q2のゲートは、本発明に係る「制御端子」に相当する。また、キャパシタC3は、本発明に係る「第3キャパシタ」に相当する。キャパシタC4は、本発明に係る「第4キャパシタ」に相当する。

[0031] 図2は、MOS-FET Q1、Q2のゲート・ソース間容量を図示した場合のトランスT1の一次側の等価回路図である。

[0032] MOS-FET Q1、Q2のゲート・ソース間容量をそれぞれ、キャパシタCgs1、Cgs2で表す。この場合、トランスT1の一次側において、キャパシタC3、Cgs1、Cgs2、C4の直列回路が一次巻線L1に並列接続された構成とみなせる。これにより、一次巻線L1とキャパシタC1、C2、C3、C4、Cgs1、Cgs2とで共振回路が形成でき、この共振回路の共振周波数と交流電源Einの出力電圧の周波数を合わせることで、交流電源Einから効率良くトランスT1に電力を伝送することができる。また、MOS-FET Q1、Q2のゲートに充放電する電流は共振回路に流れる電流の一部であり再利用できるため、MOS-FET Q1、Q2のゲートでの駆動損失を低減することができる。

[0033] トランスT1の一次巻線L1に電圧が印加され、入力端子IN1の接続ラインが正電位である場合、MOS-FET Q1のゲートには、キャパシタC3、Cgs1で分圧された電圧Vgs1が印加される。これにより、MOS-FET Q1はオンされた状態で、ソースからドレインに電流が流れる。また、トランスT1の一次巻線L1に電圧が印加され、入力端子IN2の接続ラインが正電位である場合、MOS-FET Q2のゲートには、キャパシタC4、Cgs2で分圧された電圧Vgs2が印加される。これにより、MOS-FET Q2はオンされた状態で、ソースからドレインに電流が流れる。

[0034] なお、ゲートに印加される電圧Vgs1、Vgs2がMOS-FET Q1、Q2のしきい値電圧に達していない期間は、MOS-FET Q1、Q2はオン

しない。この期間では、電流は、MOS-FET Q1, Q2のボディーダイオードを流れる。

[0035] 以下に、前記のように構成された電力変換装置1の動作について説明する。

[0036] 図3は、電力変換装置1に流れる電流の経路を示す図である。図3(A)は入力端子IN1側が正電位である場合、図3(B)は、図3(A)から極性反転した場合の電流経路を示す。

[0037] 図3(A)に示すように入力端子IN1側が正電位である場合、トランスT1の一次側では、入力端子IN1から入力端子IN2へ電流が流れる。このとき、図2で説明したように、キャパシタC3, Cgs1で分圧された電圧Vgs1がMOS-FET Q1のゲートに印加され、MOS-FET Q1がオンする。これにより、トランスT1の二次側では、二次巻線L2から、ダイオードD2、負荷RL、MOS-FET Q1の経路に電流が流れる。

[0038] なお、ゲートに印加される電圧Vgs1がMOS-FET Q1のしきい値電圧に達していない期間では、電流は、MOS-FET Q1のボディーダイオードを流れる。

[0039] 図3(B)に示すように入力端子IN2側が正電位である場合、トランスT1の一次側では入力端子IN2から入力端子IN1へ電流が流れる。このとき、トランスT1の一次巻線L1と二次巻線L2とでは、図3(A)とは極性が反転し、図2で説明したように、キャパシタC4, Cgs2で分圧された電圧Vgs2がMOS-FET Q2のゲートに印加され、MOS-FET Q2がオンする。これにより、トランスT1の二次側では、二次巻線L2から、ダイオードD1、負荷RL、MOS-FET Q2の経路に電流が流れる。

[0040] なお、ゲートに印加される電圧Vgs2がMOS-FET Q2のしきい値電圧に達していない期間では、電流は、MOS-FET Q2のボディーダイオードを流れる。

[0041] このように、電力変換装置1に交流電圧が印加されると、トランスT1によって降圧された電圧は、MOS-FET Q1, Q2及びダイオードD1,

D 2 により整流され、負荷 R L へ供給される。オン抵抗が極めて低い MOS-FET Q 1, Q 2 を用いることで、ダイオードで構成した場合と比べ、電圧降下による損失を低減でき、効率よく整流できる。

[0042] また、MOS-FET Q 1, Q 2 は、降圧前のトランス T 1 の一次側の電圧を利用して駆動するため、トランス T 1 の二次側で、ゲートに印加する電圧を昇圧させるための昇圧回路等を設ける必要がない。また、トランスの反転信号を検出するための補助巻線が不要であるので、トランス又は回路の簡略化が図れる。

[0043] なお、本実施形態では、キャパシタ C 1, C 2 同士、キャパシタ C 3, C 4 同士はキャパシタンスを同じにしているが、キャパシタンスは異なってもよい。キャパシタ C 1, C 2, C 3, C 4, C_{gs1}, C_{gs2} のキャパシタンスを C 1, C 2, C 3, C 4, C_{gs1}, C_{gs2} で表すと、ゲートに印加される電圧 V_{gs1} は、 $C 2 \times C 3 / (C 3 + C_{gs1})$ に比例し、V_{gs2} は、 $C 1 \times C 4 / (C 4 + C_{gs2})$ に比例する。よって、例えば MOS-FET Q 1, Q 2 が同じ特性のものを使う場合は V_{gs1} = V_{gs2} であるため、 $C 2 \times C 3 \times (C 4 + C_{gs2}) = C 1 \times C 4 \times (C 3 + C_{gs1})$ となり、さらに C_{gs1} と C_{gs2} は C 3 と C 4 に比べて大きいので、C 1, C 2 の比と、C 3, C 4 の比とを等しくすればよい。すなわち、 $C 1 : C 2 = C 3 : C 4$ を満たすように、各キャパシタ C 1, C 2, C 3, C 4 を設定することが好ましい。

[0044] 例えば、図 3 (A) の状態で、C 1, C 2 の比と C 3, C 4 の比とが等しくない場合、MOS-FET Q 1 に過電圧が印加されたり、V_{gs1} が印加電圧不足となり、オンされなかったりするおそれがある。同様に、図 3 (B) の状態で、C 1, C 2 の比と C 3, C 4 の比とが等しくない場合、MOS-FET Q 2 に過電圧が印加されたり、V_{gs2} が印加電圧不足となり、オンされなかったりするおそれがある。このため、C 1, C 2 の比と、C 3, C 4 の比とを等しくすることで、MOS-FET Q 1, Q 2 への過電圧の印加、又は、印加電圧不足を抑制でき、電力変換装置 1 を確実に動作させることが

できる。

[0045] また、本実施形態では、本発明に係る「第1整流素子」及び「第2整流素子」はボディーダイオードを有するn型MOS-FET Q1, Q2としているが、これに限定されない。p型MOS-FET Q1, Q2でもよい。他に、例えば、ショットキーバリアダイオードと、そのショットキーバリアダイオードに並列接続したスイッチ素子からなるユニットを、本発明に係る「第1整流素子」及び「第2整流素子」としてもよい。

[0046] さらに、本実施形態では電力変換装置1はブリッジ型の全波整流回路としているがこれに限定されない。同期整流を用いたブリッジ型以外の全波整流回路、又は半波整流回路などその他の整流回路でもよく、トランスの2次側にあるスイッチング素子のスイッチングをトランスの1次巻線の電位を用いて制御する回路であればよい。なお、本実施形態のトランスT1についても巻線トランスである必要はなく、圧電トランスでもよい。

[0047] また、本実施形態では、本発明に係る「第3キャパシタ」及び「第4キャパシタ」となるキャパシタC3及びキャパシタC4を有しているが、これらは必ずしも必要ない。交流電源E_{in}からの交流電圧が低く、MOS-FET Q1, Q2がゲートに印加される電圧V_{gs1}, V_{gs2}に耐えられる場合、キャパシタC3及びキャパシタC4を介さず直接導通させてもよい。

[0048] 図4は、実施形態1に係る別の例の電力変換装置1Aの回路図である。

[0049] 図4に示す電力変換装置1Aでは、トランスT1の一次巻線L1及び二次巻線L2は、極性を同じにして接続されている。このトランスT1の二次巻線L2には、直列接続されたn型MOS-FET Q1, Q2が並列に接続されている。MOS-FET Q1は、そのドレインが二次巻線L2の一端に接続され、ソースがMOS-FET Q2のソースに接続されている。また、MOS-FET Q1は、そのゲートが、トランスT1の一次巻線L1の一端にキャパシタC4を介して接続されている。MOS-FET Q2は、そのドレインが二次巻線L2の他端に接続され、ゲートが、トランスT1の一次巻線L1の他端に、キャパシタC3を介して接続されている。

[0050] また、トランスT1の二次巻線L2には、直列接続されたダイオードD1, D2が並列に接続されている。ダイオードD1は、そのアノードが二次巻線L2の一端に接続され、カソードがダイオードD2のカソードに接続されている。ダイオードD2は、そのアノードが二次巻線L2の他端に接続されている。

[0051] この図4に示す構成であっても、オン抵抗が極めて低いMOS-FET Q1, Q2を用いることで、ダイオードを用いた場合と比べ、電力変換装置1Aは、小さな電圧降下で効率よく整流できる。

[0052] (実施形態2)

図5は、実施形態2に係る電力変換装置2の回路図である。

[0053] 本実施形態では、実施形態1に係る電力変換装置1のダイオードD1, D2を、MOS-FET Q3, Q4に置き換えている。MOS-FET Q3は、そのソースが、二次巻線L2の一端に接続され、ドレインがMOS-FET Q4のドレインに接続されている。MOS-FET Q4は、そのソースが、二次巻線L2の他端に接続されている。また、MOS-FET Q4のゲートがトランスT1の一次巻線L1の一端にキャパシタC5を介して接続され、MOS-FET Q3のゲートがトランスT1の一次巻線L1の他端にキャパシタC6を介して接続されている。

[0054] MOS-FET Q3は、本発明に係る「第3整流素子」及び「整流ユニット」に相当する。MOS-FET Q4は、本発明に係る「第4整流素子」及び「整流ユニット」に相当する。また、キャパシタC5は、本発明に係る「第5キャパシタ」に相当し、キャパシタC6は、本発明に係る「第6キャパシタ」に相当する。

[0055] キャパシタC1, C2のキャパシタンスが同じである場合、キャパシタC3, C4同士、及び、キャパシタC5, C6同士は、キャパシタンスが同じに設定されている。また、キャパシタC1, C2のキャパシタンスが異なっている場合、キャパシタC1, C2, C3, C4, C5, C6のキャパシタンスをC1, C2, C3, C4, C5, C6で表すと、実施形態1での説明

と同様に、 $C1 : C2 = C3 : C4 = C5 : C6$ を満たすように、各キャパシタ $C1$ 、 $C2$ 、 $C3$ 、 $C4$ 、 $C5$ 、 $C6$ を設定することが好ましい。 $C1$ 、 $C2$ の比と、 $C3$ 、 $C4$ の比と、 $C5$ 、 $C6$ の比とを等しくすることで、 $MOS-FET Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ に過電圧が印加されたり、印加電圧不足となったりすることを抑制でき、電力変換装置2を確実に動作させることができる。

[0056] 実施形態1で説明したように、 $MOS-FET Q1$ 、 $Q2$ と同様、トランス $T1$ の一次巻線 $L1$ に電圧が印加され、入力端子 $IN1$ の接続ラインが正電位である場合、 $MOS-FET Q4$ のゲートには、キャパシタ $C5$ と $MOS-FET Q4$ のゲート・ソース容量とで分圧された電圧が印加される。これにより、 $MOS-FET Q4$ はオンされた状態で、ソースからドレインに電流が流れる。また、トランス $T1$ の一次巻線 $L1$ に電圧が印加され、入力端子 $IN2$ の接続ラインが正電位である場合、 $MOS-FET Q3$ のゲートには、キャパシタ $C6$ と、 $MOS-FET Q3$ のゲート・ソース容量とで分圧された電圧が印加される。これにより、 $MOS-FET Q3$ はオンされた状態で、ソースからドレインに電流が流れる。

[0057] なお、 $MOS-FET Q3$ 、 $Q4$ はボディダイオードを有している。このため、ゲートに印加される電圧が $MOS-FET Q3$ 、 $Q4$ のしきい値電圧に達していない期間では、電流は、 $MOS-FET Q3$ 、 $Q4$ のボディダイオードを流れる。

[0058] 以上のように、オン抵抗が極めて低い $MOS-FET Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ を用いて、トランス $T1$ の二次巻線 $L2$ に誘起された電圧を整流することで、ダイオードを用いた場合と比べ、小さな電圧降下で効率よく整流できる。また、 $MOS-FET Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ は、降圧前のトランス $T1$ の一次側の電圧を利用して駆動するため、トランス $T1$ の二次側で、ゲートに印加する電圧を昇圧させるための昇圧回路又はトランスの補助巻線等を設ける必要がなく、トランス又は回路の簡略化が図れる。

[0059] (実施形態3)

実施形態3は、トランスの二次巻線にセンタータップを引き出している点で実施形態1と相違する。

[0060] 図6は、実施形態3に係る電力変換装置3の回路図である。

[0061] トランスT2の二次側のセンタータップPには負荷RLが接続されている。この負荷RLには平滑キャパシタCLが並列に接続されている。

[0062] トランスT2の二次巻線L21のセンタータップPと反対側の一端には、MOS-FETQ1が接続されている。MOS-FETQ1は、ドレインが二次巻線L21に接続され、ソースが負荷RLに接続されている。また、MOS-FETQ1のゲートには、トランスT2の一次巻線L1の一端がキャパシタC3を介して接続されている。

[0063] 二次巻線L22のセンタータップPと反対側の一端には、MOS-FETQ2が接続されている。MOS-FETQ2は、ドレインが二次巻線L22に接続され、ソースが負荷RLに接続されている。また、MOS-FETQ2のゲートには、トランスT2の一次巻線L1の一端がキャパシタC4を介して接続されている。

[0064] 実施形態1で説明したように、トランスT2の一次巻線L1に電圧が印加され、入力端子IN1の接続ラインが正電位である場合、MOS-FETQ1のゲートには、キャパシタC3とMOS-FETQ1のゲート・ソース容量とで分圧された電圧が印加される。これにより、MOS-FETQ1はオンされた状態で、ソースからドレインに電流が流れる。また、トランスT2の一次巻線L1に電圧が印加され、入力端子IN2の接続ラインが正電位である場合、MOS-FETQ2のゲートには、キャパシタC4と、MOS-FETQ2のゲート・ソース容量とで分圧された電圧が印加される。これにより、MOS-FETQ2はオンされた状態で、ソースからドレインに電流が流れる。

[0065] この構成の場合、実施形態1に係るダイオードD1、D2が不要となり、部品点数を低減でき、より簡易な構成とすることができるとともに、ダイオードにおける損失がなくなり効率よく整流できる。

[0066] (実施形態4)

実施形態4は、トランスに圧電トランスを用いた点で実施形態1と相違する。

[0067] 図7は、実施形態4に係る電力変換装置4の回路図である。

[0068] 電力変換装置4は、圧電トランス30を備えている。圧電トランス30は、入力電力31、32と、出力電極33、34とを備えている。圧電トランス30は、入力電力31、32から電圧が入力されると、機械共振により降圧した電圧を出力電極33、34から出力する。

[0069] 入力電力31、32は、入力端子IN1、IN2に接続されている。出力電極33、34には、直列接続されたMOS-FETQ1、Q2と、直列接続されたダイオードD1、D2が並列に接続されている。この出力電極33、34は、本発明に係る「二次側端子対」に相当する。

[0070] この構成であっても、効率よく整流できる。また、圧電トランス30を用いることで、巻線型のトランスを用いた場合と比べて、電力変換装置4の小型化が可能となる。

[0071] 図8は、実施形態4に係る別の例の電力変換装置4Aを示す図である。図9は、図8に示す電力変換装置4Aの等価回路図である。

[0072] また、電力変換装置4Aは、圧電トランス30の出力側にカレントダブル型の整流回路を備えている点で、電力変換装置4と相違する。詳しくは、電力変換装置4Aは、電力変換装置4に示すダイオードD1、D2に代えて、インダクタL31、L32を備えている。MOS-FETQ1、Q2と、インダクタL31、L32とは、トランスT1の二次巻線L2に誘起された電圧を整流し、負荷RLへ供給するブリッジ回路を構成する。このブリッジ回路は、出力電極33、34からの出力電流をインダクタL31、L32で分割し、それぞれが出力電流の半分を流すことによって整流する。このカレントダブル型の整流回路を用いることで、出力電極33、34からの出力電流のリプルを低減できる。

[0073] MOS-FETQ1、Q2は、キャパシタC3、C4とゲート・ソース間

容量とで分圧された電圧がゲートに印加されることにより、オンされる。ここで、キャパシタC3, C4は同じ定数に設定されている。圧電トランス30は、図9に示すように、キャパシタンス素子301, 302、インダクタンス素子303, 304、理想変圧器Tp、入力コンデンサ305及び出力コンデンサ306で表される。圧電トランス30では、キャパシタンス素子301, 302、インダクタンス素子303, 304は、それぞれ同じ定数に設定されている。また、MOS-FETQ1, Q2、インダクタL31, L32もそれぞれ同じ定数に設定されている。すなわち、電力変換装置4Aは、対称型の回路構成とである。このため、キャパシタC3, C4は同じ定数に設定することで、MOS-FETQ1, Q2のゲートには、同電圧が印加される。

[0074] この構成であっても、効率よく整流できる。

[0075] 図10は、別の例の電力変換装置4Bを示す図である。図10に示す電力変換装置4Bは、E級スイッチング回路41, 42を用いて、図8に示す電力変換装置4Aの圧電トランス30に交流電圧を入力する。

[0076] E級スイッチング回路41は、インダクタL41とMOS-FETQ5とが電源Vddに直列に接続されている。また、MOS-FETQ5にはキャパシタC71が並列接続されている。同様に、E級スイッチング回路42は、インダクタL42とMOS-FETQ6とが電源Vddに直列に接続されている。また、MOS-FETQ6にはキャパシタC72が並列接続されている。これらのMOS-FETQ5とMOS-FETQ6とが相補的にオン・オフを繰り返すことで、直流-交流変換動作が行われる。

[0077] この構成であっても、小型、薄型で高効率動作する電力変換装置を得ることができる。

[0078] (実施形態5)

本実施形態では、電界結合を利用して送電装置から受電装置へ電力を伝送する電力伝送システムについて説明する。

[0079] 図11は、実施形態5に係る電力伝送システム5の回路図である。電力伝

送システム５は、送電装置１０１と受電装置２０１とを備えている。送電装置１０１には受電装置２０１が載置される。その状態で、送電装置１０１は、電界結合を利用して受電装置２０１へ電力を伝送する。受電装置２０１は、二次電池及び充電回路を含む負荷ＲＬを備えていて、送電装置１０１から受電した電力で二次電池に充電する。

[0080] 送電装置１０１は電源回路１３を備えている。電源回路１３は、商用電源に接続されたＡＣアダプタにより交流電圧（ＡＣ１００Ｖ～２４０Ｖ）から変換された直流電圧（例えばＤＣ１９Ｖ）を、ＤＣ－ＡＣインバータ回路で交流電圧に変換する。

[0081] 電源回路１３には昇圧トランス１４が接続されている。昇圧トランス１４は、一次巻線及び二次巻線を有する絶縁型巻線トランスである。一次巻線は電源回路１３に接続されている。二次巻線は、平板状であるアクティブ電極１５及びパッシブ電極１６に接続されている。アクティブ電極１５及びパッシブ電極１６には、昇圧トランス１４で昇圧された交流電圧が印加される。アクティブ電極１５及びパッシブ電極１６は、本発明に係る「送電側作用部」に相当する。

[0082] アクティブ電極１５及びパッシブ電極１６の間には、キャパシタＣ１１が接続されている。キャパシタＣ１１は、昇圧トランス１４の二次巻線と並列共振回路を構成している。

[0083] 受電装置２０１は、アクティブ電極２５及びパッシブ電極２６を備えている。受電装置２０１を送電装置１０１に載置した場合に、アクティブ電極２５は、送電装置１０１のアクティブ電極１５に対向し、パッシブ電極２６は、送電装置１０１のパッシブ電極１６に対向する。アクティブ電極２５及びパッシブ電極２６はいずれも平板状であり、対向するアクティブ電極１５及びパッシブ電極１６と同面積を有している。アクティブ電極２５及びパッシブ電極２６は、本発明に係る「受電側作用部」に相当する。なお、アクティブ電極２５及びパッシブ電極２６と、対向するアクティブ電極１５及びパッシブ電極１６とは必ずしも同面積でなくても構わない。

[0084] アクティブ電極 25 及びパッシブ電極 26 には、実施形態 1 に係る電力変換装置 1 が接続されている。送電装置 101 のアクティブ電極 15 及びパッシブ電極 16 に電圧が印加されると、アクティブ電極 15, 25 同士、パッシブ電極 16, 26 同士が電界結合する。そして、アクティブ電極 25 及びパッシブ電極 26 には電圧が誘起される。電力変換装置 1 は、この誘起された電圧を降圧し、整流する。電力変換装置 1 の動作については、実施形態 1 と同様である。電力変換装置 1 により降圧、整流された電圧は、負荷 R_L へ供給される。

[0085] 図 2 に示したと同様、電力変換装置 1 は、一次巻線 L_1 に、キャパシタ C_3 , C_4 の直列回路、キャパシタ C_3 , C_{gs1} , C_{gs2} , C_4 の直列回路が並列接続された構成とみなせる。そして、これら二つの直列回路からなる並列回路と、一次巻線 L_1 とは、並列共振回路を構成している。この並列共振回路は、送電装置 101 側で、キャパシタ C_{11} 及び昇圧トランス 14 の二次巻線から構成される並列共振回路と、共振周波数が同じに設定されている。このように、送電装置 101 と受電装置 201 とに共振周波数が同じ共振回路を構成することで、送電装置 101 から受電装置 201 へ効率のよい電力伝送が行える。

[0086] 実施形態 1 で説明したように、オン抵抗が極めて低い MOS-FET Q_1 , Q_2 を用いることで、電力変換装置 1 は、ダイオードを用いた場合と比べ、電圧降下が小さいため損失を低減でき、効率よく整流できる。この結果、電力伝送システム 5 は、効率よく電力伝送を行える。

[0087] 図 12 は、出力電力と損失との関係を示す図である。図 12 は、横軸を負荷 R_L への出力電力 $[W]$ 、縦軸を損失 $[W]$ としている。また、図 12 では、MOS-FET を用いた電力伝送システム 5 の特性、及び、MOS-FET に代えてダイオードを用いた場合の特性をそれぞれ示している。図 12 に示すように、MOS-FET を用いた電力伝送システム 5 では、例えば出力電圧が 15 $[W]$ のとき、MOS-FET に代えてダイオードを用いた電力伝送システムに比べ約 7% の損失を低減している。

- [0088] なお、本実施形態では、電界結合方式の電力伝送システム 5 に電力変換装置 1 を用いているが、磁界結合方式の電力伝送システム又は磁界共鳴などの共鳴方式の電力伝送システムに、電力変換装置 1 を用いてもよい。
- [0089] 図 13 は、磁界結合方式の電力伝送システム 5 A の回路図である。この例では、電力伝送システム 5 A の送電装置 101 A と受電装置 201 A とが磁界結合して、送電装置 101 A から受電装置 201 A へ電力が伝送される。
- [0090] 送電装置 101 A は巻線 17 を備えている。この巻線 17 は、昇圧トランス 14 の二次巻線に接続されている。巻線 17 には、昇圧トランス 14 で昇圧された交流電圧が印加される。巻線 17 は、本発明に係る「送電側作用部」に相当する。なお、昇圧トランス 14 を省略し、電源回路 13 の出力を直接キャパシタ C11 と巻線 17 の並列回路に加えることによっても巻線 17 を「送電側作用部」として動作させることができる。
- [0091] 受電装置 201 A は、送電装置 101 A の巻線 17 と磁界結合する巻線 27 を備えている。巻線 27 は、本発明に係る「受電側作用部」に相当する。巻線 27 には、実施形態 1 に係る電力変換装置 1 が接続されている。送電装置 101 A の巻線 17 に高周波電流が通電されると、巻線 17, 27 が磁界結合する。そして、巻線 17, 27 には電圧が誘起される。電力変換装置 1 は、この誘起された電圧を降圧し、整流する。
- [0092] このように、電力変換装置 1 は、磁界結合方式の電力伝送システム 5 A に用いてもよい。この場合であっても、電力変換装置 1 は、オン抵抗が極めて低い MOS-FET Q1, Q2 を用いることで、ダイオードを用いた場合と比べ、小さな電圧降下で効率よく整流できる。その結果、電力伝送システム 5 A は、効率よく電力伝送を行える。

符号の説明

- [0093] C1, C2…キャパシタ (第1キャパシタ、第2キャパシタ)
C3, C4…キャパシタ (第3キャパシタ、第4キャパシタ)
C5, C6…キャパシタ (第5キャパシタ、第6キャパシタ)
Cgs1, Cgs2…キャパシタ (ゲート・ソース間容量)

C L …平滑キャパシタ

Q 1 , Q 2 …M O S − F E T (第1整流素子、第2整流素子)

Q 3 , Q 4 …M O S − F E T (第3整流素子、第4整流素子)

D 1 , D 2 …ダイオード (第3整流素子、第4整流素子)

E i n …交流電源

I N 1 , I N 2 …入力端子 (交流電圧入力部)

L 1 …一次巻線

L 2 …二次巻線

T 1 …トランス

R L …負荷

1 , 1 A , 2 , 3 , 4 , 4 A , 4 B …電力変換装置

5 , 5 A …電力伝送システム

1 3 …電源回路

1 4 …昇圧トランス

1 5 …アクティブ電極 (送電側結合部)

1 6 …パッシブ電極 (送電側結合部)

1 7 …巻線コイル (送電側結合部)

2 5 …アクティブ電極 (受電側作用部)

2 6 …パッシブ電極 (受電側作用部)

2 7 …巻線コイル (受電側作用部)

3 0 …圧電トランス

3 1 , 3 2 …入力電極

3 3 , 3 4 …出力電極 (二次側端子対)

1 0 1 , 1 0 1 A …送電装置

2 0 1 , 2 0 1 A …受電装置

請求の範囲

[請求項1]

交流電圧入力部と、
一次側端子対及び二次側端子対を有し、前記一次側端子対が前記交流電圧入力部に接続されたトランスと、
第1端子及び第2端子を有し、前記第1端子から前記第2端子へ電流を流す1又は複数の整流素子と、
を備え、
前記1又は複数の整流素子は、
前記トランスの二次側に設けられ、前記トランスの出力電圧を整流して負荷へ供給し、
前記複数の整流素子の少なくとも一つは、
制御端子を有するスイッチ素子とダイオードとを含み、前記ダイオードのアノードが前記第1端子側、カソードが前記第2端子側となるように、前記スイッチ素子と前記ダイオードとが並列接続された整流ユニットであり、
前記スイッチ素子の制御端子は、
前記トランスの一次側端子対の一方又は他方に接続されている、
電力変換装置。

[請求項2]

前記複数の整流素子は、
第2端子が前記二次側端子対の一方に接続された第1整流素子と、
第1端子が前記第1整流素子の第1端子に接続され、第2端子が前記二次側端子対の他方に接続された第2整流素子と、
第1端子が前記二次側端子対の一方に接続された第3整流素子と、
第2端子が前記第3整流素子の第2端子に接続され、第1端子が前記二次側端子対の他方に接続された第4整流素子と、
を有し、
前記第1整流素子及び前記第2整流素子の接続点と、前記第3整流素子及び前記第4整流素子の接続点とは、前記負荷に接続され、

前記第 1 整流素子、前記第 2 整流素子、前記第 3 整流素子及び前記第 4 整流素子の少なくとも一つは、前記整流ユニットであり、

前記第 1 整流素子が前記整流ユニットである場合、前記第 1 整流素子は、制御端子が前記一次側端子対の一方に接続され、前記二次側端子対の一方が高電位であるときオフし、前記二次側端子対の他方が高電位であるときオンし、

前記第 2 整流素子が前記整流ユニットである場合、前記第 2 整流素子は、制御端子が前記一次側端子対の他方に接続され、前記二次側端子対の一方が高電位であるときオンし、前記二次側端子対の他方が高電位であるときオフし、

前記第 3 整流素子が前記整流ユニットである場合、前記第 3 整流素子は、制御端子が前記一次側端子対の他方に接続され、前記二次側端子対の一方が高電位であるときオンし、前記二次側端子対の他方が高電位であるときオフし、

前記第 4 整流素子が前記整流ユニットである場合、前記第 4 整流素子は、制御端子が前記一次側端子対の一方に接続され、前記二次側端子対の一方が高電位であるときオフし、前記二次側端子対の他方が高電位であるときオンする、

請求項 1 に記載の電力変換装置。

[請求項3] 前記トランスの前記一次側端子対に並列接続され、前記トランスのインダクタンス成分と並列共振回路を構成するキャパシタを備え、

前記整流ユニットは、

前記制御端子がキャパシタを介して前記トランスの一次側端子対の一方又は他方に接続されている、

請求項 1 又は 2 に記載の電力変換装置。

[請求項4] 前記トランスの前記一次側端子対に並列接続され、前記トランスのインダクタンス成分と並列共振回路を構成する、第 1 キャパシタ及び第 2 キャパシタの直列回路

を備え、

前記第 1 キャパシタ及び前記第 2 キャパシタの接続点はグラウンドに接続され、

前記第 1 整流素子及び前記第 2 整流素子が前記整流ユニットである場合、前記第 1 整流素子の前記制御端子は、第 3 キャパシタを介して前記一次側端子対の一方に接続され、前記第 2 整流素子の前記制御端子は、第 4 キャパシタを介して前記一次側端子対の他方に接続され、

第 1 キャパシタ、第 2 キャパシタ、第 3 キャパシタ及び第 4 キャパシタのキャパシタンスをそれぞれ C_1 、 C_2 、 C_3 、 C_4 で表すと、

$C_1 : C_2 = C_3 : C_4$ を満たし、

前記第 3 整流素子及び前記第 4 整流素子が前記整流ユニットである場合、前記第 4 整流素子の前記制御端子は、第 5 キャパシタを介して前記一次側端子対の一方に接続され、前記第 3 整流素子の前記制御端子は、第 6 キャパシタを介して前記一次側端子対の他方に接続され、

第 1 キャパシタ、第 2 キャパシタ、第 5 キャパシタ及び第 6 キャパシタのキャパシタンスをそれぞれ C_1 、 C_2 、 C_5 、 C_6 で表すと、

$C_1 : C_2 = C_5 : C_6$ を満たす、

請求項 2 に記載の電力変換装置。

[請求項 5] 前記整流ユニットの前記スイッチ素子は FET であり、

前記 FET のゲートは前記制御端子であり、

前記整流ユニットの前記ダイオードは、前記 FET のボディードायオードである、

請求項 1 から 4 の何れかに記載の電力変換装置。

[請求項 6] 前記トランスは巻線トランスである、

請求項 1 から 5 の何れかに記載の電力変換装置。

[請求項 7] 前記トランスは圧電トランスである、

請求項 1 から 5 の何れかに記載の電力変換装置。

[請求項 8] 前記交流電圧入力部から入力された交流電圧を変圧する、

請求項 1 から 7 の何れかに記載の電力変換装置。

[請求項9]

送電装置の送電側作用部と受電装置の受電側作用部とが電界または磁界を介して、前記送電装置から前記受電装置へ電力が伝送されるワイヤレス電力伝送システムであって、

前記受電装置は、

請求項 1 から 8 の何れかに記載の電力変換装置を備え、

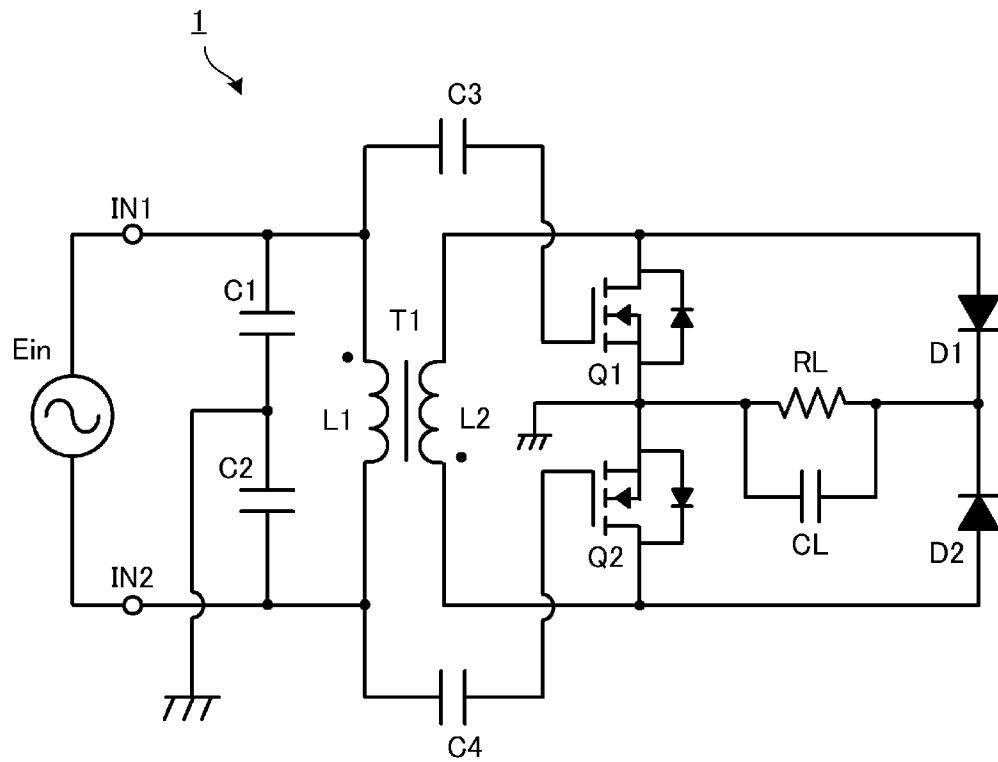
前記電力変換装置は、

前記受電側作用部に接続され、前記受電側作用部に誘起された電圧を整流し、負荷へ供給する、

ワイヤレス電力伝送システム。

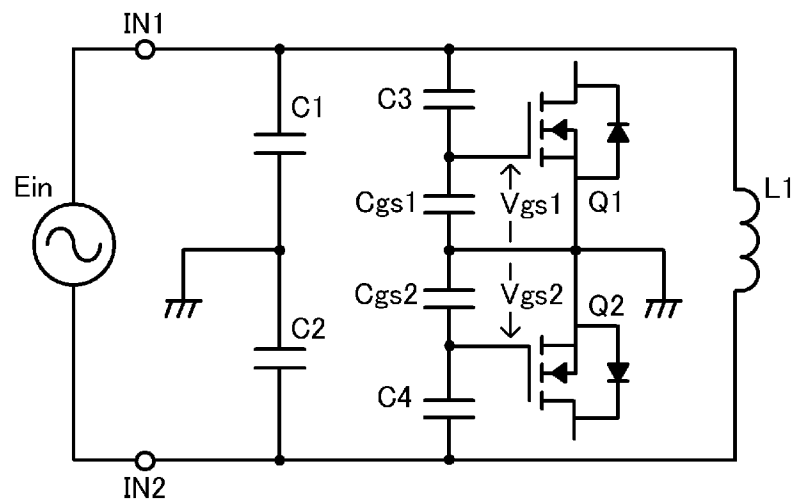
[図1]

図1



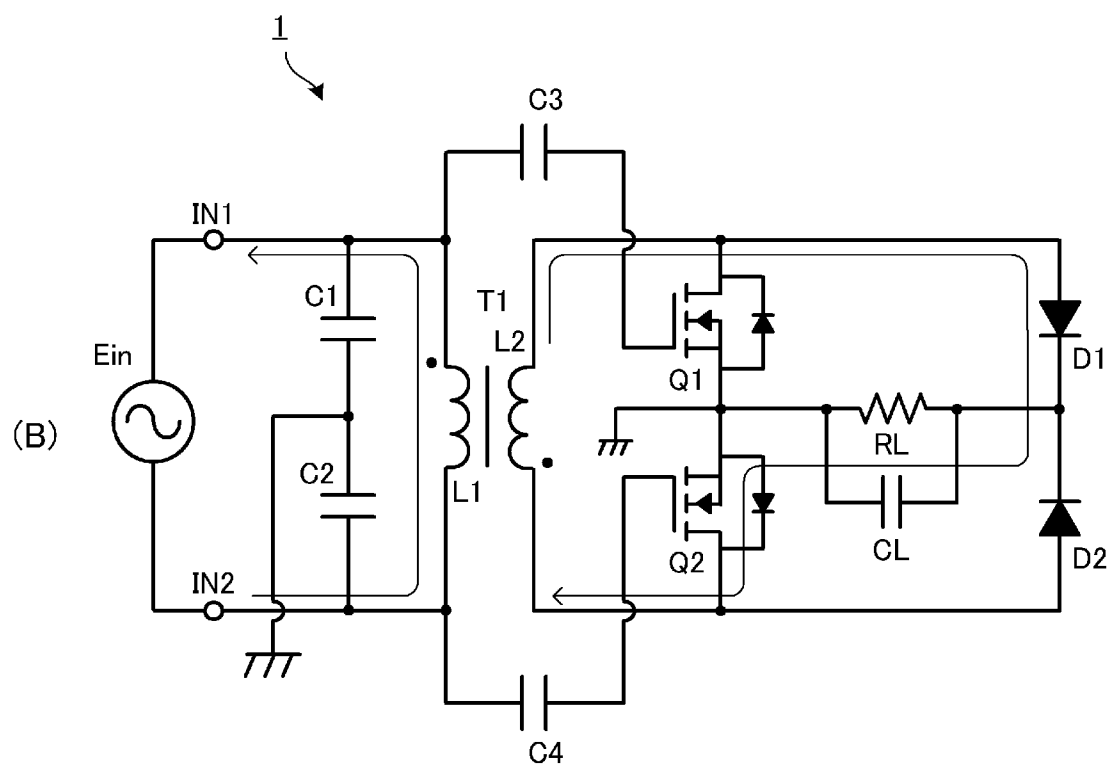
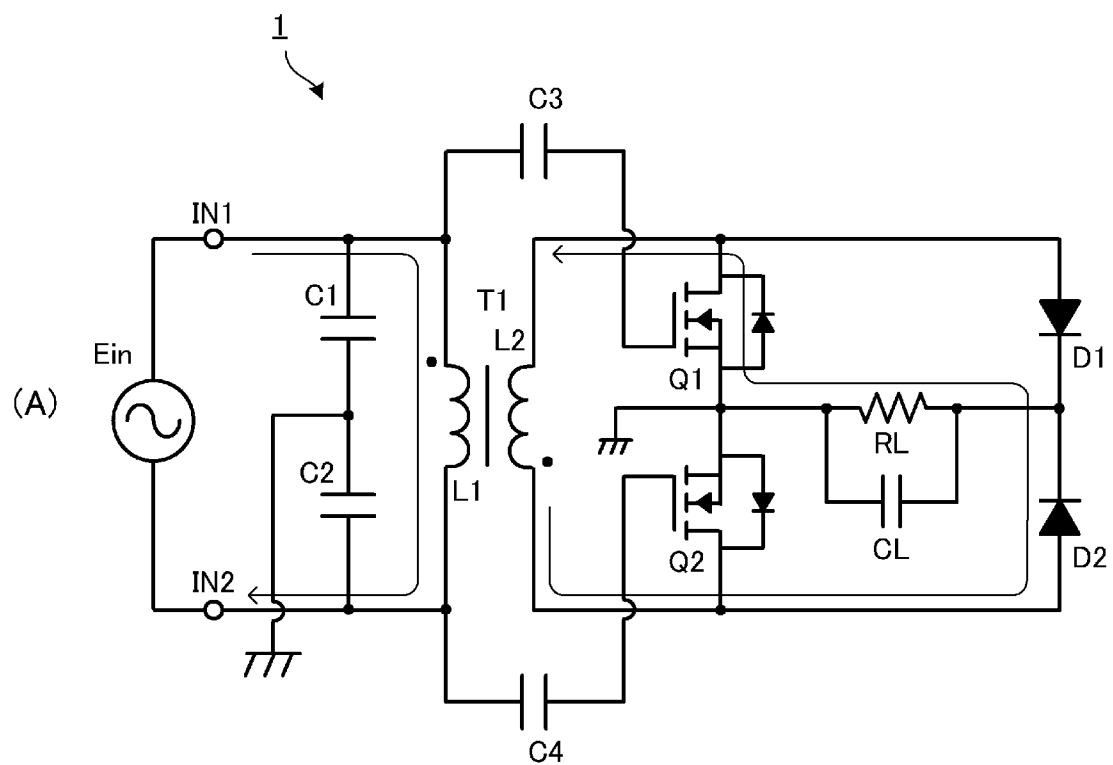
[図2]

図2



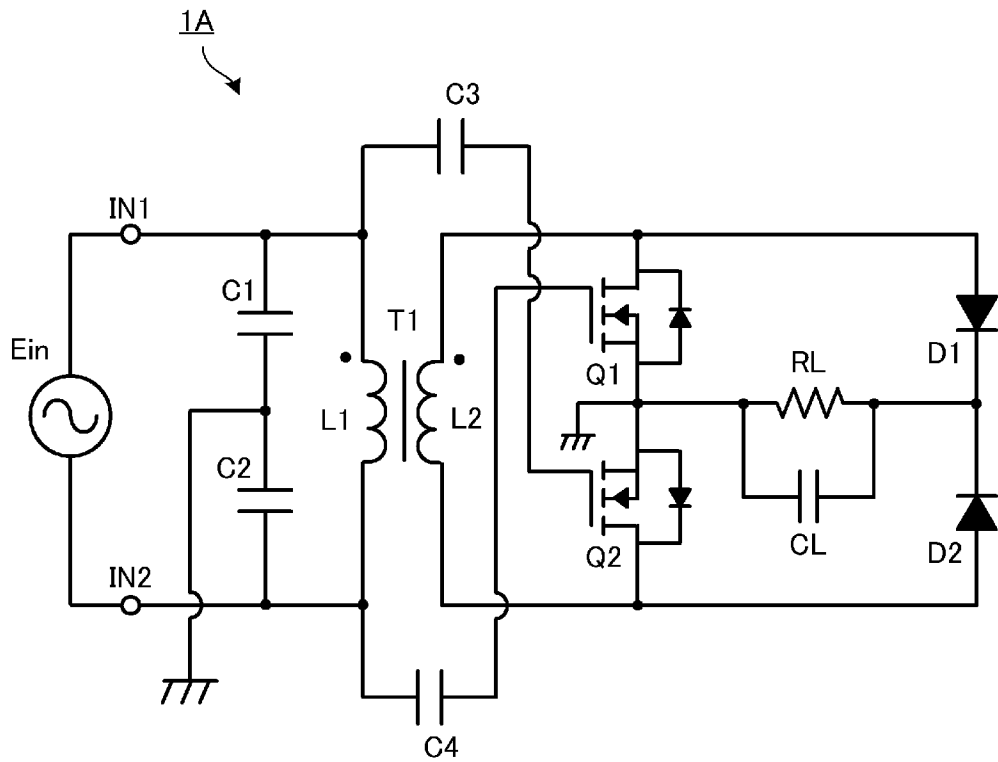
[図3]

図3



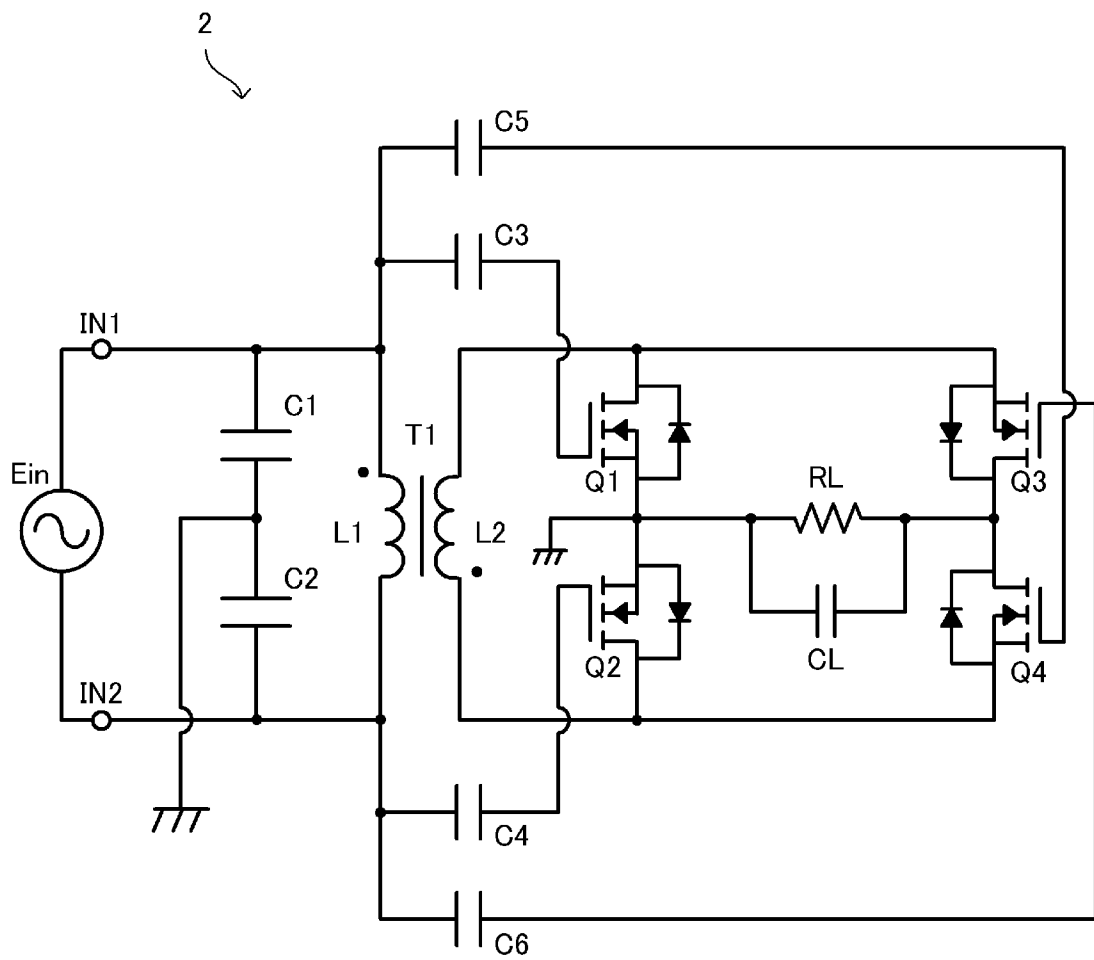
[図4]

図4



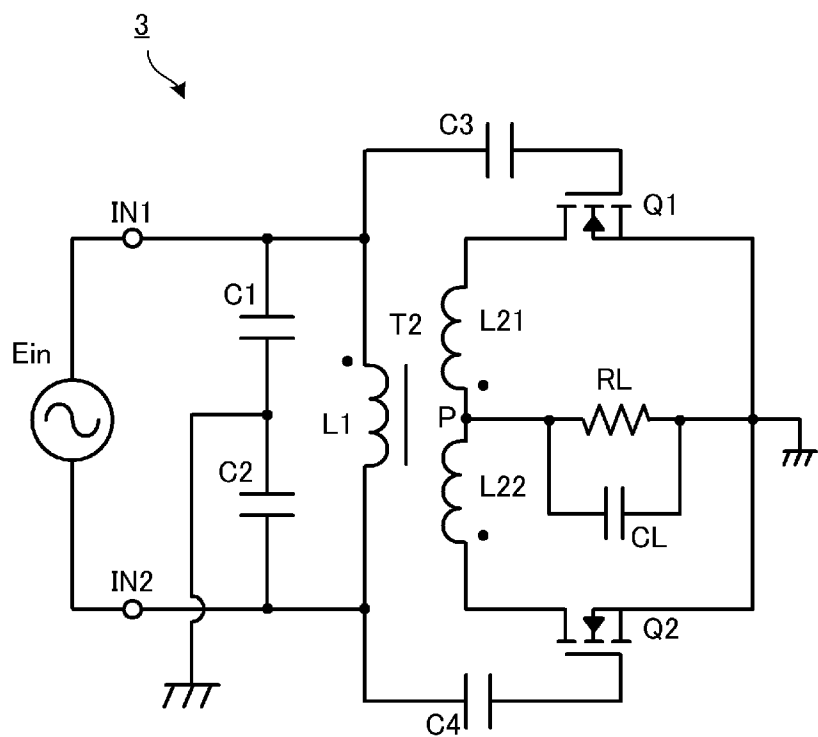
[図5]

図5



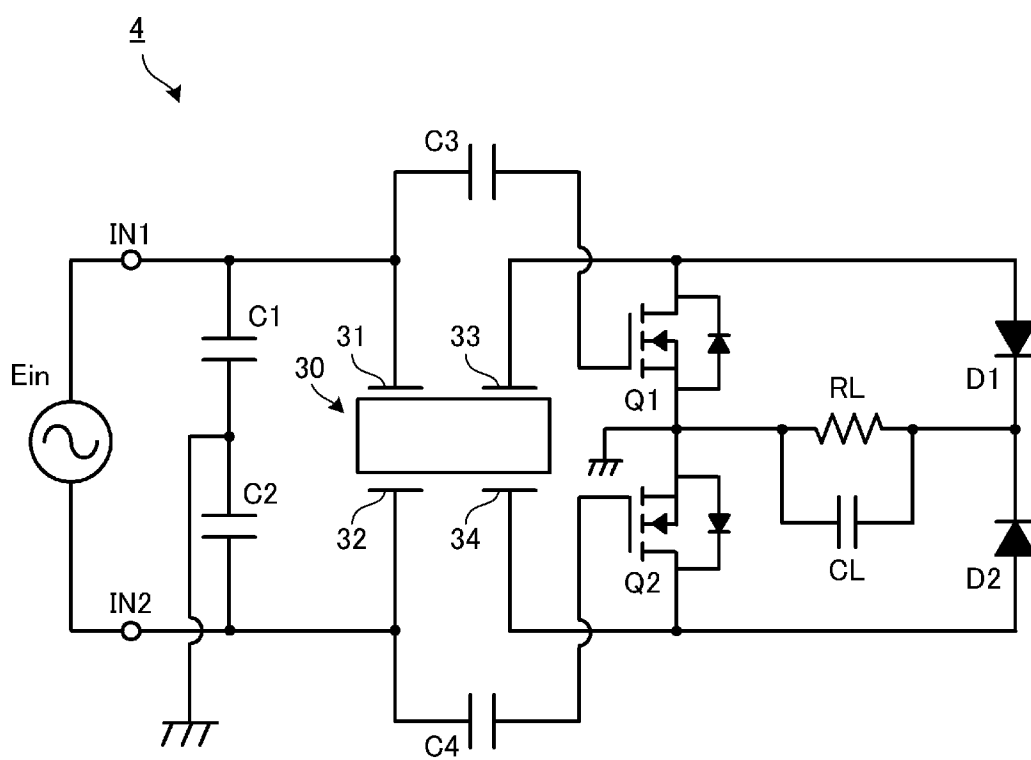
[図6]

図6



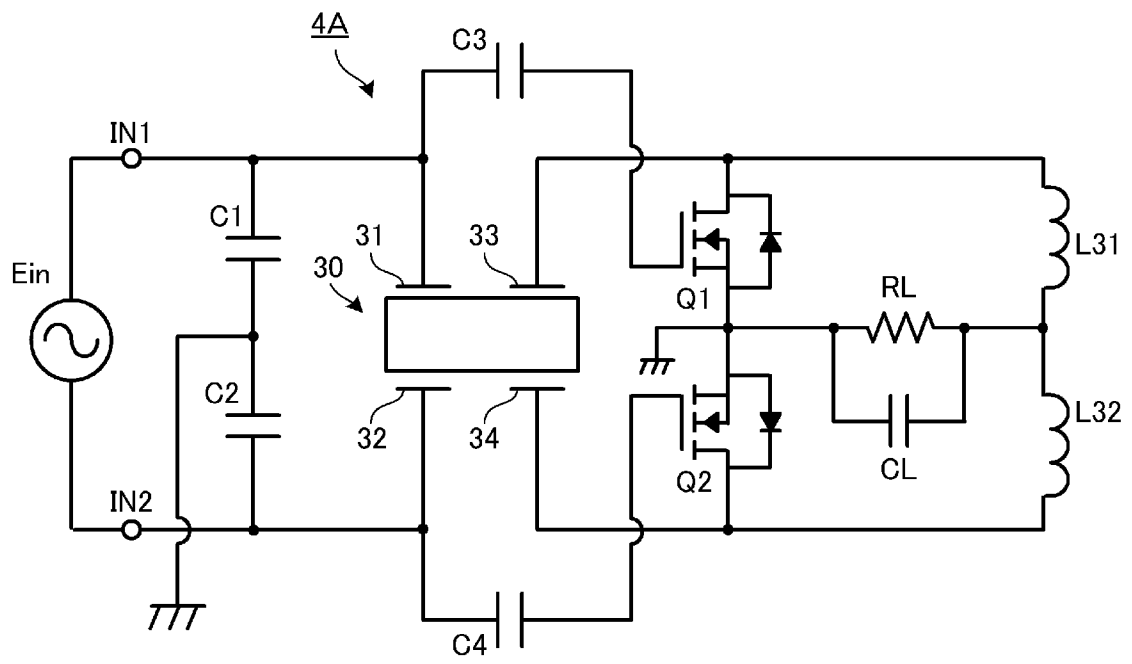
[図7]

図7



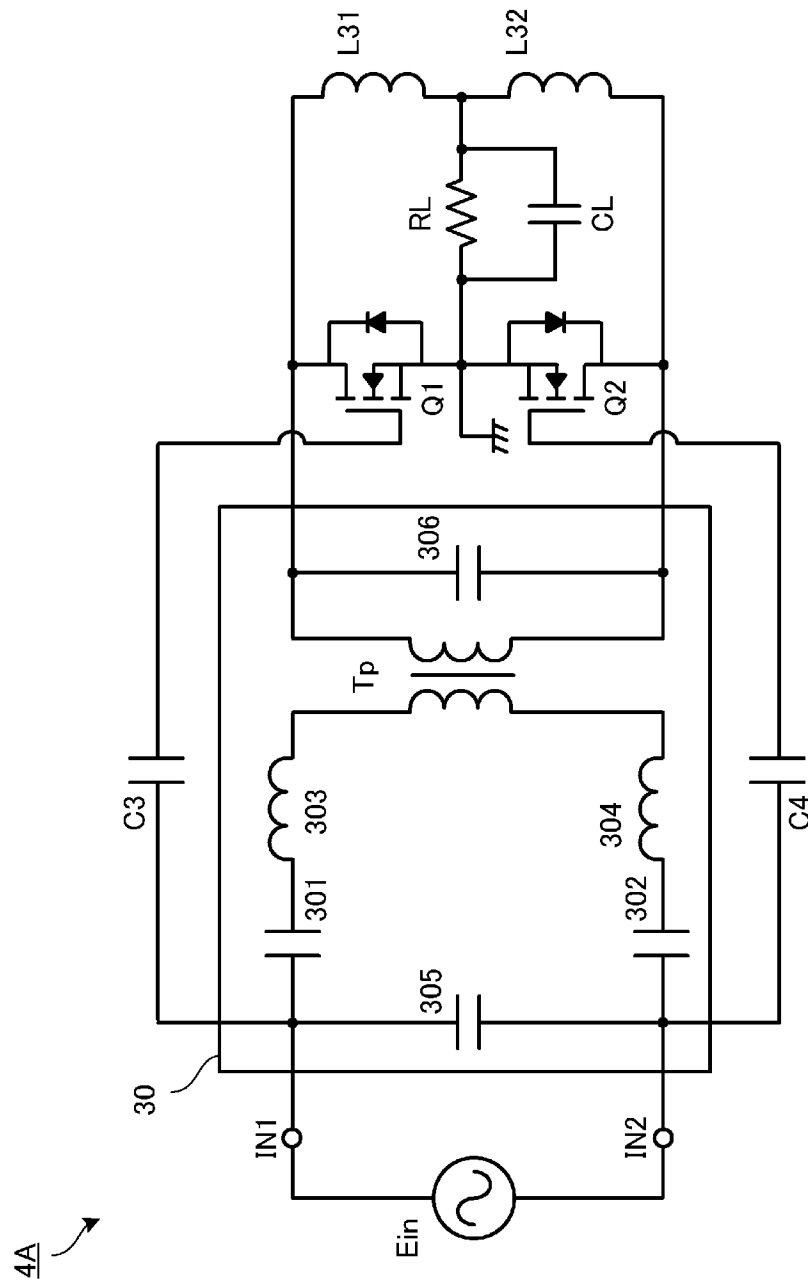
[図8]

図8



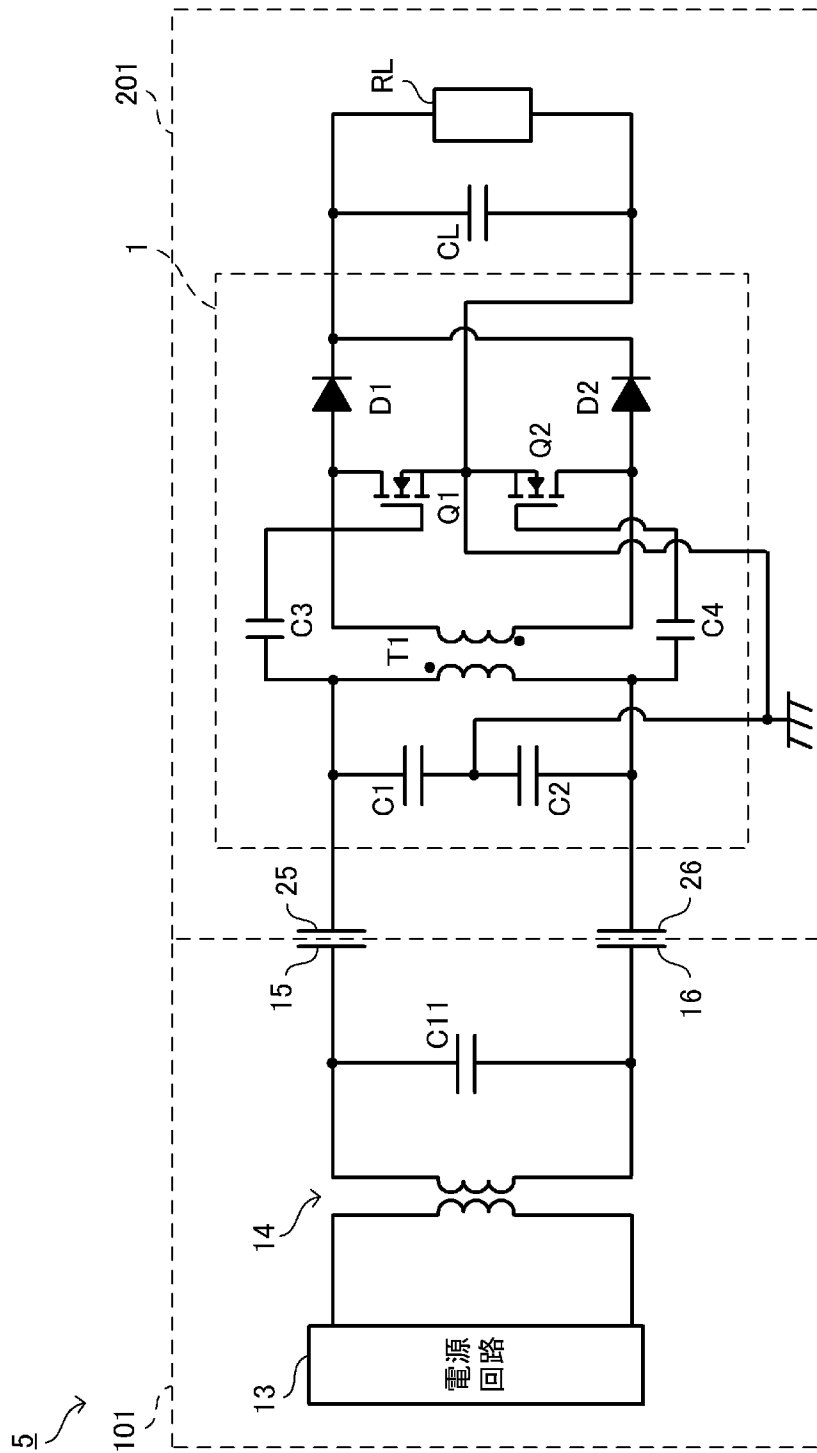
[図9]

図9



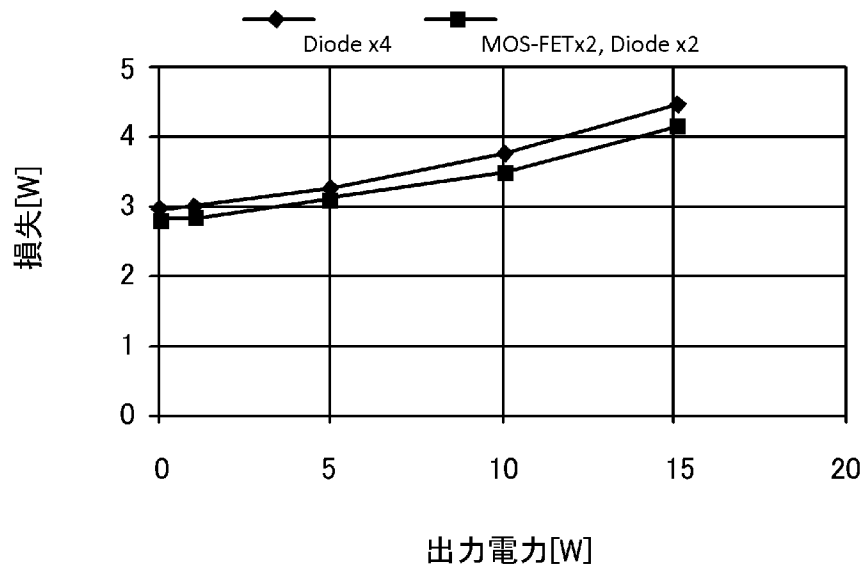
[図11]

図11



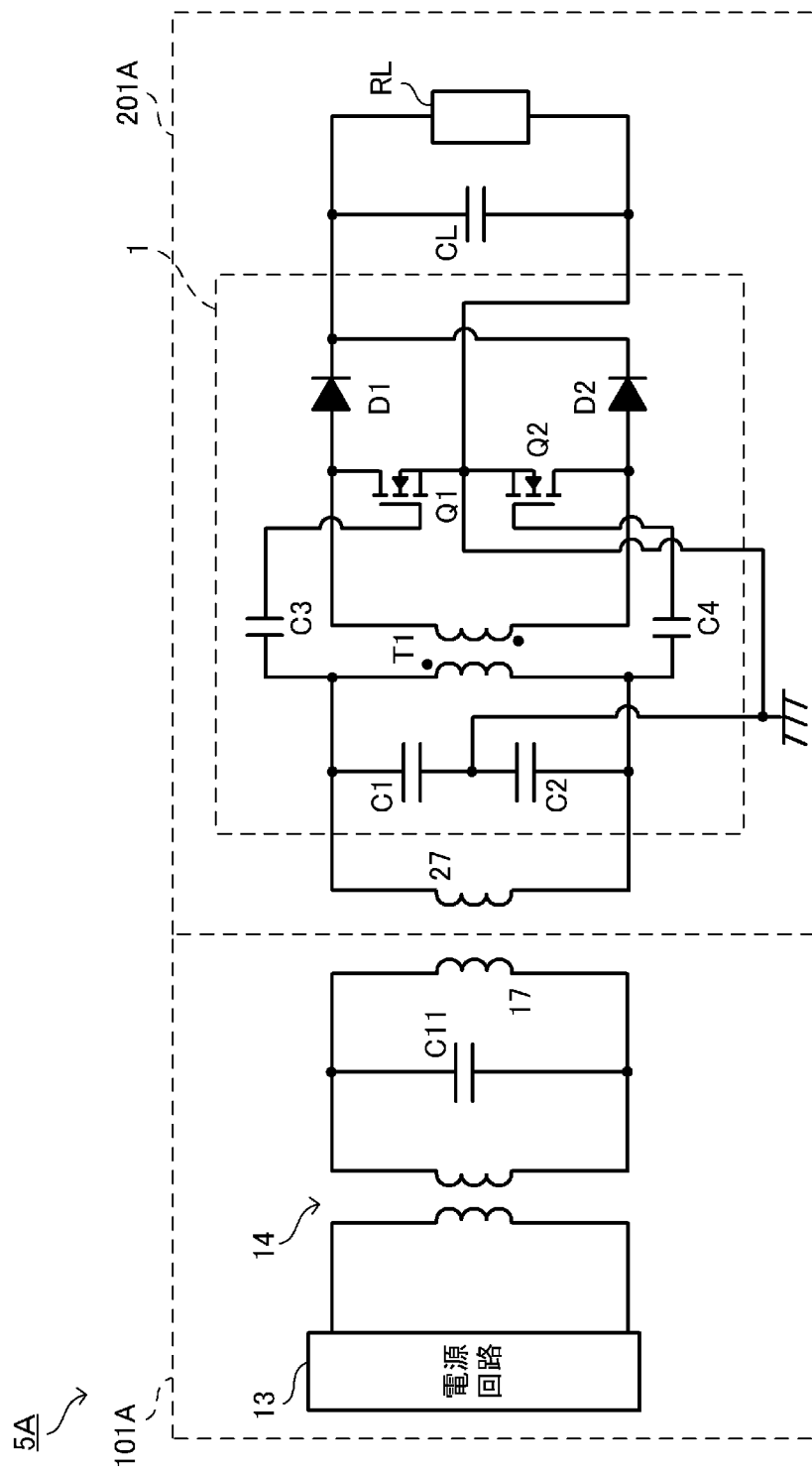
[図12]

図12



[図13]

図13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/065182

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/21(2006.01)i, H02J17/00(2006.01)i, H02M7/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/21, H02J17/00, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-188049 A (TDK Corp.), 19 September 2013 (19.09.2013), entire text; all drawings (Family: none)	1 2-3, 5-9 4
X Y A	WO 2005/025043 A1 (Sanken Electric Co., Ltd.), 17 March 2005 (17.03.2005), entire text; all drawings & JP 4264837 B & US 2007/0008757 A1	1 2-3, 5-9 4
X Y A	JP 2005-198438 A (Sanken Electric Co., Ltd.), 21 July 2005 (21.07.2005), entire text; all drawings (Family: none)	1 2-3, 5-9 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 August 2015 (07.08.15)

Date of mailing of the international search report
18 August 2015 (18.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/065182

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2002/0110004 A1 (David B. PARKS), 15 August 2002 (15.08.2002), entire text; all drawings & US 6208535 B1	1 2, 5-9 3-4
Y A	JP 2012-239341 A (Cosel Co., Ltd.), 06 December 2012 (06.12.2012), entire text; all drawings (Family: none)	2-3, 5-9 1, 4
Y A	JP 2010-74949 A (Seiko Epson Corp.), 02 April 2010 (02.04.2010), entire text; all drawings (Family: none)	2-3, 5-9 1, 4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/21(2006.01)i, H02J17/00(2006.01)i, H02M7/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/21, H02J17/00, H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-188049 A（TDK株式会社）2013.09.19, 全文, 全図（ファミリーなし）	1 2-3, 5-9 4
X Y A	WO 2005/025043 A1（サンケン電気株式会社）2005.03.17, 全文, 全図 & JP 4264837 B & US 2007/0008757 A1	1 2-3, 5-9 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 8 . 2 0 1 5

国際調査報告の発送日

1 8 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

下原 浩嗣

3 V

9 1 7 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-198438 A (サンケン電気株式会社) 2005. 07. 21, 全文, 全図 (ファミリーなし)	1 2-3, 5-9 4
X Y A	US 2002/0110004 A1 (D a v i d B. P A R K S) 2002. 08. 15, 全文, 全図 & US 6208535 B1	1 2, 5-9 3-4
Y A	JP 2012-239341 A (コーセル株式会社) 2012. 12. 06, 全文, 全図 (ファミリーなし)	2-3, 5-9 1, 4
Y A	JP 2010-74949 A (セイコーエプソン株式会社) 2010. 04. 02, 全文, 全図 (ファミリーなし)	2-3, 5-9 1, 4