

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年4月18日 (18.04.2019)



(10) 国际公布号
WO 2019/071887 A1

- (51) 国际专利分类号:
G06F 13/40 (2006.01)
- (21) 国际申请号: PCT/CN2018/075438
- (22) 国际申请日: 2018年2月6日 (06.02.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201721329936.4 2017年10月13日 (13.10.2017) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 张贤 (ZHANG, Xian); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: CONNECTOR, NVME STORAGE DEVICE AND COMPUTER DEVICE

(54) 发明名称: 连接器、NVMe存储设备及计算机设备

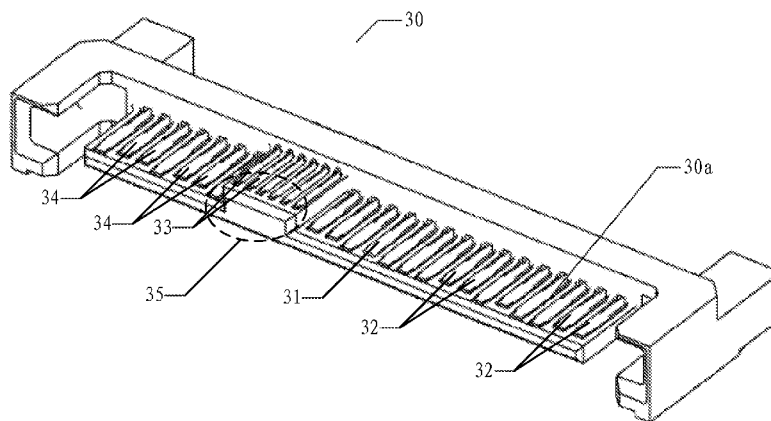


图 3

(57) Abstract: A connector (53), a NVMe storage device (50), and a computer device (60). The connector (53) comprises a first pin (31), a second pin (32), a third pin (33), and a fourth pin (34). The first pin (31) is used for indicating a bit signal (31); the second pin (32) is used for indicating a power signal; the third pin (33) is used for indicating a clock signal; and the fourth pin (34) is used for indicating a signal of a PCIe interface. The first pin (31), the second pin (32), the third pin (33) and the fourth pin (34) have the same length. The connector (53) includes a first side (30a) and a second side, wherein the first side (30a) is provided with a retaining structure (35); the retaining structure (35) is of a boss or a recess; the first pin (31) is in the middle of the first side (30a). Since the length of the pin indicating a bit signal in the connector (53) is no longer than the length of the pins indicating power, clock and PCIe interface signals, the bit signal is able to accurately reflect the plugging or unplugging state of the NVMe storage device (50), thereby avoiding the problem of failure access to system when the NVMe storage device (50) is in the plugging and unplugging scenes.



NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种连接器 (53)、NVMe存储设备 (50) 及计算机设备 (60)。所述连接器 (53) 包括第一管脚 (31)、第二管脚 (32)、第三管脚 (33) 与第四管脚 (34); 第一管脚 (31) 用于指示在位信号, 第二管脚 (32) 用于指示电源信号, 第三管脚 (33) 用于指示时钟信号, 第四管脚 (34) 用于指示PCIe端口的信号; 第一管脚 (31)、第二管脚 (32)、第三管脚 (33) 与第四管脚 (34) 的长度相同; 连接器 (53) 包含第一面 (30a) 与第二面, 第一面 (30a) 设置有限位结构 (35), 限位结构 (35) 为凸台或凹槽, 第一管脚 (31) 位于第一面 (30a) 的中部。由于连接器 (53) 中用于指示在位信号的管脚的长度不长于用于指示电源、时钟及PCIe端口的信号的管脚的长度, 使得在位信号能够准确地反映出NVMe存储设备 (50) 的插入或拔出状态, NVMe存储设备 (50) 在插拔的场景下, 避免出现无法成功接入系统的问题。

连接器、NVMe 存储设备及计算机设备

技术领域

- 5 本申请实施例涉及存储技术领域，特别涉及一种连接器、快速非易失性存储（Non-Volatile Memory express, NVMe）存储设备及计算机设备。

背景技术

10 高速外围组件互连（Peripheral Component Interface express, PCIe）是最新的总线
和接口标准，属于高速串行点对点双通道高带宽传输，它代表着下一代输入/输出
（Input/Output, I/O）接口标准。PCIe 固态存储设备（如固态硬盘（Solid State Disk,
SSD））是指与中央处理器（Central Processing Unit, CPU）的 PCIe 接口相连接的固
态存储设备。NVMe 标准是一个针对使用 PCIe 固态存储设备（以下简称“PCIe 设备”）
的企业和普通客户端系统开发的存储控制器接口标准。基于 NVMe 标准的 PCIe 设备
15 可以称为 NVMe 存储设备（或者 NVMe SSD），NVMe 存储设备具有低能耗、高性能
的特点。

20 对于大部分支持 NVMe 存储设备的计算机设备（如存储阵列、服务器等）来说，
要求其支持暴力热插拔，上述计算机设备可称为“主机”。所谓暴力热插拔即带电拔
插，允许用户在不关闭系统、不切断电源的情况下直接插入或拔出主机下挂的 NVMe
存储设备，而不影响主机的正常运行。在主机的槽位上未插入 NVMe 存储设备的情况
下，槽位对应的 PCIe 端口默认是关闭的；插入 NVMe 存储设备之后，系统根据在位
信号变化上报插盘中断，系统中的 PCIe 热插拔控制器先后打开该槽位的电源、时钟及
PCIe 端口，开始热添加流程。所以，在位信号是 NVMe 存储设备暴力热插拔流程的关键
触发信号。

25 NVMe 存储设备使用 SFF-8639 连接器，使用该连接器的 P4 管脚的信号作为 NVMe
存储设备的在位信号。其中，SFF-8639 连接器的 P4 管脚的信号称为接口类型检测
（Interface Type Detect, IfDet）信号（记为“IFDET#”）。如果 IFDET#为 0 则表示
NVMe 存储设备在位，如果 IFDET#为 1 则表示 NVMe 存储设备不在位。在《SFF-8639
Specification for Multifunction 12 Gb/s 6X Unshielded Connector》、《PCI Express ®
30 SFF-8639 Module Specification》及《Copyright © 2012 SSD Form Factor Work Group, All
rights reserved》中定义 SFF-8639 连接器中 P4 管脚的接触顺序为 1st，即 SFF-8639 连
接器的公头和母头的 P4 管脚均为长针。在 SFF-8639 连接器的公头插入母头时，P4 管
脚最先接触；在 SFF-8639 连接器的公头从母头拔出时，P4 管脚最后断开。

35 目前，NVMe 存储设备在插拔的场景下，会出现 NVMe 存储设备无法成功接入系
统的问题，可靠性较低。

发明内容

本申请实施例提供了一种连接器、NVMe 存储设备及计算机设备，可用于解决现有技术中 NVMe 存储设备在插拔的场景下，无法成功接入系统的问题。

一方面，本申请实施例提供一种连接器，该连接器用于提供 PCIe 通信接口，
5 该 PCIe 通信接口用于连接 NVMe 存储设备和计算机设备，该连接器至少包括第一管脚、第二管脚、第三管脚与第四管脚。第一管脚用于指示 NVMe 存储设备的在位信号；第二管脚用于指示 NVMe 存储设备的电源信号；第三管脚用于指示 NVMe 存储设备的时钟信号；第四管脚用于指示 NVMe 存储设备的 PCIe 端口的信号；第一管脚、第二管脚、第三管脚与第四管脚的长度相同。连接器包
10 含第一面与第二面，第一面设置有限位结构，该限位结构为凸台或凹槽，第一管脚位于第一面的中部。

本申请实施例提供的方案中，通过改变连接器中管脚的长度，使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，
15 NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

在一个可能的设计中，第一管脚为短针。

在一个可能的设计中，限位结构为凸台，连接器为公头连接器，第一管脚的
长度为 $4.55 \pm 0.08\text{mm}$ 。

在一个可能的设计中，限位结构为凹槽，连接器为母头连接器，第一管脚与
20 母头连接器的插槽侧边沿之间的距离为 $1.90 \pm 0.15\text{mm}$ 。

在一个可能的设计中，第一管脚与第一面一端的第一边缘管脚之间的距离为 17.87mm ，第一管脚与第一面另一端的第二边缘管脚之间的距离为 13.97mm 。

另一方面，本申请实施例提供一种连接器，该连接器用于提供 PCIe 通信接口，该 PCIe 通信接口用于连接 NVMe 存储设备和计算机设备，该连接器至少包
25 括第一管脚、第二管脚、第三管脚与第四管脚。第一管脚用于指示 NVMe 存储设备的在位信号；第二管脚用于指示 NVMe 存储设备的电源信号；第三管脚用于指示 NVMe 存储设备的时钟信号；第四管脚用于指示 NVMe 存储设备的 PCIe 端口的信号；第一管脚的长度不长于第二管脚、第三管脚与第四管脚中的最短管脚的长度。连接器包含第一面与第二面，第一面设置有限位结构，该限位结
30 构为凸台或凹槽，第一管脚位于第一面的中部。

本申请实施例提供的方案中，通过改变连接器中管脚的长度，使得连接器中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功
35 接入系统的问题。

在一个可能的设计中，第一管脚为短针。

在一个可能的设计中，限位结构为凸台，连接器为公头连接器，第一管脚的
长度为 $4.55 \pm 0.08\text{mm}$ 。

5 在一个可能的设计中，限位结构为凹槽，连接器为母头连接器，第一管脚与
母头连接器的插槽侧边沿之间的距离为 $1.90 \pm 0.15\text{mm}$ 。

在一个可能的设计中，第一管脚与第一面一端的第一边缘管脚之间的距离为
 17.87mm ，第一管脚与第一面另一端的第二边缘管脚之间的距离为 13.97mm 。

10 再一方面，本申请实施例提供一种 NVMe 存储设备，该 NVMe 存储设备包
括：控制器、存储器和如上述方面所述的连接器；其中，控制器分别与存储器
和连接器电性连接。

在一个可能的设计中，存储器为闪存（Flash）存储器或者动态随机存取存
储器（Dynamic Random Access Memory, DRAM）。

又一方面，本申请实施例提供一种计算机设备，该计算机设备包括：处理模
块和如上述方面所述的连接器；其中，处理模块与连接器电性连接。

15 在一个可能的设计中，处理模块包括中央处理器（Central Processing Unit,
CPU），CPU 与连接器电性连接。

在一个可能的设计中，处理模块包括 CPU 和 PCIe 交换芯片；PCIe 交换芯
片包括一个输入端口和 N 个输出端口，N 为正整数；CPU 与输入端口电性连接；
N 个输出端口中的每一个输出端口用于与 1 个连接器电性连接。

20 还一方面，本申请实施例提供一种存储系统，该存储系统包括如上述方面所
述的 NVMe 存储设备和计算机设备。

25 相较于现有技术，在本申请实施例提供的方案中，通过改变连接器中管脚
的长度，使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的
信号的管脚的长度相同，或者使得连接器中用于指示在位信号的管脚的长度不
长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得
在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存
储设备在插拔的场景下，避免出现无法成功接入系统的问题。

附图说明

30 图 1 是现有技术所提供的 SFF-8639 连接器的公头的示意图；

图 2 是现有技术所提供的 SFF-8639 连接器的母头的示意图；

图 3 是本申请一实施例提供的连接器的示意图；

图 4 示出了公头连接器从插头一侧的简略侧视图；

图 5 示出了公头连接器的第一面的简略示意图；

35 图 6 是本申请另一实施例提供的连接器的示意图；

图 7 示出了母头连接器从插槽一侧的简略侧视图；

图 8 示出了母头连接器的另一示意图；

- 图 9 是本申请一实施例提供的存储系统的示意图；
图 10 是本申请一实施例提供的 NVMe 存储设备的结构方框图；
图 11 是本申请一实施例提供的计算机设备的结构方框图；
图 12 是本申请另一实施例提供的计算机设备的结构方框图；
5 图 13 是本申请又一实施例提供的计算机设备的结构方框图；
图 14 是本申请一实施例提供的热添加流程的示意图；
图 15 是本申请一实施例提供的热移除流程的示意图。

具体实施方式

10 为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

在现有技术中，NVMe 存储设备使用的硬盘连接器为 SFF-8639 连接器。SFF-8639 连接器包括公头和母头。在通常情况下，NVMe 存储设备上装配 SFF-8639 连接器的公头，主机上装配 SFF-8639 连接器的母头。NVMe 存储设备插入主机的槽位的过程，即
15 为上述公头与母头插接的过程。

如图 1 所示，其示出了现有技术所提供的 SFF-8639 连接器的公头的示意图。从图中可以看出，公头的各个管脚中存在长针和短针，长针相较于短针的长度更长。公头中用于指示在位信号的管脚为 P4 管脚，从图中可以看出，公头中的 P4 管脚为长针。

20 如图 2 所示，其示出了现有技术所提供的 SFF-8639 连接器的母头的示意图。从图中可以看出，母头的各个管脚中存在长针和短针，长针相较于短针的长度更长。母头中用于指示在位信号的管脚为 P4 管脚，从图中可以看出，母头中的 P4 管脚也为长针。

NVMe 存储设备在插拔的场景下，会出现 NVMe 存储设备无法成功接入系统的问题。下面，通过如下两个场景对上述问题进行介绍说明：

1、NVMe 存储设备缓慢插入的场景

25 由于 SFF-8639 连接器的公头和母头的 P4 管脚均为长针，P4 管脚的接触顺序为 1st，在将 NVMe 存储设备插入主机的槽位的过程中，P4 管脚最先接触，在位信号 IFDET# 由 1 变为 0，表示 NVMe 存储设备在位。

30 系统在检测到上述在位信号 IFDET# 由 1 变为 0 时，上报插盘中断，系统中的 PCIe 热插拔控制器先后打开该槽位的电源、时钟及 PCIe 端口，开始热添加流程。但是，由于电源、时钟及 PCIe 端口的管脚为短针，在 NVMe 存储设备缓慢插入的场景下，上述电源、时钟及 PCIe 端口的管脚尚未接触，则热添加流程执行失败。在热添加流程执行失败的情况下，系统中的 PCIe 控制器会确定该 NVMe 存储设备为故障盘并关闭 PCIe 端口。

35 后续继续插入 NVMe 存储设备，虽然电源、时钟及 PCIe 端口的管脚成功接触，但是由于此时在位信号并不会发生变化，进而使得系统不会再次上报插盘中断以触发执行热添加流程，NVMe 存储设备最终无法成功接入系统。

上述 NVMe 存储设备缓慢插入的场景包括但不限于如下情况：

(1)、NVMe 存储设备以缓慢的速度插入，使得接触顺序为 3rd 的管脚的接触时间，相较于接触顺序为 1st 的管脚的接触时间延后很多；

(2)、NVMe 存储设备在插入过程中接触顺序为 1st 的管脚先接触，此时插入操作出现停顿，而导致接触顺序为 3rd 的管脚长时间未接触；

(3)、NVMe 存储设备在插入过程中接触顺序为 1st 的管脚先接触，而接触顺序为 3rd 的管脚并未接触，此时用户通过锁紧拉手条的卡扣以使得 NVMe 存储设备完全插入，在这种情况下，也有可能导致接触顺序为 3rd 的管脚的接触时间，相较于接触顺序为 1st 的管脚的接触时间延后很多。

2、NVMe 存储设备缓慢拔出，并在未完全拔出的情况下又插回的场景

在将 NVMe 存储设备从主机的槽位拔出的过程中，由于电源、时钟及 PCIe 端口的管脚为短针，电源、时钟及 PCIe 端口的管脚先断开，此时 PCIe 链路断开并触发下行端口控制 (Downstream Port Containment, DPC)，隔离 NVMe 存储设备并关闭 PCIe 端口。但是，由于 P4 管脚为长针，P4 管脚依旧接触。如果继续拔出 NVMe 存储设备，则对系统无影响。如果此时停止拔出，并重新插回 NVMe 存储设备，由于此时在位信号并不会发生变化，进而使得系统不会上报插盘中断以触发执行热添加流程，NVMe 存储设备无法重新成功接入系统。

在现有技术中，由于 NVMe 存储设备的连接器中用于指示在位信号的管脚为长针，而用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚为短针，导致在位信号并不能够准确反映出 NVMe 存储设备的插入或拔出状态。在本申请实施例中，通过改变连接器中管脚的长度，使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，或者使得连接器中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

下面，将结合上面所述的本申请实施例所涉及的共性方面，对本申请实施例做进一步详细说明。

请参考图 3，其示出了本申请一个实施例提供的连接器的示意图。该连接器用于提供 PCIe 通信接口将 NVMe 存储设备和计算机设备进行连接。可选地，该连接器为在《SFF-8639 Specification for Multifunction 12 Gb/s 6X Unshielded Connector》、《PCI Express® SFF-8639 Module Specification》及《Copyright © 2012 SSD Form Factor Work Group, All rights reserved》等相关标准中定义的 SFF-8639 连接器。在本实施例中，以该连接器为公头连接器 30 为例进行介绍说明。如图 3 所示，公头连接器 30 包括第一管脚 31、第二管脚 32、第三管脚 33 与第四管脚 34。

第一管脚 31 用于指示 NVMe 存储设备的在位信号。第二管脚 32 用于指示 NVMe 存储设备的电源信号。第三管脚 33 用于指示 NVMe 存储设备的时钟信号。第四管脚 34 用于指示 NVMe 存储设备的 PCIe 端口的信号。

可选地，当公头连接器 30 为 SFF-8639 连接器的公头时，公头连接器 30 包括 P1 至 P15 管脚、S1 至 S28 管脚和 E1 至 E25 管脚，共计 68 个管脚。其中，用于指示 NVMe 存储设备的在位信号的管脚（也即第一管脚 31）为 P4 管脚。用于指示 NVMe 存储设备的电源信号的管脚（也即第二管脚 32）包括 P8、P9、P14、P15、E3 等管脚。用于指示 NVMe 存储设备的时钟信号的管脚（也即第三管脚 33）包括 E1、E2、E7、E8 等

管脚。用于指示 NVMe 存储设备的 PCIe 端口的信号的管脚（也即第四管脚 34）包括 S2、S3、S5、S6、S9、S10、S12、S13、S17、S18、S20、S21、S23、S24、S24、S27、E10、E11、E13、E14、E17、E18、E20、E21 等管脚。此外，公头连接器 30 还包括具有其它功能的管脚，如用于指示复位信号的管脚、用于指示接地信号的管脚，等等。

5 与现有技术所不同的是，在本申请实施例提供的一种可能的实施方案中，公头连接器 30 中第一管脚 31、第二管脚 32、第三管脚 33 与第四管脚 34 的长度相同。在本申请实施例中，通过改变公头连接器 30 中管脚的长度，使得公头连接器 30 中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

10 在一个示例中，第一管脚 31、第二管脚 32、第三管脚 33 与第四管脚 34 均为短针（如图 3 所示）。以 SFF-8639 连接器为例，由于在现有技术中，SFF-8639 连接器的公头中用于指示电源信号、时钟信号以及 PCIe 端口的信号的管脚均为短针，而用于指示在位信号的管脚（即 P4 管脚）为长针，因此仅需将 P4 管脚由长针改为短针，即可
15 确保用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，使得需要改变长度的管脚的数量较少。

20 在另一个示例中，第一管脚 31、第二管脚 32、第三管脚 33 与第四管脚 34 均为长针（图中未示出）。以 SFF-8639 连接器为例，由于在现有技术中，SFF-8639 连接器的公头中用于指示电源信号、时钟信号以及 PCIe 端口的信号的管脚均为短针，而用于指示在位信号的管脚（即 P4 管脚）为长针，因此将上述用于指示电源信号、时钟信号以及 PCIe 端口的信号的管脚由短针改为长针，也能够确保用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同。

需要说明的一点是，在本申请实施例中，对于任意两个管脚来说，这两个管脚的长度相同，可以是指这两个管脚的长度的取值完全一致，也可以是指这两个管脚的长度差值小于一预设阈值，该预设阈值可以是预先设定的经验值，该经验值保证这两个管脚的接触顺序属于一个级别即可，例如在两个管脚均为短针，且这两个管脚的长度的差值小于 0.08mm 的情况下，这两个管脚的接触顺序均为 1st。

在本申请实施例提供的另一种可能的实施方案中，公头连接器 30 中第一管脚 31 的长度不长于第二管脚 32、第三管脚 33 与第四管脚 34 中的最短管脚的长度。例如，
30 第一管脚 31 的长度与上述最短管脚的长度相同，或者比上述最短管脚的长度更短。

可选地，第二管脚 32、第三管脚 33 与第四管脚 34 均为短针，第一管脚 32 也为短针，公头连接器 30 中短针的长度的取值范围在 $4.55-0.08\text{mm}$ 至 $4.55+0.08\text{mm}$ 之间，假设第二管脚 32、第三管脚 33 与第四管脚 34 中的最短管脚的长度为 4.55mm，则第一管脚 31 的长度小于或等于 4.55mm。

35 通过改变公头连接器 30 中管脚的长度，使得公头连接器 30 中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，同样能够确保在位信号能准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

另外，公头连接器 30 包含第一面与第二面，第一面和第二面相对，图 3 示出了公

头连接器 30 的第一面 30a。公头连接器 30 的第一面 30a 设置有限位结构 35，限位结构 35 为凸台，在图 3 中，凸台以椭圆形虚线框示。结合参考图 4，其示出了公头连接器 30 从插头一侧的简略侧视图，限位结构 35（也即凸台）的长为 $4.85 \pm 0.05\text{mm}$ ，高为 $2.25 \pm 0.08\text{mm}$ 。

5 如图 3 所示，第一管脚 31 位于公头连接器 30 的第一面 30a 的中部。上述中部是指第一管脚 31 与公头连接器 30 的第一面 30a 两端的管脚之间的距离相同或相近，并非限定第一管脚 31 与公头连接器 30 的第一面 30a 两端的管脚之间的距离必须相同，即并非限定第一管脚 31 位于公头连接器 30 的第一面 30a 的正中间。

结合参考图 5，其示出了公头连接器 30 的第一面 30a 的简略示意图，当公头连接器 30 为 SFF-8639 连接器的公头时，公头连接器 30 的第一面 30a 上设置有 S1 至 S7 管脚、E1 至 E6 管脚和 P1 至 P15 管脚，共计 28 个管脚，上述 28 个管脚从公头连接器 30 的第一端开始，按照 S1 至 S7 管脚、E1 至 E6 管脚和 P1 至 P15 管脚的顺序，逐个依次排列至公头连接器 30 的第二端；其中，E1 至 E6 管脚设置于凸台上，S1 至 S7 管脚位于凸台靠近于上述公头连接器 30 的第一端的一侧，P1 至 P15 管脚位于凸台靠近于上述公头连接器 30 的第二端的一侧。公头连接器 30 的第二面上设置有 E7 至 E16、S8 至 S28 和 E17 至 E25 管脚，共计 40 个管脚，上述 40 个管脚从公头连接器 30 的第一端开始，按照 E7 至 E16、S8 至 S28 和 E17 至 E25 管脚的顺序，逐个依次排列至公头连接器 30 的第二端。在上述管脚中，P4 管脚用于指示 NVMe 存储设备的在位信号，也即第一管脚 31 为 P4 管脚。第一管脚 31（也即 P4 管脚）设置于公头连接器 30 的第一面 30a 上，从公头连接器 30 的第一端开始计数的第 17 个管脚。

20 可选地，第一管脚 31 与公头连接器 30 的第一面 30a 两端的管脚之间的距离分别是 17.87mm 和 13.97mm 。也即，如图 5 所示，第一管脚 31（也即 P4 管脚）与公头连接器 30 的第一面 30a 一端的第一边缘管脚（也即 S1 管脚）之间的距离为 17.87mm ，第一管脚 31（也即 P4 管脚）与公头连接器 30 的第一面 30a 另一端的第二边缘管脚（也即 P15 管脚）之间的距离为 13.97mm 。上述两个管脚之间的距离是指这两个管脚的簧片的中线位置之间的距离。

另外，如图 5 所示，公头连接器 30 的管脚中，包括长针和短针，长针相较于短针更长，其长度差值大于或等于 0.35mm 。其中，长针的长度为 $4.90 \pm 0.08\text{mm}$ ，短针的长度为 $4.55 \pm 0.08\text{mm}$ 。也即，当第一管脚 31（也即 P4 管脚）为短针时，第一管脚 31（也即 P4 管脚）的长度为 $4.55 \pm 0.08\text{mm}$ 。当第一管脚 31（也即 P4 管脚）为长针时，第一管脚 31（也即 P4 管脚）的长度为 $4.90 \pm 0.08\text{mm}$ 。

35 本申请实施例提供的方案中，通过改变公头连接器 30 中管脚的长度，使得公头连接器 30 中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，或者使得公头连接器 30 中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

请参考图 6，其示出了本申请另一个实施例提供的连接器的示意图。该连接器用

于提供 PCIe 通信接口将 NVMe 存储设备和计算机设备进行连接。可选地，该连接器为在《SFF-8639 Specification for Multifunction 12 Gb/s 6X Unshielded Connector》、《PCI Express® SFF-8639 Module Specification》及《Copyright © 2012 SSD Form Factor Work Group, All rights reserved》等相关标准中定义的 SFF-8639 连接器。在本实施例中，以该连接器为母头连接器 40 为例进行介绍说明。如图 6 所示，母头连接器 40 包括第一管脚 41、第二管脚 42、第三管脚 43 与第四管脚 44。

第一管脚 41 用于指示 NVMe 存储设备的在位信号。第二管脚 42 用于指示 NVMe 存储设备的电源信号。第三管脚 43 用于指示 NVMe 存储设备的时钟信号。第四管脚 44 用于指示 NVMe 存储设备的 PCIe 端口的信号。

可选地，当母头连接器 40 为 SFF-8639 连接器的母头时，母头连接器 40 包括 P1 至 P15 管脚、S1 至 S28 管脚和 E1 至 E25 管脚，共计 68 个管脚。其中，用于指示 NVMe 存储设备的在位信号的管脚（也即第一管脚 41）为 P4 管脚。用于指示 NVMe 存储设备的电源信号的管脚（也即第二管脚 42）包括 P8、P9、P14、P15、E3 等管脚。用于指示 NVMe 存储设备的时钟信号的管脚（也即第三管脚 43）包括 E1、E2、E7、E8 等管脚。用于指示 NVMe 存储设备的 PCIe 端口的信号的管脚（也即第四管脚 44）包括 S2、S3、S5、S6、S9、S10、S12、S13、S17、S18、S20、S21、S23、S24、S24、S27、E10、E11、E13、E14、E17、E18、E20、E21 等管脚。此外，母头连接器 40 还包括具有其它功能的管脚，如用于指示复位信号的管脚、用于指示接地信号的管脚，等等。

与现有技术所不同的是，在本申请实施例提供的一种可能的实施方案中，母头连接器 40 中第一管脚 41、第二管脚 42、第三管脚 43 与第四管脚 44 的长度相同。在本申请实施例中，通过改变母头连接器 40 中管脚的长度，使得母头连接器 40 中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

在一个示例中，第一管脚 41、第二管脚 42、第三管脚 43 与第四管脚 44 均为短针（如图 6 所示）。以 SFF-8639 连接器为例，由于在现有技术中，SFF-8639 连接器的母头中用于指示电源信号、时钟信号以及 PCIe 端口的信号的管脚均为短针，而用于指示在位信号的管脚（即 P4 管脚）为长针，因此仅需将 P4 管脚由长针改为短针，即可确保用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，使得需要改变长度的管脚的数量较少。

在另一个示例中，第一管脚 41、第二管脚 42、第三管脚 43 与第四管脚 44 均为长针（图中未示出）。以 SFF-8639 连接器为例，由于在现有技术中，SFF-8639 连接器的母头中用于指示电源信号、时钟信号以及 PCIe 端口的信号的管脚均为短针，而用于指示在位信号的管脚（即 P4 管脚）为长针，因此将上述用于指示电源信号、时钟信号以及 PCIe 端口的信号的管脚由短针改为长针，也能够确保用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同。

需要说明的一点是，在本申请实施例中，对于任意两个管脚来说，这两个管脚的长度相同，可以是指这两个管脚的长度的取值完全一致，也可以是指这两个管脚的长度差值小于一预设阈值，该预设阈值可以是预先设定的经验值，该经验值保证这两个

管脚的接触顺序属于一个级别即可，例如在两个管脚均为短针，且这两个管脚的长度的差值小于 0.08mm 的情况下，这两个管脚的接触顺序均为 3rd。

在本申请实施例提供的另一种可能的实施方案中，母头连接器 40 中第一管脚 41 的长度不长于第二管脚 42、第三管脚 43 与第四管脚 44 中的最短管脚的长度。例如，
5 第一管脚 41 的长度与上述最短管脚的长度相同，或者比上述最短管脚的长度更短。

可选地，第二管脚 42、第三管脚 43 与第四管脚 44 均为短针，第一管脚 42 也为短针，母头连接器 40 中与插槽侧边沿之间的距离越小的管脚长度越长。母头连接器 40 中长针与插槽侧边沿之间的距离的取值范围在 1.40-0.15mm 至 1.40+0.15mm 之间，
10 母头连接器 40 中短针与插槽侧边沿之间的距离的取值范围在 1.90-0.15mm 至 1.90+0.15mm 之间。假设第二管脚 42、第三管脚 43 与第四管脚 44 中的最短管脚与插槽侧边沿之间的距离为 2.00mm，则第一管脚 41 与插槽侧边沿之间的距离大于或等于 2.00mm。

通过改变母头连接器 40 中管脚的长度，使得母头连接器 40 中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，
15 同样能够确保在位信号能准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

另外，母头连接器 40 包含第一面与第二面，第一面和第二面相对，图 6 示出了母头连接器 40 的第一面 40a。母头连接器 40 的第一面 40a 设置有限位结构 45，限位结构 45 为凹槽，在图 6 中，凹槽以椭圆形虚线框示。结合参考图 7，其示出了母头连接器 40 从插槽一侧的简略侧视图，限位结构 45（也即凹槽）的长为 $4.96 \pm 0.05\text{mm}$ ，高为 $2.40 \pm 0.08\text{mm}$ 。
20

如图 6 所示，第一管脚 41 位于母头连接器 40 的第一面 40a 的中部。上述中部是指第一管脚 41 与母头连接器 40 的第一面 40a 两端的管脚之间的距离相同或相近，并非限定第一管脚 41 与母头连接器 40 的第一面 40a 两端的管脚之间的距离必须相同，
25 即并非限定第一管脚 41 位于母头连接器 40 的第一面 40a 的正中间。

结合参考图 8，其示出了母头连接器 40 的另一示意图，当母头连接器 40 为 SFF-8639 连接器的母头时，母头连接器 40 的第一面 40a 上设置有 S1 至 S7 管脚、E1 至 E6 管脚和 P1 至 P15 管脚，共计 28 个管脚，上述 28 个管脚从母头连接器 40 的第一端开始，按照 S1 至 S7 管脚、E1 至 E6 管脚和 P1 至 P15 管脚的顺序，逐个依次排列至母头连接器 40 的第二端；其中，E1 至 E6 管脚设置于凹槽位置处，S1 至 S7 管脚位于凹槽靠近于上述母头连接器 40 的第一端的一侧，P1 至 P15 管脚位于凹槽靠近于上述母头连接器 40 的第二端的一侧。母头连接器 40 的第二面上设置有 E7 至 E16、S8 至 S28 和 E17 至 E25 管脚，共计 40 个管脚，上述 40 个管脚从母头连接器 40 的第一端开始，按照 E7 至 E16、S8 至 S28 和 E17 至 E25 管脚的顺序，逐个依次排列至母头连接器 40 的第二端。在上述管脚中，P4 管脚用于指示 NVMe 存储设备的在位信号，也即第一管脚 41 为 P4 管脚。第一管脚 41（也即 P4 管脚）设置于母头连接器 40 的第一面 40a 上，从母头连接器 40 的第一端开始计数的第 17 个管脚。
30

可选地，第一管脚 41 与母头连接器 40 的第一面 40a 两端的管脚之间的距离分别是 17.87mm 和 13.97mm。也即，如图 8 所示，第一管脚 41（也即 P4 管脚）与母头连
35

接器 40 的第一面 40a 一端的第一边缘管脚（也即 S1 管脚）之间的距离为 17.87mm，第一管脚 41（也即 P4 管脚）与母头连接器 40 的第一面 40a 另一端的第二边缘管脚（也即 P15 管脚）之间的距离为 13.97mm。上述两个管脚之间的距离是指这两个管脚的金手指的中线位置之间的距离。

5 另外，母头连接器 40 的管脚中，包括长针和短针，长针相较于短针更长，其长度差值大于或等于 0.35mm。其中，长针与母头连接器 40 的插槽侧边沿之间的距离为 $1.40 \pm 0.15\text{mm}$ ，短针与母头连接器 40 的插槽侧边沿之间的距离为 $1.90 \pm 0.15\text{mm}$ 。也即，当第一管脚 41（也即 P4 管脚）为短针时，第一管脚 41（也即 P4 管脚）与母头连接器 40 的插槽侧边沿之间的距离为 $1.90 \pm 0.15\text{mm}$ 。当第一管脚 41（也即 P4 管脚）为长针
10 时，第一管脚 41（也即 P4 管脚）与母头连接器 40 的插槽侧边沿之间的距离为 $1.40 \pm 0.15\text{mm}$ 。

本申请实施例提供的方案中，通过改变母头连接器 40 中管脚的长度，使得母头连接器 40 中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，或者使得母头连接器 40 中用于指示在位信号的管脚的长度不长于用于指示电源
15 信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

请参考图 9，其示出了本申请一实施例提供的存储系统的示意图。该存储系统包括：NVMe 存储设备 50 和计算机设备 60。

20 可选地，NVMe 存储设备 50 为一个或多个。NVMe 存储设备 50 可以是 NVMe SSD。计算机设备 60 可以是计算机、存储阵列（或称为阵列柜）或服务器，计算机设备 60 可称为主机。计算机设备 60 上形成有至少一个槽位，每一个槽位可供插入一个 NVMe 存储设备 50。NVMe 存储设备 50 与计算机设备 60 之间通过上文实施例提供的连接器插接。可选地，该连接器为在《SFF-8639 Specification for Multifunction 12 Gb/s 6X
25 Unshielded Connector》、《PCI Express® SFF-8639 Module Specification》及《Copyright © 2012 SSD Form Factor Work Group, All rights reserved》等相关标准中定义的 SFF-8639 连接器。

在下述图 10 和图 11 实施例中，分别对 NVMe 存储设备 50 和计算机设备 60 进行介绍说明。

30 请参考图 10，其示出了本申请一实施例提供的 NVMe 存储设备 50 的结构方框图。该 NVMe 存储设备 50 包括：控制器 51、存储器 52 和连接器 53。

控制器 51 分别与存储器 52 和连接器 53 电性连接。其中，控制器 51 主要负责与计算机设备 60 之间的数据通信，用于根据计算机设备 60 的读写请求，将数据从存储器 52 读出或者将数据写入存储器 52。控制器 51 与计算机设备 60 之间通过 PCIe 总线
35 进行通信。存储器 62 用于存储数据。可选地，存储器 62 为 Flash 存储器或者 DRAM。

可选地，NVMe 存储设备 50 的尺寸包括但不限于 3.5 英寸、2.5 英寸和 1.8 英寸。

可选地，NVMe 存储设备 50 的连接器 53 为公头连接器，例如 SFF-8639 连接器的公头。有关公头连接器的介绍说明可参见上文图 3 实施例，本实施例对此不再赘述。

可选地，供 NVMe 存储设备 50 插入的计算机设备 60 也包括连接器，NVMe 存储

设备 50 的连接器 53 和计算机设备 60 的连接器插接。在通常情况下, NVMe 存储设备 50 的连接器 53 为公头连接器且计算机设备 60 的连接器为母头连接器。在其它可能的示例中, NVMe 存储设备 50 的连接器 53 为母头连接器且计算机设备 60 的连接器为公头连接器, 本申请实施例对此不作限定。

5 当 NVMe 存储设备 50 的连接器 53 和计算机设备 60 的连接器中相接触的两个管脚均为长针时, 这两个管脚的接触顺序为 1st, 即这两个管脚的接触时间最早; 当 NVMe 存储设备 50 的连接器 53 和计算机设备 60 的连接器中相接触的两个管脚中一个为长针且另一个为短针时, 这两个管脚的接触顺序为 2nd, 即接触时间晚于接触顺序为 1st 的管脚的接触时间; 当 NVMe 存储设备 50 的连接器 53 和计算机设备 60 的连接器中
10 相接触的两个管脚均为短针时, 这两个管脚的接触顺序为 3rd, 即接触时间晚于接触顺序为 2nd 的管脚的接触时间。在一种可能的情况下, 当 NVMe 存储设备 50 的连接器 53 中用于指示在位信号的第一管脚为短针, 且计算机设备 60 的连接器中用于指示在位信号的第一管脚也为短针时, 这两个第一管脚的接触顺序为 3rd。

相较于现有技术, 本申请实施例提供的方案中, 通过改变连接器中管脚的长度,
15 使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同, 或使得连接器中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度, 例如将公头连接器和母头连接器中的第一管脚均由长针改为短针, 使得第一管脚的接触顺序由 1st 变为 3rd。在上文提及的两种插拔的场景下, 均能够确保 NVMe 存储设备 50 成功接入系统。具体来讲:

20 1、NVMe 存储设备 50 缓慢插入的场景

在将 NVMe 存储设备 50 插入计算机设备 60 的槽位的过程中, 由于第一管脚 (也
25 即 SFF-8639 连接器的 P4 管脚) 与电源、时钟及 PCIe 端口的管脚长度相同, 当第一管脚接触时, 电源、时钟及 PCIe 端口的管脚也相应接触。此时, 在位信号 IFDET# 由 1 变为 0, 表示 NVMe 存储设备 50 在位。系统在检测到上述在位信号 IFDET# 由 1 变为 0 时, 上报插盘中断, 系统中的 PCIe 热插拔控制器先后打开该槽位的电源、时钟及 PCIe 端口, 开始热添加流程。由于此时电源、时钟及 PCIe 端口的管脚已经接触, 因此热添加流程会执行成功, 使得 NVMe 存储设备 50 成功接入系统。

2、NVMe 存储设备 50 缓慢拔出, 并在未完全拔出的情况下又插回的场景

在将 NVMe 存储设备 50 从计算机设备 60 的槽位拔出的过程中, 由于第一管脚 (也
30 即 SFF-8639 连接器的 P4 管脚) 与电源、时钟及 PCIe 端口的管脚长度相同, 当电源、时钟及 PCIe 端口的管脚断开时, 第一管脚也相应断开, 在位信号 IFDET# 会由 0 变为 1, 表示 NVMe 存储设备 50 不在位。此时, PCIe 链路断开并触发 DPC, 隔离 NVMe 存储设备 50 并关闭 PCIe 端口。如果在 NVMe 存储设备 50 未完全拔出的情况下停止拔出, 并重新插回 NVMe 存储设备 50, 在位信号 IFDET# 会由 1 变为 0, 表示 NVMe
35 存储设备 50 在位。系统在检测到上述在位信号 IFDET# 由 1 变为 0 时, 上报插盘中断, 系统中的 PCIe 热插拔控制器先后打开该槽位的电源、时钟及 PCIe 端口, 开始热添加流程。在热添加流程执行完成之后, NVMe 存储设备 50 重新成功接入系统。

本申请实施例提供的方案中, 通过改变连接器中管脚的长度, 使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同, 或使得连

接器中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

5

请参考图 11，其示出了本申请一实施例提供的计算机设备 60 的结构方框图。计算机设备 60 包括：处理模块 61 和连接器 62。

处理模块 61 与连接器 62 电性连接。处理模块 61 用于对计算机设备 60 的动作进行控制管理，例如向 NVMe 存储设备 50 发送读写请求，以请求从 NVMe 存储设备 50 中读取数据或者将数据写入 NVMe 存储设备 50 中。处理模块 61 与 NVMe 存储设备 50 之间通过 PCIe 总线进行通信。

可选地，计算机设备 60 的连接器 62 为母头连接器，例如 SFF-8639 连接器的母头。有关母头连接器的介绍说明可参见上文图 6 实施例，本实施例对此不再赘述。

可选地，插入计算机设备 60 的 NVMe 存储设备 50 也包括连接器，NVMe 存储设备 50 的连接器和计算机设备 60 的连接器 62 插接。在通常情况下，NVMe 存储设备 50 的连接器为公头连接器且计算机设备 60 的连接器 62 为母头连接器。在其它可能的示例中，NVMe 存储设备 50 的连接器为母头连接器且计算机设备 60 的连接器 62 为公头连接器，本申请实施例对此不作限定。

当 NVMe 存储设备 50 的连接器和计算机设备 60 的连接器 62 中相接触的两个管脚均为长针时，这两个管脚的接触顺序为 1st；当 NVMe 存储设备 50 的连接器和计算机设备 60 的连接器 62 中相接触的两个管脚中一个为长针且另一个为短针时，这两个管脚的接触顺序为 2nd；当 NVMe 存储设备 50 的连接器和计算机设备 60 的连接器 62 中相接触的两个管脚均为短针时，这两个管脚的接触顺序为 3rd。在一种可能的情况下，当 NVMe 存储设备 50 的连接器的第一管脚为短针，且计算机设备 60 的连接器 62 中用于指示在位信号的第一管脚也为短针时，这两个第一管脚的接触顺序为 3rd。

相较于现有技术，本申请实施例提供的方案中，通过改变连接器中管脚的长度，使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，或使得连接器中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，例如将公头连接器和母头连接器中的第一管脚均由长针改为短针，使得第一管脚的接触顺序由 1st 变为 3rd。在上文提及的两种插拔的场景下，均能够确保 NVMe 存储设备 50 成功接入系统。具体分析可参见上文图 10 实施例中的介绍说明，此处不再赘述。

在一个示例中，如图 12 所示，处理模块 61 包括 CPU 61a。CPU 61a 与连接器 62 电性连接，例如通过 PCIe 总线电性连接。CPU 61a 用于对计算机设备 60 的动作进行控制管理，其功能主要是解释计算机指令以及处理计算机软件中的数据。

在另一个示例中，如图 13 所示，处理模块 61 包括 CPU 61a 和 PCIe 交换芯片 61b。PCIe 交换芯片 61b 包括一个输入端口和 N 个输出端口，N 为正整数。CPU 61a 与输入端口电性连接，例如通过 PCIe 总线电性连接。N 个输出端口中的每一个输出端口用于

与 1 个连接器 62 电性连接，例如通过 PCIe 总线电性连接。由于 PCIe 交换芯片 61b 的存在，使得 CPU 61a 能够支持同时与多个 NVMe 存储设备 50 通信。

5 可选地，处理模块 61 还包括基板管理控制器（Baseboard Management Controller, BMC）和复杂可编程逻辑器件（Complex Programmable Logic Device, CPLD）。BMC 和 CPLD 主要用于对 NVMe 存储设备 50 的电源、时钟、在位等信号进行辅助管理。如果 CPU 61a 或者 PCIe 交换芯片 61b 中集成有上述 BMC 和 CPLD 的功能，则 BMC 和 CPLD 可以省去。

10 本申请实施例提供的方案中，通过改变连接器中管脚的长度，使得连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度相同，或使得连接器中用于指示在位信号的管脚的长度不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度，从而使得在位信号能够更为准确地反映出 NVMe 存储设备的插入或拔出状态，NVMe 存储设备在插拔的场景下，避免出现无法成功接入系统的问题。

15 需要说明的一点是，在不改变现有的 SFF-8639 连接器中用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度的情况下（也即用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚为短针的情况下），若将 NVMe 存储设备所包括的 SFF-8639 连接器中用于指示在位信号的管脚（也即 P4 管脚）由长针改为短针，且将计算机设备所包括的 SFF-8639 连接器中用于指示在位信号的管脚（也即 P4 管脚）也由长针改为短针，则上述两个 P4 管脚的接触顺序为 3rd，能够避免在插拔的场景下出现无法成功
20 接入系统的问题。在其它可能的实施例中，也可以将 NVMe 存储设备所包括的 SFF-8639 连接器中的 P4 管脚由长针改为短针，而计算机设备所包括的 SFF-8639 连接器中的 P4 管脚仍然为长针；或者，将计算机设备所包括的 SFF-8639 连接器中的 P4 管脚由长针改为短针，而 NVMe 存储设备所包括的 SFF-8639 连接器中的 P4 管脚仍然为长针，这样，上述两个 P4 管脚的接触顺序为 2nd，在插拔的场景下，相较于现有技术能够在一定
25 程度上减少出现无法成功接入系统的问题。

在计算机设备 60 的处理模块 61 中，除了包括上文介绍的 CPU 61a、PCIe 交换芯片 61b 等底层硬件之外，还包括如下软件：设备管理驱动、PCIe 驱动和 NVMe 驱动。其中，设备管理驱动主要用于上报在位信号，支持底层硬件与 PCIe 驱动之间的数据中
30 转。PCIe 驱动主要用于执行热插拔流程（包括热添加流程和热移除流程）。NVMe 驱动主要用于支持 NVMe 存储设备 50 的正常运行。上述软件可以存储在计算机设备 60 的存储器中，由 CPU 61a 加载并执行。

下面，通过图 14 和图 15 实施例，对将连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度调整为相同，或者将连接器中用于指示在位
35 信号的管脚的长度调整为不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度之后，相应的热添加流程和热移除流程分别进行介绍说明。

请参考图 14，其示出了热添加流程的示意图。该热添加流程可以包括如下步骤：
步骤 1401，底层硬件在检测到 NVMe 存储设备 50 插入槽位时，发出中断；

底层硬件在检测到在位信号 IFDET#由 1 变为 0 时，说明 NVMe 存储设备 50 插入槽位，发出中断。

步骤 1402, 底层硬件向设备管理驱动发送热添加事件;

步骤 1403, 设备管理驱动点亮热插拔的指示灯;

步骤 1404, 设备管理驱动向 PCIe 驱动发送热添加事件;

可选地, 设备管理驱动在接收到热添加事件之后, 检测该热添加事件是否合法;

5 若合法, 则执行上述步骤 1403 和 1404; 若不合法, 则结束流程。

另外, 上述步骤 1403 可以在步骤 1404 之前执行, 也可以在步骤 1404 之后执行, 或者与步骤 1404 同时执行, 本申请实施例对此不作限定。

步骤 1405, PCIe 驱动在接收到热添加事件之后, 向设备管理驱动发送上电通知;

10 上电通知用于告知设备管理驱动, PCIe 驱动会对 NVMe 存储设备 50 所插入的槽位上电。

步骤 1406, PCIe 驱动通过板级支持包 (Board Support Package, BSP) 对 NVMe 存储设备 50 所插入的槽位上电;

相应地, 底层硬件点亮上述 NVMe 存储设备 50 所插入的槽位的电源灯。

15 上述步骤 1405 可以在步骤 1406 之前执行, 也可以在步骤 1406 之后执行, 或者与步骤 1406 同时执行, 本申请实施例对此不作限定。

步骤 1407, PCIe 驱动检测链路状态, 该链路状态用于指示 PCIe 链路是否建链成功;

20 可选地, PCIe 驱动向底层硬件轮询链路状态。该轮询过程的持续时长可根据实际需求预先设定, 例如 2 秒; 或者, 该轮询过程的轮询次数可根据实际需求预先设定, 例如 3 次。

步骤 1408, PCIe 驱动在检测到建链成功之后, 为 NVMe 存储设备 50 分配资源; 例如, 上述资源包括内存地址空间。

步骤 1409, PCIe 驱动调用 NVMe 驱动;

步骤 1410, NVMe 驱动在被调用之后, 初始化 NVMe 存储设备 50;

25 例如, 对 NVMe 存储设备 50 的容量、分区等进行初始化。

步骤 1411, PCIe 驱动开启先进错误报告 (Advanced Error Reporting, AER) 功能, 热添加流程结束。

请参考图 15, 其示出了热移除流程的示意图。该热移除流程可以包括如下步骤:

30 步骤 1501, 底层硬件在检测到 NVMe 存储设备 50 从槽位拔出时, 发出 DPC 中断, 并控制 NVMe 存储设备 50 进入隔离状态;

底层硬件在检测到在位信号 IFDET# 由 0 变为 1 时, 或者在检测到 PCIe 链路断开时, 说明 NVMe 存储设备 50 从槽位拔出, 发出 DPC 中断。在本申请实施例中, 由于将连接器中用于指示在位信号、电源信号、时钟信号及 PCIe 端口的信号的管脚的长度调整为相同, 或将连接器中用于指示在位信号的管脚的长度调整为不长于用于指示电源信号、时钟信号及 PCIe 端口的信号的管脚的长度, 因此在将 NVMe 存储设备 50 从槽位拔出的过程中, 在位信号发生变化与 PCIe 链路断开基本同时发生, 或者在位信号发生变化先于 PCIe 链路断开, 底层硬件可以通过检测上述任一事件 (即在位信号发生变化或者 PCIe 链路断开) 发生以确定 NVMe 存储设备 50 从槽位拔出。

另外，控制 NVMe 存储设备 50 进入隔离状态的目的是为了为了保护系统不被热移除事件影响，避免出现超时、挂死等异常错误。

步骤 1502，底层硬件向 PCIe 驱动发送 DPC 事件；

5 步骤 1503，PCIe 驱动关闭 AER 功能，并清除 NVMe 存储设备 50 对应的端口的 AER 错误；

可选地，PCIe 驱动在接收到 DPC 事件之后，检测该 DPC 事件是否合法；若合法，则关闭 AER 功能；若不合法，则结束流程。

步骤 1504，PCIe 驱动向 NVMe 驱动发送业务中断通知；

步骤 1505，NVMe 驱动在接收到业务中断通知之后，停止运行业务；

10 步骤 1506，PCIe 驱动在确认业务报文已清理完成之后，释放隔离状态；

步骤 1507，PCIe 驱动检测链路状态；

可选地，PCIe 驱动向底层硬件轮询链路状态。该轮询过程的持续时长可根据实际需求预先设定，例如 2 秒；或者，该轮询过程的轮询次数可根据实际需求预先设定，例如 3 次。

15 步骤 1508，PCIe 驱动在确定链路无法重建之后，向设备管理驱动发送热移除事件；

步骤 1509，设备管理驱动在接收到热移除事件之后，点亮热插拔的指示灯；

步骤 1510，设备管理驱动向 PCIe 驱动发送热移除确认事件；

步骤 1511，PCIe 驱动接收到热移除确认事件之后，向设备管理驱动发送下电通知；

20 下电通知用于告知设备管理驱动，PCIe 驱动会对 NVMe 存储设备 50 所插入的槽位下电。

步骤 1512，PCIe 驱动移除 NVMe 存储设备 50；

步骤 1513，PCIe 驱动删除 NVMe 存储设备 50 的资源；

例如，上述资源包括内存地址空间。

步骤 1514，PCIe 驱动调用 NVMe 驱动；

25 步骤 1515，NVMe 驱动在被调用之后，将 NVMe 存储设备 50 移除；

步骤 1516，PCIe 驱动通过 BSP 对 NVMe 存储设备 50 所插入的槽位下电；

相应地，底层硬件熄灭上述 NVMe 存储设备 50 所插入的槽位的电源灯。

步骤 1517，PCIe 驱动向设备管理驱动发送下电完成事件；

步骤 1518，设备管理驱动关闭热插拔的指示灯，热移除流程结束。

30 应当理解的是，在本文中提及的“多个”是指两个或两个以上。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。字符“/”一般表示前后关联对象是一种“或”的关系。本文中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的对象。

35 以上所述的具体实施方式，对本申请实施例的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本申请实施例的具体实施方式而已，并不用于限定本申请实施例的保护范围，凡在本申请实施例的技术方案的基础之上，所做的任何修改、等同替换、改进等，均应包括在本申请实施例的保护范围之内。

权 利 要 求 书

- 1、一种连接器，其特征在于，用于提供高速外围组件互连 PCIe 通信接口，所述 PCIe 通信接口用于连接快速非易失性存储 NVMe 存储设备和计算机设备，所述连接器至少包括第一管脚、第二管脚、第三管脚与第四管脚；
- 5 所述第一管脚用于指示所述 NVMe 存储设备的在位信号；
所述第二管脚用于指示所述 NVMe 存储设备的电源信号；
所述第三管脚用于指示所述 NVMe 存储设备的时钟信号；
所述第四管脚用于指示所述 NVMe 存储设备的 PCIe 端口的信号；
所述第一管脚、所述第二管脚、所述第三管脚与所述第四管脚的长度相同；
- 10 其中，所述连接器包含第一面与第二面，所述第一面设置有限位结构，所述限位结构为凸台或凹槽，所述第一管脚位于所述第一面的中部。
- 2、根据权利要求 1 所述的连接器，其特征在于，所述第一管脚为短针。
- 15 3、根据权利要求 1 或 2 所述的连接器，其特征在于，所述限位结构为所述凸台，所述连接器为公头连接器，所述第一管脚的长度为 $4.55 \pm 0.08\text{mm}$ 。
- 4、根据权利要求 1 或 2 所述的连接器，其特征在于，所述限位结构为所述凹槽，所述连接器为母头连接器，所述第一管脚与所述母头连接器的插槽侧边沿之间的距离
- 20 为 $1.90 \pm 0.15\text{mm}$ 。
- 5、根据权利要求 1-4 任一项所述的连接器，其特征在于，所述第一管脚与所述第一面一端的第一边缘管脚之间的距离为 17.87mm ，所述第一管脚与所述第一面另一端的第二边缘管脚之间的距离为 13.97mm 。
- 25 6、一种连接器，其特征在于，用于提供高速外围组件互连 PCIe 通信接口，所述 PCIe 通信接口用于连接快速非易失性存储 NVMe 存储设备和计算机设备，所述连接器至少包括第一管脚、第二管脚、第三管脚与第四管脚；
所述第一管脚用于指示所述 NVMe 存储设备的在位信号；
30 所述第二管脚用于指示所述 NVMe 存储设备的电源信号；
所述第三管脚用于指示所述 NVMe 存储设备的时钟信号；
所述第四管脚用于指示所述 NVMe 存储设备的 PCIe 端口的信号；
所述第一管脚的长度不长于所述第二管脚、所述第三管脚与所述第四管脚中的最短管脚的长度；
- 35 其中，所述连接器包含第一面与第二面，所述第一面设置有限位结构，所述限位结构为凸台或凹槽，所述第一管脚位于所述第一面的中部。
- 7、根据权利要求 6 所述的连接器，其特征在于，所述第一管脚为短针。

8、根据权利要求 6 或 7 所述的连接器，其特征在于，所述限位结构为所述凸台，所述连接器为公头连接器，所述第一管脚的长度为 $4.55 \pm 0.08\text{mm}$ 。

5 9、根据权利要求 6 或 7 所述的连接器，其特征在于，所述限位结构为所述凹槽，所述连接器为母头连接器，所述第一管脚与所述母头连接器的插槽侧边沿之间的距离为 $1.90 \pm 0.15\text{mm}$ 。

10 10、根据权利要求 6-9 任一项所述的连接器，其特征在于，所述第一管脚与所述第一面一端的第一边缘管脚之间的距离为 17.87mm ，所述第一管脚与所述第一面另一端的第二边缘管脚之间的距离为 13.97mm 。

15 11、一种快速非易失性存储 NVMe 存储设备，其特征在于，所述 NVMe 存储设备包括：控制器、存储器和如权利要求 1 至 10 任一项所述的连接器；其中，所述控制器分别与所述存储器和所述连接器电性连接。

12、根据权利要求 11 所述的 NVMe 存储设备，其特征在于，所述存储器为闪存 Flash 存储器或者动态随机存取存储器 DRAM。

20 13、一种计算机设备，其特征在于，所述计算机设备包括：处理模块和如权利要求 1 至 10 任一项所述的连接器；其中，所述处理模块与所述连接器电性连接。

14、根据权利要求 13 所述的计算机设备，其特征在于，所述处理模块包括中央处理器 CPU，所述 CPU 与所述连接器电性连接。

25 15、根据权利要求 13 所述的计算机设备，其特征在于，所述处理模块包括中央处理器 CPU 和高速外围组件互连 PCIe 交换芯片；

所述 PCIe 交换芯片包括一个输入端口和 N 个输出端口，所述 N 为正整数；

所述 CPU 与所述输入端口电性连接；

所述 N 个输出端口中的每一个输出端口用于与 1 个连接器电性连接。

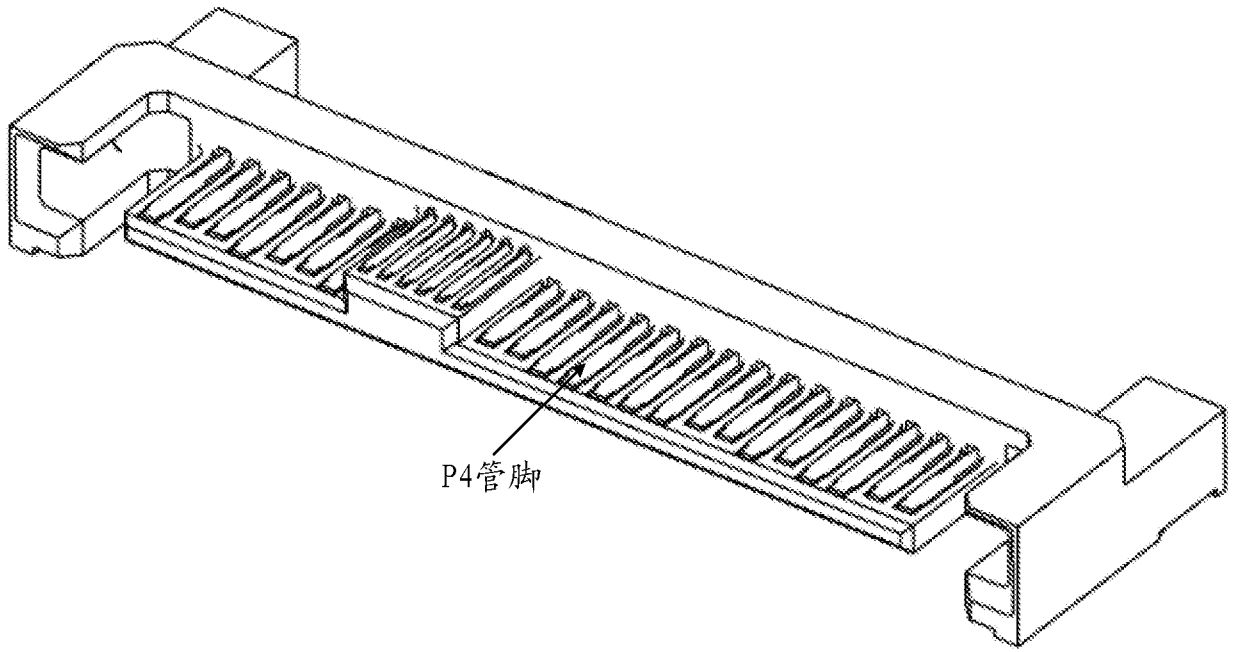


图 1

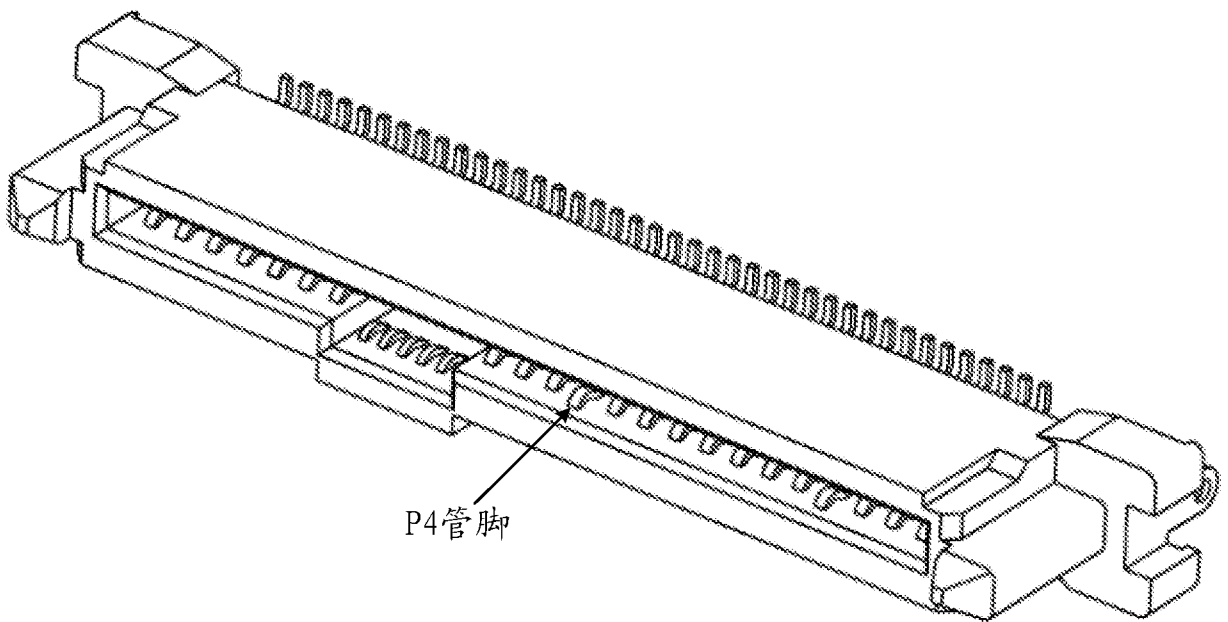


图 2

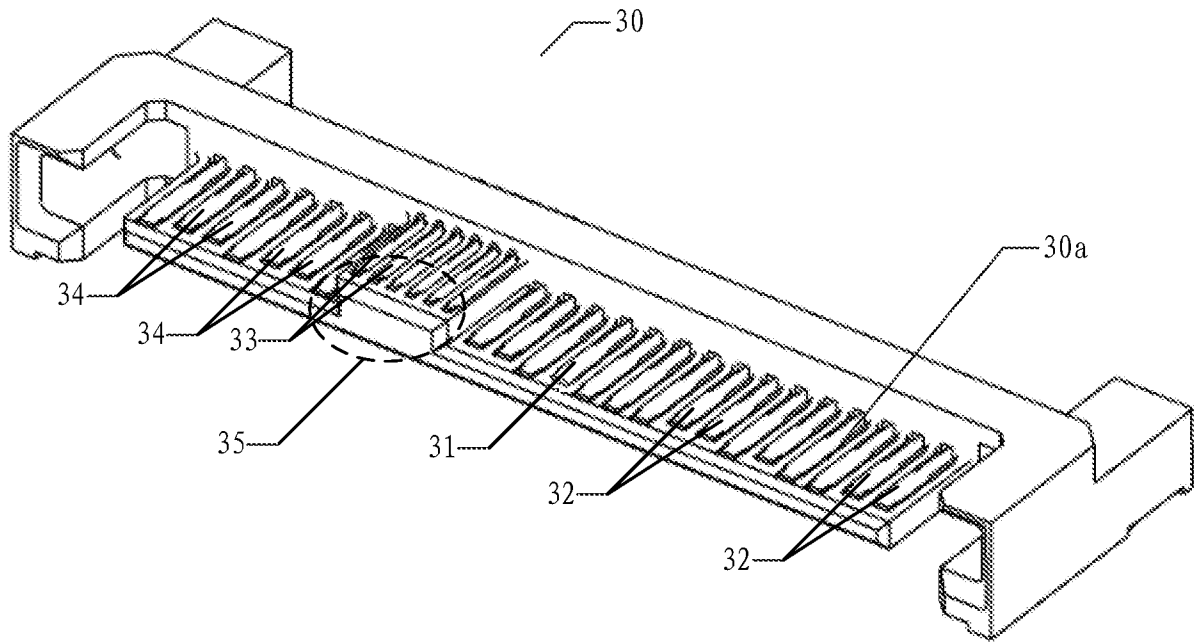


图 3



图 4

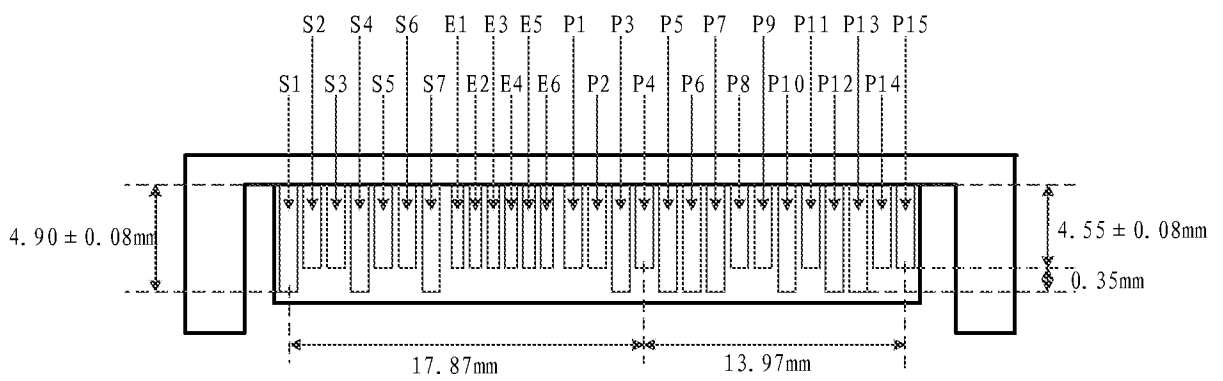


图 5

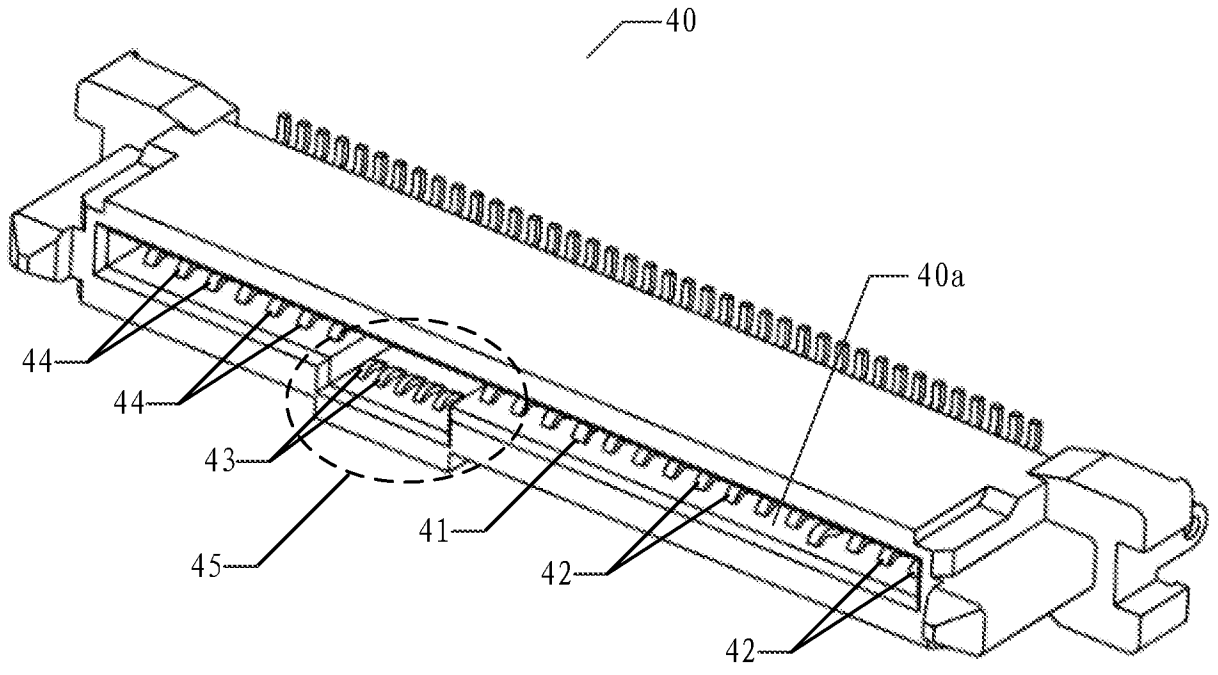


图 6

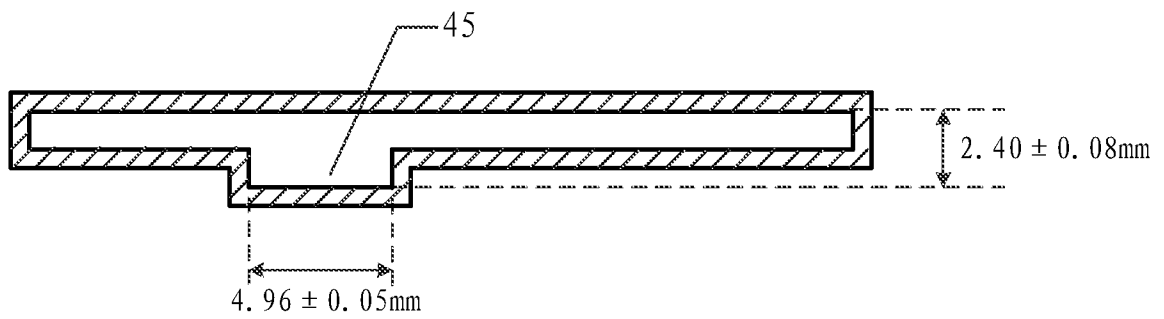


图 7

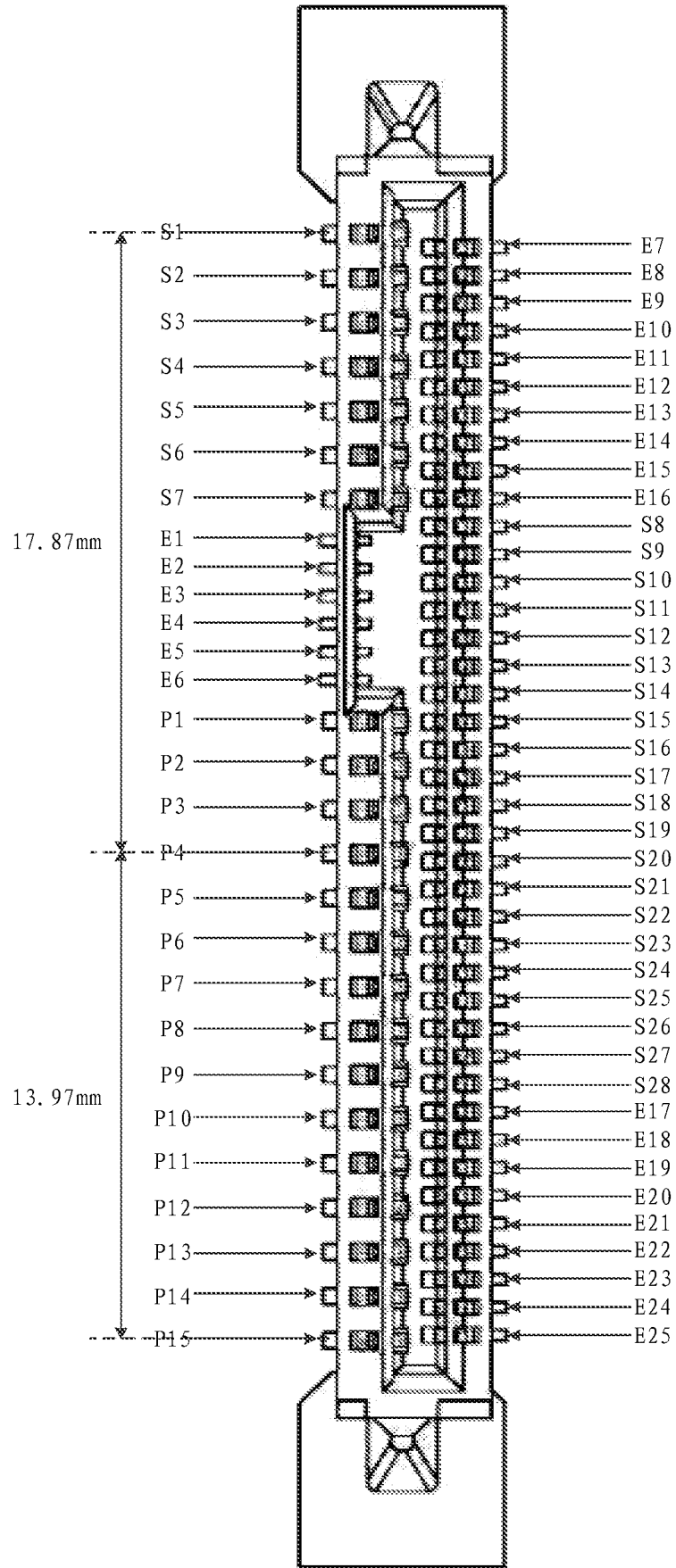


图 8

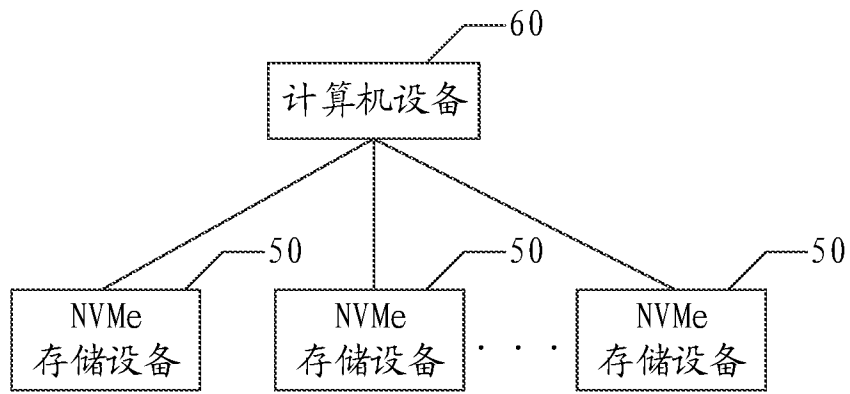


图 9

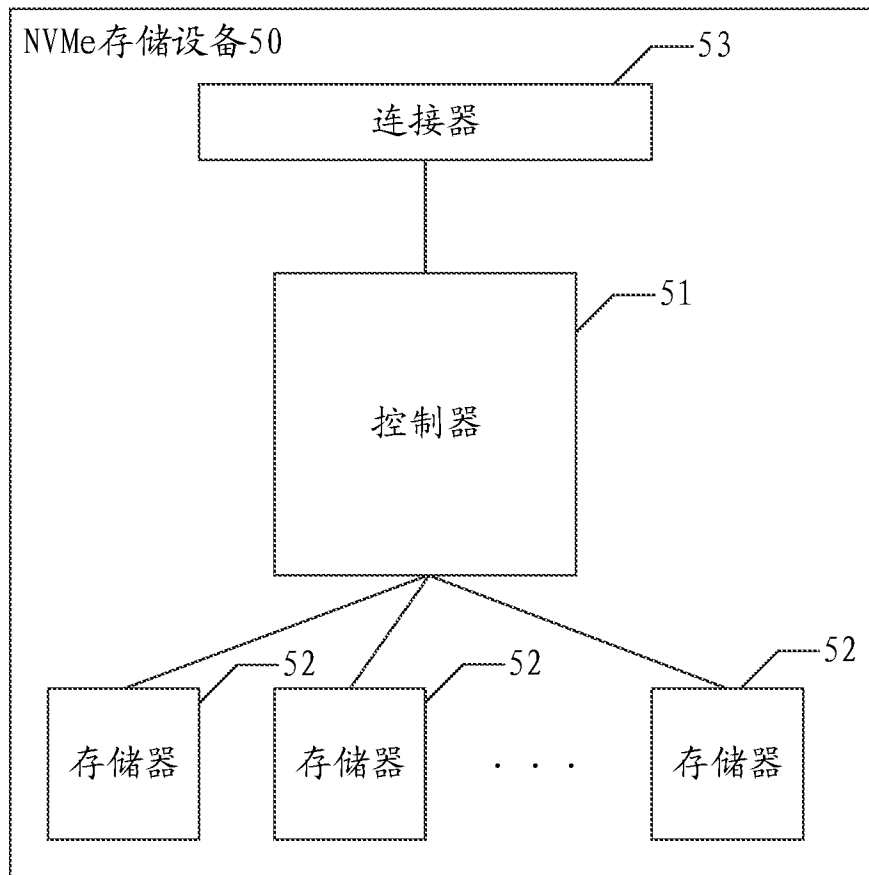


图 10

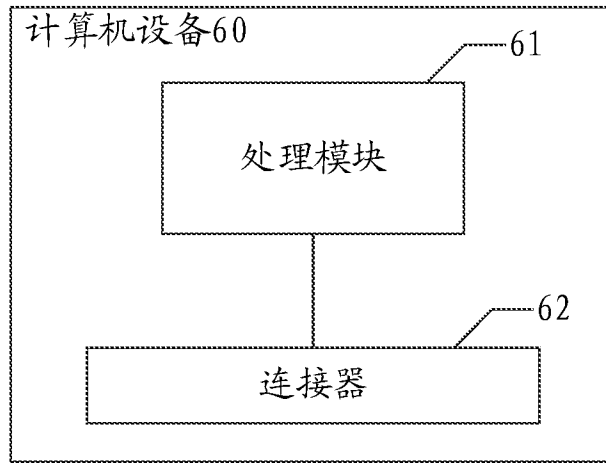


图 11

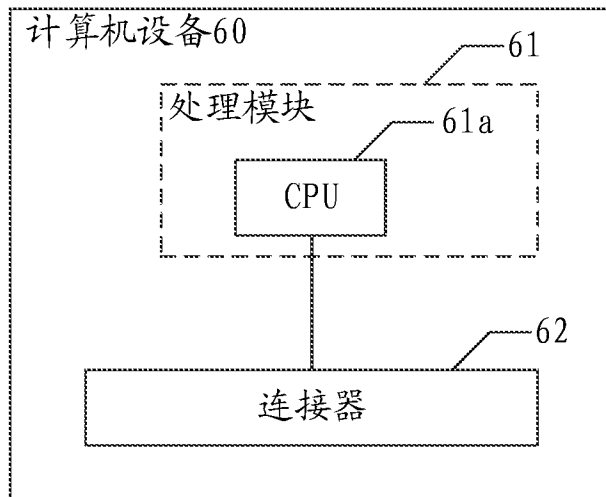


图 12

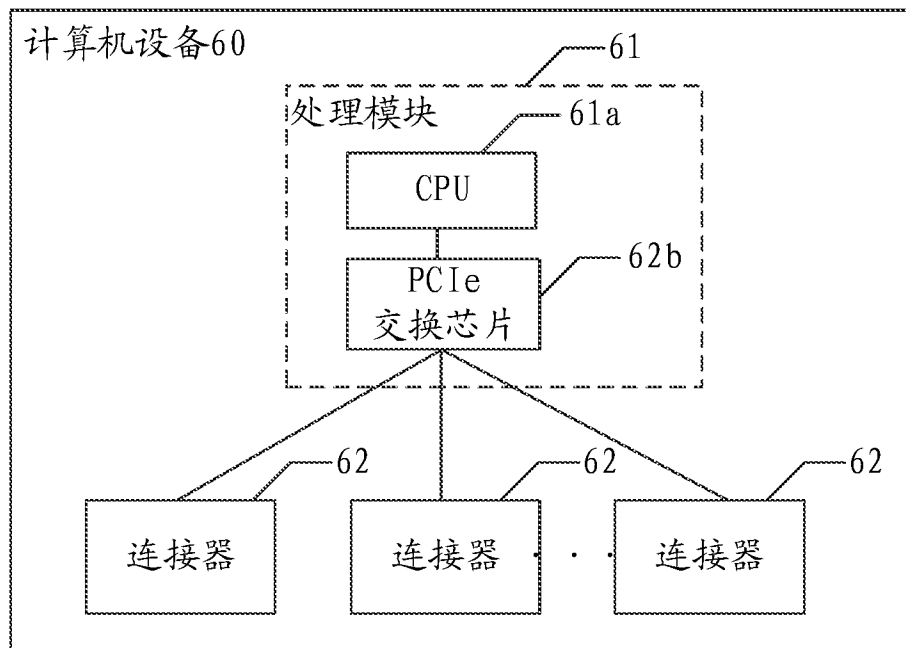


图 13

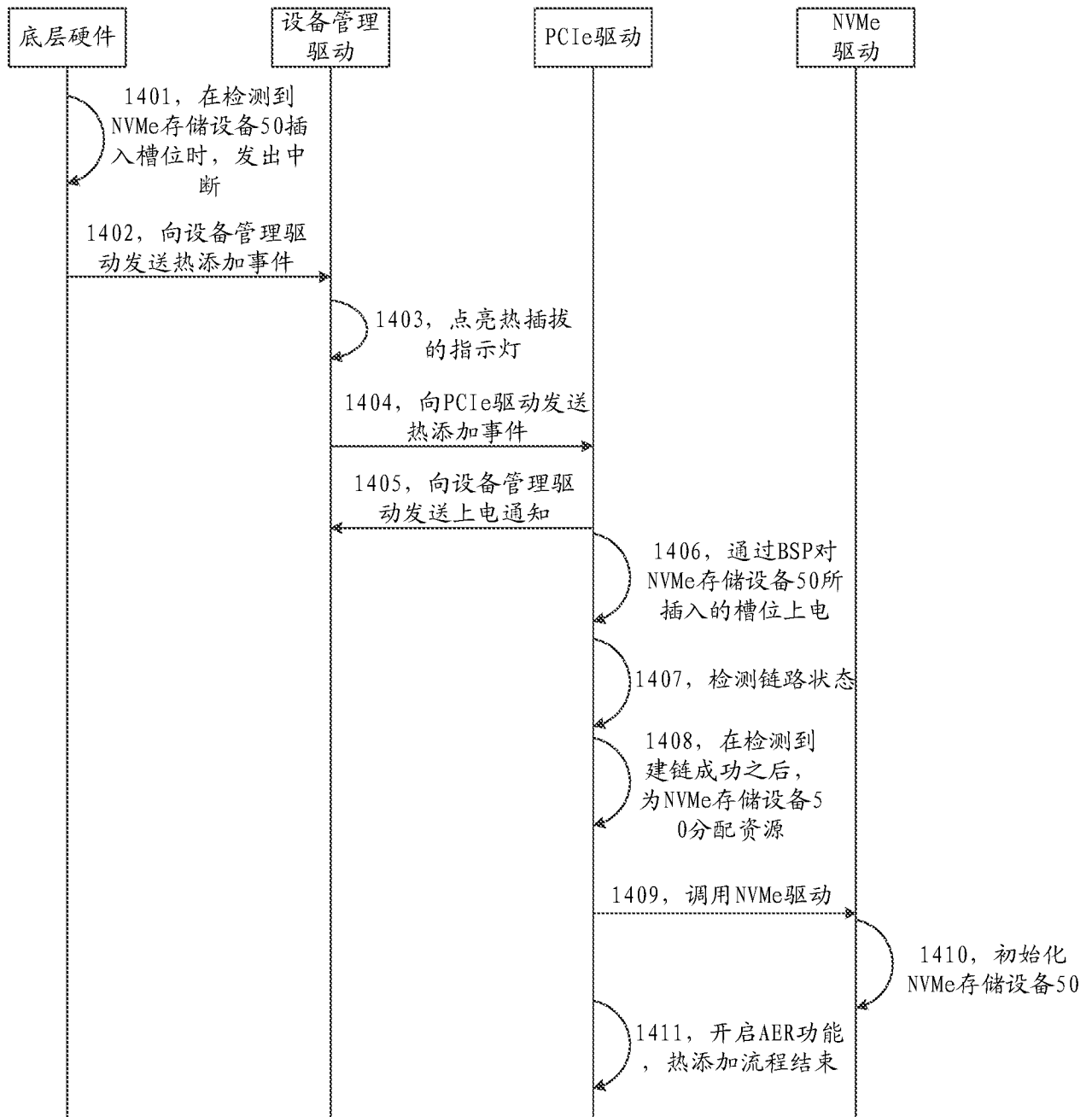


图 14

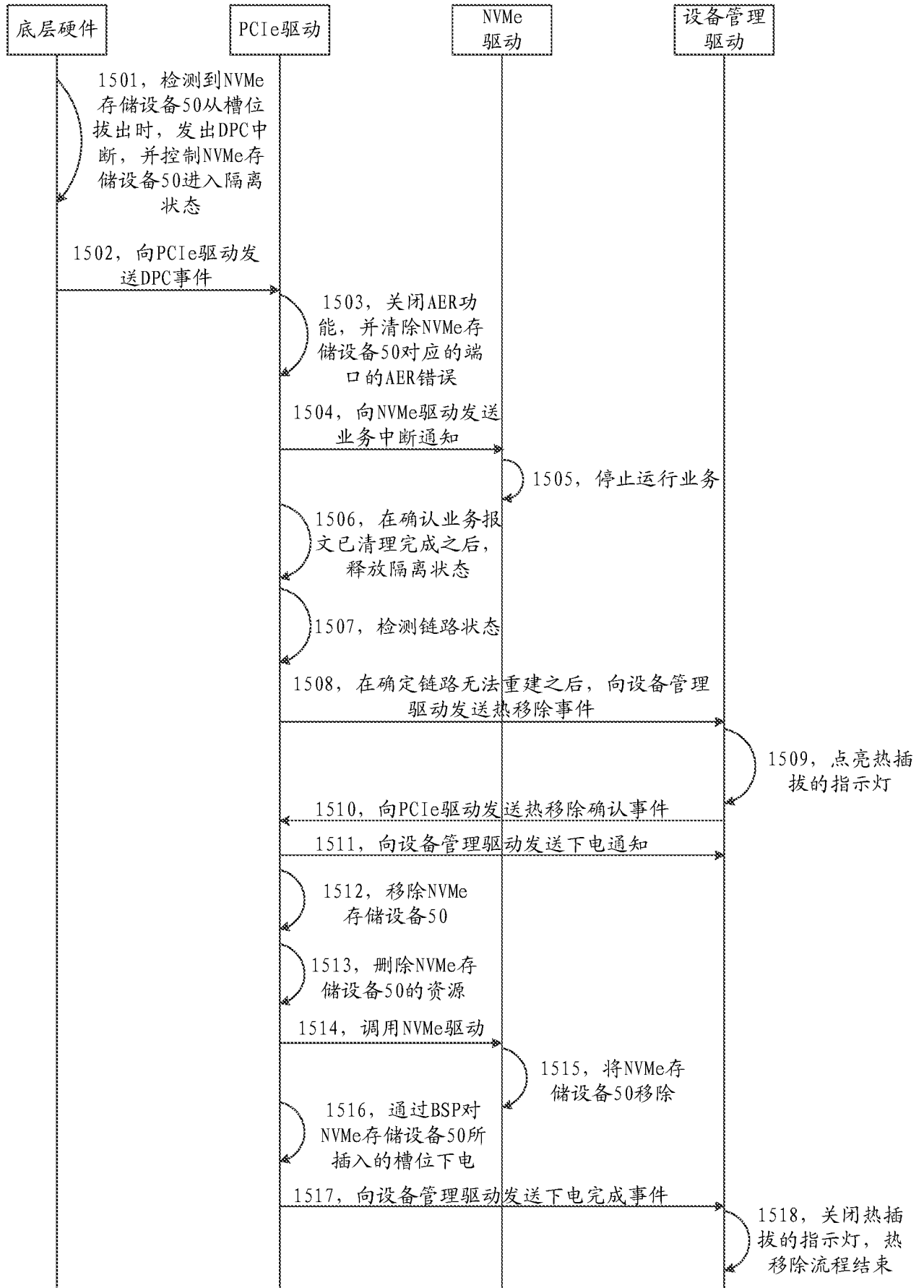


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/075438

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, IEEE, CNKI: 管脚, 长度, 连接器, 插拔, 短针, 高速外围组件互联, 固态存储设备, pin, length, connector, insert, pull, out, short, PCIe, NVMe, SSD

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101201888 A (HUAWEI TECHNOLOGIES CO., LTD.) 18 June 2008 (2008-06-18) description, page 1, paragraph 2 to page 2, paragraph 3, and figure 1	1-15
Y	CN 105095037 A (BEIJING STAR-NET RUIJIE NETWORKS TECHNOLOGY CO., LTD.) 25 November 2015 (2015-11-25) description, paragraph [0053]	1-15
A	CN 1731362 A (HANGZHOU HUAWEI 3COM TECHNOLOGY CO., LTD.) 08 February 2006 (2006-02-08) entire document	1-15
A	CN 105893298 A (LENOVO (BEIJING) CO., LTD.) 24 August 2016 (2016-08-24) entire document	1-15
A	US 9703745 B2 (HONG FU JIN INDUSTRY SHENZHEN CO., LTD. ET AL.) 11 July 2017 (2017-07-11) entire document	1-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

07 June 2018

Date of mailing of the international search report

22 June 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/075438

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101201888	A	18 June 2008	CN	101201888	B	15 September 2010
				WO	2008071113	A1	19 June 2008
CN	105095037	A	25 November 2015	None			
CN	1731362	A	08 February 2006	CN	100370427	C	20 February 2008
CN	105893298	A	24 August 2016	None			
US	9703745	B2	11 July 2017	CN	104298302	A	21 January 2015
				US	2015019784	A1	15 January 2015

国际检索报告

国际申请号

PCT/CN2018/075438

<p>A. 主题的分类</p> <p>G06F 13/40(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, EPODOC, WPI, IEEE, CNKI: 管脚, 长度, 连接器, 插拔, 短针, 高速外围组件互联, 固态存储设备, pin, length, connector, insert, pull, out, short, PCIe, NVMe, SSD</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 101201888 A (华为技术有限公司) 2008年 6月 18日 (2008 - 06 - 18) 说明书第1页第2段至第2页第3段, 附图1</td> <td>1-15</td> </tr> <tr> <td>Y</td> <td>CN 105095037 A (北京星网锐捷网络技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 说明书第[0053]段</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 1731362 A (杭州华为三康技术有限公司) 2006年 2月 8日 (2006 - 02 - 08) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 105893298 A (联想北京有限公司) 2016年 8月 24日 (2016 - 08 - 24) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 9703745 B2 (HONG FU JIN INDUSTRY SHENZHEN CO., LTD. 等) 2017年 7月 11日 (2017 - 07 - 11) 全文</td> <td>1-15</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 101201888 A (华为技术有限公司) 2008年 6月 18日 (2008 - 06 - 18) 说明书第1页第2段至第2页第3段, 附图1	1-15	Y	CN 105095037 A (北京星网锐捷网络技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 说明书第[0053]段	1-15	A	CN 1731362 A (杭州华为三康技术有限公司) 2006年 2月 8日 (2006 - 02 - 08) 全文	1-15	A	CN 105893298 A (联想北京有限公司) 2016年 8月 24日 (2016 - 08 - 24) 全文	1-15	A	US 9703745 B2 (HONG FU JIN INDUSTRY SHENZHEN CO., LTD. 等) 2017年 7月 11日 (2017 - 07 - 11) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
Y	CN 101201888 A (华为技术有限公司) 2008年 6月 18日 (2008 - 06 - 18) 说明书第1页第2段至第2页第3段, 附图1	1-15																		
Y	CN 105095037 A (北京星网锐捷网络技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 说明书第[0053]段	1-15																		
A	CN 1731362 A (杭州华为三康技术有限公司) 2006年 2月 8日 (2006 - 02 - 08) 全文	1-15																		
A	CN 105893298 A (联想北京有限公司) 2016年 8月 24日 (2016 - 08 - 24) 全文	1-15																		
A	US 9703745 B2 (HONG FU JIN INDUSTRY SHENZHEN CO., LTD. 等) 2017年 7月 11日 (2017 - 07 - 11) 全文	1-15																		
<p>国际检索实际完成的日期</p> <p>2018年 6月 7日</p>	<p>国际检索报告邮寄日期</p> <p>2018年 6月 22日</p>																			
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>唐娜</p> <p>电话号码 86-(10)-53961405</p>																			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/075438

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101201888	A	2008年 6月 18日	CN	101201888	B	2010年 9月 15日
				WO	2008071113	A1	2008年 6月 19日
CN	105095037	A	2015年 11月 25日	无			
CN	1731362	A	2006年 2月 8日	CN	100370427	C	2008年 2月 20日
CN	105893298	A	2016年 8月 24日	无			
US	9703745	B2	2017年 7月 11日	CN	104298302	A	2015年 1月 21日
				US	2015019784	A1	2015年 1月 15日

表 PCT/ISA/210 (同族专利附件) (2015年1月)